

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2021-521666  
(P2021-521666A)

(43) 公表日 令和3年8月26日(2021.8.26)

(51) Int.Cl.	F I	テーマコード (参考)
<b>H03F 1/32 (2006.01)</b>	H03F 1/32	5J064
<b>H03M 3/02 (2006.01)</b>	H03M 3/02	5J500

審査請求 有 予備審査請求 未請求 (全 13 頁)

(21) 出願番号 特願2020-551840 (P2020-551840)  
 (86) (22) 出願日 平成31年4月23日 (2019. 4. 23)  
 (85) 翻訳文提出日 令和2年10月26日 (2020. 10. 26)  
 (86) 国際出願番号 PCT/EP2019/060327  
 (87) 国際公開番号 W02019/206881  
 (87) 国際公開日 令和1年10月31日 (2019. 10. 31)  
 (31) 優先権主張番号 18169005.8  
 (32) 優先日 平成30年4月24日 (2018. 4. 24)  
 (33) 優先権主張国・地域又は機関 欧州特許庁 (EP)

(71) 出願人 520364750  
 アムス インターナショナル エーゲー  
 スイス連邦共和国 8645 ヨーナ、ア  
 イヒヴィースシュトラッセ 18ビー  
 (74) 代理人 110001416  
 特許業務法人 信栄特許事務所  
 (72) 発明者 マイケル、フリドリッ  
 スイス連邦共和国 8640 ラッパース  
 ヴィル、リエートシュトラッセ 4、アム  
 ス インターナショナル エーゲー内  
 Fターム(参考) 5J064 BA03 BC07 BC10 BC13 BC19  
 5J500 AA01 AC21 AF17 AK31 AK32  
 AK34 AM20 NG05 NG06 NH15  
 NM01

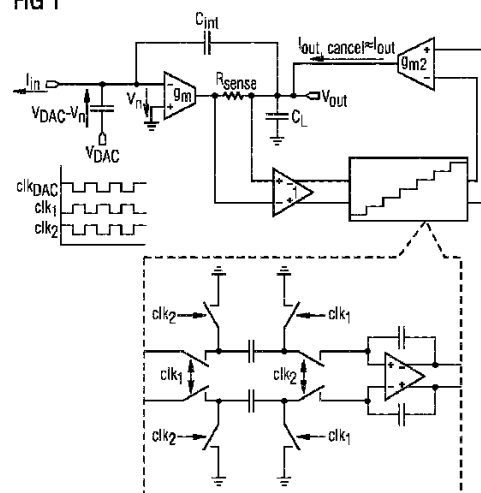
最終頁に続く

(54) 【発明の名称】 電流積分器における増幅器の負荷電流キャンセル方法、及び、増幅器の負荷電流がキャンセルされた電流積分器

(57) 【要約】

電流積分器における増幅器の負荷電流キャンセル方法は、電流積分用の積分キャパシタ ( $C_{int}$ ) を備えた演算トランスコンダクタンス増幅器に入力電流 ( $I_{in}$ ) を印加するステップと、前記演算トランスコンダクタンス増幅器の出力電流 ( $I_{out}$ ) を検出抵抗器 ( $R_{sense}$ ) に導通させることで、前記検出抵抗器上での電圧降下を生成するステップと、前記検出抵抗器上での前記電圧降下に応じてキャンセル電流 ( $I_{out, cancel}$ ) を生成するステップと、前記出力電流が前記検出抵抗器を通過する前後において前記キャンセル電流を前記出力電流に注入することで、前記出力電流に対する前記入力電流への依存を排除するステップと、を含む。

FIG 1



## 【特許請求の範囲】

## 【請求項 1】

電流積分器における増幅器の負荷電流キャンセル方法であって、  
 電流積分用の積分キャパシタ ( $C_{int}$ ) を備えた演算トランスコンダクタンス増幅器  
 に入力電流 ( $I_{in}$ ) を印加するステップと、  
 前記演算トランスコンダクタンス増幅器の出力電流 ( $I_{out}$ ) を検出抵抗器 ( $R_{sense}$ ) に導通させることで、前記検出抵抗器 ( $R_{sense}$ ) 上での電圧降下を生成する  
 ステップと、  
 前記検出抵抗器 ( $R_{sense}$ ) 上での前記電圧降下に応じてキャンセル電流 ( $I_{out, cancel}$ ) を生成するステップと、  
 前記出力電流 ( $I_{out}$ ) が前記検出抵抗器 ( $R_{sense}$ ) を通過する前後において  
 前記キャンセル電流 ( $I_{out, cancel}$ ) を前記出力電流 ( $I_{out}$ ) に注入する  
 ことで、前記入力電流 ( $I_{in}$ ) に対する前記出力電流 ( $I_{out}$ ) の依存を排除するス  
 テップと、  
 を含む、方法。

10

## 【請求項 2】

前記検出抵抗器 ( $R_{sense}$ ) 上での前記電圧降下を積分し、当該積分された電圧降  
 下を前記キャンセル電流 ( $I_{out, cancel}$ ) に変換するステップをさらに含む、  
 請求項 1 に記載の方法。

20

## 【請求項 3】

前記出力電流 ( $I_{out}$ ) が前記検出抵抗器 ( $R_{sense}$ ) を通過した後に前記キャン  
 セル電流 ( $I_{out, cancel}$ ) が前記出力電流 ( $I_{out}$ ) に注入される、請求  
 項 2 に記載の方法。

## 【請求項 4】

スイッチトキャパシタ積分器を設けるステップと、  
 前記スイッチトキャパシタ積分器により前記電圧降下を積分するステップと、  
 をさらに含む、  
 請求項 2 又は 3 に記載の方法。

## 【請求項 5】

前記検出抵抗器 ( $R_{sense}$ ) 上での前記電圧降下がキャパシタ上でサンプリングされ、  
 前記サンプリングされた電圧降下が前記キャンセル電流 ( $I_{out, cancel}$ ) に  
 変換される、  
 請求項 1 に記載の方法。

30

## 【請求項 6】

前記サンプリングされた電圧降下は、追加の演算トランスコンダクタンス増幅器により  
 前記キャンセル電流 ( $I_{out, cancel}$ ) に変換される、  
 請求項 5 に記載の方法。

## 【請求項 7】

前記出力電流 ( $I_{out}$ ) が前記検出抵抗器 ( $R_{sense}$ ) を通過する前に前記キャン  
 セル電流 ( $I_{out, cancel}$ ) が前記出力電流 ( $I_{out}$ ) に注入される、  
 請求項 5 又は 6 に記載の方法。

40

## 【請求項 8】

電流積分用の積分キャパシタ ( $C_{int}$ ) を備えた演算トランスコンダクタンス増幅器  
 と、  
 前記演算トランスコンダクタンス増幅器の出力に接続された検出抵抗器 ( $R_{sense}$   
 ) と、  
 前記検出抵抗器 ( $R_{sense}$ ) 上での電圧降下をキャンセル電流 ( $I_{out, can  
 cel}$ ) に変換するように構成された変換回路と、  
 前記変換回路の出力と、前記検出抵抗器 ( $R_{sense}$ ) の直前又は直後に配置された

50

ノードとの接続部と、  
を備えた、電流積分器。

【請求項 9】

前記変換回路は、前記検出抵抗器 ( $R_{s e n s e}$ ) 上での前記電圧降下を積分するように構成された追加の積分器をさらに備えた、  
請求項 8 に記載の電流積分器。

【請求項 10】

前記追加の積分器の出力を前記キャンセル電流 ( $I_{o u t , c a n c e l}$ ) に変換するように構成された前記変換回路の追加の演算トランスコンダクタンス増幅器をさらに備えた、  
請求項 9 に記載の電流積分器。

10

【請求項 11】

前記検出抵抗器 ( $R_{s e n s e}$ ) は、前記演算トランスコンダクタンス増幅器と出力ノードとの間に配置され、

前記追加の演算トランスコンダクタンス増幅器の出力が前記出力ノードに接続されている、

請求項 10 に記載の電流積分器。

【請求項 12】

前記追加の積分器は、スイッチトキャパシタ積分器である、

請求項 9 から 11 のうちいずれか一項に記載の電流積分器。

20

【請求項 13】

前記変換回路は、前記検出抵抗器 ( $R_{s e n s e}$ ) 上での前記電圧降下をキャパシタ上でサンプリングするように構成されている、

請求項 8 に記載の電流積分器。

【請求項 14】

前記サンプリングされた電圧降下を前記キャンセル電流 ( $I_{o u t , c a n c e l}$ ) に変換するように構成された前記変換回路の追加の演算トランスコンダクタンス増幅器をさらに備えた、

請求項 13 に記載の電流積分器。

【請求項 15】

前記追加の演算コンダクタンス増幅器の出力は、前記演算トランスコンダクタンス増幅器と前記検出抵抗器 ( $R_{s e n s e}$ ) との間のノードに接続されている、

請求項 14 に記載の電流積分器。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、スイッチトキャパシタデジタル - アナログ変換器を備えた電流積分器の分野に関する。

40

【背景技術】

【0002】

図 6 に示されている回路図は、デジタル - アナログ変換器 (DAC) で用いられる典型的な積分ステージの基本的な回路トポロジーを示す。仮想接地電位  $v_n$  を入力電流  $I_{i n}$  に印加することにより電流が積分キャパシタ  $C_{i n t}$  上で積分される。仮想接地電位  $v_n$  は、出力電流  $I_{o u t}$  とトランスコンダクタンス  $g_m$  との商であり、すなわち、 $v_n = I_{o u t} / g_m$  となる。

【0003】

50

積分キャパシタ  $C_{int}$  上で電流が増大すると出力電圧  $V_{out}$  が増大するため、回路は、ほぼ常にフィードバックで、例えば、デルタ - シグマ変換器で使用される。フィードバックは、電流源により、又は、スイッチトキャパシタデジタル - アナログ変換器 (SCDAC) により生成され得る。スイッチトキャパシタデジタル - アナログ変換器は、電流を仮想接地電位のノードに注入して電荷を積分キャパシタから減算し、これにより、出力電圧  $V_{out}$  を許容範囲内に維持する。

【0004】

スイッチトキャパシタデジタル - アナログ変換器において、 $Q = C(V_{DAC} - v_n)$  のサイズの電荷パッケージが注入される。式中、 $C$  は積分キャパシタ  $C_{int}$  の容量であり、 $V_{DAC}$  はデジタル - アナログ変換器の供給電圧である。従って、仮想接地電位  $v_n$  は DAC の電荷に直接的に影響を与える。

10

【0005】

負荷キャパシタ  $C_L$  の容量を線形とみなし得るため、出力電流  $I_{out}$  もまた入力電流  $I_{in}$  に線形的に関連し、これにより、仮想接地電位  $v_n$  を入力信号に依存させる。この信号依存性により、高精度アプリケーションにおいては許容不可能な非線形性が発生する。

【0006】

この問題への対処として、仮想接地電位  $v_n$  を低減するためにトランスコンダクタンス  $g_m$  を増大できるが、これは電力消費を高くする。或いは、デジタル較正も利用できるが、この方法は、各デバイスのための較正定数の推定を必要とするため、非常に高い線形性要件に準拠するような十分な精度で達成することは困難であろう。

20

【0007】

より実際的な解決方法は、演算トランスコンダクタンス増幅器 (OTA) の出力負荷電流の最小化である。このような技術が、電圧入力デルタ - シグマ変換器のために提示されており、フィードバック中の仮想接地スパイクを、DAC 信号及び推定された入力信号電荷を出力に注入することにより最小化する。図7に示されている回路のように、実効入力電流が、フィードフォワードトランスコンダクタ  $g_{mff}$  を用いて推定される。しかし、フィードフォワードトランスコンダクタンス  $g_{mff}$  は、プロセス、温度及び入力信号の変動に関して抵抗器  $R$  に正確に適合しないであろう。また、仮想接地電位  $v_n$  の偏差の排除が、高線形性アプリケーションに関しては十分に正確になされないであろう。

30

【0008】

公知の解決方法は、電圧入力積分ステージにおける DAC パルス開始時の仮想接地電位  $v_n$  の動的偏差  $v_{n, dyn}$  の低減に焦点を当てている (図8)。しかし、高度に線形の SCDAC に関して重要なのは、DAC パルス終了時の仮想接地電位  $v_n$  の静的偏差  $v_{n, stat}$  である。なぜなら、これが電荷転送の精度を決定するからである。仮想接地電位  $v_n$  は、DAC パルス終了時の接地電位と等しくなければならない。

【0009】

さらに、公知の解決方法は、演算トランスコンダクタンス増幅器の主要な出力電流が積分キャパシタ  $C_{int}$  に流入することを想定している。負荷キャパシタ  $C_L$  の容量が積分キャパシタ  $C_{int}$  の容量の倍数である場合、これに従い、演算トランスコンダクタンス増幅器の負荷電流が、より高くなる。特に、様々なタイプの負荷キャパシタ  $C_L$  及び積分キャパシタ  $C_{int}$  を使用する場合、プロセス誤差及び温度変動により、負荷電流の最小化が非効率的になるであろう。

40

【発明の概要】

【発明が解決しようとする課題】

【0010】

本発明の目的は、プロセス及び温度依存較正を不要にするために電流積分器の非線形性を低減するための実用的な方法を開示することである。

【課題を解決するための手段】

【0011】

50

この目的は、請求項 1 に記載の方法、及び、請求項 8 に記載の電流積分器を用いて達成される。変型例及び実施形態は従属項から得られる。

【0012】

上述の定義は、特に明記されていない限り、以下の説明にも適用される。

【0013】

電流積分器における増幅器の負荷電流キャンセル方法は、電流積分用の積分キャパシタが設けられた演算トランスコンダクタンス増幅器に入力電流を印加するステップと、前記演算トランスコンダクタンス増幅器の出力電流を検出抵抗器に導通させることで、前記検出抵抗器上での電圧降下を生成するステップと、前記検出抵抗器上での前記電圧降下に応じてキャンセル電流を生成するステップと、前記出力電流が前記検出抵抗器を通過する前後に前記キャンセル電流を前記出力電流に注入することで、前記入力電流に対する前記出力電流の依存を排除するステップと、を含む。

10

【0014】

前記方法の変型例において、前記検出抵抗器上での前記電圧降下が積分され、当該積分された電圧降下が前記キャンセル電流に変換される。前記電圧降下を積分するためにスイッチトキャパシタ積分器が設けられ得る。具体的には、前記キャンセル電流は、前記出力電流が前記検出抵抗器を通過した後に前記出力電流に注入される。

【0015】

前記方法のさらなる変型例において、前記検出抵抗器上での前記電圧降下がキャパシタ上でサンプリングされて、当該サンプリングされた電圧降下が前記キャンセル電流に変換される。この変換は、特に、追加の演算トランスコンダクタンス増幅器を用いて行われ得る。具体的には、前記キャンセル電流は、前記出力電流が前記検出抵抗器を通過する前に前記出力電流に注入される。

20

【0016】

前記電流積分器は、  
電流積分用の積分キャパシタが設けられた演算トランスコンダクタンス増幅器と、  
当該演算トランスコンダクタンス増幅器の出力に接続された検出抵抗器と、  
当該検出抵抗器上での前記電圧降下をキャンセル電流に変換するように構成された変換回路と、  
前記変換回路の出力と、前記検出抵抗器の直前又は直後に配置されたノードとの接続部と、  
を備えている。

30

【0017】

前記電流積分器の一実施形態において、前記変換回路は、前記検出抵抗器上での前記電圧降下を積分するように構成された追加の積分器を含む。当該追加の積分器は、特に、スイッチトキャパシタ積分器であり得る。

【0018】

前記電流積分器のさらなる実施形態は、前記変換回路の追加の演算トランスコンダクタンス増幅器を含む。当該追加の演算トランスコンダクタンス増幅器は、前記追加の積分器の出力を前記キャンセル電流に変換するように構成されている。

40

【0019】

前記電流積分器のさらなる実施形態において、前記検出抵抗器は前記演算トランスコンダクタンス増幅器と出力ノードとの間に配置されており、前記追加の演算トランスコンダクタンス増幅器の出力が前記出力ノードに接続されている。

【0020】

前記電流積分器のさらなる実施形態において、前記変換回路は、前記検出抵抗器上での前記電圧降下をキャパシタ上でサンプリングするように構成されている。詳細には、さらなる演算コンダクタンス増幅器が、前記サンプリングされた電圧降下を前記キャンセル電流に変換するために使用され得る。前記さらなる演算コンダクタンス増幅器の出力が、特に、前記演算トランスコンダクタンス増幅器と前記検出抵抗器との間のノードに接続さ

50

れ得る。

【0021】

以下に、前記方法及び前記電流積分器の例を、添付図面を参照しつつ詳細に説明する。

【図面の簡単な説明】

【0022】

【図1】負荷電流キャンセル方法を示す概略図である。

【図2】さらなる負荷電流キャンセル方法を示す概略図である。

【図3】さらなる負荷電流キャンセル方法を実行するための回路図である。

【図4】負荷電流キャンセル回路を用いた、電流ドメイン増分2ステップアナログ-デジタル変換器の回路図である。

10

【図5】図4の回路のためのタイミング図である。

【図6】デルタ-シグマ変換器において用いられる基本的な積分ステージの回路図である。

。

【図7】関連する演算増幅器技術の回路図である。

【図8】供給電圧  $V_{DAC}$  と、接地電位  $gnd$  からの仮想接地電位  $v_n$  の偏差とを時間  $t$  の関数として示した図である。

【発明を実施するための形態】

【0023】

図1は、負荷電流キャンセル方法を示す概略図である。演算トランスコンダクタンス増幅器（オペレーショナルトランスコンダクタンスアンプ）がトランスコンダクタンス  $g_m$  を有する。積分キャパシタ  $C_{int}$  が電流積分のために設けられている。検出抵抗器（センシングレジスタ）  $R_{sense}$  が、出力電流  $I_{out}$  を検出するために設けられており、これにより、出力電流  $I_{out}$  の線形推定値が得られる。検出抵抗器  $R_{sense}$  は、演算トランスコンダクタンス増幅器の性能を低下させないために、演算トランスコンダクタンス増幅器の有用な出力スイングの一部の電圧降下のためのサイズにされている。検出抵抗器  $R_{sense}$  上での電圧降下はバッファ及び積分され、これは、具体的には、例えばスイッチトキャパシタ積分器により行われる。

20

【0024】

積分器出力は電流に変換されて、トランスコンダクタンス  $g_{m2}$  を有する追加の演算トランスコンダクタンス増幅器を介して出力に注入される。そして、演算トランスコンダクタンス増幅器の出力電流は低減し、これが、検出抵抗器  $R_{sense}$  上での電圧降下を低減させる。こうしてフィードバックループが形成され、これが、検出抵抗器  $R_{sense}$  上での電圧降下（すなわち、演算トランスコンダクタンス増幅器の負荷電流）をゼロにする。このフィードバックループは、演算トランスコンダクタンス増幅器のフィードバックループにネストされており、安定性を保証するために低ループゲインを要求する。

30

【0025】

図2は、フィードバックを使用しない、さらなる負荷電流キャンセル方法を示す図を示している。検出抵抗器  $R_{sense}$  上での電圧降下が、例えば、具体的にキャパシタ上でバッファ及びサンプリングされる。この目的のために、2つの別々のキャパシタが設けられ得て、これらは、第1クロック信号  $clk_1$  と第2クロック信号  $clk_2$  とにより交互に切り替えられる。これらの信号は、図2に示されているように、DACクロック信号  $clk_{DAC}$  に同期されている。サンプリングされた電圧はキャンセル電流  $I_{out, cancel}$  に変換され、この電流が負荷電流を、演算トランスコンダクタンス増幅器の出力にてキャンセルする。

40

【0026】

図2に示した回路においては、安定性及びセトリング要件を提示するためのフィードバックループが存在しない。なぜなら、演算トランスコンダクタンス増幅器が、常に、その出力電流  $I_{out}$  を、要求される負荷電流  $I_{load}$  にマッチするように、注入されたキャンセル電流  $I_{out, cancel}$  と組み合わせて調整するからである。すなわち、

50

$$I_{out} = I_{out, cancel} + I_{load}。$$

## 【0027】

従って、検出抵抗器  $R_{sense}$  上での電圧降下は一定であり、キャンセル電流  $I_{out, cancel}$  とは無関係である。キャンセル電流  $I_{out, cancel}$  は、以前のクロックサイクルから測定された出力電流  $I_{out}$  に基づいて注入される。従って、このキャンセルスキームは、入力信号の時定数が DAC クロック信号  $clk_{DAC}$  の周期よりも大きい限りにおいて有効である。これは、典型的には、オーバーサンプリングデルタ-シグマ変換器の場合である。この仮定は、特に低周波線形性が関与している場合に有効である。

10

## 【0028】

さらなる負荷電流キャンセル方法の詳細な回路実装の例が図3に示されている。検出抵抗器  $R_{sense}$  での電圧は、系統的な電荷注入エラーを排除するために差動的にサンプリングされ得る。スイッチ遷移中の両方のキャパシタの接続が、非オーバーラップサンプリングにより回避され得る。また、第1クロック信号  $clk_1$  及び第2クロック信号  $clk_2$  によるスイッチングが、DACセトリングが終了した後に行われる。サンプリングされた電圧を検出抵抗器  $R_{sense}$  にてキャンセル電流  $I_{out, cancel} = I_{out} \cdot Q_R$  に変換するために線形トランスコンダクタが使用される。 $Q_R$  は、検出抵抗器  $R_{sense}$  の電気抵抗と抵抗  $R$  の電気抵抗との商である。

20

## 【0029】

達成されたキャンセルは、商  $Q_R$  のみに依存するため、本質的に、プロセス公差及び温度変化に対して鈍感である。また、検出抵抗器  $R_{sense}$  の電気抵抗と抵抗器  $R$  の電気抵抗の正確なマッチングによる正確なキャンセルが比較的容易に得られる。線形トランスコンダクタは、局所フィードバックを使用して線形性を達成し、これにより、主積分器自体と同一のセトリング制約を受ける。

## 【0030】

しかし、ローカルフィードバックループに大きい負荷容量が存在しないため、セトリング要件は、主積分器よりもはるかに低い消費電力で達成され得る。さらに、バッファ及びトランスコンダクタからのノイズは積分器の出力に注入されるため、OTA開ループゲインにより大幅に抑制される。従って、負荷電流キャンセルスキームの電力及びノイズペナルティは低い。

30

## 【0031】

図4は、電流ドメイン増分2ステップアナログ-デジタル変換器の回路図である。この回路において、第1アナログ-デジタル変換器の残差が第2ステージのアナログ-デジタル変換器により変換される。第1ステージは、電流制御発振器(CCO)として実装されている。積分器の出力が基準電圧  $V_{ref}$  と比較され、コンパレータの出力がクロック信号  $clk$  に同期されている。同期されたコンパレータ出力が、DACフィードバックパルスをトリガーする。DACフィードバックは、仮想接地ノードに放電されるプリチャージキャパシタ( $SC_{DAC}$ )により実現される。1つの完全な積分期間  $T_{int}$  中のフィードバックパルスの総数  $n_{count}$  が、コース(course)アナログ-デジタル変換値を提供する。

40

## 【0032】

第1ステージは、独立型として機能し得てもよく、或いは、分解能を高めるために、CCOの出力残差  $V_{residue}$  のデジタル化により微細な変換結果と組み合わせてもよい。2ステージの概念は、大きいサンプリングキャパシタ(プロセス、電圧及び温度変動(PVT)に関して積分キャパシタ  $C_{int}$  に相関しない可能性がある)を必要とするため、上述の出力キャンセル技術の適用は、PVTが本質的にロバストであるため、特に有用である。

## 【0033】

図5は、図4の回路のタイミング図である。図5は、 $clk$  信号  $clk$ 、サンプル信号

50

パルス、リセット信号パルス、パルス電圧  $V_{pulse}$ 、及び、積分された出力電圧  $V_{out\_int}$  を時間  $t$  の関数として示している。

【0034】

バッファ及び線形トランスコンダクタでのオフセットが、OTAの入力にて増大されたオフセットになる。これは線性には影響を与えないが、一定のDACオフセットエラーを生じる。これは欠点ではない。なぜなら、演算トランスコンダクタ増幅器自体がオフセットを示すからである。従って、DACオフセットはいずれにせよ、高精度要件のアプリケーションにおいては較正されなくてはならない。

【0035】

上述の方法を用いることで、出力電流が正確に測定され、且つ、正確なキャンセル電流に変換される。こうして、従来の較正支援方法とは対照的に、線形性が保証される。この方法は、DACパルスの終わりに仮想接地電位  $v_n$  の静的偏差  $v_{n,stat}$  を考慮するという利点を有する。上述の方法は、電圧及び電流の両方のドメインポロジーに関して静的エラーを正確に排除する。

10

【符号の説明】

【0036】

$C_{int}$  積分キャパシタ

$C_L$  負荷容量

$clk$  クロック信号

$clk_{DAC}$  DACクロック信号

20

$clk_1$  第1クロック信号

$clk_2$  第2クロック信号

$g_m$  トランスコンダクタンス

$g_{m2}$  追加のトランスコンダクタンス

$g_{mf}$  フィードフォワードトランスコンダクタンス

$g_{nd}$  接地電位

$I_{in}$  入力電流

$I_{load}$  負荷電流

$I_{out}$  出力電流

$I_{out, cancel}$  キャンセル電流

30

$n_{count}$  フィードバックパルスの総数

$R$  抵抗器

$R_{sense}$  検出抵抗器

$V_{DAC}$  供給電圧

$v_n$  仮想接地電位

$v_{n, dyn}$  仮想接地電位の動的偏差

$v_{n, stat}$  仮想接地電位の静的偏差

$V_{out\_int}$  積分された出力電圧

$V_{pulse}$  パルス電圧

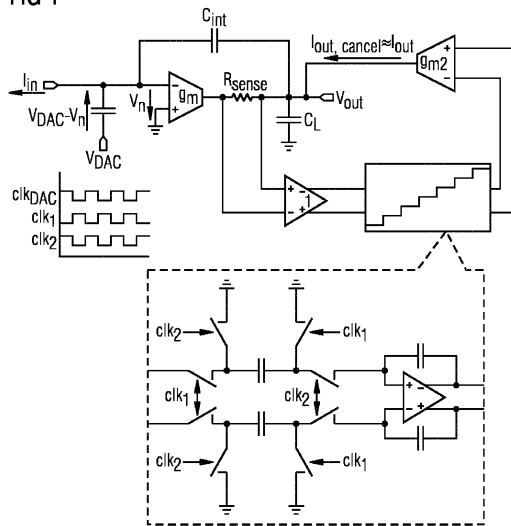
$V_{ref}$  基準電圧

40



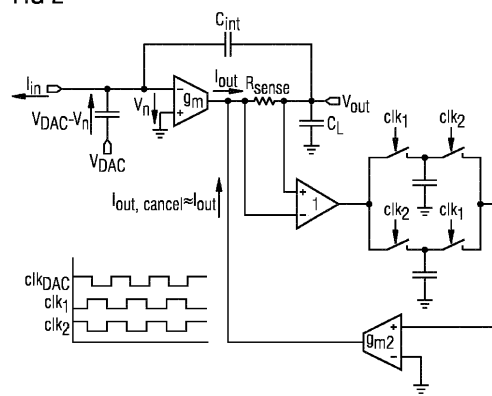
【 図 1 】

FIG 1



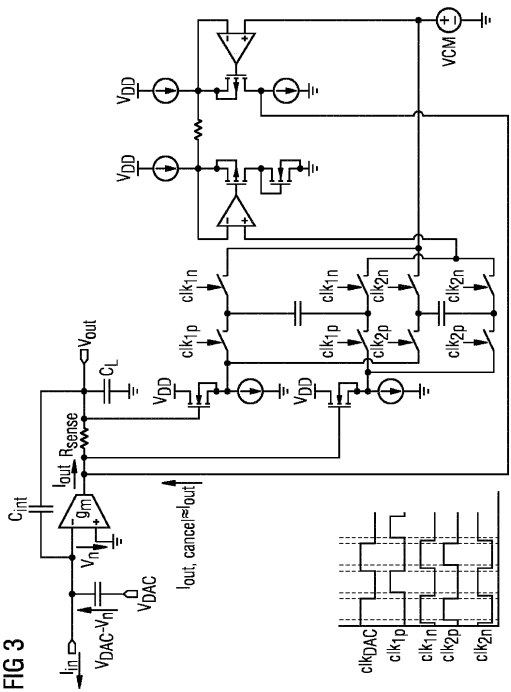
【 図 2 】

FIG 2



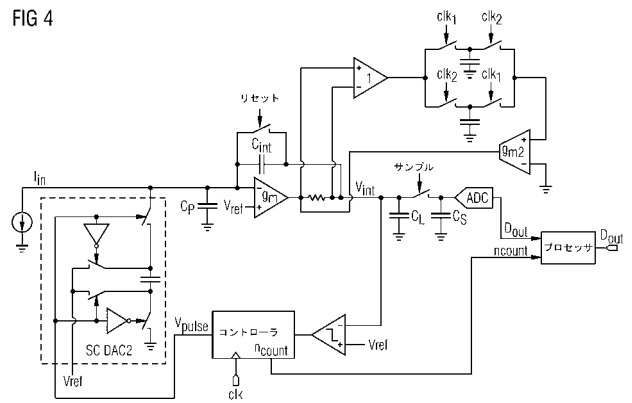
【 図 3 】

FIG 3



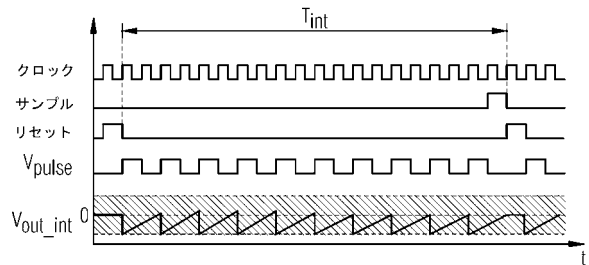
【 図 4 】

FIG 4



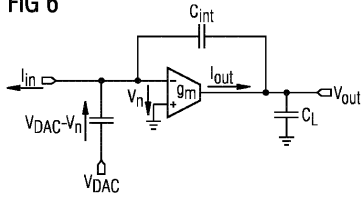
【 図 5 】

FIG 5



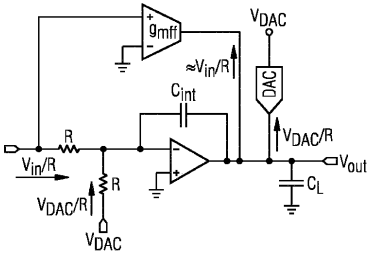
【 図 6 】

FIG 6



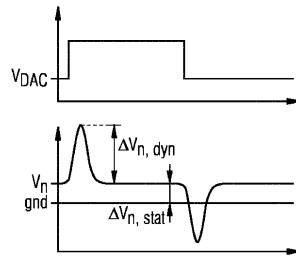
【 図 7 】

FIG 7



【 図 8 】

FIG 8



## 【 国際調査報告 】

## INTERNATIONAL SEARCH REPORT

International application No  
PCT/EP2019/060327

<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
INV. H03F1/32	H03F3/187	
ADD. H03M1/14	H03M1/40 H03M3/00	
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols) H03F H03M		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal, WPI Data		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2015/107091 A1 (FRAUNHOFER GES ZUR FÖRDERUNG DER ANGEWANDTEN FORSCHUNG E V [DE]) 23 July 2015 (2015-07-23) figures 1-11 abstract page 7, line 9 - page 16, line 2 -----	1-15
A	SIVA V THYAGARAJAN ET AL: "Active-RC Filters Using the Gm-Assisted OTA-RC Technique", IEEE JOURNAL OF SOLID-STATE CIRCUITS, IEEE SERVICE CENTER, PISCATAWAY, NJ, USA, vol. 46, no. 7, 1 July 2011 (2011-07-01), pages 1522-1533, XP011356577, ISSN: 0018-9200, DOI: 10.1109/JSSC.2011.2143590 figures 1-4 page 1522, left-hand column, line 1 - page 1524, right-hand column, line 21 -----	1-15
<input type="checkbox"/> Further documents are listed in the continuation of Box C.		<input checked="" type="checkbox"/> See patent family annex.
* Special categories of cited documents :		
"A" document defining the general state of the art which is not considered to be of particular relevance		"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E" earlier application or patent but published on or after the international filing date		"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)		"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means		"&" document member of the same patent family
"P" document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search 26 June 2019		Date of mailing of the international search report 11/07/2019
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer Jespers, Michaël

**INTERNATIONAL SEARCH REPORT**

Information on patent family members

International application No

PCT/EP2019/0660327

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
WO 2015107091 A1	23-07-2015	DE 102014200856 B3	12-03-2015
		EP 3095195 A1	23-11-2016
		WO 2015107091 A1	23-07-2015
-----			

---

フロントページの続き

(81)指定国・地域 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT