

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-204379

(P2012-204379A)

(43) 公開日 平成24年10月22日(2012.10.22)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 H	
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 5 2 F	
HO 1 L 29/06 (2006.01)	HO 1 L 29/78 6 5 2 S	
	HO 1 L 29/78 6 5 8 A	
	HO 1 L 29/78 6 5 8 E	

審査請求 未請求 請求項の数 11 O L (全 18 頁) 最終頁に続く

(21) 出願番号 特願2011-64669 (P2011-64669)
 (22) 出願日 平成23年3月23日 (2011. 3. 23)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100108062
 弁理士 日向寺 雅彦
 (72) 発明者 大田 浩史
 東京都港区芝浦一丁目1番1号 株式会社東芝内
 (72) 発明者 角 保人
 東京都港区芝浦一丁目1番1号 株式会社東芝内
 (72) 発明者 木村 淑
 東京都港区芝浦一丁目1番1号 株式会社東芝内

最終頁に続く

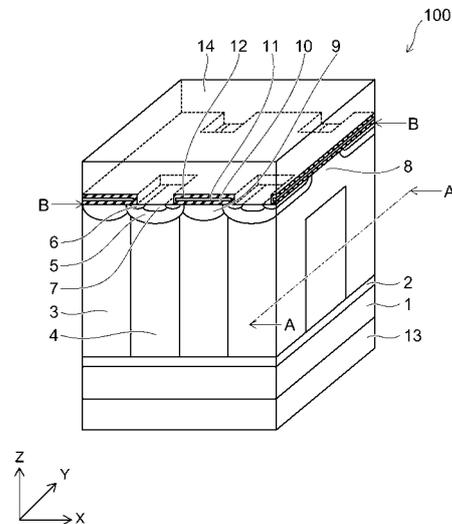
(54) 【発明の名称】 電力用半導体装置

(57) 【要約】

【課題】低オン抵抗でアバランシェ耐量が高い半導体装置を提供する。

【解決手段】実施形態の電力用半導体装置は、第1導電形の第1の半導体層1と、その上に設けられた第1導電形の第2の半導体層3と、第2の半導体層中に設けられた複数の柱状の第2導電形の第3の半導体層4と、第3の半導体層の上端部に設けられた複数の島状の第2導電形の第4の半導体層5と、複数の第1導電形の第5の半導体層6と、複数の第2導電形の第6の半導体層8と、ゲート電極11と、層間絶縁膜12と、第1の電極13と、第2の電極14と、を備える。第5の半導体層は、第4の半導体層の表面に設けられ、第6の半導体層は、隣り合う2つの第4の半導体層を互いに接続する。第1の電極は、第1の半導体層に接続される。第2の電極は、層間絶縁膜によりゲート電極と絶縁され、ゲート電極の開口部を介して第4の半導体層及び第5の半導体層に接続される。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 の主面を有する第 1 導電形の第 1 の半導体層と、

前記第 1 の半導体層の主面上に設けられ、前記第 1 の半導体層よりも第 1 導電形の不純物濃度が低い第 2 の半導体層と、

前記第 2 の半導体層の前記第 1 の半導体層とは反対側の表面から前記第 1 の半導体層に向かって前記第 2 の半導体層中を延伸し、互いに離間した複数の柱状の第 2 導電形の第 3 の半導体層と、

前記複数の第 3 の半導体層のそれぞれの上端に設けられ、前記第 3 の半導体層の第 2 導電形不純物濃度より高い第 2 導電形不純物濃度を有する、複数の島状の第 2 導電形の第 4 の半導体層と、

前記第 4 の半導体層の表面のそれぞれに選択的に設けられ、前記第 2 の半導体層の前記第 1 導電形の不純物濃度より高い不純物濃度を有する、複数の第 1 導電形の第 5 の半導体層と、

前記複数の第 4 の半導体層のうち、隣り合う 2 つの第 4 の半導体層を互いに電氣的に接続し、前記第 4 の半導体層の前記第 2 導電形の不純物濃度より低い第 2 導電形不純物濃度を有する第 2 導電形の複数の第 6 の半導体層と、

前記第 2 の半導体層、前記複数の第 6 の半導体層、前記複数の第 4 の半導体層、及び前記複数の第 5 の半導体層の上にゲート絶縁膜を介して設けられ、前記複数の第 4 の半導体層及び前記複数の第 5 の半導体層の上に複数の開口部を有するゲート電極と、

前記ゲート電極を上から覆う層間絶縁膜と、

前記第 1 の半導体層の第 1 の主面とは反対側の第 2 の主面に電氣的に接続された第 1 の電極と、

前記層間絶縁膜により前記ゲート電極と絶縁され、前記ゲート電極の前記開口部を介して前記複数の第 4 の半導体層及び前記複数の第 5 の半導体層に電氣的に接続された第 2 の電極と、

を備えたことを特徴とする電力用半導体装置。

【請求項 2】

前記複数の第 3 の半導体層及び前記複数の第 4 の半導体層は、前記第 1 の主面に平行な第 1 の方向に沿って延伸し前記第 1 の方向と直交し且つ前記第 1 の主面に平行な第 2 の方向に配列された複数の列のそれぞれの列に沿って配置され、

前記複数の列に形成された前記複数の第 4 の半導体層は、前記第 1 の方向に沿って前記複数の第 6 の半導体層により互いに電氣的に接続されていることを特徴とする請求項 1 記載の電力用半導体装置。

【請求項 3】

前記複数の第 6 の半導体層の底部は、前記複数の第 4 の半導体層の底部よりも前記第 1 の半導体層側に延伸しており、

前記複数の第 6 の半導体層は、前記第 1 の方向において隣り合う 2 つの第 4 の半導体層の下にそれぞれ接続された 2 つの第 3 の半導体層をさらに電氣的に接続することを特徴とする請求項 2 記載の電力用半導体装置。

【請求項 4】

前記第 2 の半導体層の表面に設けられ、前記複数の第 4 の半導体層のうち前記第 2 の方向において隣り合う第 4 の半導体層のそれぞれに接合された第 1 の部分を有する第 1 導電形の第 7 の半導体層をさらに備え、

前記第 7 の半導体層は、前記第 2 の半導体層の第 1 導電形不純物濃度よりも高い第 1 導電形不純物濃度を有することを特徴とする請求項 2 又は 3 に記載の電力用半導体装置。

【請求項 5】

前記第 7 の半導体層の前記第 1 の部分は、前記第 1 の方向に沿って延伸していることを特徴とする請求項 4 記載の電力用半導体装置。

【請求項 6】

10

20

30

40

50

前記第 7 の半導体層は、前記第 2 の方向に延伸し、前記第 6 の半導体層の表面に形成され前記第 1 の方向において隣り合う第 4 の半導体層の間を接合する第 2 の部分をさらに有し、

前記第 7 の半導体層の前記第 1 の部分及び前記第 2 の部分により、前記複数の第 4 の半導体層の 1 つが前記第 1 の主面と平行な平面内で取り囲まれていることを特徴とする請求項 5 記載の電力用半導体装置。

【請求項 7】

前記第 5 の半導体層は、前記ゲート電極の前記複数の開口部の縁に沿って環状に形成されていることを特徴とする請求項 6 記載の電力用半導体装置。

【請求項 8】

前記複数の列の各列に沿って配列された前記複数の前記複数の第 4 の半導体層は、前記第 1 の方向及び前記第 2 の方向に等間隔に離間して配置され、格子状に配列されていることを特徴とする請求項 2 ~ 7 のいずれか 1 つに記載の電力用半導体装置。

【請求項 9】

前記複数の第 4 の半導体層は、前記第 1 の方向に等間隔に離間して配置されており、前記複数の列のうちの一列に配置された第 4 の半導体層のうち隣り合う 2 つの第 4 の半導体層の第 1 の方向における中心の位置は、前記一列と隣り合う他の列に配置された第 4 の半導体層のうち 1 つと第 2 の方向において隣り合うことを特徴とする請求項 2 ~ 7 のいずれか 1 つに記載の電力用半導体装置。

【請求項 10】

前記複数の第 4 の半導体層を前記第 1 の主面の垂直方向からみた平面形状は、六角形で形成されており、

前記平面形状の一辺は、第 2 の方向に平行であることを特徴とする請求項 9 記載の電力用半導体装置。

【請求項 11】

前記複数の列のうち 1 つの列に配置された前記複数の第 6 の半導体層のうち 1 つの第 6 の半導体層と、前記 1 つの列の隣の列に配置された別の第 6 の半導体層と、を前記第 2 の方向において電氣的に接続する第 2 導電形の半導体層からなる連結部が、前記第 2 の半導体層中にさらに設けられていることを特徴とする請求項 2 ~ 10 のいずれか 1 つに記載の電力用半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、電力用半導体装置に関する。

【背景技術】

【0002】

一般に縦型パワー MOSFET (Metal Oxide Semiconductor Field Effect Transistor) では、オン抵抗はドリフト層の電気抵抗に大きく依存する。ドリフト層の電気抵抗を低くするために不純物濃度を高くすると、ベース層とドリフト層との p - n 接合界面における耐圧が低下するため、オン抵抗の低減と耐圧にはトレードオフの関係がある。このトレードオフを改善するために、ドリフト層に n 形半導体層と p 形半導体層とが繰り返し配置されたスーパージャンクション構造が用いられる。スーパージャンクション構造では、p 形半導体層の p 形不純物量と n 形半導体層の n 形不純物量とが等しくなるように形成される。これにより、p 形及び n 形不純物濃度が高くても、ドリフト層が完全に空乏化されるので高耐圧が維持される。さらにオン抵抗を低減するために、スーパージャンクション構造中の p 形半導体層が柱状に形成され、その上部に島状の p 形ベース層が形成された構造が用いられる。この構造では、島状の p 形ベース層間を跨ぐように格子状、オフセット格子状、又は蜂の巣状にゲート電極が形成されるためにチャネル密度があがるので、低オン抵抗が実現される。しかしながら、ゲート電極の開口部を介して、p 形ベース層と n 形ソース電極とが電氣的に接続されるため、微細化が進むほど、p 形ベース層とソース電極

10

20

30

40

50

とのコンタクト不良の影響が大きくなる。この結果、アバランシェ降伏時の正孔のソース電極への排出が抑制され、アバランシェ耐量が低下する。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2010-67737号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

低オン抵抗でアバランシェ耐量が高い半導体装置を提供する。

10

【課題を解決するための手段】

【0005】

実施形態の半導体装置は、第1の主面を有する第1導電形の第1の半導体層と、第1導電形の第2の半導体層と、複数の柱状の第2導電形の第3の半導体層と、複数の島状の第2導電形の第4の半導体層と、複数の第1導電形の第5の半導体層と、複数の第2導電形の第6の半導体層と、ゲート電極と、層間絶縁膜と、第1の電極と、第2の電極と、を備える。前記第2の半導体層は、前記第1の半導体層の主面上に設けられ、前記第1の半導体層よりも第1導電形の不純物濃度が低い。前記複数の第3の半導体層は、互いに離間し、前記第2の半導体層の前記第1の半導体層とは反対側の表面から前記第1の半導体層に向かって前記第2の半導体層中を延伸する。前記複数の第4の半導体層は、前記複数の第3の半導体層のそれぞれの上端に設けられ、前記第3の半導体層の第2導電形不純物濃度よりも高い第2導電形不純物濃度を有する。前記第5の半導体層は、前記第4の半導体層の表面のそれぞれに選択的に設けられ、前記第2の半導体層の前記第1導電形不純物濃度よりも高い不純物濃度を有する。前記第6の半導体層は、前記複数の第4の半導体層のうち、隣り合う2つの第4の半導体層を互いに電氣的に接続し、前記第4の半導体層の前記第2導電形不純物濃度よりも低い第2導電形不純物濃度を有する。前記ゲート電極は、前記第2の半導体層、前記複数の第6の半導体層、前記複数の第4の半導体層、及び前記複数の第5の半導体層の上にゲート絶縁膜を介して設けられ、前記複数の第4の半導体層及び前記複数の第5の半導体層の上に複数の開口部を有する。前記層間絶縁膜は、前記ゲート電極を上から覆う。前記第1の電極は、前記第1の半導体層の第1の主面とは反対側の第2の主面に電氣的に接続される。前記第2の電極は、前記層間絶縁膜により前記ゲート電極と絶縁され、前記ゲート電極の前記開口部を介して前記複数の第4の半導体層及び前記複数の第5の半導体層に電氣的に接続される。

20

30

【図面の簡単な説明】

【0006】

【図1】第1の実施形態に係る電力用半導体装置の要部斜視図。

【図2】第1の実施形態に係る電力用半導体装置の、(a)図1の斜視図のA-Aを通る水平面における要部平面図、(b)図1の斜視図のB-Bを通る水平面における要部平面図。

【図3】第1の実施形態に係る電力用半導体装置の図1の斜視図を上から見た要部上面図。

40

【図4】第1の実施形態に係る電力用半導体装置の動作を説明する要部斜視図。

【図5】第1の実施形態の変形例1に係る電力用半導体装置の、(a)図1の斜視図のA-Aを通る水平面に対応する水平面における要部平面図、(b)図1の斜視図を上から見たことに対応する要部上面図。

【図6】第1の実施形態の変形例2に係る電力用半導体装置の、(a)図1の斜視図のA-Aを通る水平面に対応する水平面における要部平面図、(b)図1の斜視図を上から見たことに対応する要部上面図。

【図7】第2の実施形態に係る電力用半導体装置の要部斜視図。

【図8】第2の実施形態に係る電力用半導体装置の、(a)図7の斜視図のD-Dを通る

50

水平面における要部平面図、(b)図7の斜視図のE-Eを通る水平面における要部平面図。

【図9】第2の実施形態に係る電力用半導体装置の図7の斜視図を上から見た要部上面図。

【図10】第3の実施形態に係る電力用半導体装置の、(a)図1の斜視図のA-Aを通る水平面に対応する水平面における要部平面図、(b)図1の斜視図のB-Bを通る水平面に対応する水平面における要部平面図。

【図11】第3の実施形態に係る電力用半導体装置の図1の斜視図を上から見たことに対応する要部上面図。

【発明を実施するための形態】

【0007】

以下、本発明の実施の形態について図を参照しながら説明する。実施の形態中の説明で使用する図は、説明を容易にするための模式的なものであり、図中の各要素の形状、寸法、大小関係などは、実際の実施においては必ずしも図に示されたとおりとは限らず、本発明の効果が得られる範囲内で適宜変更可能である。特に断りがない限り、半導体材料はシリコンを一例に説明する。第1導電形をn形、第2の導電形をp形を例に説明するが、逆とすることも勿論可能である。n形不純物濃度及びp形不純物濃度は、それぞれ、正味のn形不純物濃度及び正味のp形不純物濃度であり、それぞれ、n形不純物とp形不純物との補償後の濃度を意味する。また、 n^- 形、n形、及び n^+ 形が用いられる場合は、その不純物濃度に、 $n^- < n < n^+$ の関係があるものとする。 p^- 形、p形、及び p^+ 形に關しても同様である。

【0008】

(第1の実施形態)

第1の実施の形態について、図1～図4を用いて説明する。図1は、第1の実施形態に係る電力用半導体装置100の主要部の要部斜視図である。図2は、第1の実施形態に係る電力用半導体装置の、(a)図1の斜視図のA-Aを通る水平面における要部平面図、及び(b)図1の斜視図のB-Bを通る水平面における要部平面図である。図3は、第1の実施形態に係る電力用半導体装置の図1の斜視図を上から見た要部上面図であり、ソース電極14及び層間絶縁膜12を省略した図である。破線は、ゲート電極11の下部に隠れた層を示す。また、破線Cで切り出した領域が、図1の斜視図に示した領域に対応する。図4は、第1の実施形態に係る電力用半導体装置の動作を説明する要部斜視図である。図1～4は、いずれもMOSFET100の電流が流れる素子領域の主要部を説明するもので、素子領域の外側の領域である終端領域に関しては、本発明の本質に関わらないため説明は省略する。

【0009】

図1～図3に示したとおり、第1の実施形態に係る電力用半導体装置100は、MOSFETを一例に説明されたものであり、第1の主面を有する n^+ 形(第1導電形)ドレイン層(第1の半導体層)1と、n形ピラー層(第2の半導体層)3と、複数の柱状のp形(第2導電形)ピラー層(第3の半導体層)4と、複数の島状のp形ベース層(第4の半導体層)5と、複数の n^+ 形ソース層(第5の半導体層)6と、複数のp形ベース接合層(第6の半導体層)8と、ゲート電極11と、層間絶縁膜12と、第1の電極13と、第2の電極14と、を備える。 n^+ 形ドレイン層1には、例えば第1の主面とそれに対向する第2の主面を有するシリコン基板が用いられる。シリコン基板の第1の主面に後述の必要な各層が形成された後に、第2の主面側を研磨してシリコン基板を所定の厚さにすることで、 n^+ 形ドレイン層1が形成される。 n^- 形バッファ層2が、 n^+ 形ドレイン層1の第1の主面上に設けられる。 n^- 形バッファ層2は、例えばエピタキシャル成長により形成される。

【0010】

n形ピラー層3が、 n^- 形バッファ層2の上に設けられる。n形ピラー層3の不純物濃度は、 n^+ 形ドレイン層1のn形不純物濃度よりも低い。複数のp形ピラー層4は、n形

10

20

30

40

50

ピラー層 3 中に設けられ、 n 形ピラー層 3 の n^+ 形ドレイン層 1 とは反対側の表面から、 n 形ピラー層 3 中を n^+ 形ドレイン層 1 に向かって延伸する柱状構造である。複数の p 形ピラー層のそれぞれは、 n 形ピラー層 3 をそれぞれの間に介して離間している。本実施形態では、 p 形ピラー層 4 は、 n^- 形バッファ層 2 に到達しているが、 n^- 形バッファ層 2 に到達しないで、 n 形ピラー層中に留まってもよい。すなわち、複数の p 形ピラー層 4 と n^- 形バッファ層 2 の間に、 n 形ピラー層 3 が介在していてもよい。また、本実施形態では、複数の p 形ピラー層 4 は、図 2 (a) に示したように、 n^+ 形ドレイン層 1 の第 1 の主面と平行な Y 方向 (第 1 の方向) に延伸し、第 1 の主面と平行で且つ Y 方向と直交する X 方向 (第 2 の方向) に等間隔に配列された、複数の列 (図示せず) のそれぞれの列に沿って、 Y 方向に等間隔に配置される。すなわち、第 1 の主面の垂直方向から見たときに、第 1 の主面の垂直方向に延伸する複数の柱状の p 形ピラー層 4 が n 形ピラー層 3 の中に格子状に配置された、スーパージャンクション構造が、 n^- 形バッファ層 2 の上にドリフト層として形成される。

10

【0011】

n 形ピラー層 3 は、その中に複数の p 形ピラー層 4 が格子状に配置されることで、 n 形ピラー層 3 は Y 方向及び X 方向にストライプ状に延伸する格子形状を有する。言い換えると、格子状に配置された複数の p 形ピラー層 4 は、格子形状を有する n 形ピラー層 3 により形成された格子の目である。なお、 n^- 形ピラー層 3 は、柱状構造ではなく、 Y 方向及び X 方向に延伸するストライプ状の格子形状ではあるが、図 1 の斜視図に示したように断面図において、 p 形ピラー層 4 と同様に柱状に見えることから、便宜的にピラー層と称することとする。以後の実施形態でも、同様である。

20

【0012】

隣り合う n 形ピラー層 3 と p 形ピラー層 4 の不純物量は、ほぼ同じ不純物量になるように、各ピラーのサイズと各不純物のイオン注入のドーズ量が適宜設定される。このようにすることで、各ピラーの不純物濃度が高くて、スーパージャンクション構造は空乏化しやすくなるので、ドリフト層の高耐圧を維持しながらドリフト抵抗を低減できる。

【0013】

n 形ピラー層 3 と p 形ピラー層 4 とは、例えば以下のように形成されることができる。 n^- 形バッファ層 2 上に、これと同程度の不純物濃度を有する n^- 形エピタキシャル層を形成した後に、 n^- 形エピタキシャル層の表面から、 p 形ピラー層 4 を形成する位置には p 形不純物を、 n 形ピラー層 3 を形成する位置には n 形不純物をイオン注入する。 p 形不純物のイオン注入では、例えば格子状に配列されたドット状の開口を複数有するマスクを用い、 n 形不純物のイオン注入では、例えば p 形不純物がイオン注入される部分を覆うマスクが用いられる。以後、この n^- 形エピタキシャル層の形成と p 形及び n 形不純物のイオン注入を何回か繰り返した後に熱処理を施すことで、多段の n 形拡散層で形成された n 形ピラー層 3 及び多段の p 形拡散層で形成された p 形ピラー層 4 を有するスーパージャンクション構造が形成される。

30

【0014】

また、 n 形ピラー層 3 と p 形ピラー層 4 とは、以下のように形成されることもできる。 n^- 形バッファ層の上に n 形エピタキシャル層を形成した後に、その表面から上記のように p 形ピラー層 4 を形成する位置に p 形不純物をイオン注入する。以後、この n 形エピタキシャル層の形成と p 形不純物のイオン注入を何回か繰り返した後に熱処理を施すことで、 n 形エピタキシャル層が n 形ピラー層 3 となり、多段の p 形不純物拡散層が p 形ピラー層 4 となり、スーパージャンクション構造が形成される。この場合は、 n 形エピタキシャル層がそのまま n 形ピラー層 3 となるので、製造工程が短縮される。

40

【0015】

図 2 (a) に示したように、複数の p 形ベース層 5 のそれぞれの層が、複数の p 形ピラー層 4 のそれぞれの上部に島状に設けられ電氣的に接続される。島状の p 形ベース層 5 は、 n^+ 形ドレイン層の第 1 の主面の垂直方向から見たときに、 p 形ピラー層 4 の平面領域よりも外側に広がった平面領域を有する。 p 形ベース層 5 は、 p 形ピラー層 3 と同様に、

50

n⁺形ドレイン層1のY方向に延伸し、X方向に等間隔に配列された、複数の列(図示せず)のそれぞれ列に沿って、Y方向に等間隔に配置される。すなわち、第1の主面の垂直方向から見たときに、複数の島状のp形ベース層5がn形ピラー層3の中に格子状に配置される。n形ピラー層3は、その中に複数のp形ベース層5が格子状に配置されることで、n形ピラー層3はY方向及びX方向にストライプ状に延伸する格子形状を有する。言い換えると、格子状に配置された複数のp形ベース層5は、格子形状を有するn形ピラー層3により形成された格子の目である。p形ベース層5は、p形ピラー層4よりも高いp形不純物濃度を有する。

【0016】

n⁺形ソース層6は、複数のp形ベース層5のそれぞれの表面に選択的に形成される。n⁺形ソース層6は、n形ピラー層3よりも高いn形不純物濃度を有する。n⁺形ソース層6は、p形ベース層5の表面のうちX方向における両端部に形成され、n形ピラー層3の上端部から間にp形ベース層4を介して離間している。n⁺形ソース層6は、p形ベース層5の表面のうちY方向における両端部には形成されない。p⁺形コンタクト層7が、p形ベース層5表面のn⁺形ソース層6で挟まれた領域に形成される。p⁺形コンタクト層7は、後に示すソース電極14とのオーミックコンタクトをとってオン抵抗をさげるために設けられる層である。この層がなくてもオン抵抗が少しあがるだけであり、本発明の効果へ影響を与えるものではなく、本発明の技術的思想の範囲内である。

10

【0017】

p形ベース接合層8が、第1の方向に沿って隣り合うp形ベース層5を電気的に接続するように、第1の方向にそってn形ピラー層3の上端部に形成される。p形ベース接合層8の底部は、p形ベース層5の底部よりも、n⁺形ドレイン層1側に延伸して(深く)形成され、隣り合うp形ベース層の下に接続される隣り合うp形ピラー層4のそれぞれの上端部に電気的に接続される。隣り合うp形ベース層5及び隣り合うp形ピラー層4が、それぞれ、第1の方向に沿ってp形ベース接合層8により電気的に接続される。

20

【0018】

n形のJ-FET層(第7の半導体層)9の第1の部分9が第1の方向に延伸するようにn形ピラー層3の上端部に形成され、第2の方向において隣り合う2つのp形ベース層5の間に挟まれてこれら2つのp形ベース層5に接合される。n形J-FET層9は、n形ピラー層3のn形不純物濃度と略同等又はそれよりも高いn形不純物濃度を有する。

30

【0019】

図3に示したように、ゲート電極11が、ゲート絶縁膜10を介して、n形ピラー層3、複数のp形ベース接合層8、複数のp形ベース層5、及び複数のn⁺形ソース層3の上に形成される。ゲート電極11は、複数の開口部を有し、その開口部は、n⁺形ドレイン層の第1の主面に垂直な方向から見たときに、各p形ベース層5の平面領域の内側に配置され、n⁺形ソース層6の一部とp⁺形コンタクト層7とが開口部に露出されるように形成される。すなわち、その開口部の縁は、p形ベース層5の表面に形成されたn形ソース層6上に配置される。ゲート電極11は、例えば不純物がドーブされたポリシリコンが用いられる。ゲート絶縁膜10は、例えば熱酸化膜が用いられる。ゲート電極11は、それぞれ隣り合うp形ベース層の間を跨って、p形ベース層5の間にあるn形ピラー層3上を覆うように形成される。層間絶縁膜12が、ゲート電極11を上から覆うように形成される。層間絶縁膜12は、例えばCVD(Chemical Vapor Deposition)法などにより形成されたシリコン酸化膜などを用いることができる。本実施形態では、ゲート電極11が島状のp形ベース層5の間を全て覆うようにX方向とY方向に格子形状に形成されているため、ゲート電極がストライプ状に形成される場合に比べて、ゲート-ドレイン容量を大きくすることができる。

40

【0020】

ドレイン電極13は、n⁺形ドレイン層1の第2の主面に電気的に接続される。ソース電極14は、層間絶縁膜12によりゲート電極11と絶縁され、ゲート電極11の複数の開口部を介して、複数のp⁺形コンタクト層7及び複数のn⁺形ソース層6とそれぞれオ

50

ーミックコンタクトする。p形ベース層5は、p⁺形コンタクト層7を介して、ソース電極14と電氣的に接続される。ドレイン電極13及びソース電極14は、例えばアルミニウム又は銅などの金属を用いることができる。

【0021】

次に、図4を用いて本実施形態に係るMOSFET100の動作と特徴を説明する。本実施形態に係るMOSFET100は、ソース電極14に対して正の電位がドレイン電極13に印加された状態で、ゲート電極11に閾値を超える正の電位が印加されると、ゲート電極11の直下のp形ベース層7の表面に反転分布によりチャネル層が形成される。このチャネル層を介して、ドレイン電極13、n⁺形ドレイン層1、n⁻形バッファ層、n形ピラー層3、n形J-FET層9、p形ベース層5、n⁺形ソース層6、及びソース電極14を経て電流が流れる。MOSFET100がオン状態のときに流れるオン電流は、p形ベース層5とn形ピラー層とが接続する部分（又はp形ベース層5とn形J-FET層9とが接続する部分）で流れる。このため、本実施形態では、第1の方向においてはp形ベース層5はp形ベース接合層8と接合されているためオン電流は流れにくく、第2の方向においてp形ベース層5はn形ピラー層と接合されるので電流が流れやすい。従って、上述のように、n⁺形ソース層6はp形ベース層5の表面の第1の方向における両端に形成される必要はなく、第2の方向における両端に形成される。

10

【0022】

ドレイン電極13からn形ピラー層3に流れたオン電流は、n形ピラー層3全体からn形J-FET層9を介して、p形ベース層の第2の方向における両端に流れ込んで、n⁺形ソース層6を介してソース電極に流れる。ここで、n形J-FET層9は、n形ピラー層3からp形ベース層5への電流経路の抵抗を低減する役割をする。n形J-FET層9のn形不純物濃度が高いほど、この電流経路の抵抗を下げるができる。また、n形J-FET層9が第1の方向に沿ってn形ピラー層3上にストライプ状に形成されることで、オン電流をn形ピラー層3の第1の方向に拡散させることができるので、オン抵抗がさらに低減される。

20

【0023】

本実施形態では、n形J-FET層9は、その第1の部分として（本実施形態では、第1の部分のみ）n形ピラー層3の表面に第1の方向に沿って連続して延伸するようにストライプ状に形成されているが、少なくとも第2の方向において隣り合う2つのp形ベース層5の間に挟まれている部分に形成されていれば良い（この場合n形J-FET層9の第1の部分はY方向に離間して延伸する）。その場合は、本実施形態に比べてわずかにオン抵抗が高くなる。また、n形J-FET層9が、n形ピラー層3の第1の方向に延伸する部分に全く形成されていない場合でも、MOSFET100のオン抵抗が上昇するが、本発明の効果に影響を与えるものではなく、本発明の技術的思想の範囲内に入る。

30

【0024】

次に、ゲート電極11に閾値より低い電位が印加されて、MOSFET100がオフ状態になった場合を考える。MOSFET100がオフ状態になると、n形ピラー層3とp形ピラー層4のp-n接合界面から空乏層が広がり始めて、n形ピラー層3とp形ピラー層4で構成されたスーパージャンクション構造が完全に空乏化される。ここで、図4に破線で示したように、n形ピラー層3とp形ピラー層4とのp-n接合界面でアバランシェ降伏が起こると、アバランシェ降伏で発生した電子eと正孔hのうち、電子eはn形ピラー層3、n⁺形ドレイン層1を介してドレイン電極13に排出され、正孔hはp形ピラー層4、p形ベース層5、及びp⁺形コンタクト層7を介して、ソース電極14に排出される。ここで、図4に示したように、ゲート電極11の開口部においてエッチング不良などが原因で層間絶縁膜12が残ってしまい、ソース電極14とp⁺形コンタクト層7とのコンタクト不良15が起こっている場合を考える。このようなコンタクト不良15が起こっている部分では、アバランシェ降伏により発生した正孔がp形ピラー層4、p形ベース層5、及びp⁺形コンタクト層7を介してソース電極14に排出されず、正孔がp形ベース層5に蓄積されてp形ベース層5とn形J-FET層9との界面電界が上昇し破壊に至っ

40

50

てしまう。

【0025】

しかしながら、本実施形態に係るMOSFET100においては、このようなコンタクト不良15が発生していても、コンタクト不良15を有するp形ベース層5と、それに隣接するp形ベース層5とが、Y方向においてp形ベース接合層8により電氣的に接合されている。このため、コンタクト不良15を有するp形ベース層5の下部のp形ピラー層4とn形ピラー層3とのp-n接合界面でアバランシェ降伏が発生しても、アバランシェ降伏による正孔は、このコンタクト不良15を有するp形ベース層5に蓄積されることはなく、p形ベース接合層8で接合された隣のp形ベース層5を介してソース電極14に排出される。本実施形態に係るMOSFET100は、たとえゲート電極11の開口部におけるエッチング不良などでp形ベース層5とソース電極14とのコンタクト不良15を有していたとしても、MOSFET100は、高いアバランシェ耐量を維持することが可能である。

10

【0026】

本実施形態では、p形ベース接合層8は、p形ベース層5よりもn⁺形ドレイン層1側に延伸して(深く)形成され、p形ベース層8よりもn⁺形ドレイン層1側で、さらにp形ベース層5の下に形成された隣り合う2つのp形ピラー層4を電氣的に接続するように形成されている。この結果、アバランシェ降伏により発生した正孔が、隣り合う2つのp形ベース層5間を流れるだけでなく、隣り合う2つのp形ピラー層4間を流れるようになるので、正孔の排出抵抗がさらに低減されて、MOSFET100のアバランシェ耐量が高く維持される。したがって、p形ベース接合層8がn⁺形ドレイン層1側に延伸して形成されるほど、正孔の排出抵抗を低減することができるので、アバランシェ耐量をさらに上げることが可能である。

20

【0027】

しかしながら、p形ベース接合層8の底部がn⁺形ドレイン層1側に延伸して形成されるほど、p形ピラー層4とn形ピラー層3で構成されるスーパージャンクションの積層方向の厚さが減るので耐圧が低下してしまう。また、MOSFET100がオン状態の時にp形ベース接合層8の直下のn形ピラー層に広がって流れていたオン電流が流れにくくなるため、オン抵抗の増加をもたらす。このため、p形ベース接合層8の底部をどこまでn⁺形ドレイン層1の第1の主面に垂直な方向に延伸させるか(深くするか)は、設計により設定化すればよい。

30

【0028】

p形ベース接合層8の底部がp形ベース層5の底部よりゲート電極8側に配置されるように、p形ベース接合層8がp形ベース層5よりも浅く形成されることも可能である。この場合、p形ベース接合層8は、隣り合う2つのp形ベース層5の間にだけ挟まれて形成され、この2つのp形ベース層8にだけ接合し、その下部で隣り合う2つのp形ピラー層4に接続されない。ソース電極14とp形ベース層5とのコンタクト不良15が発生した場合、p形ベース接合層8がp形ベース層5よりも深く形成される場合に比べて、アバランシェ降伏により発生した正孔の排出抵抗が高くなるが、このような構造もMOSFET100の仕様に応じて勿論可能である。

40

【0029】

次に本実施形態の変形例1のMOSFETを図5を用いて説明する。図5は、第1の実施形態の変形例1に係る電力用半導体装置の、(a)図1の斜視図のA-Aを通る水平面に対応する水平面における要部平面図、(b)図1の斜視図を上から見たことに対応する要部上面図。なお、本実施形態で説明した構成と同じ構成の部分には同じ参照番号または記号を用いその説明は省略する。本実施形態との相異点について主に説明する。

【0030】

本実施形態の変形例1に係るMOSFET101は、本実施形態に係るMOSFET100とは、n形ピラー層3及びp形ピラー層4の水平面内における配列の仕方が異なり、これ以外に関しては、本実施形態に係るMOSFET100と同じ構造である。そのため

50

、本実施形態の変形例 1 に係る MOSFET 101 の説明においては、図 1 の斜視図に相当する図を用いることは省略し、図 1 の斜視図における A - A を通る水平面に対応する水平面における平面図（図 5 (a) ）及び図 1 の斜視図を上方から見た上面図に対応する上面図（図 5 (b) ）を用いて説明する。

【 0 0 3 1 】

図 5 に示しように、本実施形態の変形例 1 の MOSFET 101 は、本実施形態に係る MOSFET 100 と同様に、 n 形ピラー層 3 中に、 Y 方向に延伸し X 方向に等間隔に配列された図示しない複数の列のそれぞれに沿って、 Y 方向に等間隔に配置され、 n^+ 形ドレイン層 1 の第 1 の主面の垂直方向に延伸する複数の柱状の p 形ピラー層 4 を有する。しかしながら、本実施形態の変形例 1 に係る MOSFET 101 では、複数の列のうちの一つの列に配置された p 形ピラー層 4 のうち第 1 の方向において隣り合う 2 つの p 形半導体層 4 間の第 1 の方向における中心の位置が、この列に隣り合う列に配置された p 形ピラー層 4 のうちの一つと第 2 の方向において隣り合う配置関係にある。すなわち、 X 方向に一列置きに、 p 形ピラー層 4 の配置が、 Y 方向における p 形ピラー層 4 の配置間隔の半周期分だけ Y 方向に向かってシフトしている。複数の p 形ピラー層 4 は、 n 形ピラー層 3 中でオフセット格子状又は千鳥足状に配置されており、 n 形ピラー層はオフセット格子形状又は千鳥格子形状を有する。この点において、本実施形態の変形例 1 の MOSFET 101 は、本実施形態に係る MOSFET 100 と相異なる。

10

【 0 0 3 2 】

本実施形態の変形例 1 の MOSFET 101 においても、本実施形態に係る MOSFET 100 と同様に、いずれかの p 形ベース層 5 とソース電極 14 との間でコンタクト不良 15 が発生したとしても、コンタクト不良 15 を有する p 形ベース層 5 と、それに隣接する p 形ベース層 5 とが、 Y 方向において p 形ベース接合層 8 により電氣的に接合されている。このため、コンタクト不良 15 を有する p 形ベース層 5 の下部の p 形ピラー層 4 と n 形ピラー層 3 との p - n 接合界面でアバランシェ降伏が発生しても、アバランシェ降伏による正孔は、このコンタクト不良 15 を有する p 形ベース層 5 に蓄積されることはなく、 p 形ベース接合層 8 で接合された隣の p 形ベース層 5 を介してソース電極 14 に排出される。MOSFET 101 は、たとえゲート電極 11 の開口部における製造工程のエッチング不良などで p 形ベース層 5 とソース電極 14 とのコンタクト不良 15 を有していたとしても、高いアバランシェ耐量を維持することが可能である。

20

30

【 0 0 3 3 】

次に、本実施形態に係る変形例 2 に係る MOSFET 102 について図 6 を用いて説明する。図 6 は、第 1 の実施形態の変形例 2 に係る電力用半導体装置の、(a) 図 1 の斜視図の A - A を通る水平面に対応する水平面における要部平面図、(b) 図 1 の斜視図を上から見たことに対応する要部上面図。なお、本実施形態で説明した構成と同じ構成の部分には同じ参照番号または記号を用いその説明は省略する。本実施形態との相異点について主に説明する。

【 0 0 3 4 】

本実施形態の変形例 2 に係る MOSFET 102 は、本実施形態の変形例 1 に係る MOSFET 101 と同様に、本実施形態に係る MOSFET 100 とは、 n 形ピラー層 3 及び p 形ピラー層 4 の水平面内における配列の仕方が異なり、これ以外に関しては、本実施形態に係る MOSFET 100 と同じ構造である。以下、変形例 1 に係る MOSFET 101 との違いを説明する。

40

【 0 0 3 5 】

本実施形態の変形例 2 に係る MOSFET 102 は、変形例 1 に係る MOSFET 101 の p 形ピラー層 4 及び p 形ベース層 5 の配置において、 n^+ 形ドレイン層 1 の垂直方向からみた平面形状がそれぞれ正六角形となっており、そのうちの対向する一对の辺が X 方向に平行に配置される。すなわち、六角柱の複数の p 形ピラー層 4 及びそれらの上端部に形成された六角形の島状の複数の p 形ベース層 5 が、 n 形ピラー層 3 中に蜂の巣状に配置され、八二カム構造を構成する。ゲート電極 11 は、 p 形ベース層 5 の上部に複数の正六

50

角形の開口部を有する。開口部の正六角形の縁のうち、第2の方向において対向する一对の2辺の下部に n^+ 形ソース層6がそれぞれ形成され、 n^+ 形ソース層6の間でp形ベース層の表面にp形コンタクト層7が形成される。オン電流は、第2の方向に沿って、 n 形ピラー層3、p形ベース層5、 n^+ 形ソース層6を流れる。本実施形態の変形例2に係るMOSFET102は、上記点を除き、本実施形態及び本実施形態の変形例1と同じ構造である。

【0036】

本実施形態の変形例2に係るMOSFET102は、 n 形ピラー層3中のp形ピラー層4の配置パターンが違うだけなので、本実施形態のMOSFET100及び本実施形態に係るMOSFET101と同様な効果が得られる。

10

【0037】

(第2の実施形態)

第2の実施形態について、図7～図9を用いて説明する。図7は、第2の実施形態に係る電力用半導体装置200の主要部の要部斜視図である。図8は、第2の実施形態に係る電力用半導体装置の、(a)図7の斜視図のD-Dを通る水平面における要部平面図、及び(b)図7の斜視図のE-Eを通る水平面における要部平面図である。図9は、第2の実施形態に係る電力用半導体装置の図7の斜視図を上から見た要部上面図であり、ソース電極14及び層間絶縁膜12を省略した図である。図9における破線は、ゲート電極11の下部に隠れた層を示す。図7～9は、いずれもMOSFET200の電流が流れる素子領域の主要部を説明するもので、素子領域の外側の領域である終端領域に関しては、本発明の本質に関わらないため説明は省略する。なお、本実施形態で説明した構成と同じ構成の部分には同じ参照番号または記号を用いその説明は省略する。本実施形態との相異点について主に説明する。

20

【0038】

第2の実施形態に係るMOSFET200は、図7～図9に示したように、第1の実施形態に係るMOSFET100において、p形ベース接合層8の表面にY方向に隣り合う2つのp形ベース層5に接続される n 形J-FETの第2の部分9Aを有する。すなわち、 n 形J-FET層9は、 n 形ピラー層の表面に形成されY方向に延伸する第1の部分9と、第1の部分と接合しX方向に延伸する上記第2の部分9Aを有する。 n 形J-FET層9は、第1の部分9と第2の部分9Aにより、 n^+ 形ドレイン層1と平行な平面内で複数のp形ベース層5のそれぞれの外周を取り囲む。

30

【0039】

本実施形態に係るMOSFET200では、 n 形J-FET層9の第2の部分がp形ベース層5とY方向において電氣的に接合されるので、この部分にもオン電流が流れることができる。そのため、MOSFET200は、p形ベース層5の表面において、Y方向の両端にも n^+ 形ソース層6を有する。MOSFET200は、p形ベース層5の表面に環状の n^+ 形ソース層6を有し、 n^+ 形ソース層6の内側領域のp形ベース層5の表面にp形コンタクト層7を有する。以上の点において、本実施形態に係るMOSFET200は、第1の実施形態に係るMOSFET100と相異なる。その他は同じ構造である。

【0040】

MOSFET200では上記構造により、 n^+ 形ソース層6/p形ベース層5/ n 形J-FET層9のチャンネル構造が、第2の方向に沿って形成されるだけでなく、第1の方向に沿っても形成される。これにより、 n 形ピラー層3、 n 形J-FET層の第1の部分9、第2の方向に沿ったp形ベース層5、及び第2の方向に沿った n^+ 形ソース層6の経路でオン電流が流れることに加えて、 n 形ピラー層3、 n 形J-FET層の第1の部分9、 n 形J-FET層の第2の部分、第1の方向に沿ったp形ベース層5、及び第1の方向に沿った n^+ 形ソース層6の経路でもオン電流が流れる。このため、本実施形態に係るMOSFET200は、第1の実施形態に係るMOSFET100と比べて、チャンネル抵抗が低減されるのでオン抵抗が低い。

40

【0041】

50

図7では、 n 形 J -FET層の第2の部分9Aは、第1の方向に沿って p 形のベース層接合層8の表面に形成され第1の方向で隣り合う p 形ベース層5に接合されており、その底部は、 p 形ベース層5の底部よりもゲート電極11側に(p 形ベース層5より浅く)形成される。 n 形 J -FET層の第2の部分9Aの底部は、 p 形ベース層5の底部より n^+ 形ドレイン層1側に(p 形ベース層5よりも深く)形成されるほど、第1の方向に沿った n^+ 形ソース層6/ p 形ベース層5/ n 形 J -FET層9のチャンネル抵抗が低減される。しかしながら、 n 形 J -FET層の第2の部分9Aの底部が深くなるほど、 n 形 J -FET層の第2の部分9Aと n 形ピラー層3との間に存在する p 形ピラー接合層8の第1の方向における断面積が狭くなるので、アバランシェ降伏により発生した正孔の排出抵抗が高くなりMOSFET200のアバランシェ耐量が低減される。このため、 n 形 J -FET層の第2の部分9Aの底部と p 形ベース接合層8の底部とをどのような位置に設けるかは、設計により最適化される。

10

【0042】

本実施形態に係るMOSFET200は、第1の実施形態に係るMOSFET100と同様に、いずれかの p 形ベース層5とソース電極14との間でコンタクト不良15が発生したとしても、コンタクト不良15を有する p 形ベース層5と、それに隣接する p 形ベース層5とが、 Y 方向において p 形ベース接合層8により電氣的に接合されている。このため、コンタクト不良15を有する p 形ベース層5の下部の p 形ピラー層4と n 形ピラー層3との p - n 接合界面でアバランシェ降伏が発生しても、アバランシェ降伏による正孔は、このコンタクト不良15を有する p 形ベース層5に蓄積されることはなく、 p 形ベース接合層8で接合された隣の p 形ベース層5を介してソース電極14に排出される。MOSFET200は、たとえゲート電極11の開口部における製造工程のエッチング不良などで p 形ベース層5とソース電極14とのコンタクト不良15を有していたとしても、高いアバランシェ耐量を維持することが可能である。

20

【0043】

さらに、本実施形態に係るMOSFET200は、 Y 方向に隣り合う2つの p 形ベース層5に接続される n 形 J -FETの第2の部分9Aを p 形ベース接合層8の表面に有するので、 n^+ 形ソース層6/ p 形ベース層5/ n 形 J -FET層9のチャンネル構造が、第2の方向に沿って形成されるだけでなく、第1の方向に沿っても形成される。これにより、本実施形態に係るMOSFET200は、第1の実施形態に係るMOSFET100と比べて、さらにオン抵抗が低減される。

30

【0044】

説明は省略するが、本実施形態においても、第1の実施形態の変形例1及び変形例2を適用することは勿論可能である。

【0045】

(第3の実施形態)

第3の実施の形態について、図10~図11を用いて説明する。図10は、第3の実施形態に係る電力用半導体装置の、(a)図1の斜視図のA-Aに対応する位置の水平面における要部平面図、及び(b)図1の斜視図のB-Bに対応する位置の水平面における要部平面図である。図11は、第3の実施形態に係る電力用半導体装置の図1の斜視図を上から見た要部上面図に対応する上面図であり、ソース電極14及び層間絶縁膜12を省略した図である。図11における破線は、ゲート電極11の下部に隠れた層を示す。図10~11は、いずれもMOSFET300の電流が流れる素子領域の主要部を説明するもので、素子領域の外側の領域である終端領域に関しては、本発明の本質に関わらないため説明は省略する。なお、本実施形態で説明した構成と同じ構成の部分には同じ参照番号または記号を用いその説明は省略する。また、本実施形態に係る電力用半導体装置の要部斜視図に関しては、第2の実施形態の斜視図とほぼ同様なので省略した。本実施形態との相異点について主に説明する。

40

【0046】

第3の実施形態に係るMOSFET300は、図10~図11に示したように、第1の

50

実施形態に係るMOSFET100において、p形半導体層からなる連結部8Aをさらに有し、複数のp形ベース層5が配置された複数の列のうちの1つの列に配置されたp形ベース接合層8と、その列と隣の列に配置されたp形ベース接合層8と、をp形連結部8AによりX方向で連結する。p形連結部8Aは、p形ベース接合層8と同じp形の不純物濃度を有し、p形ベース接合層8と一体的に形成されることができる。このようにX方向において、隣り合う2つのp形ベース接合層8が、p形連結部8Aにより連結されるので、コンタクト不良15を有するp形ベース層5の下部で発生したアバランシェ降伏による正孔は、Y方向で隣接するp形ベース層から排出されるだけでなく、X方向で隣接するp形ベース層5から排出されることも可能となる。このため、正孔の排出抵抗がさらに低くなるために、MOSFET300のアバランシェ耐量が向上される。

10

【0047】

図10(b)では、n形ピラー層3の表面に形成されるn形J-FET層9は、Y方向においてp形ベース接合層8のp形連結部8Aにより離間分離されて、Y方向に沿って離散的に延伸している。しかしながら、n形J-FET層9は、p形連結部8Aの表面にも形成されて、Y方向に沿って連続的に延伸することも勿論可能である。後者の方が、n形J-FET層9により、オン電流がn形ピラー層3中でY方向に拡散されるので、よりオン抵抗が低くなる。

【0048】

また、第2の実施形態で示したように、n形J-FET層9は、さらにY方向に沿って隣り合う2つのp形ベース層5を接合させるp形ベース接合層8の表面に、n形J-FET層9の第2の部分が設けられていてもよい。この場合は、第1の部分9と第2の部分9Aとが一体化されたn形J-FET層が、n形ピラー層3、p形ベース接合層8、及びp形ベース接合層の連結部8Aの表面に跨って形成される。

20

【0049】

本実施形態に係るMOSFET300は、第1の実施形態に係るMOSFET100と同様に、いずれかのp形ベース層5とソース電極14との間でコンタクト不良15が発生したとしても、コンタクト不良15を有するp形ベース層5と、それに隣接するp形ベース層5とが、Y方向においてp形ベース接合層8により電氣的に接合されている。このため、コンタクト不良15を有するp形ベース層5の下部のp形ピラー層4とn形ピラー層3とのp-n接合界面でアバランシェ降伏が発生しても、アバランシェ降伏による正孔は、このコンタクト不良15を有するp形ベース層5に蓄積されることはなく、p形ベース接合層8で接合された隣のp形ベース層5を介してソース電極14に排出される。MOSFET300は、たとえゲート電極11の開口部における製造工程のエッチング不良などでp形ベース層5とソース電極14とのコンタクト不良15を有していたとしても、高いアバランシェ耐量を維持することが可能である。

30

【0050】

さらに、本実施形態に係るMOSFET300は、第1の実施形態に係るMOSFET100において、複数のp形ベース層5が配置された複数の列のうちの1つの列に配置されたp形ベース接合層8と、その列と隣の列に配置されたp形ベース接合層8と、をX方向で連結するp形半導体層からなる連結部8Aをさらに有する。これにより、MOSFET300は、さらにアバランシェ降伏により発生した正孔が、Y方向に沿って隣のp形ベース層5から排出されるだけでなく、X方向に沿って隣のp形ベース層5から排出されることが可能となる。MOSFET300は、さらに高いアバランシェ耐量を有するようになる。

40

【0051】

説明は省略するが、本実施形態においても、第1の実施形態の変形例1及び変形例2を適用することは勿論可能である。

【0052】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その

50

他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

【0053】

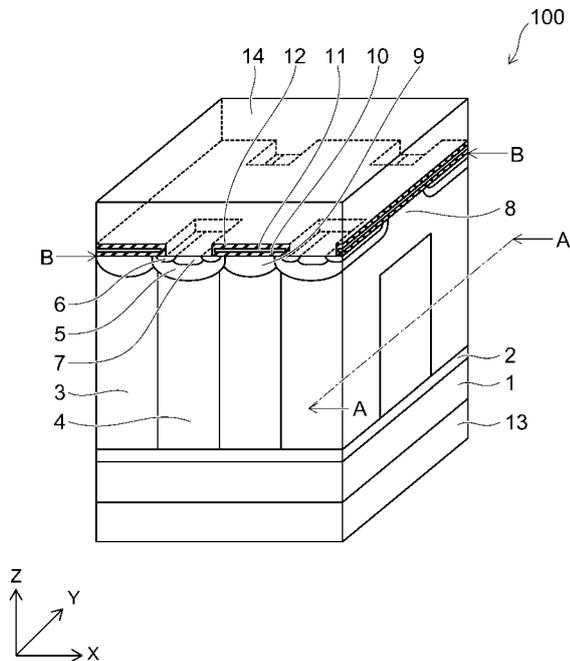
- 1 n⁺形ドレイン層
- 2 n⁻形バッファ層
- 3 n形ピラー層
- 4 p形ピラー層
- 5 p形ベース層
- 6 n⁺形ソース層
- 7 p⁺形コンタクト層
- 8 p形ベース接合層
- 9 n形J-FET層
- 10 ゲート絶縁膜
- 11 ゲート電極
- 12 層間絶縁膜
- 13 ドレイン電極
- 14 ソース電極
- 15 コンタクト不良部

10

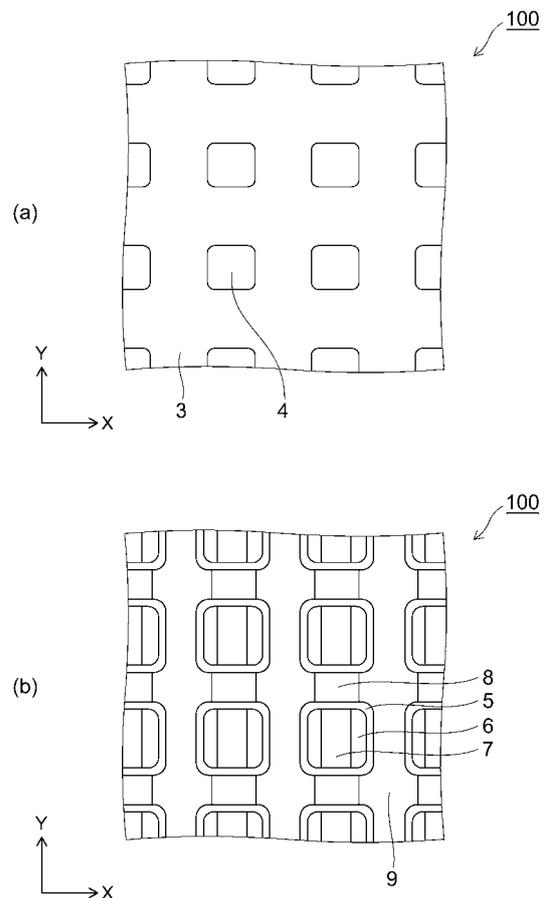
20

100、200、300 MOSFET

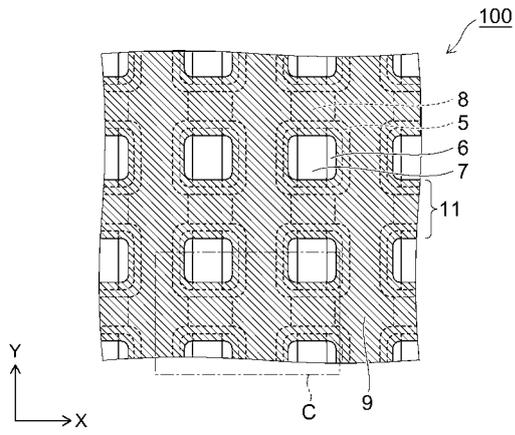
【図1】



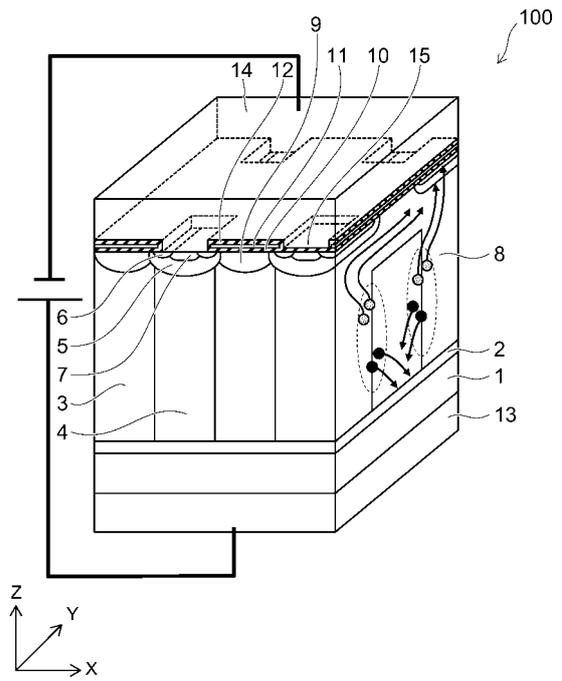
【図2】



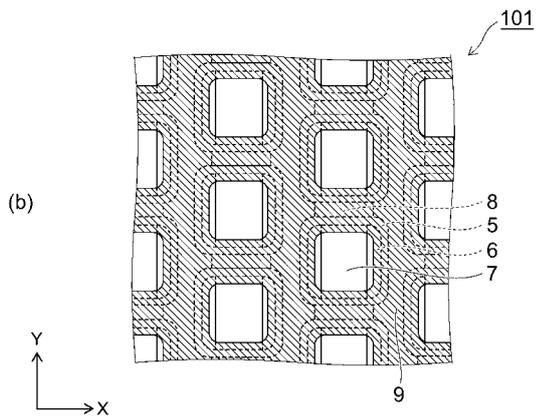
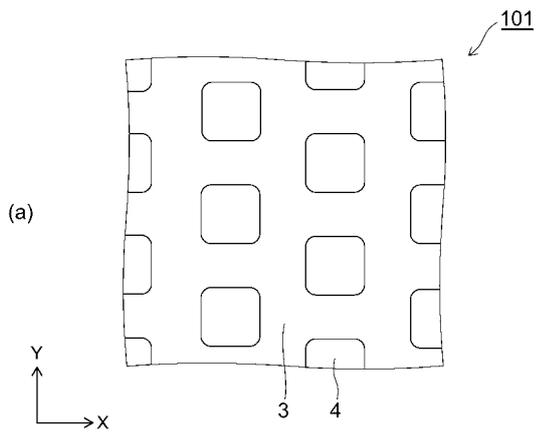
【 図 3 】



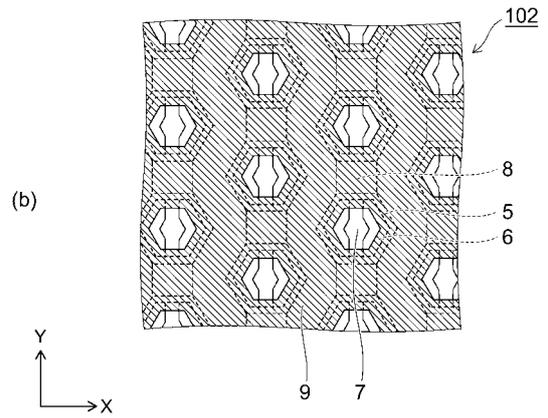
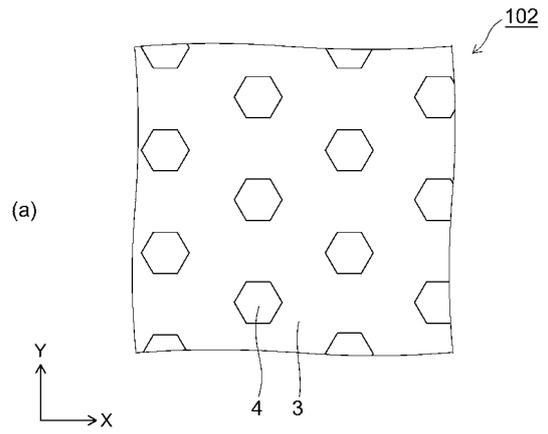
【 図 4 】



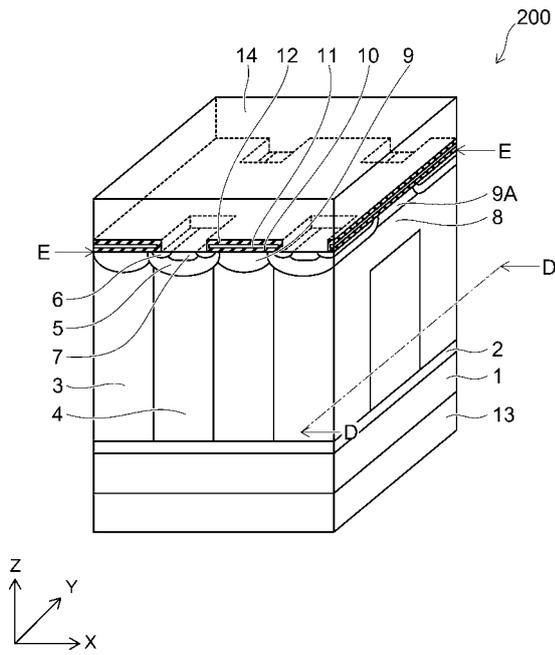
【 図 5 】



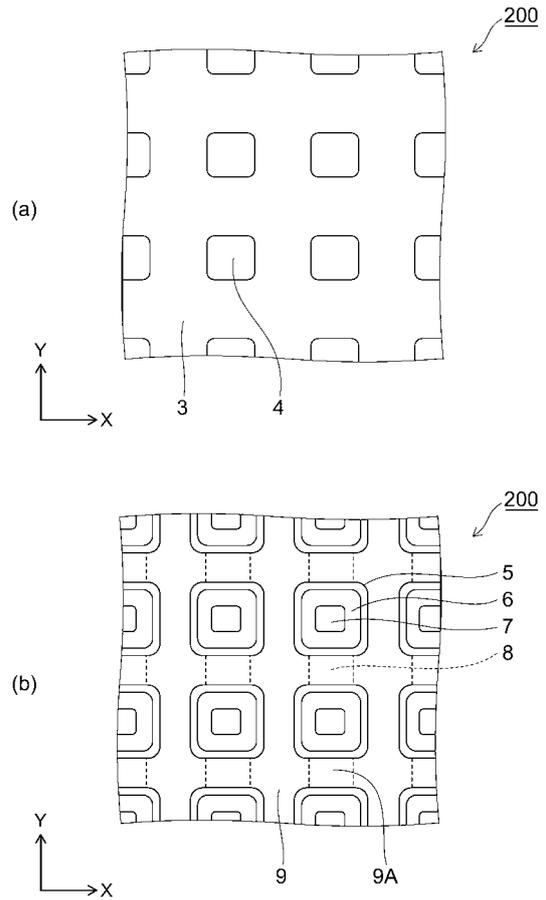
【 図 6 】



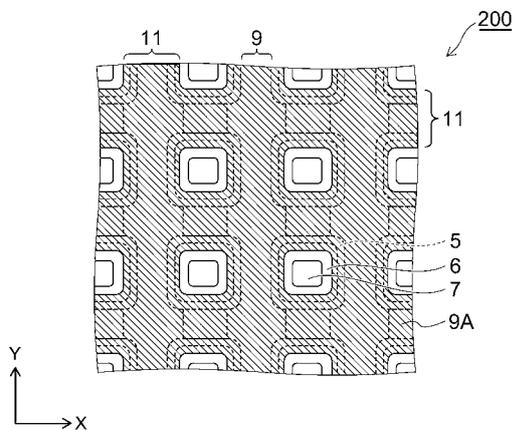
【 図 7 】



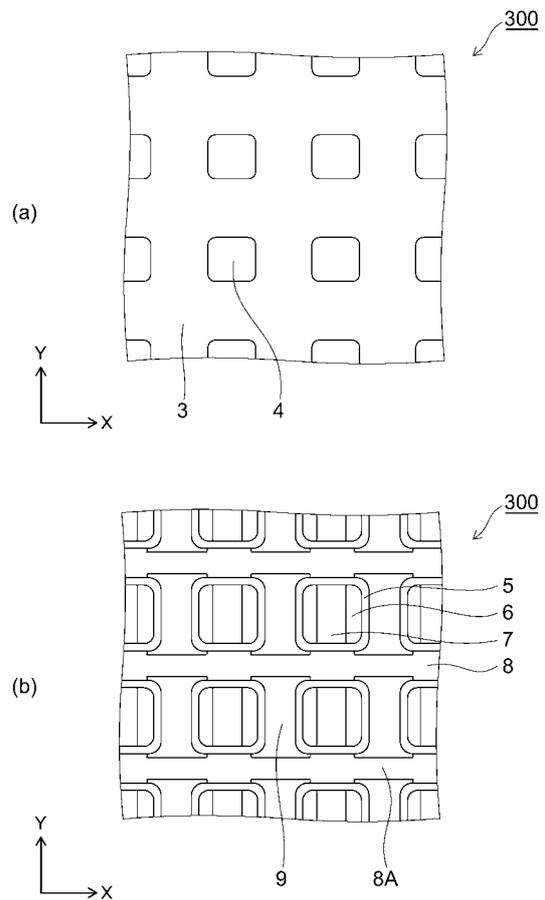
【 図 8 】



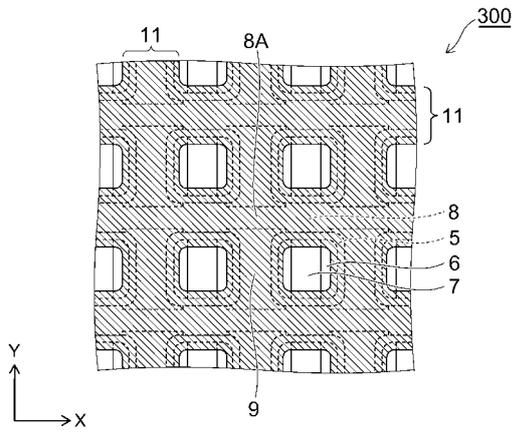
【 図 9 】



【 図 10 】



【 図 1 1 】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	H 0 1 L 29/06	3 0 1 D
	H 0 1 L 29/06	3 0 1 V
	H 0 1 L 29/78	6 5 2 J

(72)発明者 鈴木 純二
東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 入船 裕行
東京都港区芝浦一丁目1番1号 株式会社東芝内