

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5221112号
(P5221112)

(45) 発行日 平成25年6月26日 (2013. 6. 26)

(24) 登録日 平成25年3月15日 (2013. 3. 15)

(51) Int. Cl.

F I

| | | |
|--------------------------------|--------------|---------|
| HO 1 L 21/336 (2006.01) | HO 1 L 29/78 | 3 O 1 S |
| HO 1 L 29/78 (2006.01) | HO 1 L 29/50 | M |
| HO 1 L 29/417 (2006.01) | HO 1 L 21/28 | 3 O 1 S |
| HO 1 L 21/28 (2006.01) | HO 1 L 21/90 | C |
| HO 1 L 21/768 (2006.01) | HO 1 L 29/78 | 3 O 1 P |

請求項の数 19 (全 43 頁) 最終頁に続く

(21) 出願番号 特願2007-309267 (P2007-309267)
 (22) 出願日 平成19年11月29日 (2007. 11. 29)
 (65) 公開番号 特開2009-135227 (P2009-135227A)
 (43) 公開日 平成21年6月18日 (2009. 6. 18)
 審査請求日 平成22年10月22日 (2010. 10. 22)

(73) 特許権者 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100088487
 弁理士 松山 允之
 (74) 代理人 100119035
 弁理士 池上 徹真
 (72) 発明者 西 義史
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内
 (72) 発明者 土屋 義規
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法および半導体装置

(57) 【特許請求の範囲】

【請求項1】

半導体基板にM I S F E Tを有する半導体装置の製造方法であって、
 前記半導体基板上にゲート絶縁膜を形成する工程と、
 前記ゲート絶縁膜上にゲート電極を形成する工程と、
前記ゲート電極を形成する工程の後に、前記半導体基板上に第1の金属を堆積する工程
 と、

第1の熱処理により前記第1の金属と前記半導体基板を反応させて、前記ゲート電極両
 側の前記半導体基板表面に金属半導体化合物層を形成する工程と、

前記金属半導体化合物層中に、S iの原子量以上の質量を有するイオンをイオン注入す
 る工程と、

前記イオン注入する工程の後に、前記金属半導体化合物層上に第2の金属を堆積する工
 程と、

第2の熱処理により、前記第2の金属を前記金属半導体化合物層中に拡散させることで
 、前記金属半導体化合物層と前記半導体基板の界面に、前記第2の金属を偏析させて界面
 層を形成する工程を有し、

前記M I S F E Tがn型M I S E F E Tである場合には、前記界面層の電子に対するシ
 ョットキー障壁高さを、前記金属半導体化合物層の電子に対するショットキー障壁高さよ
 りも小さくし、

前記M I S F E Tがp型M I S E F E Tである場合には、前記界面層の正孔に対するシ

10

20

ショットキー障壁高さを、前記金属半導体化合物層の正孔に対するショットキー障壁高さよりも小さくする、
ことを特徴とする半導体装置の製造方法。

【請求項 2】

半導体基板に M I S F E T を有する半導体装置の製造方法であって、
前記半導体基板上にゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜上にゲート電極を形成する工程と、
前記ゲート電極を形成する工程の後に、前記半導体基板中に、S i の原子量以上の質量
を有するイオンをイオン注入する工程と、

前記イオン注入する工程の後に、前記半導体基板上に第 1 の金属を堆積する工程と、
第 1 の熱処理により前記第 1 の金属と前記半導体基板を反応させて、前記ゲート電極両
側の前記半導体基板表面に金属半導体化合物層を形成する工程と、

前記金属半導体化合物層上に第 2 の金属を堆積する工程と、
第 2 の熱処理により、前記第 2 の金属を前記金属半導体化合物層中に拡散させることで
、前記金属半導体化合物層と前記半導体基板の界面に前記第 2 の金属を偏析させて界面層
を形成する工程を有し、

前記 M I S F E T が n 型 M I S E F E T である場合には、前記界面層の電子に対するシ
ョットキー障壁高さを、前記金属半導体化合物層の電子に対するショットキー障壁高さよ
りも小さくし、

前記 M I S F E T が p 型 M I S E F E T である場合には、前記界面層の正孔に対するシ
ョットキー障壁高さを、前記金属半導体化合物層の正孔に対するショットキー障壁高さよ
りも小さくする、

ことを特徴とする半導体装置の製造方法。

【請求項 3】

前記イオン注入する工程において、前記イオンの投影飛程（プロジェクトレンジ：
R p）が、前記金属半導体化合物層の膜厚以下となる条件で注入することを特徴とする請
求項 1 に記載の半導体装置の製造方法。

【請求項 4】

前記イオン注入する工程において、前記イオンの投影飛程（プロジェクトレンジ：
R p）が、前記金属半導体化合物層を形成する工程において反応に寄与する前記半導体基
板の厚さ以下となる条件で注入することを特徴とする請求項 2 に記載の半導体装置の製造
方法。

【請求項 5】

前記イオンが、S i、G e または希ガス元素であることを特徴とする請求項 1 ないし請
求項 4 いずれか一項に記載の半導体装置の製造方法。

【請求項 6】

前記半導体が、S i であることを特徴とする請求項 1 ないし請求項 5 いずれか一項に記
載の半導体装置の製造方法。

【請求項 7】

前記 M I S F E T が n 型 M I S F E T であり、前記第 1 の金属が N i または P t を含有
する N i であり、前記第 2 の金属が希土類金属であることを特徴とする請求項 1 ないし請
求項 6 いずれか一項に記載の半導体装置の製造方法。

【請求項 8】

前記半導体が、S i であり、前記 M I S F E T が n 型 M I S F E T であり、前記第 1 の
金属が N i または P t を含有する N i であり、前記第 2 の金属が希土類金属であり、前記
金属半導体化合物層の膜厚が 2 0 n m 以下であり、前記イオン注入する工程において G e
が 6 0 k e V 以下の加速電圧で注入されることを特徴とする請求項 1 または請求項 3 に記
載の半導体装置の製造方法。

【請求項 9】

前記半導体が、S i であり、前記 M I S F E T が n 型 M I S F E T であり、前記第 1 の

10

20

30

40

50

金属がNiまたはPtを含有するNiであり、前記第2の金属が希土類金属であり、前記金属半導体化合物層の膜厚が20nm以下であり、前記イオン注入する工程においてXeが90keV以下の加速電圧で注入されることを特徴とする請求項1または請求項3に記載の半導体装置の製造方法。

【請求項10】

前記半導体が、Siであり、前記MISFETがn型MISFETであり、前記第1の金属がNiまたはPtを含有するNiであり、前記第2の金属が希土類金属であり、前記金属半導体化合物層の膜厚が20nm以下であり、前記イオン注入する工程においてGeが20keV以下の加速電圧で注入されることを特徴とする請求項2または請求項4に記載の半導体装置の製造方法。

10

【請求項11】

前記半導体が、Siであり、前記MISFETがn型MISFETであり、前記第1の金属がNiまたはPtを含有するNiであり、前記第2の金属が希土類金属であり、前記金属半導体化合物層の膜厚が20nm以下であり、前記イオン注入する工程においてXeが25keV以下の加速電圧で注入されることを特徴とする請求項2または請求項4に記載の半導体装置の製造方法。

【請求項12】

半導体基板に第1導電型MISFETと第2導電型MISFETを有する半導体装置の製造方法であって、

前記半導体基板上に前記第1導電型MISFETのゲート絶縁膜を形成する工程と、

20

前記第1導電型MISFETのゲート絶縁膜上に前記第1導電型MISFETのゲート電極を形成する工程と、

前記半導体基板上に前記第2導電型MISFETのゲート絶縁膜を形成する工程と、

前記第2導電型MISFETのゲート絶縁膜上に前記第2導電型MISFETのゲート電極を形成する工程と、

前記第1導電型MISFETのゲート電極を形成する工程および前記第2導電型MISFETのゲート電極を形成する工程の後に、前記半導体基板上に第1の金属を堆積する工程と、

第1の熱処理により前記第1の金属と前記半導体基板を反応させて、前記第1導電型MISFETおよび前記第2導電型MISFETのゲート電極両側の前記半導体基板表面に金属半導体化合物層を形成する工程と、

30

前記第1導電型MISFETが形成される領域の前記金属半導体化合物層中に、選択的にSiの原子量以上の質量を有するイオンをイオン注入する工程と、

前記イオン注入する工程の後に、前記金属半導体化合物層上に第2の金属を堆積する工程と、

第2の熱処理により、前記第2の金属を前記第1導電型MISFETが形成される領域の前記金属半導体化合物層中に拡散させることで、前記金属半導体化合物層と前記半導体基板の界面に前記第2の金属を偏析させて界面層を形成する工程を有し、

前記第1導電型MISFETがn型MISFETである場合には、前記界面層の電子に対するショットキー障壁高さを、前記金属半導体化合物層の電子に対するショットキー障壁高さよりも小さくし、

40

前記第1導電型MISFETがp型MISFETである場合には、前記界面層の正孔に対するショットキー障壁高さを、前記金属半導体化合物層の正孔に対するショットキー障壁高さよりも小さくする、

ことを特徴とする半導体装置の製造方法。

【請求項13】

半導体基板に第1導電型MISFETと第2導電型MISFETを有する半導体装置の製造方法であって、

前記半導体基板上に前記第1導電型MISFETのゲート絶縁膜を形成する工程と、

前記第1導電型MISFETのゲート絶縁膜上に前記第1導電型MISFETのゲート

50

電極を形成する工程と、

前記半導体基板上に前記第2導電型MISFETのゲート絶縁膜を形成する工程と、
前記第2導電型MISFETのゲート絶縁膜上に前記第2導電型MISFETのゲート電極を形成する工程と、

前記第1導電型MISFETのゲート電極を形成する工程および前記第2導電型MISFETのゲート電極を形成する工程の後に、前記第1導電型MISFETが形成される領域の前記半導体基板中に、選択的にSiの原子量以上の質量を有するイオンをイオン注入する工程と、

前記イオン注入する工程の後に、前記半導体基板上に第1の金属を堆積する工程と、
第1の熱処理により前記第1の金属と前記半導体基板を反応させて、前記第1導電型MISFETおよび前記第2導電型MISFETのゲート電極両側の前記半導体基板表面に金属半導体化合物層を形成する工程と、

前記金属半導体化合物層上に第2の金属を堆積する工程と、
第2の熱処理により、前記第2の金属を前記第1導電型MISFETが形成される領域の前記金属半導体化合物層中に拡散させることで、前記金属半導体化合物層と前記半導体基板の界面に前記第2の金属を偏析させて界面層を形成する工程を有し、

前記第1導電型MISFETがn型MISFETである場合には、前記界面層の電子に対するショットキー障壁高さを、前記金属半導体化合物層の電子に対するショットキー障壁高さよりも小さくし、

前記第1導電型MISFETがp型MISFETである場合には、前記界面層の正孔に対するショットキー障壁高さを、前記金属半導体化合物層の正孔に対するショットキー障壁高さよりも小さくする、
ことを特徴とする半導体装置の製造方法。

【請求項14】

前記イオン注入する工程において、前記イオンの投影飛程（プロジェクトレンジ：Rp）が、前記金属半導体化合物層の膜厚以下となる条件で注入することを特徴とする請求項12に記載の半導体装置の製造方法。

【請求項15】

前記イオン注入する工程において、前記イオンの投影飛程（プロジェクトレンジ：Rp）が、前記金属半導体化合物層を形成する工程において反応に寄与する前記半導体基板の厚さ以下となる条件で注入することを特徴とする請求項13に記載の半導体装置の製造方法。

【請求項16】

前記イオンが、Si、Geまたは希ガス元素であることを特徴とする請求項12または請求項13に記載の半導体装置の製造方法。

【請求項17】

前記半導体が、Siであり、前記第1導電型MISFETがn型MISFETであり、前記第1の金属がNiまたはPtを含有するNiであり、前記第2の金属が希土類金属であることを特徴とする請求項12ないし請求項16いずれか一項に記載の半導体装置の製造方法。

【請求項18】

半導体基板中に形成されたチャネル領域と、
前記チャネル領域表面に形成されたゲート絶縁膜と、
前記ゲート絶縁膜上に形成されたゲート電極と、
前記チャネル領域の両側に形成されたソース/ドレイン電極を具備するMISFETを有し、

前記ソース/ドレイン電極が第1の金属を含む金属半導体化合物層で形成され、
前記半導体基板と前記金属半導体化合物層との界面に、第2の金属を含有する界面層が形成され、

前記金属半導体化合物層の任意の $1\mu\text{m} \times 1\mu\text{m}$ 断面において、 $3/4$ 以上の面積領域

10

20

30

40

50

が粒径100nm以下の結晶粒で占有されており、

前記MISFETがn型MISFETである場合には、前記界面層の電子に対するショットキー障壁高さが、前記金属半導体化合物層の電子に対するショットキー障壁高さよりも小さく、

前記MISFETがp型MISFETである場合には、前記界面層の正孔に対するショットキー障壁高さが、前記金属半導体化合物層の正孔に対するショットキー障壁高さよりも小さい、

ことを特徴とする半導体装置。

【請求項19】

前記半導体が、Siであり、前記第1導電型MISFETがn型MISFETであり、前記第1の金属がNiまたはPtを含有するNiであり、前記第2の金属が希土類金属であることを特徴とする請求項18に記載の半導体装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造方法および半導体装置に関し、特に、半導体基板に形成する電極部分の接触抵抗を低減する半導体装置の製造方法および半導体装置に関する。

【背景技術】

【0002】

半導体集積回路の高性能化には、その構成要素である金属絶縁膜電界効果トランジスタ(MISFET: Metal Insulator Semiconductor Field Effect Transistor)の高性能化が必須である。これまで、素子性能の向上は、微細化によって進められてきた。MISFETのチャネル長が微細化により短くなるに従って、チャネルの抵抗は減少していく。したがって、チャネル以外の部分、すなわちソース/ドレイン電極における抵抗、いわゆる寄生抵抗が素子性能を大きく左右するようになる。よって、微細化を推し進めていくためには、寄生抵抗の低減は必須課題である。

20

【0003】

例えば、シリコン(以下、Siとも記述する)上に形成されるMISFETにおいては、寄生抵抗の成分のうち、約半分は基板であるシリコンと、ソース/ドレイン電極の金属の接合部分における接触抵抗に起因する。したがって、寄生抵抗を低減するためには、この接触抵抗を低減させることが有効である。電極の金属と半導体、例えばシリコンとの界面には、いわゆるショットキー障壁が生じ、このショットキー障壁が接触抵抗の起源となる。そして、接触抵抗を低減するには2通りのアプローチが考えられる。

30

【0004】

第一のアプローチは、シリコン側の界面近傍の不純物濃度を大きくすることである。不純物濃度を大きくすることにより、空乏層幅が小さくなってショットキー障壁が薄くなり、誘起された鏡像効果によって実効的なショットキー障壁が低減される。ただし、活性化不純物濃度は理論上固溶限以上に大きくすることはできない。さらに、現実的に活性化できる不純物の密度は固溶限を下回っており、この方法には限界があると考えられている。

40

【0005】

第二のアプローチとして、電極の金属材料として、電流を担うキャリアに対するショットキー障壁高さの低い材料を用いることである。次世代の電極材料のひとつとして考えられているニッケルモノシリサイド(以下、NiSiとも記述する)とSi界面の間の電子に対するショットキー障壁は、0.65eVという比較的高い値を持つ。そして、NiSiの耐熱性を上げるために白金(以下、Ptとも記述する)を添加した場合、電子に対するショットキー障壁はさらに高くなる。これに対し、電極の金属材料を、例えばエルビウム(以下、Erとも記述する)等の希土類金属シリサイドに置き換えると、電子に対するショットキー障壁はおおよそ0.3eV程度にまで低減する。一般的なショットキー障壁の

50

理論によれば、ショットキー障壁を流れる電流は、ショットキー障壁高さに対して指数関数的に変化する。このため、ショットキー障壁高さを低減することにより、電極と半導体間の接触抵抗は大幅に改善されることになる。

【0006】

上記、第二のアプローチの観点から、現在NiSiに代わる金属シリサイド材料の研究が進められている。特に、n型MISFETに対しては、電子に対するショットキー障壁高さの低い希土類金属シリサイドに注目が集まっている。しかしながら、希土類金属シリサイドを電極に用いた場合、シリコンとの界面モロロジーが著しく劣化し、寄生抵抗や接合リークの増大、素子性能のばらつきといった深刻な問題が生じる。このような観点から、例えば、n型MISFETの電極としては、バルクの性質は例えば、NiSiあるいはPt添加NiSiのように低抵抗であり、シリコンとの界面のみが電子に対するショットキー障壁が低い構造を持つことが望ましい。

10

【0007】

そこで、特許文献1では、合金中でおのこの構成元素の原子が互いに異なった速さで拡散するカーケンドール効果を利用して、材料自身が低抵抗な金属シリサイドと半導体基板との界面に、ショットキー障壁の低い非連続な金属クラスタを形成する技術が開示されている。特許文献1の技術によれば、界面の非連続な金属クラスタの金属の仕事関数を最適化することにより、接触抵抗の低減と、電極自身の抵抗の低減とを両立させることが出来るとされている。

20

【0008】

しかしながら、特許文献1に開示される技術においては、カーケンドール効果を利用した製造方法に起因して、界面に金属クラスタと電極の金属シリサイドが混在する構造をとらざるを得ない。このため、ショットキー障壁の低くなる金属クラスタと半導体基板との界面面積を大きくすることが困難である。また、金属クラスタに用いる金属もシリサイド化しない金属に限られている。このため、ショットキー障壁を十分に低下させることが難しく、接触抵抗を十分下げることが困難であるという問題があった。

【特許文献1】特開2005-123626号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

本発明は、上記事情を考慮してなされたものであり、その目的とするところは、電極の接触抵抗の低減によって高性能化した半導体装置の製造方法および半導体装置を提供することにある。

30

【課題を解決するための手段】

【0010】

本発明の第1の態様の半導体装置の製造方法は、半導体基板にMISFETを有する半導体装置の製造方法であって、前記半導体基板上にゲート絶縁膜を形成する工程と、前記ゲート電極を形成する工程の後に、前記ゲート絶縁膜上にゲート電極を形成する工程と、前記半導体基板上に第1の金属を堆積する工程と、第1の熱処理により前記第1の金属と前記半導体基板を反応させて、前記ゲート電極両側の前記半導体基板表面に金属半導体化合物層を形成する工程と、前記金属半導体化合物層中に、Siの原子量以上の質量を有するイオンをイオン注入する工程と、前記イオン注入する工程の後に、前記金属半導体化合物層上に第2の金属を堆積する工程と、第2の熱処理により、前記第2の金属を前記金属半導体化合物層中に拡散させることで、前記金属半導体化合物層と前記半導体基板の界面に、前記第2の金属を偏析させて界面層を形成する工程を有し、前記MISFETがn型MISFETである場合には、前記界面層の電子に対するショットキー障壁高さを、前記金属半導体化合物層の電子に対するショットキー障壁高さよりも小さくし、前記MISFETがp型MISFETである場合には、前記界面層の正孔に対するショットキー障壁高さを、前記金属半導体化合物層の正孔に対するショットキー障壁高さよりも小さくする、ことを特徴とする。

40

50

【0011】

また、本発明の第2の態様の半導体装置の製造方法は、半導体基板にMISFETを有する半導体装置の製造方法であって、前記半導体基板上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程と、前記ゲート電極を形成する工程の後に、前記半導体基板中に、Siの原子量以上の質量を有するイオンをイオン注入する工程と、前記イオン注入する工程の後に、前記半導体基板上に第1の金属を堆積する工程と、第1の熱処理により前記第1の金属と前記半導体基板を反応させて、前記ゲート電極両側の前記半導体基板表面に金属半導体化合物層を形成する工程と、前記金属半導体化合物層上に第2の金属を堆積する工程と、第2の熱処理により、前記第2の金属を前記金属半導体化合物層中に拡散させることで、前記金属半導体化合物層と前記半導体基板の界面に前記第2の金属を偏析させて界面層を形成する工程を有し、前記MISFETがn型MISFETである場合には、前記界面層の電子に対するショットキー障壁高さを、前記金属半導体化合物層の電子に対するショットキー障壁高さよりも小さくし、前記MISFETがp型MISFETである場合には、前記界面層の正孔に対するショットキー障壁高さを、前記金属半導体化合物層の正孔に対するショットキー障壁高さよりも小さくする、ことを特徴とする。

10

【0012】

ここで、第1の態様の半導体装置の製造方法において、前記イオン注入する工程において、前記イオンの投影飛程（プロジェクトレンジ：Rp）が、前記金属半導体化合物層の膜厚以下となる条件で注入することが望ましい。

20

【0013】

ここで、第2の態様の半導体装置の製造方法において、前記イオン注入する工程において、前記イオンの投影飛程（プロジェクトレンジ：Rp）が、前記金属半導体化合物層を形成する工程において反応に寄与する前記半導体基板の厚さ以下となる条件で注入することが望ましい。

【0014】

ここで、前記イオンが、Si、Geまたは希ガス元素であることが望ましい。

【0015】

ここで、前記半導体が、Siであることが望ましい。

30

【0016】

ここで、前記MISFETがn型MISFETであり、前記第1の金属がNiまたはPtを含有するNiであり、前記第2の金属が希土類金属であることが望ましい。

【0017】

ここで、第1の態様の半導体装置の製造方法において、前記半導体が、Siであり、前記MISFETがn型MISFETであり、前記第1の金属がNiまたはPtを含有するNiであり、前記第2の金属が希土類金属であり、前記金属半導体化合物層の膜厚が20nm以下であり、前記イオン注入する工程においてGeが60keV以下の加速電圧で注入されることが望ましい。

40

【0018】

ここで、第1の態様の半導体装置の製造方法において、前記半導体が、Siであり、前記MISFETがn型MISFETであり、前記第1の金属がNiまたはPtを含有するNiであり、前記第2の金属が希土類金属であり、前記金属半導体化合物層の膜厚が20nm以下であり、前記イオン注入する工程においてXeが90keV以下の加速電圧で注入されることが望ましい。

【0019】

ここで、第2の態様の半導体装置の製造方法において、前記半導体が、Siであり、前記MISFETがn型MISFETであり、前記第1の金属がNiまたはPtを含有するNiであり、前記第2の金属が希土類金属であり、前記金属半導体化合物層の膜厚が20

50

nm以下であり、前記イオン注入する工程においてGeが20keV以下の加速電圧で注入されることが望ましい。

【0020】

ここで、第2の態様の半導体装置の製造方法において、前記半導体が、Siであり、前記MISFETがn型MISFETであり、前記第1の金属がNiまたはPtを含有するNiであり、前記第2の金属が希土類金属であり、前記金属半導体化合物層の膜厚が20nm以下であり、前記イオン注入する工程においてXeが25keV以下の加速電圧で注入されることが望ましい。

【0021】

また、本発明の第3の態様の半導体装置の製造方法は、半導体基板に第1導電型MISFETと第2導電型MISFETを有する半導体装置の製造方法であって、前記半導体基板上に前記第1導電型MISFETのゲート絶縁膜を形成する工程と、前記第1導電型MISFETのゲート絶縁膜上に前記第1導電型MISFETのゲート電極を形成する工程と、前記半導体基板上に前記第2導電型MISFETのゲート絶縁膜を形成する工程と、前記第2導電型MISFETのゲート絶縁膜上に前記第2導電型MISFETのゲート電極を形成する工程と、前記半導体基板上に第1の金属を堆積する工程と、第1の熱処理により前記第1の金属と前記半導体基板を反応させて、前記第1導電型MISFETおよび前記第2導電型MISFETのゲート電極両側の前記半導体基板表面に金属半導体化合物層を形成する工程と、前記第1導電型MISFETが形成される領域の前記金属半導体化合物層中に、選択的にSiの原子量以上の質量を有するイオンをイオン注入する工程と、第2の熱処理により、前記第2の金属を前記第1導電型MISFETが形成される領域の前記金属半導体化合物層中に拡散させることで、前記金属半導体化合物層と前記半導体基板の界面に前記第2の金属を偏析させて界面層を形成する工程を有し、前記MISFETがn型MISFETである場合には、前記界面層の電子に対するショットキー障壁高さを、前記金属半導体化合物層の電子に対するショットキー障壁高さよりも小さくし、前記MISFETがp型MISFETである場合には、前記界面層の正孔に対するショットキー障壁高さを、前記金属半導体化合物層の正孔に対するショットキー障壁高さよりも小さくする、ことを特徴とする。

【0022】

また、本発明の第4の態様の半導体装置の製造方法は、半導体基板に第1導電型MISFETと第2導電型MISFETを有する半導体装置の製造方法であって、前記半導体基板上に前記第1導電型MISFETのゲート絶縁膜を形成する工程と、前記第1導電型MISFETのゲート絶縁膜上に前記第1導電型MISFETのゲート電極を形成する工程と、前記半導体基板上に前記第2導電型MISFETのゲート絶縁膜を形成する工程と、前記第2導電型MISFETのゲート絶縁膜上に前記第2導電型MISFETのゲート電極を形成する工程と、前記第1導電型MISFETが形成される領域の前記半導体基板中に、選択的にSiの原子量以上の質量を有するイオンをイオン注入する工程と、前記半導体基板上に第1の金属を堆積する工程と、第1の熱処理により前記第1の金属と前記半導体基板を反応させて、前記第1導電型MISFETおよび前記第2導電型MISFETのゲート電極両側の前記半導体基板表面に金属半導体化合物層を形成する工程と、第2の熱処理により、前記第2の金属を前記第1導電型MISFETが形成される領域の前記金属半導体化合物層中に拡散させることで、前記金属半導体化合物層と前記半導体基板の界面に前記第2の金属を偏析させて界面層を形成する工程を有し、前記MISFETがn型MISFETである場合には、前記界面層の電子に対するショットキー障壁高さを、前記金属半導体化合物層の電子に対するショットキー障壁高さよりも小さくし、前記MISFETがp型MISFETである場合には、前記界面層の正孔に対するショットキー障壁高さを、前記金属半導体化合物層の正孔に対するショットキー障壁高さよりも小さくする、ことを特徴とする。

【0023】

ここで、第3の態様の半導体装置の製造方法において、前記イオン注入する工程におい

10

20

30

40

50

て、前記イオンの投影飛程（プロジェクトレンジ：R p）が、前記金属半導体化合物層の膜厚以下となる条件で注入することが望ましい。

【0024】

ここで、第4の態様の半導体装置の製造方法において、前記イオン注入する工程において、前記イオンの投影飛程（プロジェクトレンジ：R p）が、前記金属半導体化合物層を形成する工程において反応に寄与する前記半導体基板の厚さ以下となる条件で注入することが望ましい。

【0025】

ここで、第3および第4の態様の半導体装置の製造方法において、前記イオンが、Si、Geまたは希ガス元素であることが望ましい。

10

【0026】

ここで、前記半導体が、Siであり、前記第1導電型MISFETがn型MISFETであり、前記第1の金属がNiまたはPtを含有するNiであり、前記第2の金属が希土類金属であることが望ましい。

【0027】

また、本発明の一態様の半導体装置は、半導体基板中に形成されたチャネル領域と、前記チャネル領域表面に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、前記チャネル領域の両側に形成されたソース/ドレイン電極を具備するMISFETを有し、前記ソース/ドレイン電極が第1の金属を含む金属半導体化合物層で形成され、前記半導体基板と前記金属半導体化合物層との界面に、第2の金属を含有する界面層が形成され、前記金属半導体化合物の任意の $1\mu\text{m} \times 1\mu\text{m}$ 断面において、 $3/4$ 以上の面積領域が粒径 100nm 以下の結晶粒で占有されており、前記MISFETがn型MISFETである場合には、前記界面層の電子に対するショットキー障壁高さが、前記金属半導体化合物層の電子に対するショットキー障壁高さよりも小さく、前記MISFETがp型MISFETである場合には、前記界面層の正孔に対するショットキー障壁高さが、前記金属半導体化合物層の正孔に対するショットキー障壁高さよりも小さい、ことを特徴とする。

20

【0028】

ここで、前記態様の半導体装置において、前記半導体が、Siであり、前記第MISFETがn型MISFETであり、前記第1の金属がNiまたはPtを含有するNiであり、前記第2の金属が希土類金属であることが望ましい。

30

【発明の効果】

【0029】

本発明によれば、電極の接触抵抗の低減によって高性能化した半導体装置の製造方法および半導体装置を提供することが可能になる。

【発明を実施するための最良の形態】

【0030】

以下、図面を用いて本発明の実施の形態について説明する。なお、本明細書中、仕事関数とは、ある与えられた材料において電子をフェルミ準位から真空まで移動するのに要するエネルギーと定義する。また、本明細書中、単に「金属」と表現する場合、単体金属に限らず、合金等の複数の種類の金属原子で構成される物質も含めた概念とする。

40

【0031】

（第1の実施の形態）

本発明の第1の実施の形態の製造方法は、半導体基板にn型MISFETを有する半導体装置の製造方法である。そして、この半導体基板上にゲート絶縁膜を形成する工程と、ゲート絶縁膜上にゲート電極を形成する工程と、半導体基板上に第1の金属を堆積する工程と、第1の熱処理により第1の金属と半導体基板を反応させて、ソース/ドレイン電極となる金属半導体化合物層を形成する工程と、金属半導体化合物層中に、Siの原子量以上の質量を有するイオンをイオン注入する工程と、金属半導体化合物層上に第2の金属を堆積する工程と、第2の熱処理により、第2の金属を金属半導体化合物層中に拡散させる

50

ことで、金属半導体化合物層と半導体基板の界面に第2の金属を偏析させて界面層を形成する工程を有している。そして、イオン注入する工程において、イオンの投影飛程（プロジェクトレンジ：Rp）が、金属半導体化合物層の膜厚以下となる条件で注入する。そして、界面層の電子に対するショットキー障壁高さを、金属半導体化合物層の電子に対するショットキー障壁高さよりも小さくするように条件を設定する。この条件の設定は、具体的には例えば、材料の選択、熱処理条件の選択等によって行われる。

【0032】

本実施の形態の製造方法では、後述するように、イオン注入により、第2の金属拡散前に、第1の金属を含む金属半導体化合物層の粒径を小さくする。これにより、ソース/ドレイン電極のバルクには、抵抗が低い金属半導体化合物を有し、ソース/ドレイン電極と半導体基板との界面に、電子に対するショットキー障壁の低い金属または金属化合物からなる界面層を形成することが可能となる。したがって、バルクの抵抗および接触抵抗の両方を低減できるソース/ドレイン電極の実現が可能となる。

【0033】

なお、ここで界面層や金属半導体化合物の電子に対するショットキー障壁高さは、界面層や金属半導体化合物の材料と、相手方の半導体の材料が特定されると決まる物性値である。例えば、シリコンに対する金属シリサイドのショットキー障壁高さは、“Properties of Metal Silicides”, edited by Karen Maex and Marc van Rossum, INSPEC Publication (1995)に記載されている。一般的には、仕事関数の小さな物質の方が、電子に対するショットキー障壁が小さくなる。

【0034】

図1は、本実施の形態の半導体装置の製造方法で製造される半導体装置の断面図である。そして、図2～図9は、本実施の形態の半導体装置の製造方法の、製造工程の断面図である。本実施の形態の半導体装置の製造方法は、2種類の金属間において、熱処理を加えることにより、一方の金属が、他方の金属の粒界を拡散し、他方の金属表面に偏析する現象を、一方が金属ではなくシリサイドである場合に応用していることをひとつの特徴とする。

【0035】

まず、図2に示すように、B（ボロン）が 10^{15} atoms/cm³程度ドーブされた面方位（100）面のp型のシリコン基板200に、シリコン酸化膜からなる素子分離領域（STI（Shallow Trench Isolation））150を形成する。

次に、図3に示すように、ゲート絶縁膜101をEOT（Equivalent Oxide Thickness）にして1～2nm程度形成し、ゲート電極102となるポリシリコン膜を減圧化学的気相堆積（以下LP-CVDともいう）法によって100～150nm程度堆積する。そして、リソグラフィ技術および反応性イオンエッチング（以下RIEともいう）等のエッチング技術により、ゲート絶縁膜101及びゲート電極102をゲート長が30nm程度となるようにパターン形成する。必要ならば、ここで1～2nmのポスト酸化を行う。

【0036】

次に、図4に示すように、シリコン窒化膜をLP-CVD法によって8nm程度堆積した後、RIE法によってエッチバックすることにより、シリコン窒化膜をゲート電極102の側面部にのみ残す。これにより、ゲート側壁絶縁膜104を形成する。次に、図5に示すように、10nm程度のNi膜160のスパッタを行う。

【0037】

次に、図6に示すように、500℃程度のアニール（第1の熱処理）によりNi膜160とシリコン基板200を反応させシリサイド化し、ソース・ドレイン電極となるNiSi層110aを形成する。このとき、NiSi層110aは、例えば、約20nmの厚さで形成される。同時に、ポリシリコンのゲート電極102をゲート絶縁膜101界面まで

10

20

30

40

50

完全に反応させ、ゲート電極となるNiSi層110bを形成する。その後、薬液で表面にある未反応のNiについて選択剥離を行う。

【0038】

次に、図7に示すように、ゲート電極102および側壁絶縁膜104をマスクに、Siの原子量以上の質量を有するイオン、例えばGe(ゲルマニウム)を、イオン注入によりNiSi層110a、110bに導入する。ここで、Geのイオン注入を行う際に、Geイオンの投影飛程(プロジェクトレンジ:Rp)が、NiSi層110aの膜厚以下となる条件で注入する。例えば、NiSiの膜厚が20nmの場合、Geが60keV以下の加速電圧で注入する。次に、図8に示すように、例えば、Y(イットリウム)162を膜厚にして10nm程度スパッタで形成する。

10

【0039】

次に、図9に示すように、300~450程度のアニール(第2の熱処理)により、Y膜162から、Yをソース/ドレイン電極となるNiSi層110aの粒界を通して拡散させ、Yを偏析させることで界面層120aを、シリコン基板200とNiSi層110aの界面に形成する。また、Yが、NiSi層110aの粒界中に存在するようにする。そして、同時に、Yをゲート電極となるNiSi層110bの粒界を通して拡散させ、Yからなる界面層120bを、ゲート絶縁膜101とNiSi層110bの界面に形成する。この熱処理は、例えば、窒素雰囲気、アルゴン雰囲気等の不活性ガス雰囲気あるいは真空雰囲気等で処理することが考えられる。

【0040】

なお、ここで界面層であるY層の電子に対するショットキー障壁高さは、NiSi層の電子に対するショットキー障壁高さよりも低くなる。

20

【0041】

次に、薬液で表面にあるYの選択剥離を行う。この時、界面層を形成し、NiSi層110a、110bの粒界にも存在するY層120a、120bは、NiSi層110a、110bがマスクとなるため、剥離されることはない。以上のようにして、図1に示す構造の半導体装置が形成される。

【0042】

発明者らは、本実施の形態の基本となる技術を提案している(特願2006-231532)。この技術は、本実施の形態と異なりNiSi層などの金属半導体化合物層へのイオン注入は伴わず、NiSi層を形成後、NiSi層上に希土類金属等の金属を堆積し、熱処理を施すことで、この金属をNiSi層の粒界に拡散させて界面層を形成する技術である。この技術により、NiSi層とシリコンの界面に希土類金属等の、電子に対するショットキー障壁の低い界面層を有する電極構造が形成でき、バルクNiSi層の性質を保ったままショットキー障壁のみを変調することが可能である。

30

【0043】

図10は、本実施の形態の半導体装置の製造方法の効果を示す図である。横軸は、NiSi層へ注入した注入イオン種である。縦軸は、上記方法で作成したソース/ドレイン電極の正孔に対するショットキー障壁高さの測定値を示す。第2の熱処理を400と450とし、450に関しては、60分および90分のそれぞれの場合について測定をおこなっている。図から明らかなように、NiSi層にイオン注入を行わない場合に比べ、Geのイオン注入を行うことで、正孔に対するショットキー障壁高さが高くなる。すなわち、電子に対するショットキー障壁高さが低くなっていることがわかる。

40

【0044】

図11は、NiSi層にイオン注入を行わない場合のプロセスで界面層を形成した場合の界面層Y濃度と、ショットキー障壁高さ変調量(β)を示す図である。界面層Y濃度が上がるにつれて、変調量が大きくなることが分かる。

【0045】

図12は、NiSi層にイオン注入を行わない場合の、上記第2の熱処理に相当する熱処理時間とショットキー障壁高さ変調量との関係を示す図である。図から明らかなように

50

、熱処理時間とともに、変調量は大きくなるが、時間と共に飽和する傾向が見える。これは、NiSi層の粒の密度、すなわち、粒界の密度により、第2の金属の界面への偏析量が決定されるため、粒界の密度が小さいと、界面への偏析量が制限されることによると考えられる。

【0046】

図13はソース/ドレイン電極の断面TEM写真である。図13(a)が本実施の形態、図13(b)がイオン注入を行わない場合の断面である。図から明らかのように、本実施の形態の場合は、図中Gaで示されるような、粒径が100nm以下のNiSi結晶粒で大部分が占められている。これに対し、イオン注入を行わない場合は、図中Gbで示されるような、粒径が100nmより大きいNiSi結晶粒の断面中を占有する面積が増大して

10

【0047】

図14は、本実施の形態の半導体装置の製造方法の作用を説明する概念断面図である。図14(a)がイオン注入を伴う本実施の形態の場合、図14(b)がイオン注入を伴わない場合である。図14(a)に示すように、本実施の形態の場合には、NiSi層形成後にSiの原子量以上の質量を有するイオンをイオン注入することにより、NiSi粒界の密度が増加する。したがって、第2の金属であるYがNiSi層中を拡散する際の経路の密度も大きくなり、結果的にSiとNiSi層の界面に偏析するYの量が多くなる。よって、界面層におけるショットキー障壁高さの変調量が大きくなり、ソース/ドレイン電極の接触抵抗の一層の低減が可能になる。

20

【0048】

これに対し、図14(b)に示すように、イオン注入を伴わない場合は、イオン注入を行う場合に比較して、NiSi粒界の密度が小さい。したがって、SiとNiSi層の界面に偏析するYの量が本実施の形態に比較して小さくなる。このため、界面抵抗の低減効果が少なくなると考えられる。

【0049】

希土類金属を第2の金属として用いる場合、イオン注入なしでは、界面への第2の金属の偏析量は $1 \times 10^{20} \text{ cm}^{-3}$ に満たないが、本実施の形態のようにイオン注入を行うことによって、偏析量を $1 \times 10^{20} \text{ cm}^{-3}$ 以上に増加させることが可能となる。

30

【0050】

以上のように、本実施の形態の半導体装置の製造方法によれば、ソース/ドレイン電極のバルクの材料を、電極自身の抵抗低減や耐熱性の観点から選定し、かつ、この材料よりも電子に対するショットキー障壁の低い材料を界面層とする電極構造を形成することが可能となる。また、第2の金属が拡散する金属半導体化合物層の粒径ばらつきの低減により、ソース/ドレイン電極の接触抵抗の素子間ばらつきも低減できる。よって、高性能なn型MISFETを有する半導体装置の製造が可能となる。

【0051】

なお、上の例では、第1の金属としてNiを用い、金属化合物としてNiSiを形成する場合について説明した。先に述べたように、材料自身の抵抗低減の観点からはNiSiを適用することが望ましいが、さらに、第1の金属としてPtを含有するNiを用いることがより望ましい。Ptを含有させることにより、耐熱性が向上し電極中のNiが基板中に拡散することを効果的に抑制でき、ジャンクションリークの低減が実現できるからである。また、第1の金属としては、他にも、Ti、W、Mo、Co等、金属半導体化合物を形成するその他の金属あるいはこれらの組み合わせを適用するものであっても構わない。

40

【0052】

また、NiSi層に注入するイオンとして、Geを例に説明したが、Siの原子量以上の質量を有するイオンであれば、質量として十分大きく、NiSi等の金属化合物半導体の粒界密度を大きくする効果が期待できる。したがって、例えば、Si、Ar、Kr、Xeなどの元素のイオンであっても構わない。ここで、Ge、Si、Ar、Kr、Xeのよ

50

うに半導体基板中でドーパントとならない元素を適用すると、ソース/ドレイン電極の周りにp型あるいはn型の不純物層が形成されることがなく、これらの不純物層によるMISFET特性の劣化、例えば、ショートチャネル効果の増大等を防止することができる。また、特に、半導体基板としてSiを用いる場合には、基板に対する注入イオンの影響を最小限にする観点からは、Siを用いることが望ましい。また、Ar、Kr、Xe等の希ガス元素は、半導体基板と反応せず、注入後拡散により基板中からなくなるため、MISFETの特性への悪影響が生じないため好ましい。

【0053】

一方、ドーパントとなる元素、例えば、 BF_2 、P、As、Sb、Al、Ga、In等のイオンを適用することも可能である。特に、P、As、Sbなどn型不純物を適用すると、ソース/ドレイン電極の周りに回りにn型不純物層が形成され、この不純物の鏡像効果により一層のショットキー障壁高さの低減が期待できる。

10

【0054】

なお、イオン注入する工程において、イオンの投影飛程(プロジェクトレンジ:Rp)が、金属半導体化合物層の膜厚以下となる条件で注入することが、金属半導体化合物層を細粒化し、粒界の密度を一層増加させる観点から望ましい。しかしながら、必ずしもこの条件を満たさなくとも、金属半導体化合物層の細粒化は可能である。

【0055】

また、本実施の形態の半導体装置の製造方法において、半導体が、Siであり、第1の金属がNiであり、第2の金属が希土類金属であり、金属半導体化合物層の膜厚が20nm以下であり、イオン注入する際においてGeが60keV以下の加速電圧で注入されることが望ましい。この製造方法により、界面抵抗が低減され、ショートチャネル効果の抑制されたn型MISFETを有する半導体装置を効果的に実現することが可能だからである。

20

【0056】

また、本実施の形態の半導体装置の製造方法において、半導体が、Siであり、第1の金属がNiであり、第2の金属が希土類金属であり、金属半導体化合物の膜厚が20nm以下であり、イオン注入する際においてXeが90keV以下の加速電圧で注入されることが望ましい。この製造方法によっても、界面抵抗が低減され、ショートチャネル効果の抑制されたn型MISFETを有する半導体装置を効果的に実現することが可能だからである。

30

【0057】

また、ここでは第2の金属として、Yを用いる場合を例に説明したが、界面層の電子に対するショットキー障壁高さが、ソース/ドレイン電極を形成する金属半導体化合物層の電子に対するショットキー障壁高さよりも小さくなるのであれば、その他の金属を用いることが可能である。そして、接触抵抗を十分小さくするためには、電子に対するショットキー障壁高さが0.5eV以下となるように界面層を形成することが望ましい。例えば、本実施の形態のように、n型MISFETを有する半導体装置を製造する場合であれば、仕事関数が約3.1eVであるYのように、仕事関数がシリコンのミッドギャップよりも小さい金属、例えば、Er(エルビウム:約3.5eV)、Sr(ストロンチウム:約2.59eV)、La(ランタン:約3.5eV)、Hf(ハフニウム:約3.9eV)、Yb(イッテルビウム:約2.9eV)等の希土類金属を適用することが電子に対するショットキー障壁高さを低くする上で好適である。また、Al(アルミニウム:約4.28eV)、In(インジウム:約4.12eV)等を適用することも考えられる。

40

【0058】

また、ここでは界面層を金属Yで構成されるとしたが、界面層の方が、金属半導体化合物層の電子に対するショットキー障壁高さが小さくなるのであれば、例えば、 $\text{YSi}_{1-x}\text{N}_x$ (イットリウムシリサイド)のような金属半導体化合物で構成されるように製造条件を設定しても構わない。具体的には、第2の熱処理温度の設定等で制御が可能になる。

【0059】

50

なお、本実施の形態の製造方法によれば、図1に示すような半導体装置の製造が可能となる。図1(a)が半導体装置の断面、図1(b)がソース/ドレイン領域の拡大断面である。この半導体装置は、半導体基板中に形成されたチャネル領域と、チャネル領域表面に形成されたゲート絶縁膜と、ゲート絶縁膜上に形成されたゲート電極と、チャネル領域の両側に形成されたソース/ドレイン電極を備えるn型MISFETを有している。そして、ソース/ドレイン電極が第1の金属を含む金属半導体化合物層で形成され、半導体基板と金属半導体化合物との界面に、第2の金属を含有する界面層が形成されている。そして、金属半導体化合物の任意の $1\mu\text{m} \times 1\mu\text{m}$ 断面において、 $3/4$ 以上の面積領域が粒径 100nm 以下の結晶粒で占有されている。さらに、界面層の電子に対するショットキー障壁高さが、金属半導体化合物層の電子に対するショットキー障壁高さよりも小さくなっている。

10

【0060】

図1の例では、p型のシリコン基板200にチャネル領域106が形成されている。そして、例えば、シリコン酸化膜からなるゲート絶縁膜101を介して、ゲート電極が形成されている。このゲート電極は第1の金属NiのシリサイドであるNiSi層110bで形成されるFUSI(Fully Silicided)構造となっている。ゲート電極の両側面には、例えば、シリコン窒化膜からなるゲート側壁絶縁膜104が形成されている。そして、チャネル領域の両側には、第1の金属NiのシリサイドであるNiSi層110aで形成されるソース・ドレイン電極が設けられている。

【0061】

20

さらに、シリコン基板200と、NiSi層110aで形成されるソース/ドレイン電極との界面に、第2の金属Yから形成される界面層120aを有している。そして、本実施の形態の半導体装置は、図1(b)に示すように、NiSi層110aで形成されるソース/ドレイン電極中にも第2の金属Y120aが存在している。ソース・ドレイン電極中に存在するYは、具体的には、ソース/ドレイン電極を形成するNiSi層110aの粒界に存在している。

【0062】

ここで、第2の金属であるYの界面層の電子に対するショットキー障壁高さは、NiSi層110aの電子に対するショットキー障壁高さよりも低い。また、本実施の形態の半導体装置は、ゲート絶縁膜101とNiSi層110bで形成されるゲート電極とゲート絶縁膜101の界面にも、Yで形成された界面層120bを有している。

30

【0063】

このようなn型電界効果トランジスタを含む半導体装置は、ソース/ドレイン電極を形成するNiSi層よりも電子に対するショットキー障壁の低いYの界面層を有することにより、ソース/ドレイン電極の接触抵抗を低減することが可能になる。

【0064】

また、界面層とは独立に、比抵抗が小さいNiSi層を電極として使用しており、電極自身の抵抗も低く抑制することができる。さらに、本実施の形態においては、NiSiよりも電子に対するショットキー障壁の小さいYが、ソース/ドレイン電極を形成するNiSi層の粒界にも存在している。したがって、粒界での界面抵抗が低下することによりソース/ドレイン電極自身の抵抗も更に低下し、n型電界効果トランジスタの寄生抵抗の一層の低減が図れる。加えて、NiSi層粒界にYが存在することにより、界面(表面)エネルギーの関係でNiSiの凝集(アグロメレーション)が抑制される。したがって、熱ストレスによるシリサイド中の断線や、シリコン基板との界面が凹凸になることによるジャンクションリークの増大を抑えるという半導体装置の信頼性向上効果も期待できる。

40

【0065】

本実施の形態においては、プロセス条件を最適化することにより、図1に示すように、ゲート電極をFUSI(Fully Silicided)構造とすることができる。そして、電子に対するショットキー障壁の小さいYで形成される界面層がゲート絶縁膜とゲート電極のシリサイドとの界面に存在することにより、n型電界効果トランジスタの閾値

50

を低下させることが可能となり、高いトランジスタ駆動力を実現することが可能となる。また、F U S I構造をとることによっても、トランジスタ駆動時のゲート電極側の空乏化を高いゲート電圧まで抑制し、高いトランジスタ駆動力を実現することが可能となる。

【0066】

さらに、本実施の形態の半導体装置は、ソース/ドレイン電極を形成する金属半導体化合物層の任意の $1\mu\text{m} \times 1\mu\text{m}$ 断面において、 $3/4$ 以上の面積領域が粒径 100nm 以下の結晶粒で占有されている。ソース/ドレイン電極部について、図13に示すようなTEM像を撮影し、結晶粒それぞれについての最大粒径と占有面積を測定することで、この評価は可能である。なお、TEM像の撮影は、半導体基板表面に垂直な面であっても、水平な面であっても構わない。このように、粒径が 100nm 以下の結晶で大部分の領域が形成されていることにより、キャリアである電子の粒界移動が促進され、結果として、ソース/ドレイン電極の比抵抗の低減が実現されている。粒径 100nm 以上の結晶粒が $1/4$ より大きい面積領域を占めるようになると、実効的な比抵抗の低減効果が得られない。

10

【0067】

以上のように、本実施の形態によって、ソース/ドレイン電極の接触抵抗および電極自身の抵抗という寄生抵抗の低減に加え、低閾値化およびゲート空乏化の抑制によって高性能化し、さらに信頼性も向上したn型電界効果トランジスタを含む半導体装置を提供することが可能となる。

【0068】

なお、ソース/ドレイン電極およびゲート電極のバルクのシリサイド材料は、上記のように、NiSiに限られることはないが、比抵抗が約 $15\mu\text{cm}$ であるNiSiのように、シリサイドの中では比較的比抵抗の低いシリサイド、例えば、 CoSi_2 （コバルトシリサイド：約 $20\mu\text{cm}$ ）、 TiSi_2 （チタンシリサイド：約 $15\mu\text{cm}$ ）、 $\text{ErSi}_{1.7}$ （エルビウムシリサイド：約 $30\mu\text{cm}$ ）、PtSi（プラチナシリサイド：約 $30\mu\text{cm}$ ）、YSi（イットリウムシリサイド：約 $30\mu\text{cm}$ ）、YbSi（イッテルビウムシリサイド：約 $30\mu\text{cm}$ ）等を適用することが、電極自身の抵抗低減の観点から望ましい。

20

【0069】

また、界面層を形成する金属は、製造方法においても記載したように、上記のように、Yに限られることはない。仕事関数が約 3.1eV であるYのように、仕事関数がシリコンのミッドギャップよりも小さい金属、例えば、Er（エルビウム：約 3.5eV ）、Sr（ストロンチウム：約 2.59eV ）、La（ランタン：約 3.5eV ）、Hf（ハフニウム：約 3.9eV ）、Yb（イッテルビウム：約 2.9eV ）、Al（アルミニウム：約 4.28eV ）、In（インジウム：約 4.12eV ）等を適用することが電子に対するショットキー障壁を低下させ、接触抵抗を低減させる観点から望ましい。また、界面層は金属単体であっても、金属半導体化合物であっても構わない。熱的な安定性の観点からは、金属半導体化合物とすることも有効である。

30

【0070】

また、電子に対するショットキー障壁を十分低くする観点から、界面層の第2の金属の濃度は $1 \times 10^{20}\text{cm}^{-3}$ 以上であることが望ましい。

40

【0071】

また、ゲート絶縁膜101は、必ずしもシリコン酸化膜に限られることはなく、シリコン酸化膜より誘電率の高い絶縁膜材料（高誘電率絶縁膜）を適用することも可能である。具体的には、例えば、 La_2O_5 、 La_2O_3 、 CeO_2 、 ZrO_2 、 HfO_2 、 SrTiO_3 、 PrO_3 、 LaAlO_3 、 Si_3N_4 、 Al_2O_3 、 Ta_2O_5 、 TiO_2 等を適用することが可能である。あるいは、シリコン酸化膜や高誘電率絶縁膜に窒素やフッ素を添加した絶縁膜を適用することも可能である。また、これらの化合物の組成比を変化させただけの絶縁膜や、複数の絶縁膜を組み合わせた複合膜を適用することも可能である。また、ZrシリケートやHfシリケートのように、シリコン酸化物に金属イオンを添加し

50

た絶縁膜を適用することも可能である。

【0072】

図15は本実施の形態の半導体装置の第1の変形例の半導体装置の断面図である。この変形例においては、ソース/ドレイン電極の半導体基板側にn型拡散層109を有している。このように、n型拡散層を有することにより、実施の形態の効果に加え、ソース/ドレイン電極の電子に対するショットキー障壁高さが低くなり、ソース/ドレイン電極の界面抵抗が一層低減されるという効果が得られる。

【0073】

図16は本実施の形態の半導体装置の第2の変形例の半導体装置の断面図である。この変形例においては、ソース/ドレイン電極の半導体基板側にn型の高濃度偏析層111を有している。このように、n型の高濃度偏析層111を有することにより、実施の形態の効果に加え、ソース/ドレイン電極の電子に対するショットキー障壁高さが一層低くなり、かつ、偏析層が浅いため拡散層の存在によるショートチャネル効果を抑制することも可能となるという効果が得られる。

【0074】

図17は本実施の形態の半導体装置の第3の変形例の半導体装置の断面図である。この変形例においては、ソース/ドレイン電極部の半導体基板がSiC410で形成され、チャンネル領域106のSiをSiCで挟み込む構造となっている。このように、チャンネル領域106のSiをSiCで挟み込むことにより、実施の形態の効果に加え、チャンネル領域106に引っ張り応力が与えられ、チャンネルにおける電子の移動度が向上するという効果が得られる。

【0075】

また、図1ではゲート電極はFUSI構造となっているが、必ずしも、FUSI構造でなくとも、例えば、ポリシリコンと金属シリサイドとの積層構造であっても構わない。あるいは、ゲート電極全体が金属で形成されるメタルゲート構造であっても構わない。この場合、金属材料としては、例えば、Ti、Ta、Wの単体金属、あるいは、これらの金属の窒化物、炭化物等が適用可能である。

【0076】

(第2の実施の形態)

本発明の第2の実施の形態の製造方法は、半導体基板にp型MISFETを有する半導体装置の製造方法である。そして、この半導体基板上にゲート絶縁膜を形成する工程と、ゲート絶縁膜上にゲート電極を形成する工程と、半導体基板上に第1の金属を堆積する工程と、第1の熱処理により前記第1の金属と前記半導体基板を反応させて、ソース/ドレイン電極となる金属半導体化合物層を形成する工程と、金属半導体化合物層中に、Siの原子量以上の質量を有するイオンをイオン注入する工程と、金属半導体化合物層上に第2の金属を堆積する工程と、第2の熱処理により、第2の金属を金属半導体化合物層中に拡散させることで、金属半導体化合物層と半導体基板の界面に第2の金属を偏析させて界面層を形成する工程を有している。そして、イオン注入する工程において、イオンの投影飛程(プロジェクトレンジ:Rp)が、前記金属半導体化合物層の膜厚以下となる条件で注入する。そして、界面層の正孔に対するショットキー障壁高さを、金属半導体化合物層の正孔に対するショットキー障壁高さよりも小さくするように条件を設定する。

【0077】

本実施の形態の製造方法は、n型MISFETを有する半導体装置の製造方法に対する第1の実施の形態を、p型MISFETを有する半導体装置の製造方法に応用する実施の形態である。イオン注入により、第2の金属拡散前に、第1の金属を含む金属半導体化合物層の粒径を小さくすることにより、バルクの抵抗および接触抵抗の両方を低減できるソース/ドレイン電極の実現が可能となる点は、第1の実施の形態と同様である。

【0078】

なお、ここで界面層や金属半導体化合物の正孔に対するショットキー障壁高さは、界面層や金属半導体化合物の材料と、相手方の半導体の材料が特定されると決まる物性値であ

10

20

30

40

50

る点は、電子に対するショットキー障壁高さの場合と同様である。一般的には仕事関数の大きな物質ほど、正孔に対するショットキー障壁は低くなる。

【0079】

図18は、本実施の形態の半導体装置の製造方法で製造される半導体装置の断面図である。そして、図19～図26は、本実施の形態の半導体装置の製造方法の、製造工程の断面図である。

【0080】

まず、図19に示すように、P(リン)が 10^{15} atoms/cm³程度ドーパされた面方位(100)面のn型のシリコン基板100に、シリコン酸化膜からなる素子分離領域(STI(Shallow Trench Isolation))150を形成する。

10

次に、図20に示すように、ゲート絶縁膜101をEOT(Equivalent Oxide Thickness)にして1～2nm程度形成し、ゲート電極102となるポリシリコン膜を減圧化学的気相堆積(以下LP-CVDともいう)法によって100～150nm程度堆積する。そして、リソグラフィ技術および反応性イオンエッチング(以下RIEともいう)等のエッチング技術により、ゲート絶縁膜101及びゲート電極102をゲート長が30nm程度となるようにパターン形成する。必要ならば、ここで1～2nmのポスト酸化を行う。

【0081】

次に、図21に示すように、シリコン窒化膜をLP-CVD法によって8nm程度堆積した後、RIE法によってエッチバックすることにより、シリコン窒化膜をゲート電極102の側面部にのみ残す。これにより、ゲート側壁絶縁膜104を形成する。次に、図22に示すように、10nm程度のNi膜160のスパッタを行う。

20

【0082】

次に、図23に示すように、500程度のアニール(第1の熱処理)によりNi膜160とシリコン基板100を反応させシリサイド化し、ソース・ドレイン電極となるNiSi層110aを形成する。このとき、NiSi層110aは、例えば、約20nmの厚さで形成される。同時に、ポリシリコンのゲート電極102をゲート絶縁膜101界面まで完全に反応させ、ゲート電極となるNiSi層110bを形成する。その後、薬液で表面にある未反応のNiについて選択剥離を行う。

30

【0083】

次に、図24に示すように、ゲート電極102および側壁絶縁膜104をマスクに、Siの原子量以上の質量を有するイオン、例えばGe(ゲルマニウム)を、イオン注入によりシリコン基板100に導入する。Geのイオン注入を行う際に、Geイオンの投影飛程(プロジェクトレンジ:Rp)が、NiSi層110aの膜厚以下となる条件で注入する。例えば、NiSiの膜厚が20nmの場合、Geが60keV以下の加速電圧で注入する。次に、図25に示すように、例えば、Pt164を膜厚にして10nm程度スパッタで形成する。

【0084】

次に、図26に示すように、300～450程度のアニール(第2の熱処理)により、Pt膜164から、Yをソース/ドレイン電極となるNiSi層110aの粒界を通して拡散させ、Ptを偏析させることで界面層124aを、シリコン基板200とNiSi層110aの界面に形成する。また、Ptが、NiSi層110aの粒界中に存在するようにする。そして、同時に、Ptをゲート電極となるNiSi層110bの粒界を通して拡散させ、Ptからなる界面層124bを、ゲート絶縁膜101とNiSi層110bの界面に形成する。この熱処理は、例えば、窒素雰囲気、アルゴン雰囲気等の不活性ガス雰囲気あるいは真空雰囲気等で処理することが考えられる。

40

【0085】

なお、ここで界面層であるPt層の正孔に対するショットキー障壁高さは、NiSi層の正孔に対するショットキー障壁高さよりも低くなる。

50

【0086】

次に、薬液で表面にあるPtの選択剥離を行う。この時、界面層を形成し、NiSi層110a、110bの粒界にも存在するPt層124a、124bは、NiSi層110a、110bがマスクとなるため、剥離されることはない。以上のようにして、図18に示す構造の半導体装置が形成される。

【0087】

本実施の形態の場合によれば、第1の実施の形態と同様、NiSi層形成後にSiの原子量以上の質量を有するイオンをイオン注入することにより、NiSi粒界の密度が増加する。したがって、第2の金属であるPtがNiSi層中を拡散する際の経路の密度も大きくなり、結果的にSiとNiSi層の界面に偏析するPtの量が多くなる。したがって、界面層によるショットキー障壁高さの変調量が大きくなり、ソース/ドレイン電極の接触抵抗の一層の低減が可能になる。

10

【0088】

以上のように、本実施の形態の半導体装置の製造方法によれば、ソース/ドレイン電極のバルクの材料を、電極自身の抵抗低減や耐熱性の観点から選定し、かつ、この材料よりも正孔に対するショットキー障壁の低い材料を界面層とする電極構造を形成することが可能となる。よって、高性能なp型MISFETを有する半導体装置の製造が可能となる。

【0089】

なお、上の例では、第1の金属としてNiを用い、金属化合物としてNiSiを形成する場合について説明したが、その他の金属を適用することが可能である点は、第1の実施の形態と同様である。

20

【0090】

また、NiSi層に注入するイオンとして、Geを例に説明したが、Siの原子量以上の質量を有するイオンであれば、NiSi等の金属化合物半導体の粒界密度を大きくする効果が期待できる点については、第1の実施の形態と同様である。ここで、本実施の形態の場合には、特に、 BF_2 、Al、Ga、Inなどp型不純物を適用すると、ソース/ドレイン電極の周りに回りにp型不純物層が形成される。このため、この不純物の鏡像効果により一層のショットキー障壁高さの低減が期待できるという利点がある。

【0091】

なお、イオン注入する工程において、イオンの投影飛程(プロジェクトレンジ:Rp)が、金属半導体化合物層の膜厚以下となる条件で注入することが、金属半導体化合物層を細粒化し、粒界の密度を一層増加させる観点から望ましいが、必ずしもこの条件を満たさなくともよいという点については、第1の実施の形態の場合と同様である。

30

【0092】

また、ここでは第2の金属として、Ptを用いる場合を例に説明したが、界面層の正孔に対するショットキー障壁高さが、ソース/ドレイン電極を形成する金属半導体化合物層の正孔に対するショットキー障壁高さよりも小さくなるのであれば、その他の金属を用いることが可能である。そして、接触抵抗を十分小さくするためには、正孔に対するショットキー障壁高さが0.5eV以下となるような界面層を形成することが望ましい。例えば、本実施の形態のように、p型MISFETを有する半導体装置を製造する場合であれば、仕事関数が約5.65eVであるPtのように、仕事関数がシリコンのミッドギャップよりも大きい金属、例えば、Pd(パラジウム:約5.1eV)、Au(金:約5.1eV)、Ir(イリジウム:約5.27eV)等を適用することが考えられる。

40

【0093】

また、ここでは界面層を金属Ptで構成されるとしたが、界面層の方が、金属半導体化合物層の正孔に対するショットキー障壁高さが小さくなるのであれば、例えば、PtSi(プラチナシリサイド)のような金属半導体化合物で構成されるように製造条件を設定しても構わない。具体的には、第2の熱処理温度の設定等で制御が可能になる。

【0094】

なお、本実施の形態の製造方法によれば、図18に示すような半導体装置の製造が可能

50

となる。図18(a)が半導体装置の断面、図18(b)がソース/ドレイン領域の拡大断面である。この半導体装置は、半導体基板中に形成されたチャネル領域と、チャネル領域表面に形成されたゲート絶縁膜と、ゲート絶縁膜上に形成されたゲート電極と、チャネル領域の両側に形成されたソース/ドレイン電極を備えるp型MISFETを有している。そして、ソース/ドレイン電極が第1の金属を含む金属半導体化合物層で形成され、半導体基板と金属半導体化合物との界面に、第2の金属を含有する界面層が形成されている。そして、金属半導体化合物の任意の $1\mu\text{m} \times 1\mu\text{m}$ 断面において、 $3/4$ 以上の面積領域が粒径 100nm 以下の結晶粒で占有されている。さらに、界面層の正孔に対するショットキー障壁高さが、金属半導体化合物層の正孔に対するショットキー障壁高さよりも小さくなっている。

10

【0095】

図18の例では、n型のシリコン基板100にチャネル領域196が形成されている。そして、例えば、シリコン酸化膜からなるゲート絶縁膜101を介して、ゲート電極が形成されている。このゲート電極は第1の金属NiのシリサイドであるNiSi層110bで形成されるFUSI(Fully Silicided)構造となっている。ゲート電極の両側面には、例えば、シリコン窒化膜からなるゲート側壁絶縁膜104が形成されている。そして、チャネル領域の両側には、第1の金属NiのシリサイドであるNiSi層110aで形成されるソース/ドレイン電極が設けられている。

【0096】

さらに、シリコン基板100と、NiSi層110aで形成されるソース/ドレイン電極との界面に、第2の金属Ptから形成される界面層124aを有している。そして、本実施の形態の半導体装置は、図18(b)に示すように、NiSi層110aで形成されるソース/ドレイン電極中にも第2の金属Pt124aが存在している。ソース/ドレイン電極中に存在するPtは、具体的には、ソース/ドレイン電極を形成するNiSi層110aの粒界に存在している。

20

【0097】

ここで、第2の金属であるPtの界面層の正孔に対するショットキー障壁高さは、NiSi層110aの正孔に対するショットキー障壁高さよりも低い。また、本実施の形態の半導体装置は、ゲート絶縁膜101とNiSi層110bで形成されるゲート電極とゲート絶縁膜101の界面にも、Ptで形成された界面層124bを有している。

30

【0098】

このようなn型電界効果トランジスタを含む半導体装置は、ソース/ドレイン電極を形成するNiSi層よりも正孔に対するショットキー障壁の低いPtの界面層を有することにより、ソース/ドレイン電極の接触抵抗を低減することが可能になる。

【0099】

また、界面層とは独立に、比抵抗が小さいNiSi層を電極として使用しており、電極自身の抵抗も低く抑制することができる。さらに、本実施の形態においては、NiSiよりも正孔に対するショットキー障壁が小さいPtが、ソース・ドレイン電極を形成するNiSi層の粒界にも存在している。したがって、粒界での界面抵抗が低下することによりソース/ドレイン電極自身の抵抗も更に低下し、p型電界効果トランジスタの寄生抵抗の一層の低減が図れる。加えて、NiSi層粒界にPtが存在することにより、界面(表面)エネルギーの関係でNiSiの凝集(アグロメレーション)が抑制される。したがって、熱ストレスによるシリサイド中の断線や、シリコン基板との界面が凹凸になることによるジャンクションリークの増大を抑えるという半導体装置の信頼性向上効果も期待できる。

40

【0100】

そして、正孔に対するショットキー障壁が小さいPtで形成される界面層がゲート絶縁膜とゲート電極のシリサイドとの界面に存在することにより、p型電界効果トランジスタの閾値を低下させることが可能となり、高いトランジスタ駆動力を実現することが可能となる。また、FUSI構造をとることによって、トランジスタ駆動時のゲート電極側の空

50

乏化を高いゲート電圧まで抑制し、高いトランジスタ駆動力を実現することが可能となる。

【0101】

さらに、本実施の形態の半導体装置は、第1の実施の形態同様、ソース/ドレイン電極を形成する金属半導体化合物層の任意 $1\ \mu\text{m} \times 1\ \mu\text{m}$ 断面において、3/4以上の面積領域が粒径 $100\ \text{nm}$ 以下の結晶粒で占有されている。したがって、キャリアである正孔の粒界移動が促進され、結果として、ソース/ドレイン電極の比抵抗の低減が実現されている。

【0102】

以上のように、本実施の形態によって、ソース・ドレイン電極の接触抵抗および電極自身の抵抗という寄生抵抗の低減に加え、低閾値化およびゲート空乏化の抑制によって高性能化し、さらに信頼性も向上したp型電界効果トランジスタを含む半導体装置を提供することが可能となる。

10

【0103】

なお、ソース/ドレイン電極およびゲート電極のバルクのシリサイド材料の選択については第1の実施の形態と同様である。また、界面層を形成する金属は、製造方法においても記載したように、上記のように、Ptに限られることはない。そして、界面層は金属単体であっても、金属半導体化合物であっても構わない。熱的な安定性の観点からは、金属半導体化合物とすることも有効である。また、ゲート絶縁膜101の選択については第1の実施の形態と同様であるため、記載を省略する。

20

【0104】

また、正孔に対するショットキー障壁を十分低くする観点から、界面層の第2の金属の濃度は $1 \times 10^{20}\ \text{cm}^{-3}$ 以上であることが望ましい。

【0105】

図27は本実施の形態の半導体装置の第1の変形例の半導体装置の断面図である。この変形例においては、ソース/ドレイン電極の半導体基板側にp型拡散層199を有している。このように、p型拡散層を有することにより、実施の形態の効果に加え、ソース/ドレイン電極の電子に対するショットキー障壁高さが低くなり、ソース/ドレイン電極の界面抵抗が一層低減されるという効果が得られる。

【0106】

30

図28は本実施の形態の半導体装置の第2の変形例の半導体装置の断面図である。この変形例においては、ソース/ドレイン電極の半導体基板側にp型の高濃度偏析層211を有している。このように、p型の高濃度偏析層211を有することにより、実施の形態の効果に加え、ソース/ドレイン電極の正孔に対するショットキー障壁高さが一層低くなり、かつ、偏析層が浅いため拡散層の存在によるショートチャンネル効果を抑制することも可能となるという効果が得られる。

【0107】

図29は本実施の形態の半導体装置の第3の変形例の半導体装置の断面図である。この変形例においては、ソース/ドレイン電極部の半導体基板がSiGe310で形成され、チャンネル領域196のSiをSiGeで挟み込む構造となっている。このように、チャンネル領域196のSiをSiGeで挟み込むことにより、実施の形態の効果に加え、チャンネル領域196に圧縮応力が与えられてチャンネルにおける正孔の移動度が向上するという効果が得られる。

40

【0108】

また、図18ではゲート電極はFUSI構造となっているが、必ずしも、FUSI構造に限らず、例えば、ポリシリコンと金属シリサイドとの積層構造であっても、メタルゲート構造であっても構わないことは、第1の実施の形態と同様である。

【0109】

(第3の実施の形態)

本発明の第3の実施の形態の半導体装置の製造方法は、半導体基板にn型MISFET

50

を有する半導体装置の製造方法である。そして、半導体基板上にゲート絶縁膜を形成する工程と、ゲート絶縁膜上にゲート電極を形成する工程と、半導体基板中に、Siの原子量以上の質量を有するイオンをイオン注入する工程と、半導体基板上に第1の金属を堆積する工程と、第1の熱処理により第1の金属と半導体基板を反応させて、ソース/ドレイン電極となる金属半導体化合物層を形成する工程と、金属半導体化合物層上に第2の金属を堆積する工程と、第2の熱処理により、第2の金属を金属半導体化合物層中に拡散させることで、金属半導体化合物層と半導体基板の界面に第2の金属を偏析させて界面層を形成する工程を有している。そして、イオン注入する工程において、イオンの投影飛程（プロジェクトレンジ：Rp）が、金属半導体化合物層を形成する工程において反応に寄与する半導体基板の厚さ以下となる条件で注入する。そして、界面層の電子に対するショットキー障壁高さが、金属半導体化合物層の電子に対するショットキー障壁高さよりも小さくなるよう条件を設定する。

10

【0110】

本実施の形態は、第1の実施の形態が、金属半導体化合物形成後に、イオン注入する工程を有するのに対し、金属半導体化合物の形成前に、イオン注入する工程を有する点で異なっている。その他の点においては、第1の実施の形態と同様であるので、重複する記載を省略する。

【0111】

図1は、本実施の形態の半導体装置の製造方法で製造される半導体装置の断面図である。そして、図30～図34は、本実施の形態の半導体装置の製造方法の、製造工程の断面図である。なお、本実施の形態の製造方法は、ゲート側壁絶縁膜を作る工程までは、図1～図4に示す第1の実施の形態と同様の製造方法である。

20

【0112】

ゲート絶縁膜を形成した後に、図30に示すように、ゲート電極102および側壁絶縁膜104をマスクに、Siの原子量以上の質量を有するイオン、例えばGe（ゲルマニウム）を、イオン注入によりシリコン基板200に導入し、Ge不純物層411を形成する。Geのイオン注入を行う際に、Geイオンの投影飛程（プロジェクトレンジ：Rp）が、後にNiSi層を形成する工程の際に、反応に寄与するシリコン基板200の厚さ以下となる条件で注入する。例えば、後に形成されるNiSi層の膜厚が20nmの場合、反応に寄与するSi厚さは18nmとなる。そこで、Geを20keV以下の加速電圧で注入する。このイオン注入条件で、GeのRpが18nm以下となる。また、後に形成されるNiSi層の膜厚が20nmの場合で、Xeをイオン注入する場合、Xeを25keV以下の加速電圧で注入する。このイオン注入条件で、XeのRpが18nm以下となる。

30

【0113】

次に図31に示すように、10nm程度のNi膜160のスパッタを行う。次に、図32に示すように、500程度のアニール（第1の熱処理）によりNi膜160とシリコン基板200を反応させシリサイド化し、ソース/ドレイン電極となるNiSi層110aを形成する。このとき、NiSi層110aは、例えば、約20nmの厚さで形成される。同時に、ポリシリコンのゲート電極102をゲート絶縁膜101界面まで完全に反応させ、ゲート電極となるNiSi層110bを形成する。その後、薬液で表面にある未反応のNiについて選択剥離を行う。

40

【0114】

次に、図33に示すように、例えば、Y（イットリウム）162を膜厚にして10nm程度スパッタで形成する。次に、図34に示すように、300～450程度のアニール（第2の熱処理）により、Y膜162から、Yをソース/ドレイン電極となるNiSi110aの粒界を通して拡散させ、Yを偏析させることで界面層120aを、シリコン基板200とNiSi層110aの界面に形成する。また、Yが、NiSi層110aの粒界中に存在するようにする。そして、同時に、Yをゲート電極となるNiSi層110bの粒界を通して拡散させ、Yからなる界面層120bを、ゲート絶縁膜101とNiSi層

50

110bの界面に形成する。この熱処理は、例えば、窒素雰囲気、アルゴン雰囲気等の不活性ガス雰囲気あるいは真空雰囲気等で処理することが考えられる。

【0115】

なお、ここで界面層であるY層の電子に対するショットキー障壁高さは、NiSi層の電子に対するショットキー障壁高さよりも低くなる。

【0116】

次に、薬液で表面にあるYの選択剥離を行う。この時、界面層を形成し、NiSi層110a、110bの粒界にも存在するY層120a、120bは、NiSi層110a、110bがマスクとなるため、剥離されることはない。以上のようにして、図1に示す構造の半導体装置が形成される。

10

【0117】

図35は、本実施の形態の半導体装置の製造方法の効果を示す図である。横軸は、NiSi層へ注入した注入イオン種である。縦軸は、上記方法で作成したソース/ドレイン電極の正孔に対するショットキー障壁高さの測定値を示す。第2の熱処理を400と450とし、450に関しては、60分および90分のそれぞれの場合について測定をおこなっている。図から明らかなように、NiSi層にイオン注入を行わない場合に比べ、GeまたはXeのイオン注入を行うことで、正孔に対するショットキー障壁高さが高くなる。すなわち、電子に対するショットキー障壁高さが低くなっていることがわかる。

【0118】

このように、NiSi層形成前のイオン注入により、ショットキー障壁高さが変調されるのは、以下の理由によると考えられる。すなわち、NiSi層形成前に半導体基板をアモルファス化あるいは多結晶化することによって、シリサイド化反応がアモルファスあるいは多結晶の各グレインで均一に進行し、大きな粒径の結晶が形成されにくくなる。このため、第1の実施の形態同様、第2の金属であるYがNiSi層中を拡散する際の経路の密度も大きくなり、結果的にSiとNiSi層の界面に偏析するYの量が多くなる。したがって、界面層によるショットキー障壁高さの変調量が大きくなり、ソース/ドレイン電極の接触抵抗の一層の低減が可能になる。

20

【0119】

なお、イオン注入する工程において、イオンの投影飛程(プロジェクトレンジ:Rp)が、金属半導体化合物層を形成する工程において反応に寄与する半導体基板の厚さ以下となる条件で注入することが、金属半導体化合物層の形成時に金属半導体化合物層を細粒化し、粒界の密度を一層増加させる観点から望ましい。しかしながら、必ずしもこの条件を満たさなくとも、金属半導体化合物層の細粒化は可能である。

30

【0120】

以上のように、本実施の形態の半導体装置の製造方法によれば、ソース/ドレイン電極のバルクの材料を、電極自身の抵抗低減や耐熱性の観点から選定し、かつ、この材料よりも電子に対するショットキー障壁の低い材料を界面層とする電極構造を形成することが可能となる。よって、高性能なn型MISFETを有する半導体装置の製造が可能となる。

【0121】

なお、本実施の形態の製造方法は、図16に示した、高濃度不純物偏析層を有するMISFETを形成する際に、適用すると効果的である。なぜなら、イオン注入する工程において、例えば、Asをイオン注入すると、高濃度不純物偏析層を形成するためのイオン注入と、結晶の大粒径化抑制のためのイオン注入を兼ねることができ、簡易に高性能なn型MISFETを形成することが可能となるからである。

40

【0122】

(第4の実施の形態)

本発明の第4の実施の形態の半導体装置の製造方法は、半導体基板にp型MISFETを有する半導体装置の製造方法である。そして、半導体基板上にゲート絶縁膜を形成する工程と、ゲート絶縁膜上にゲート電極を形成する工程と、半導体基板中に、Siの原子量以上の質量を有するイオンをイオン注入する工程と、半導体基板上に第1の金属を堆積す

50

る工程と、第1の熱処理により第1の金属と前記半導体基板を反応させて、ソース/ドレイン電極となる金属半導体化合物層を形成する工程と、金属半導体化合物層上に第2の金属を堆積する工程と、第2の熱処理により、第2の金属を金属半導体化合物層中に拡散させることで、金属半導体化合物層と半導体基板の界面に第2の金属を偏析させて界面層を形成する工程を有している。そして、イオン注入する工程において、イオンの投影飛程（プロジェクトレンジ：Rp）が、金属半導体化合物層を形成する工程において反応に寄与する半導体基板の厚さ以下となる条件で注入する。そして、界面層の正孔に対するショットキー障壁高さが、金属半導体化合物層の正孔に対するショットキー障壁高さよりも小さくなるよう条件を設定する。

【0123】

本実施の形態は、第2の実施の形態が、金属半導体化合物形成後に、イオン注入する工程を有するのに対し、金属半導体化合物の形成前に、イオン注入する工程を有する点で異なっている。その他の点においては、第2の実施の形態と同様であるので、重複する記載を省略する。

【0124】

図18は、本実施の形態の半導体装置の製造方法で製造される半導体装置の断面図である。そして、図36～図40は、本実施の形態の半導体装置の製造方法の、製造工程の断面図である。なお、本実施の形態の製造方法は、ゲート側壁絶縁膜を作る工程までは、図19～図21に示す第2の実施の形態と同様の製造方法である。

【0125】

ゲート絶縁膜を形成した後に、図36に示すように、ゲート電極102および側壁絶縁膜104をマスクに、Siの原子量以上の質量を有するイオン、例えばGe（ゲルマニウム）を、イオン注入によりシリコン基板100に導入し、Ge不純物層411を形成する。Geのイオン注入を行う際に、Geイオンの投影飛程（プロジェクトレンジ：Rp）が、後にNiSi層を形成する工程の際に、反応に寄与するシリコン基板100の厚さ以下となる条件で注入する

【0126】

次に図37に示すように、10nm程度のNi膜160のスパッタを行う。次に、図38に示すように、500程度のアニール（第1の熱処理）によりNi膜160とシリコン基板200を反応させシリサイド化し、ソース・ドレイン電極となるNiSi層110aを形成する。このとき、NiSi層110aは、例えば、約20nmの厚さで形成される。同時に、ポリシリコンのゲート電極102をゲート絶縁膜101界面まで完全に反応させ、ゲート電極となるNiSi層110bを形成する。その後、薬液で表面にある未反応のNiについて選択剥離を行う。

【0127】

次に、図39に示すように、例えば、Pt164を膜厚にして10nm程度スパッタで形成する。次に、図40に示すように、300～450程度のアニール（第2の熱処理）により、Pt膜164から、Ptをソース/ドレイン電極となるNiSi110aの粒界を通して拡散させ、Ptを偏析させることで界面層124aを、シリコン基板100とNiSi層110aの界面に形成する。また、Ptが、NiSi層110aの粒界中に存在するようにする。そして、同時に、Ptをゲート電極となるNiSi層110bの粒界を通して拡散させ、Ptからなる界面層124bを、ゲート絶縁膜101とNiSi層110bの界面に形成する。この熱処理は、例えば、窒素雰囲気、アルゴン雰囲気等の不活性ガス雰囲気あるいは真空雰囲気等で処理することが考えられる。

【0128】

なお、ここで界面層であるPt層の正孔に対するショットキー障壁高さは、NiSi層の正孔に対するショットキー障壁高さよりも低くなる。

【0129】

次に、薬液で表面にあるPtの選択剥離を行う。この時、界面層を形成し、NiSi層110a、110bの粒界にも存在するPt層124a、124bは、NiSi層110

10

20

30

40

50

a、110bがマスクとなるため、剥離されることはない。以上のようにして、図18に示す構造の半導体装置が形成される。

【0130】

先に第3の実施の形態で述べた理由と同様の理由により、第2の金属であるPtがNiSi層中を拡散する際の経路の密度も大きくなり、結果的にSiとNiSi層の界面に偏析するPtの量が多くなる。したがって、界面層によるショットキー障壁高さの変調量が大きくなり、ソース/ドレイン電極の接触抵抗の一層の低減が可能になる。

【0131】

なお、イオン注入する工程において、イオンの投影飛程(プロジェクトレンジ:Rp)が、金属半導体化合物層を形成する工程において反応に寄与する半導体基板の厚さ以下となる条件で注入することが、金属半導体化合物層の形成時に金属半導体化合物層を細粒化し、粒界の密度を一層増加させる観点から望ましいが、必ずしもこの条件を満たさなくとも、金属半導体化合物層の細粒化は可能である点については第3の実施の形態と同様である。

【0132】

以上のように、本実施の形態の半導体装置の製造方法によれば、ソース/ドレイン電極のバルクの材料を、電極自身の抵抗低減や耐熱性の観点から選定し、かつ、この材料よりも正孔に対するショットキー障壁の低い材料を界面層とする電極構造を形成することが可能となる。よって、高性能なp型MISFETを有する半導体装置の製造が可能となる。

【0133】

(第5の実施の形態)

本発明の第5の実施の形態の半導体装置の製造方法は、半導体基板にn型MISFETとp型MISFETを有する半導体装置の製造方法である。そして、半導体基板上にn型MISFETのゲート絶縁膜を形成する工程と、n型MISFETのゲート絶縁膜上にn型MISFETのゲート電極を形成する工程と、半導体基板上にp型MISFETのゲート絶縁膜を形成する工程と、p型MISFETのゲート絶縁膜上にp型MISFETのゲート電極を形成する工程と、半導体基板上に第1の金属を堆積する工程と、第1の熱処理により第1の金属と前記半導体基板を反応させて、n型MISFETおよびp型MISFETのソース/ドレイン電極となる金属半導体化合物層を形成する工程と、n型MISFETが形成される領域の金属半導体化合物層中に、選択的にSiの原子量以上の質量を有するイオンをイオン注入する工程と、金属半導体化合物層上に第2の金属を堆積する工程と、第2の熱処理により、第2の金属をn型MISFETが形成される領域の金属半導体化合物層中に拡散させることで、金属半導体化合物層と半導体基板の界面に第2の金属を偏析させて界面層を形成する工程を有する。そして、イオン注入する工程において、イオンの投影飛程(プロジェクトレンジ:Rp)が、金属半導体化合物層の膜厚以下となる条件で注入する。そして、界面層の電子に対するショットキー障壁高さを、金属半導体化合物層の電子に対するショットキー障壁高さよりも小さくする。

【0134】

本実施の形態の製造方法では、CMIS構造の半導体装置において、n型MISFETに、先の第1の実施の形態で説明した製造方法を適用することを特徴とする。すなわち、n型MISFET領域への選択的なイオン注入により、第2の金属拡散前に、第1の金属を含む金属半導体化合物層の粒径を小さくする。これにより、n型MISFETとp型MISFET両方のソース/ドレイン電極のバルクに、抵抗が低い金属半導体化合物を有し、かつ、n型MISFETとp型MISFET両方のソース/ドレイン電極につき、キャリアに対するショットキー障壁高さの低い電極構造を形成することが可能となる。したがって、バルクの抵抗および接触抵抗の両方を、n型MISFET、p型MISFETそれぞれについて低減できるソース/ドレイン電極を簡易に実現することが可能となる。

【0135】

図41~図49は、本実施の形態の半導体装置の製造方法の、製造工程の断面図である。まず、図41に示すように、B(ボロン)が 10^{15} atoms/cm³程度ドーパ

10

20

30

40

50

れた面方位(100)面のp型のSi基板200に、シリコン酸化膜からなる素子分離領域(STI(Shallow Trench Isolation))150を形成する。その後、n型ウェル180およびp型ウェル280をイオン注入により形成する。

【0136】

次に、図42に示すように、シリコン酸化膜からなるゲート絶縁膜101を1nm程度形成し、ゲート電極102となるポリシリコン膜を減圧化学的気相堆積(以下LP-CVDともいう)法によって100~150nm程度堆積する。そして、リソグラフィー技術および反応性イオンエッチング(以下RIEともいう)等のエッチング技術により、ゲート絶縁膜101及びゲート電極102をゲート長が30nm程度となるようにパターン形成する。必要ならば、ここで1~2nmのポスト酸化を行う。次に、図43に示すように、シリコン窒化膜をLP-CVD法によって8nm程度堆積した後、RIE法によってエッチバックすることにより、シリコン窒化膜をゲート電極102の側面部にのみ残す。これにより、ゲート側壁絶縁膜104を形成する。

10

【0137】

次に、図44に示すように、10nm程度のNi膜160のスパッタを行う。次に、図45に示すように、500程度のアニール(第1の熱処理)によりNi膜160とシリコン基板200を反応させシリサイド化し、ソース/ドレイン電極となるNiSi110aを形成する。同時に、ポリシリコンのゲート電極102をゲート絶縁膜101界面まで完全に反応させ、ゲート電極となるNiSi層110bを形成する。その後、薬液で表面にある未反応のNiについて選択剥離を行う。

20

【0138】

次に、図46に示すように、n型ウェル180上をリソグラフィーによりレジストでマスクし、ゲート電極102および側壁絶縁膜104をマスクに、Siの原子量以上の質量を有するイオン、例えばGe(ゲルマニウム)を、イオン注入により選択的にp型ウェル280上のNiSi層110a、110bに導入する。ここで、Geのイオン注入を行う際に、Geイオンの投影飛程(プロジェクトレンジ:Rp)が、NiSi層110aの膜厚以下となる条件で注入する。次に、図47に示すように、例えば、Y(イットリウム)162を膜厚にして10nm程度スパッタで形成する。

【0139】

次に、図48に示すように、300~450程度のアニール(第2の熱処理)により、Y膜162から、Yを、n型MISFETのソース/ドレイン電極となるNiSi110aの粒界を通して拡散させ、Yを偏析させることで界面層120aを、シリコン基板200とNiSi層110aの界面に形成する。また、Yが、NiSi層110aの粒界中に存在するようにする。そして、同時に、Yをゲート電極となるNiSi層110bの粒界を通して拡散させ、Yからなる界面層120bを、ゲート絶縁膜101とNiSi層110bの界面に形成する。この熱処理は、例えば、窒素雰囲気、アルゴン雰囲気等の不活性ガス雰囲気あるいは真空雰囲気等で処理することが考えられる。

30

【0140】

なお、ここで界面層であるY層の電子に対するショットキー障壁高さは、NiSi層の電子に対するショットキー障壁高さよりも低くなる。

40

【0141】

そして、この第2の熱処理の際、p型MISFETのソース/ドレイン電極となるNiSi層には、Geのイオン注入が行われていないため、NiSi層の粒径は小さくなっていない。したがって、p型MISFETのソース/ドレイン電極では、Yの粒界拡散がほとんど起こらないように熱処理条件等を制御することが可能である。したがって、p型MISFETのソース/ドレイン電極部におけるYの界面層形成を抑制できる。

【0142】

次に、薬液で表面にあるYの選択剥離を行う。この時、界面層を形成し、NiSi層110a、110bの粒界にも存在するY層120a、120bは、NiSi層110a、110bがマスクとなるため、剥離されることはない。以上のようにして、図49に示す

50

構造の半導体装置が形成される。

【0143】

図49(a)は半導体装置の断面図、図49(b)がn型MISFETのソース/ドレイン電極部の断面図、図49(c)がp型MISFETのソース/ドレイン電極部の断面図である。図のように、n型MISFETのソース/ドレイン電極のバルクは比抵抗の小さいNiSi層110aで形成されている。そして、n型MISFETは、電子に対するショットキー障壁高さがバルクのNiSi層よりも小さいYの界面層120aを有している。そして、p型MISFETのソース/ドレイン電極は、バルクは比抵抗の小さく、かつ、正孔に対するショットキー障壁高さの比較的低いNiSi層110aで形成されている。

10

【0144】

このように、本実施の形態の半導体装置の製造方法によれば、バルクの抵抗および接触抵抗の両方を、n型MISFET、p型MISFETそれぞれについて低減できるソース/ドレイン電極を簡易に実現することが可能となる。したがって、高性能なCMIS構造の半導体装置を容易に実現することが可能となる。

【0145】

なお、n型MISFETの製造方法についての、材料選択等の詳細については、基本的には第1の実施の形態と同様であるので、重複する記載を省略する。ただし、特に、第1の金属については、その金属半導体化合物が、正孔に対してショットキー障壁の低くなる金属、具体的には界面層の正孔に対するショットキー障壁高さが0.5eV以下となるような材料、例えば、Ni、Ptあるいは、Ptを含有するNi等を選択することが、p型MISFETの接触抵抗を低減する観点から望ましい。

20

【0146】

そして、本実施の形態においては、n型MISFETが形成される領域の金属半導体化合物層中に選択的にイオン注入を行い、n型MISFETのソース/ドレイン電極部に界面層を形成する方法について記載した。しかし、逆に、p型MISFETが形成される領域の金属半導体化合物層中に選択的にイオン注入を行い、p型MISFETのソース/ドレイン電極部に界面層を形成する方法を採ることも可能である。この場合の、材料選択等の詳細については、基本的には第2の実施の形態と同様となる。

30

【0147】

(第6の実施の形態)

本発明の第6の実施の形態の半導体装置の製造方法は、半導体基板にn型MISFETとp型MISFETを有する半導体装置の製造方法である。そして、半導体基板上にn型MISFETのゲート絶縁膜を形成する工程と、n型MISFETのゲート絶縁膜上にp型MISFETのゲート電極を形成する工程と、半導体基板上にp型MISFETのゲート絶縁膜を形成する工程と、p型MISFETのゲート絶縁膜上にp型MISFETのゲート電極を形成する工程と、n型MISFETが形成される領域の半導体基板中に、選択的にSiの原子量以上のイオンをイオン注入する工程と、半導体基板上に第1の金属を堆積する工程と、第1の熱処理により第1の金属と半導体基板を反応させて、n型MISFETおよびp型MISFETのソース/ドレイン電極となる金属半導体化合物層を形成する工程と、金属半導体化合物層上に第2の金属を堆積する工程と、第2の熱処理により、第2の金属をn型MISFETが形成される領域の金属半導体化合物層中に拡散させることで、金属半導体化合物層と半導体基板の界面に第2の金属を偏析させて界面層を形成する工程を有する。そして、イオン注入する工程において、イオンの投影飛程(プロジェクトレンジ:Rp)が、金属半導体化合物層を形成する工程において反応に寄与する半導体基板の厚さ以下となる条件で注入し、界面層の電子に対するショットキー障壁高さを、金属半導体化合物層の電子に対するショットキー障壁高さよりも小さくする。

40

【0148】

本実施の形態は、第5の実施の形態が、金属半導体化合物形成後に、イオンをイオン注入する工程を有するのに対し、金属半導体化合物の形成前に、イオンをイオン注入する工

50

程を有する点で異なっている。その他の点においては、第5の実施の形態と同様であるので、重複する記載を省略する。

【0149】

図50～図54は、本実施の形態の半導体装置の製造方法の、製造工程の断面図である。なお、本実施の形態の製造方法は、ゲート側壁絶縁膜を作る工程までは、図41～図43に示す第5の実施の形態と同様の製造方法である。

【0150】

ゲート絶縁膜を形成した後に、図50に示すように、n型ウェル180上をリソグラフィによりレジストでマスクし、ゲート電極102および側壁絶縁膜104をマスクに、Siの原子量以上の質量を有するイオン、例えばGe（ゲルマニウム）を、イオン注入により選択的にp型ウェル280上に導入し、Ge不純物層411を形成する。Geのイオン注入を行う際に、Geイオンの投影飛程（プロジェクトレンジ：Rp）が、後にNiSi層を形成する工程の際に、反応に寄与するシリコン基板200の厚さ以下となる条件で注入する。

【0151】

次に図51に示すように、10nm程度のNi膜160のスパッタを行う。次に、図52に示すように、500程度のアニール（第1の熱処理）によりNi膜160とシリコン基板200を反応させシリサイド化し、ソース/ドレイン電極となるNiSi層110aを形成する。このとき、NiSi層110aは、例えば、約20nmの厚さで形成される。同時に、ポリシリコンのゲート電極102をゲート絶縁膜101界面まで完全に反応させ、ゲート電極となるNiSi層110bを形成する。その後、薬液で表面にある未反応のNiについて選択剥離を行う。

【0152】

次に、図53に示すように、例えば、Y（イットリウム）162を膜厚にして10nm程度スパッタで形成する。次に、図54に示すように、300～450程度のアニール（第2の熱処理）により、Y膜162から、Yをn型MISFETのソース/ドレイン電極となるNiSi110aの粒界を通して拡散させ、Yを偏析させることで界面層120aを、シリコン基板200とNiSi層110aの界面に形成する。また、Yが、NiSi層110aの粒界中に存在するようにする。そして、同時に、Yをゲート電極となるNiSi層110bの粒界を通して拡散させ、Yからなる界面層120bを、ゲート絶縁膜101とNiSi層110bの界面に形成する。この熱処理は、例えば、窒素雰囲気、アルゴン雰囲気等の不活性ガス雰囲気あるいは真空雰囲気等で処理することが考えられる。

【0153】

なお、ここで界面層であるY層の電子に対するショットキー障壁高さは、NiSi層の電子に対するショットキー障壁高さよりも低くなる。

【0154】

そして、この第2の熱処理の際、p型MISFETのソース/ドレイン電極となる領域のSi基板には、あらかじめ、Geのイオン注入が行われていないため、NiSi層の粒径は小さくなっていない。したがって、p型MISFETのソース/ドレイン電極では、Yの粒界拡散がほとんど起こらないように熱処理条件等を制御することが可能である。したがって、p型MISFETのソース/ドレイン電極部における、Yの界面層形成を抑制できる。

【0155】

次に、薬液で表面にあるYの選択剥離を行う。この時、界面層を形成し、NiSi層110a、110bの粒界にも存在するY層120a、120bは、NiSi層110a、110bがマスクとなるため、剥離されることはない。以上のようにして、第5の実施の形態同様、図49に示す構造の半導体装置が形成される。

【0156】

このように、本実施の形態の半導体装置の製造方法によれば、第5の実施の形態同様、バルクの抵抗および接触抵抗の両方を、n型MISFET、p型MISFETそれぞれに

10

20

30

40

50

ついて低減できるソース/ドレイン電極を簡易に実現することが可能となる。したがって、高性能なC M I S構造の半導体装置を容易に実現することが可能となる。

【0157】

(第7の実施の形態)

本発明の第7の実施の形態の半導体装置の製造方法は、半導体基板上にn型拡散層を形成する工程と、n型拡散層上に絶縁層を形成する工程と、絶縁層にn型拡散層が露出するようコンタクトホールを開孔する工程と、n型拡散層が露出した領域に、第1の金属を堆積する工程と、第1の熱処理により第1の金属をn型拡散層と反応させ、金属半導体化合物層を形成する工程と、金属半導体化合物層中に、Siの原子量以上の質量を有するイオンをイオン注入する工程と、金属半導体化合物層上に第2の金属を堆積する工程と、第2の熱処理により、第2の金属を金属半導体化合物層中に拡散させることで、金属半導体化合物層と半導体基板の界面に、第2の金属を偏析させて界面層を形成する工程と、絶縁層上のコンタクトホール上を含む領域に、金属配線を形成する工程を有する。そして、イオン注入する工程において、イオンの投影飛程(プロジェクトドレンジ:Rp)が、金属半導体化合物層の膜厚以下となる条件で注入する。そして、界面層の電子に対するショットキー障壁高さが、金属半導体化合物層の電子に対するショットキー障壁高さよりも小さくすることを特徴とする。

10

【0158】

本実施の形態の半導体装置の製造方法は、第1の実施の形態の半導体装置の製造方法を、n型拡散層上に形成されるコンタクト電極(以下、n型コンタクト電極ともいう)に応用するものである。本実施の形態によれば、低抵抗なn型コンタクト電極の形成が可能となる。

20

【0159】

図55は、本実施の形態の製造方法によって、形成されるコンタクト電極を有する半導体装置の断面図である。ボロン(B)を不純物として含有するp型シリコンからなる半導体基板200上に、砒素(As)またはリン(P)などを不純物とするn型拡散層502が形成されている。そして、n型拡散層502を含む半導体基板200上には、シリコン酸化膜からなる絶縁層506が形成されている。そして、この絶縁層506を介して、アルミニウム(Al)や銅(Cu)などを材料とする金属配線508が形成されている。そして、n型拡散層502と金属配線508を電気的に接続するためのコンタクト電極512を有している。ここで、コンタクト電極512の下部が、例えば、NiSi層110と、例えば、Y等のNiSiより電子に対するショットキー障壁の低い界面層120とによって形成されている。そして、コンタクト電極512の、金属配線とNiSi層110との間は、タングステン(W)等のコンタクトプラグ518により埋め込まれている。

30

【0160】

次に、本実施の形態の半導体装置の製造方法について、図55を参照しつつ、以下説明する。まず、Bを不純物とするp型のシリコンからなる半導体基板200上に、公知のリソグラフィおよびイオン注入法により、Asを所定の領域に導入し、n型拡散層502を形成する。

【0161】

次に、n型拡散層502を含む半導体基板200上に、公知のLPCVD(Low Pressure Chemical Vapor Deposition)法等により、シリコン酸化膜等からなる絶縁層506を形成する。そして、この絶縁層506に、例えば、公知のリソグラフィおよびRIE(Reactive Ion Etching)法等により、n型拡散層502が露出するようコンタクトホールを開孔する。

40

【0162】

次に、n型拡散層502が露出した領域に、公知のスputta法等で、例えば、Niからなる第1の金属を堆積する。次に、公知の枚葉式のRTP(Rapid Thermal Processing)装置等により、例えば、不活性ガス雰囲気中で、第1の熱処理を行い、第1の金属であるNi膜をn型拡散層502のSiと反応させ、NiSi層11

50

0を形成する。その後、未反応のNi膜は、公知のウェットエッチング等により、選択的に除去する。

【0163】

次に、Siの原子量以上の質量を有するイオン、例えばGe(ゲルマニウム)を、イオン注入によりNiSi層110に導入する。Geのイオン注入を行う際に、Geイオンの投影飛程(プロジェクトレンジ:Rp)が、NiSi層110の膜厚以下となる条件で注入する。

【0164】

次に、300~450程度のアニール(第2の熱処理)により、Y膜から、YをNiSi110の粒界を通して拡散させ、Yを偏析させることで界面層120を、n型拡散層502とNiSi層110の界面に形成する。また、Yが、NiSi層110の粒界中に存在するようにする。この熱処理は、例えば、窒素雰囲気、アルゴン雰囲気等の不活性ガス雰囲気あるいは真空雰囲気等で処理することが考えられる。

【0165】

なお、ここで界面層であるY層の電子に対するショットキー障壁高さは、NiSi層の電子に対するショットキー障壁高さよりも低くなる。

【0166】

次に、薬液で表面にあるYの選択剥離を行う。この時、界面層を形成し、NiSi層110の粒界にも存在するY層120は、NiSi層110がマスクとなるため、剥離されることはない。その後、公知のLPCVD法およびCMP(Chemical Mechanical Polishing)法等により、W等によりコンタクトホール520中にコンタクトプラグ518を形成する。そして、絶縁層506上のコンタクトホール上を含む領域に、公知のスパッタ法、リソグラフィ法、RIE法等により、例えば、Alからなる金属配線508を形成する。以上のようにして、図55に示す構造の半導体装置が形成される。

【0167】

本実施の形態の製造方法では、イオン注入により、第2の金属拡散前に、第1の金属を含む金属半導体化合物層の粒径を小さくする。これにより、コンタクト電極下部のバルクには、例えば、抵抗が低い金属半導体化合物を有し、コンタクト電極とn型拡散層との界面に、電子に対するショットキー障壁の低い金属または金属化合物からなる界面層を形成することが可能となる。したがって、コンタクト電極下部のバルクの抵抗および接触抵抗の両方を低減できるコンタクト電極の実現が可能となる。

【0168】

(第8の実施の形態)

本発明の第8の実施の形態の半導体装置の製造方法は、半導体基板上にp型拡散層を形成する工程と、p型拡散層上に絶縁層を形成する工程と、絶縁層にp型拡散層が露出するようコンタクトホールを開孔する工程と、p型拡散層が露出した領域に、第1の金属を堆積する工程と、第1の熱処理により第1の金属をp型拡散層と反応させ、金属半導体化合物層を形成する工程と、金属半導体化合物層中に、Siの原子量以上の質量を有するイオンをイオン注入する工程と、金属半導体化合物層上に第2の金属を堆積する工程と、第2の熱処理により、第2の金属を金属半導体化合物層中に拡散させることで、金属半導体化合物層と半導体基板の界面に、第2の金属を偏析させて界面層を形成する工程と、絶縁層上のコンタクトホール上を含む領域に、金属配線を形成する工程を有する。そして、イオン注入する工程において、イオンの投影飛程(プロジェクトレンジ:Rp)が、金属半導体化合物層の膜厚以下となる条件で注入する。そして、界面層の正孔に対するショットキー障壁高さが、金属半導体化合物層の正孔に対するショットキー障壁高さよりも小さくすることを特徴とする。

【0169】

本実施の形態の半導体装置の製造方法は、第2の実施の形態の半導体装置の製造方法を、p型拡散層上に形成されるコンタクト電極に応用するものである。また、n型コンタク

10

20

30

40

50

ト電極についての実施の形態である第7の実施の形態を、p型コンタクト電極に変えて応用したものである。したがって、先の実施の形態と重複する記載については、記述を省略する。本実施の形態によれば、低抵抗なp型コンタクト電極の形成が可能となる。

【0170】

図56は、本実施の形態の製造方法によって、形成されるコンタクト電極を有する半導体装置の断面図である。リン(P)を不純物として含有するn型シリコンからなる半導体基板100上に、ボロン(B)などを不純物とするp型拡散層602が形成されている。そして、p型拡散層602を含む半導体基板100上には、シリコン酸化膜からなる絶縁層506が形成されている。そして、この絶縁層506を介して、アルミニウム(Al)や銅(Cu)などを材料とする金属配線508が形成されている。そして、p型拡散層602と金属配線508を電氣的に接続するためのコンタクト電極512を有している。ここで、コンタクト電極512の下部が、例えば、NiSi層110と、例えば、Pt等のNiSiより正孔に対するショットキー障壁の低い界面層120とによって形成されている。そして、コンタクト電極512の、金属配線とNiSi層110との間は、タングステン(W)等のコンタクトプラグ518により埋め込まれている。

10

【0171】

本実施の形態の半導体装置の製造方法について、図56を参照しつつ、以下説明する。まず、Pを不純物とするn型のシリコンからなる半導体基板100上に、公知のリソグラフィおよびイオン注入法により、Bを所定の領域に導入し、p型拡散層602を形成する。

20

【0172】

次に、p型拡散層602を含む半導体基板100上に、公知のLPCVD(Low Pressure Chemical Vapor Deposition)法等により、シリコン酸化膜等からなる絶縁層506を形成する。そして、この絶縁層506に、例えば、公知のリソグラフィおよびRIE(Reactive Ion Etching)法等により、p型拡散層602が露出するようコンタクトホールを開孔する。

【0173】

次に、p型拡散層602が露出した領域に、公知のスパッタ法等で、例えば、Niからなる第1の金属を堆積する。次に、公知の枚葉式のRTP(Rapid Thermal Processing)装置等により、例えば、不活性ガス雰囲気中で、第1の熱処理を行い、第1の金属であるNi膜をp型拡散層602のSiと反応させ、NiSi層110を形成する。その後、未反応のNi膜は、公知のウェットエッチング等により、選択的に除去する。

30

【0174】

次に、Siの原子量以上の質量を有するイオン、例えばGe(ゲルマニウム)を、イオン注入によりNiSi層110に導入する。Geのイオン注入を行う際に、Geイオンの投影飛程(プロジェクテッドレンジ:Rp)が、NiSi層110の膜厚以下となる条件で注入する。

【0175】

次に、300~450程度のアニール(第2の熱処理)により、Pt膜から、PtをNiSi層110の粒界を通して拡散させ、Ptを偏析させることで界面層124を、p型拡散層602とNiSi層110の界面に形成する。また、Ptが、NiSi層110の粒界中に存在するようにする。この熱処理は、例えば、窒素雰囲気、アルゴン雰囲気等の不活性ガス雰囲気あるいは真空雰囲気等で処理することが考えられる。

40

【0176】

なお、ここで界面層であるPt層の正孔に対するショットキー障壁高さは、NiSi層の正孔に対するショットキー障壁高さよりも低くなる。

【0177】

次に、薬液で表面にあるPtの選択剥離を行う。この時、界面層を形成し、NiSi層110の粒界にも存在するPtは、NiSi層110がマスクとなるため、剥離されるこ

50

とはない。その後、公知のLPCVD法およびCMP (Chemical Mechanical Polishing) 法等により、W等によりコンタクトホール中にコンタクトプラグ518を形成する。そして、絶縁層506上のコンタクトホール上を含む領域に、公知のスパッタ法、リソグラフィ法、RIE法等により、例えば、Alからなる金属配線508を形成する。以上のようにして、図56に示す構造の半導体装置が形成される。

【0178】

本実施の形態の製造方法では、イオン注入により、第2の金属拡散前に、第1の金属を含む金属半導体化合物層の粒径を小さくする。これにより、コンタクト電極下部のバルクには、例えば、抵抗が低い金属半導体化合物を有し、コンタクト電極とp型拡散層との界面に、正孔に対するショットキー障壁の低い金属または金属化合物からなる界面層を形成することが可能となる。したがって、コンタクト電極下部のバルクの抵抗および接触抵抗の両方を低減できるp型コンタクト電極の実現が可能となる。

10

【0179】

(第9の実施の形態)

本発明の第9の実施の形態の半導体装置の製造方法は、第7の実施の形態の半導体装置の製造方法が、金属半導体化合物形成後に、イオン注入する工程を有するのに対し、金属半導体化合物の形成前に、イオン注入する工程を有する点で異なっている。その他の点においては、第7の実施の形態と同様であるので、重複する記載を省略する。また、本実施の形態の半導体装置の製造方法は、第3の実施の形態の半導体装置の製造方法を、n型拡散層に対するコンタクト電極に応用する実施の形態である。イオン注入する工程においては、イオンの投影飛程(プロジェクトレンジ:Rp)が、金属半導体化合物層を形成する工程において反応に寄与する前記半導体基板の厚さ以下となる条件で注入する。

20

【0180】

本実施の形態においては、第7の実施の形態の、コンタクトホール開孔後に、Siの原子量以上の質量を有するイオン、例えばGe(ゲルマニウム)を、イオン注入によりシリコン基板200に導入し、Ge不純物層を形成する。この際、Geのイオン注入を行う際に、Geイオンの投影飛程(プロジェクトレンジ:Rp)が、後にNiSi層を形成する工程の際に、反応に寄与するシリコン基板200の厚さ以下となる条件で注入する。

【0181】

その後、例えば、Niからなる第1の金属を堆積し、NiSi層上へのイオン注入を省略する以外は、第7の実施の形態と同様の製造工程を行い、図55に示す構造の半導体装置が形成される。本実施の形態の製造方法によっても、コンタクト電極下部のバルクの抵抗および接触抵抗の両方を低減できるn型コンタクト電極の実現が可能となる。

30

【0182】

(第10の実施の形態)

本発明の第10の実施の形態の半導体装置の製造方法は、第8の実施の形態の半導体装置の製造方法が、金属半導体化合物形成後に、イオン注入する工程を有するのに対し、金属半導体化合物の形成前に、イオン注入する工程を有する点で異なっている。その他の点においては、第8の実施の形態と同様であるので、重複する記載を省略する。また、本実施の形態の半導体装置の製造方法は、第4の実施の形態の半導体装置の製造方法を、p型拡散層に対するコンタクト電極に応用する実施の形態である。イオン注入する工程においては、イオンの投影飛程(プロジェクトレンジ:Rp)が、金属半導体化合物層を形成する工程において反応に寄与する前記半導体基板の厚さ以下となる条件で注入する。

40

【0183】

本実施の形態においては、第8の実施の形態の、コンタクトホール開孔後に、Siの原子量以上の質量を有するイオン、例えばGe(ゲルマニウム)を、イオン注入によりシリコン基板200に導入し、Ge不純物層を形成する。この際、Geのイオン注入を行う際に、Geイオンの投影飛程(プロジェクトレンジ:Rp)が、後にNiSi層を形成する工程の際に、反応に寄与するシリコン基板200の厚さ以下となる条件で注入する。

【0184】

50

その後、例えば、Niからなる第1の金属を堆積し、NiSi層上へのイオン注入を省略する以外は、第8の実施の形態と同様の製造工程を行い、図56に示す構造の半導体装置が形成される。本実施の形態の製造方法によっても、コンタクト電極下部のバルクの抵抗および接触抵抗の両方を低減できるp型コンタクト電極の実現が可能となる。

【0185】

以上、具体例を参照しつつ本発明の実施の形態について説明した。上記、実施の形態はあくまで、例として挙げられているだけであり、本発明を限定するものではない。また、実施の形態の説明においては、半導体装置、半導体装置の製造方法等で、本発明の説明に直接必要としない部分等については記載を省略したが、必要とされる半導体装置、半導体装置の製造方法等に関わる要素を適宜選択して用いることができる。

10

【0186】

例えば、実施の形態においては、半導体基板の材料がSi(シリコン)ある場合について記述したが、本発明をその他の半導体材料とする半導体基板、例えば、Si_xGe_{1-x}(0 < x < 1)、SiC、GaN、GaAs、InP等を材料とする半導体基板についても適用することが可能である。

【0187】

その他、本発明の要素を具備し、当業者が適宜設計変更しうる全ての半導体装置、半導体装置の製造方法は、本発明の範囲に包含される。本発明の範囲は、特許請求の範囲およびその均等物の範囲によって定義されるものである。

【図面の簡単な説明】

20

【0188】

【図1】第1の実施の形態の半導体装置の断面図。

【図2】第1の実施の形態の半導体装置の製造工程を示す断面図。

【図3】第1の実施の形態の半導体装置の製造工程を示す断面図。

【図4】第1の実施の形態の半導体装置の製造工程を示す断面図。

【図5】第1の実施の形態の半導体装置の製造工程を示す断面図。

【図6】第1の実施の形態の半導体装置の製造工程を示す断面図。

【図7】第1の実施の形態の半導体装置の製造工程を示す断面図。

【図8】第1の実施の形態の半導体装置の製造工程を示す断面図。

【図9】第1の実施の形態の半導体装置の製造工程を示す断面図。

30

【図10】第1の実施の形態の半導体装置の製造方法の効果を示す図。

【図11】NiSi層にイオン注入を行わない場合のプロセスで界面層を形成した場合の界面層Y濃度と、ショットキー障壁高さ変調量(ϕ_B)を示す図。

【図12】NiSi層にイオン注入を行わない場合の、第2の熱処理に相当する熱処理時間とショットキー障壁高さ変調量との関係を示す図。

【図13】第1の実施のソース/ドレイン電極のTEM写真。

【図14】1の実施の形態の半導体装置の製造方法の作用を説明する概念断面図。

【図15】第1の実施の形態の半導体装置の第1の変形例の断面図。

【図16】第1の実施の形態の半導体装置の第2の変形例の断面図。

【図17】第1の実施の形態の半導体装置の第3の変形例の断面図。

40

【図18】第2の実施の形態の半導体装置の断面図。

【図19】第2の実施の形態の半導体装置の製造工程を示す断面図。

【図20】第2の実施の形態の半導体装置の製造工程を示す断面図。

【図21】第2の実施の形態の半導体装置の製造工程を示す断面図。

【図22】第2の実施の形態の半導体装置の製造工程を示す断面図。

【図23】第2の実施の形態の半導体装置の製造工程を示す断面図。

【図24】第2の実施の形態の半導体装置の製造工程を示す断面図。

【図25】第2の実施の形態の半導体装置の製造工程を示す断面図。

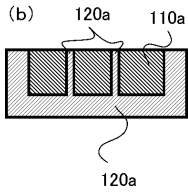
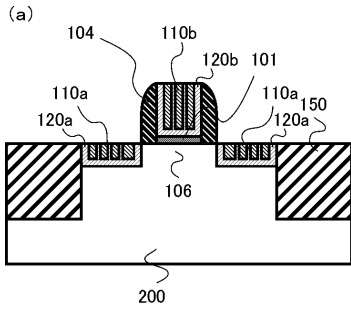
【図26】第2の実施の形態の半導体装置の製造工程を示す断面図。

【図27】第2の実施の形態の半導体装置の第1の変形例の断面図。

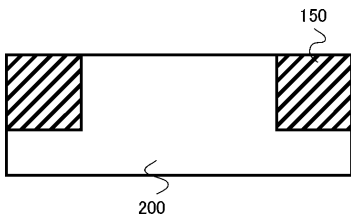
50

- 【図28】第2の実施の形態の半導体装置の第2の変形例の断面図。
- 【図29】第2の実施の形態の半導体装置の第3の変形例の断面図。
- 【図30】第3の実施の形態の半導体装置の製造工程を示す断面図。
- 【図31】第3の実施の形態の半導体装置の製造工程を示す断面図。
- 【図32】第3の実施の形態の半導体装置の製造工程を示す断面図。
- 【図33】第3の実施の形態の半導体装置の製造工程を示す断面図。
- 【図34】第3の実施の形態の半導体装置の製造工程を示す断面図。
- 【図35】第3の実施の形態の半導体装置の製造方法の効果を示す図
- 【図36】第4の実施の形態の半導体装置の製造工程を示す断面図。
- 【図37】第4の実施の形態の半導体装置の製造工程を示す断面図。 10
- 【図38】第4の実施の形態の半導体装置の製造工程を示す断面図。
- 【図39】第4の実施の形態の半導体装置の製造工程を示す断面図。
- 【図40】第4の実施の形態の半導体装置の製造工程を示す断面図。
- 【図41】第5の実施の形態の半導体装置の製造工程を示す断面図。
- 【図42】第5の実施の形態の半導体装置の製造工程を示す断面図。
- 【図43】第5の実施の形態の半導体装置の製造工程を示す断面図。
- 【図44】第5の実施の形態の半導体装置の製造工程を示す断面図。
- 【図45】第5の実施の形態の半導体装置の製造工程を示す断面図。
- 【図46】第5の実施の形態の半導体装置の製造工程を示す断面図。
- 【図47】第5の実施の形態の半導体装置の製造工程を示す断面図。 20
- 【図48】第5の実施の形態の半導体装置の製造工程を示す断面図。
- 【図49】第5の実施の形態の半導体装置の製造工程を示す断面図。
- 【図50】第6の実施の形態の半導体装置の製造工程を示す断面図。
- 【図51】第6の実施の形態の半導体装置の製造工程を示す断面図。
- 【図52】第6の実施の形態の半導体装置の製造工程を示す断面図。
- 【図53】第6の実施の形態の半導体装置の製造工程を示す断面図。
- 【図54】第6の実施の形態の半導体装置の製造工程を示す断面図。
- 【図55】第7の実施の形態の半導体装置を示す断面図。
- 【図56】第8の実施の形態の半導体装置を示す断面図。
- 【符号の説明】 30
- 【0189】
- | | | |
|---------|-----------|----|
| 100 | n型のシリコン基板 | |
| 101 | ゲート絶縁膜 | |
| 102 | ゲート電極 | |
| 104 | ゲート側壁絶縁膜 | |
| 110 a、b | NiSi層 | |
| 120 a、b | Y界面層 | |
| 124 a、b | Pt界面層 | |
| 150 | 素子分離領域 | |
| 152 | シリコン酸化膜 | 40 |
| 160 | Ni膜 | |
| 162 | Y膜 | |
| 162 | Pt膜 | |
| 180 | n型ウェル | |
| 200 | p型のシリコン基板 | |
| 280 | p型ウェル | |

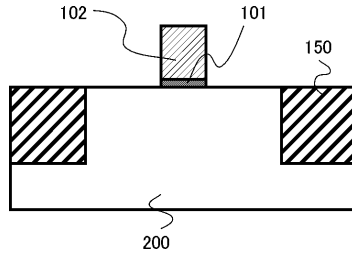
【図 1】



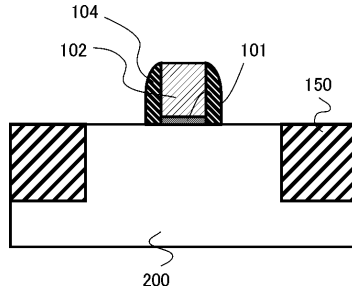
【図 2】



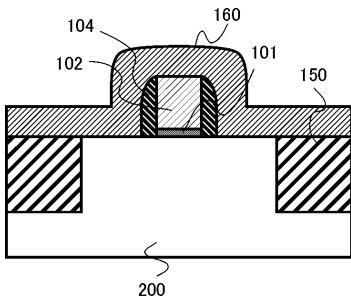
【図 3】



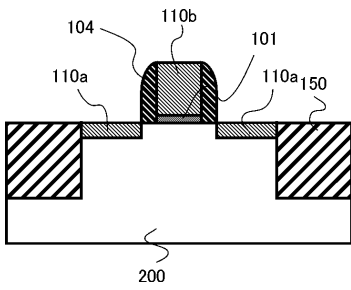
【図 4】



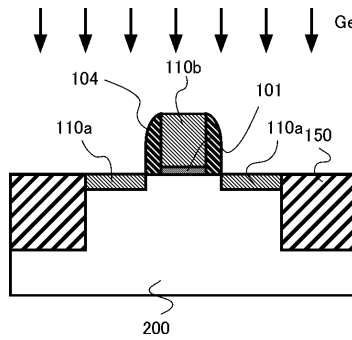
【図 5】



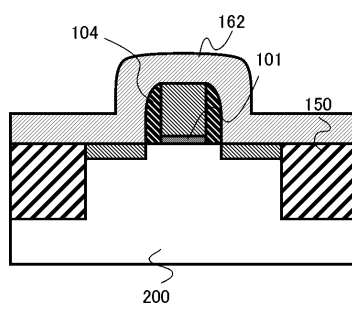
【図 6】



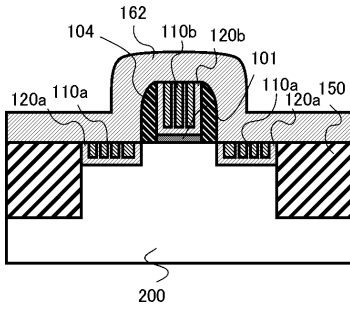
【図 7】



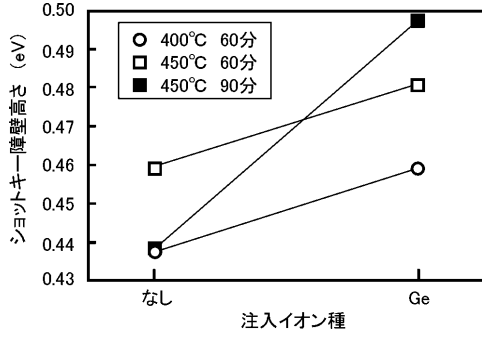
【図 8】



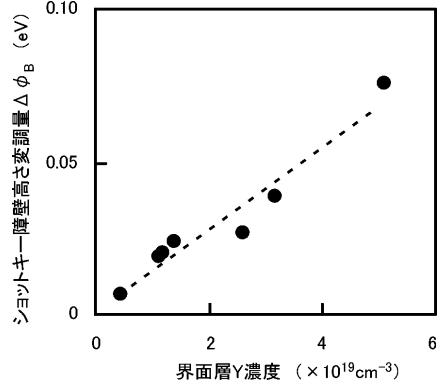
【図9】



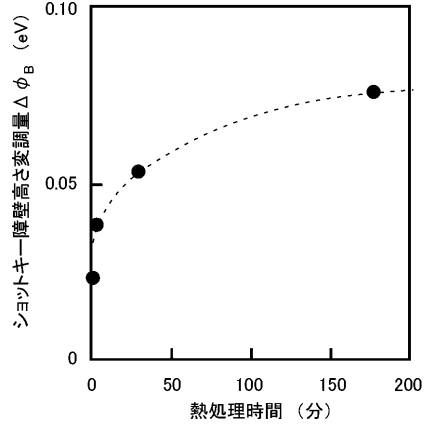
【図10】



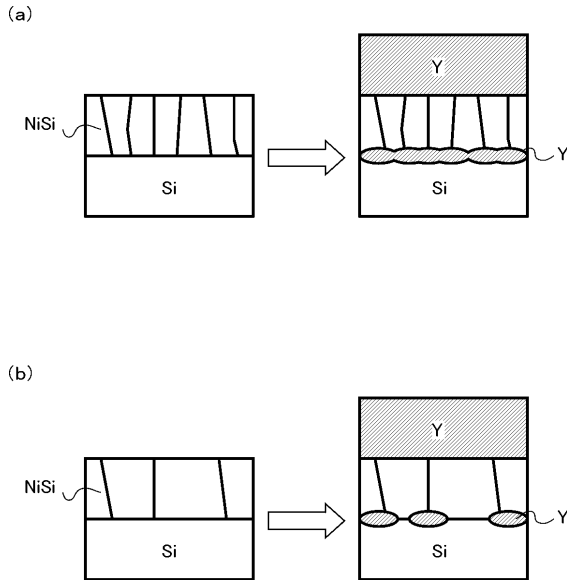
【図11】



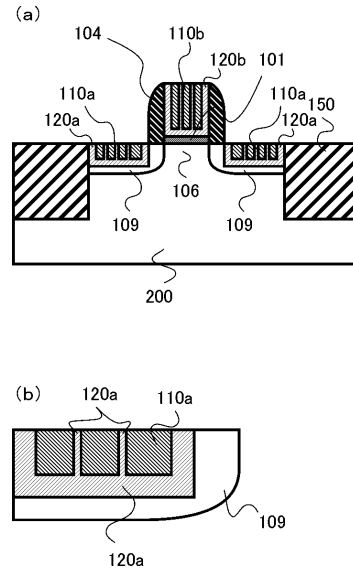
【図12】



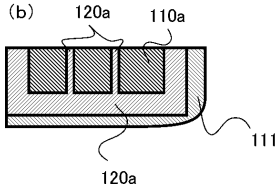
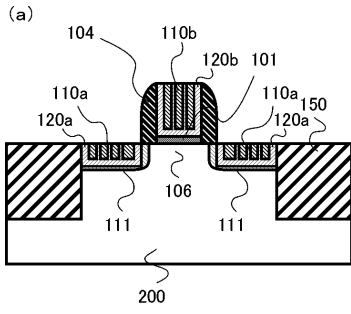
【図14】



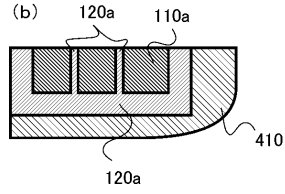
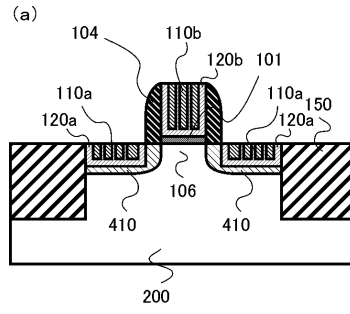
【図15】



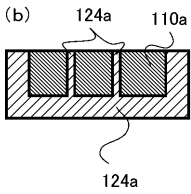
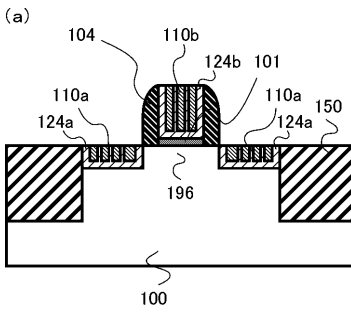
【 16 】



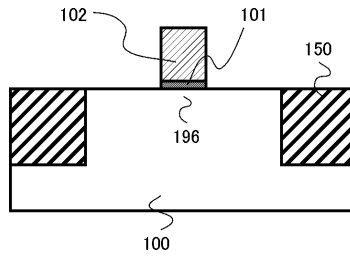
【 17 】



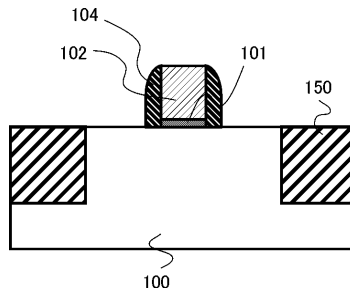
【 18 】



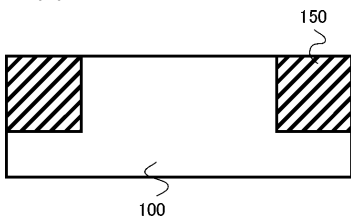
【 20 】



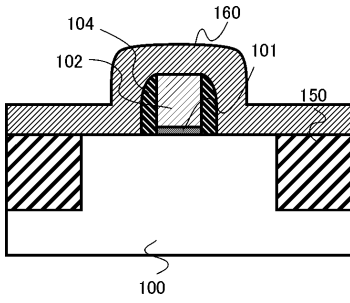
【 21 】



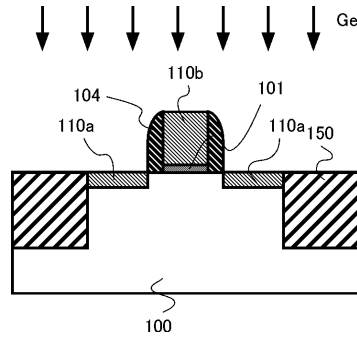
【 19 】



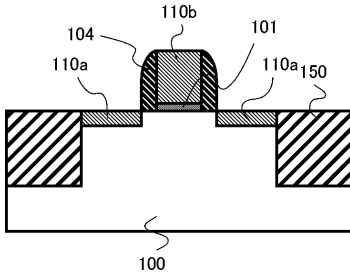
【図 2 2】



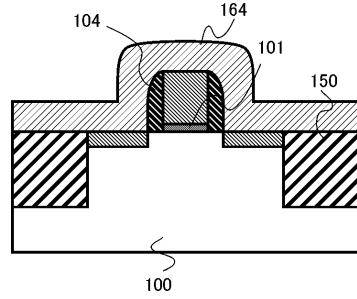
【図 2 4】



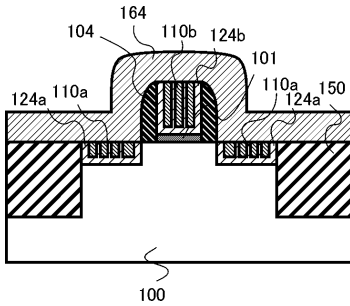
【図 2 3】



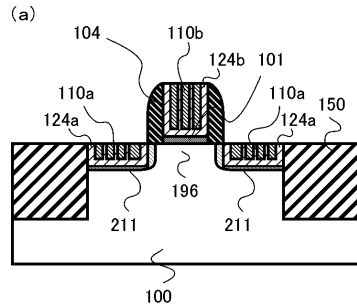
【図 2 5】



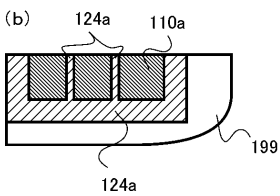
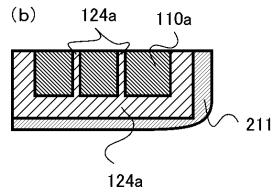
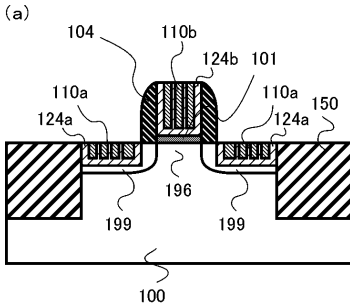
【図 2 6】



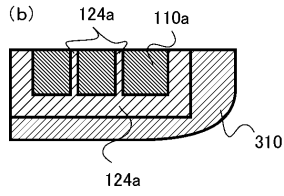
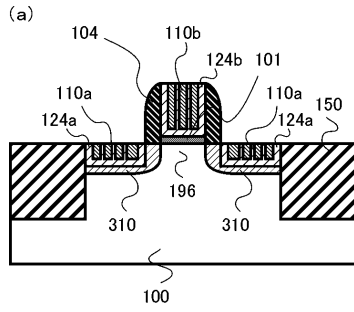
【図 2 8】



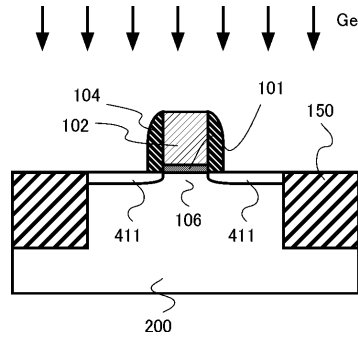
【図 2 7】



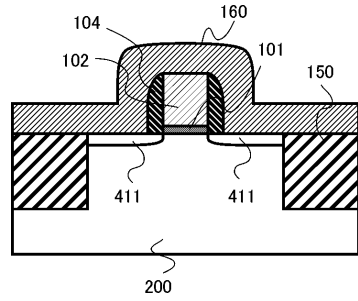
【図 29】



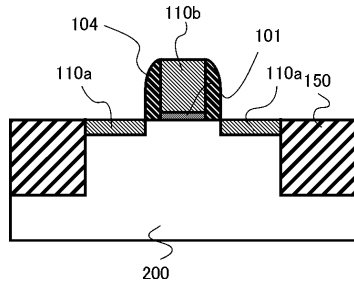
【図 30】



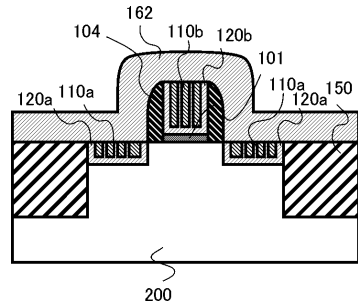
【図 31】



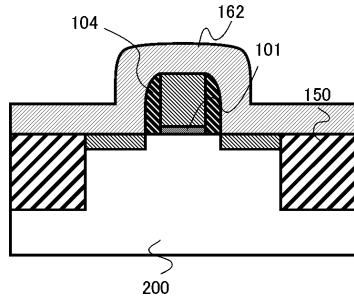
【図 32】



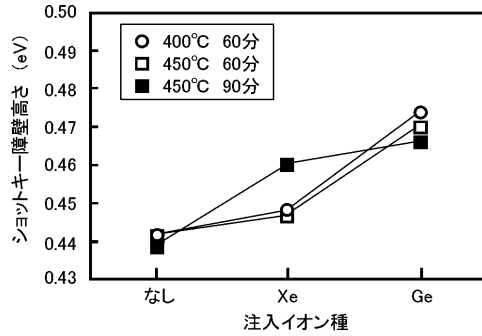
【図 34】



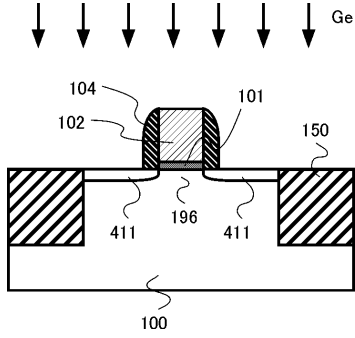
【図 33】



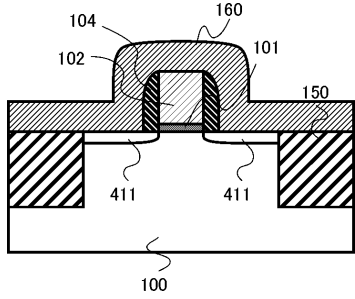
【図 35】



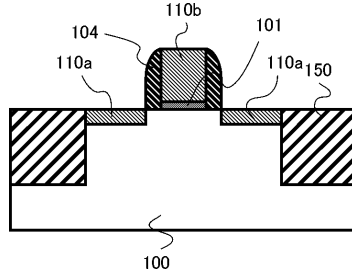
【図 36】



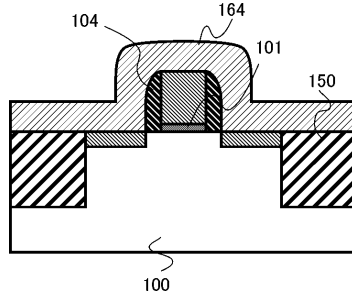
【図 37】



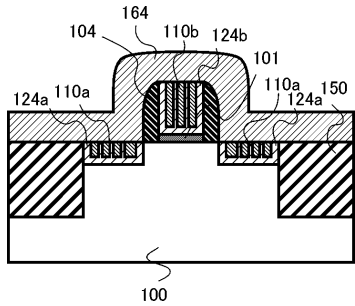
【図 38】



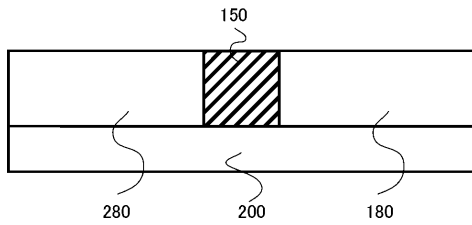
【図 39】



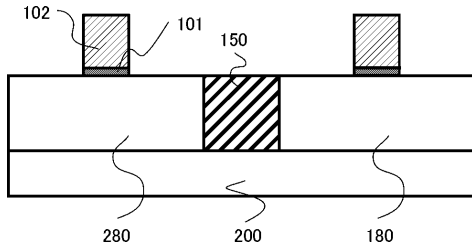
【図 40】



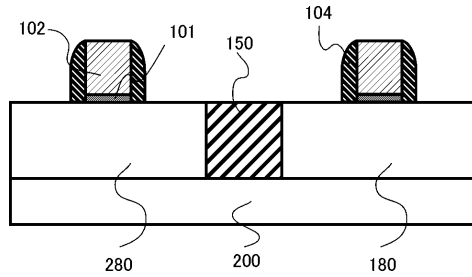
【図 41】



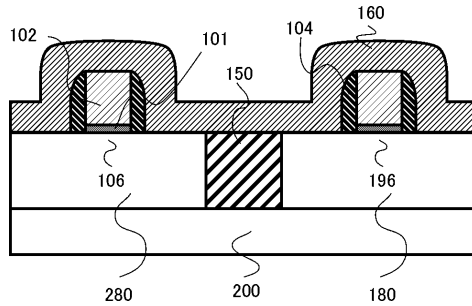
【図 42】

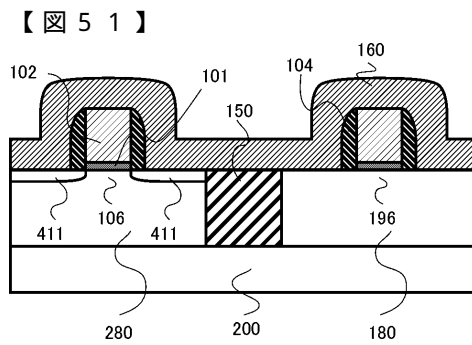
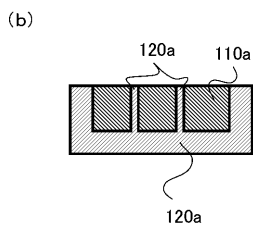
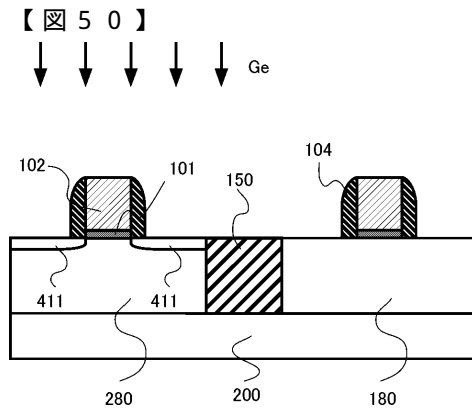
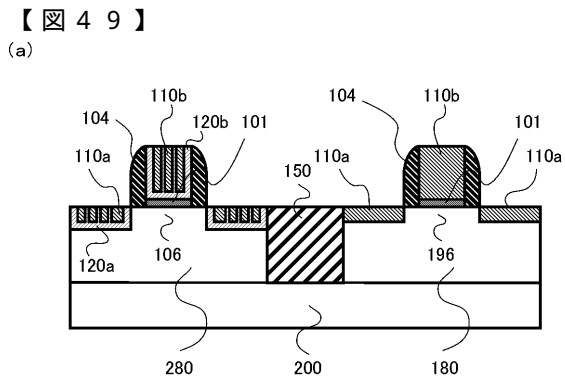
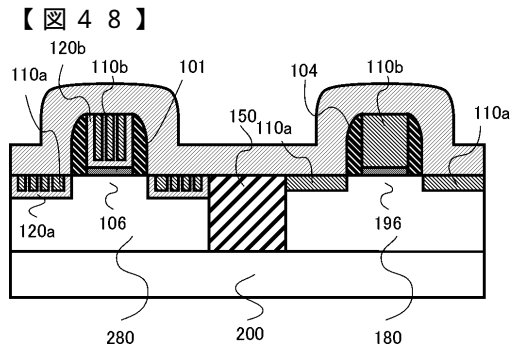
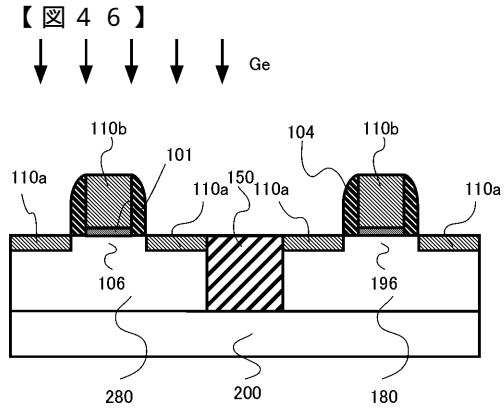
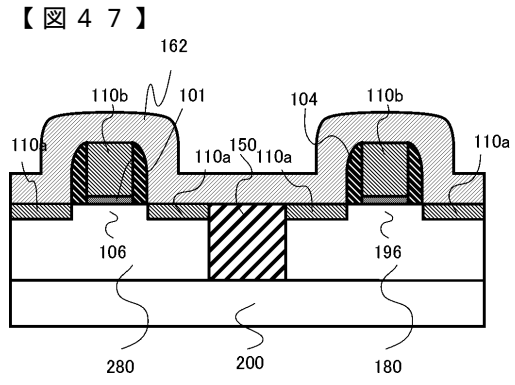
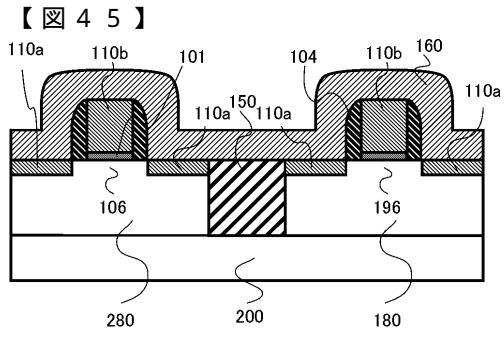


【図 43】

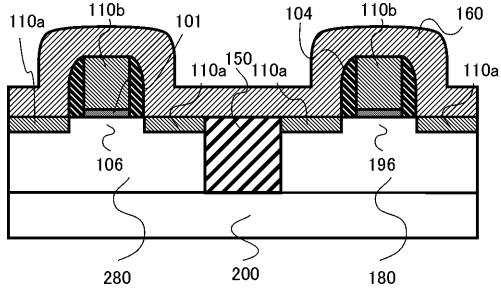


【図 44】

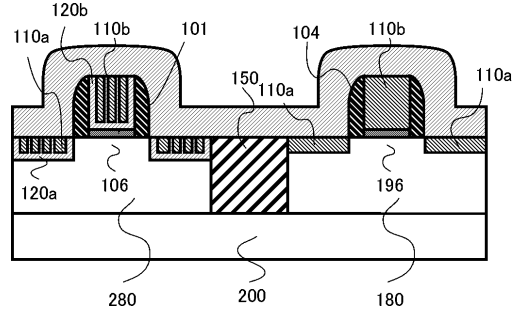




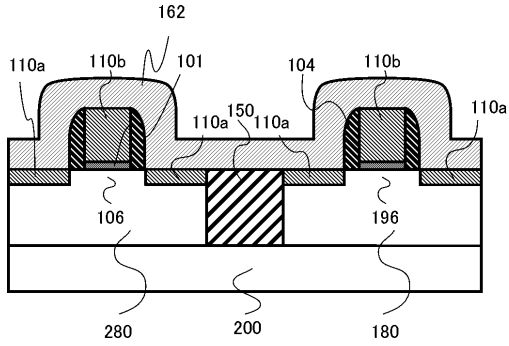
【図 5 2】



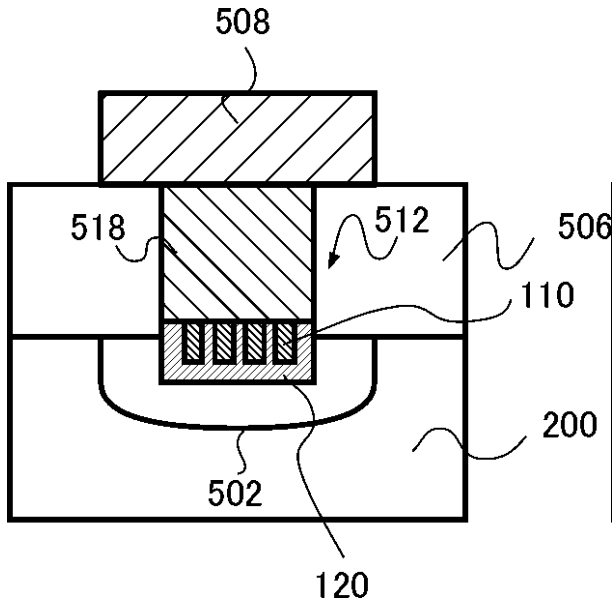
【図 5 4】



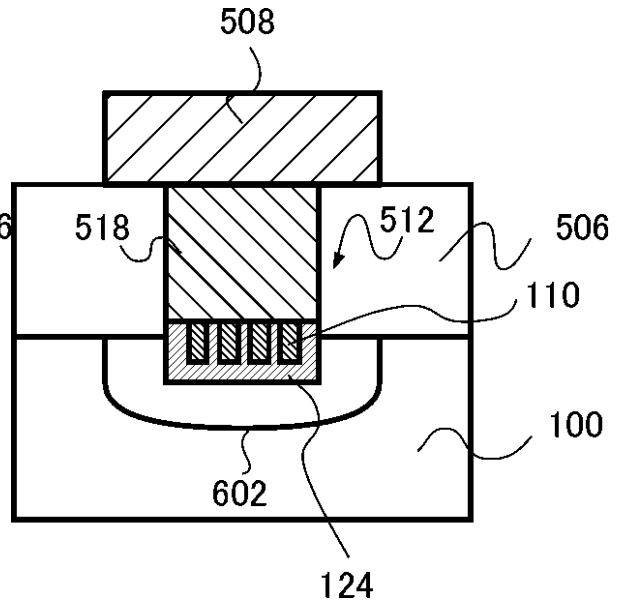
【図 5 3】



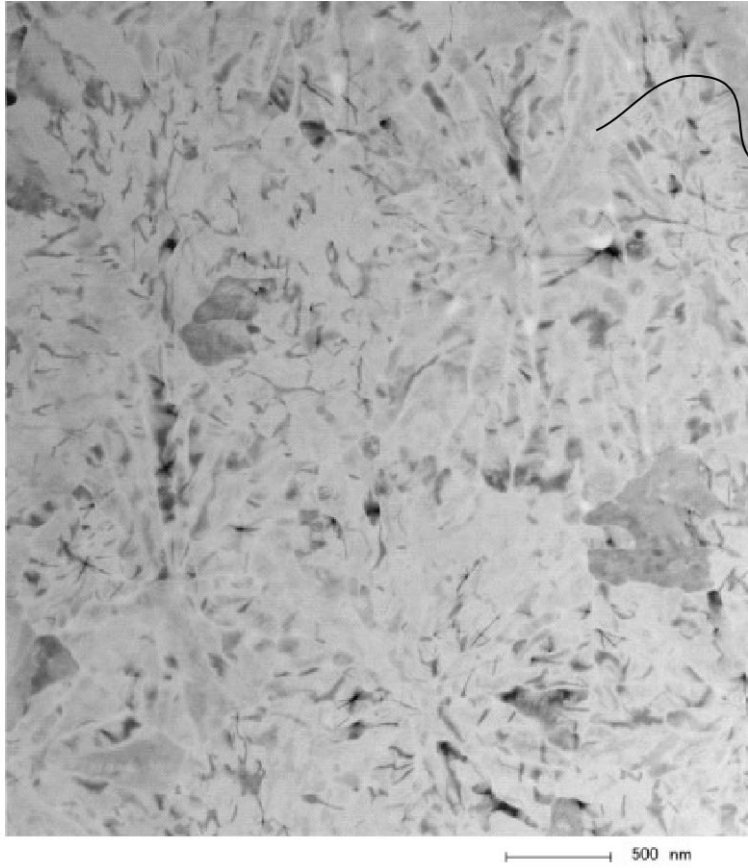
【図 5 5】



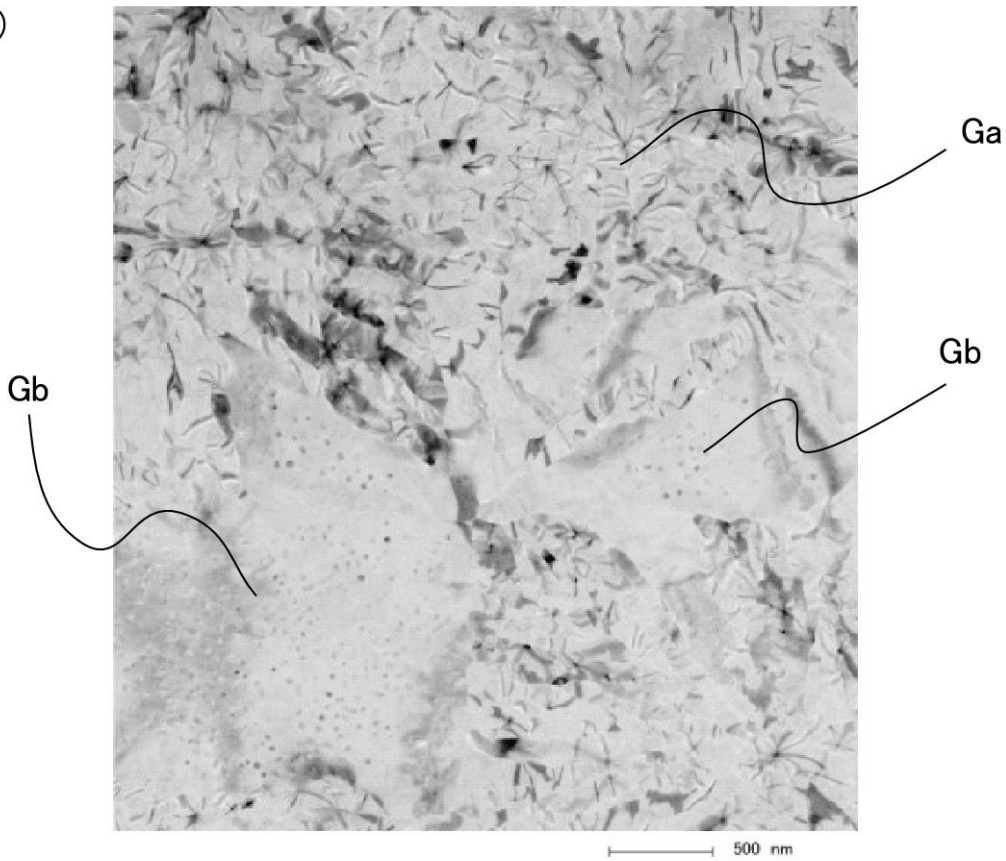
【図 5 6】



【 図 13 】
(a)



(b)



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 21/8238 (2006.01) H 0 1 L 27/08 3 2 1 F
H 0 1 L 27/092 (2006.01) H 0 1 L 27/08 3 2 1 E

(72)発明者 山内 尚
東京都港区芝浦一丁目1番1号 株式会社東芝内
(72)発明者 古賀 淳二
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 宇多川 勉

(56)参考文献 特開平10-223559(JP,A)
特開平11-297639(JP,A)
特開2008-060101(JP,A)
特開2006-060045(JP,A)
特開2004-140262(JP,A)
特開2007-214269(JP,A)
特開2007-250781(JP,A)
特開2003-303786(JP,A)
特開2005-032801(JP,A)

(58)調査した分野(Int.Cl., DB名)
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 1 / 2 8
H 0 1 L 2 1 / 7 6 8
H 0 1 L 2 1 / 8 2 3 8
H 0 1 L 2 7 / 0 9 2
H 0 1 L 2 9 / 4 1 7
H 0 1 L 2 9 / 7 8