

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3977027号
(P3977027)

(45) 発行日 平成19年9月19日(2007.9.19)

(24) 登録日 平成19年6月29日(2007.6.29)

(51) Int. Cl.	F I
G 1 1 C 11/401 (2006.01)	G 1 1 C 11/34 3 6 2 H
G 1 1 C 11/4096 (2006.01)	G 1 1 C 11/34 3 5 4 H
G 1 1 C 11/403 (2006.01)	G 1 1 C 11/34 3 7 1 J
	G 1 1 C 11/34 3 7 1 K

請求項の数 2 (全 17 頁)

(21) 出願番号	特願2001-106617 (P2001-106617)	(73) 特許権者	000002369
(22) 出願日	平成13年4月5日(2001.4.5)		セイコーエプソン株式会社
(65) 公開番号	特開2002-304881 (P2002-304881A)		東京都新宿区西新宿2丁目4番1号
(43) 公開日	平成14年10月18日(2002.10.18)	(74) 代理人	110000028
審査請求日	平成14年4月23日(2002.4.23)		特許業務法人明成国際特許事務所
審査番号	不服2004-21356 (P2004-21356/J1)	(72) 発明者	水垣 浩一
審査請求日	平成16年10月14日(2004.10.14)		長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内
		(72) 発明者	大塚 栄太郎
			長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

(54) 【発明の名称】 半導体メモリ装置

(57) 【特許請求の範囲】

【請求項1】

半導体メモリ装置であって、
メモリセルがマトリクス状に配列された第1と第2のメモリセルブロックと、
前記第1と第2のメモリセルブロックで共用される共通プリアンプ/ライトドライバと

、
前記第1と第2のメモリセルブロックで共用され、列選択信号および列ドライバイン
ブル信号を第1と第2の列ドライバに供給するとともに、プリアンプインブル信号およ
びライトバッファインブル信号を前記共通プリアンプ/ライトドライバに供給する共通
列アドレスデコーダと、を備え、

前記第1と第2のメモリセルブロックは、前記メモリセルの列と平行な方向に沿って配
列されており、

前記共通プリアンプ/ライトドライバは、前記第1と第2のメモリセルブロックの間に
配置されており、

前記共通列アドレスデコーダは、前記共通プリアンプ/ライトドライバに隣接して、前
記第1と第2のメモリセルブロックの間に配置されており、

前記半導体メモリ装置は、さらに、

前記第1と第2のメモリセルブロックの間を結ぶビット線対を複数備え、

前記共通プリアンプ/ライトドライバは、

前記ビット線対に接続される共通プリアンプ/ライトドライバ回路を複数備え、

前記共通プリアンプ/ライトドライバ回路の各々は、
前記ビット線対の一方および前記ビット線対の他方に接続されたプリアンプ回路と、
前記ビット線対の一方および前記ビット線対の他方に、前記プリアンプ回路と並列に接続されたライトドライバ回路と、

前記プリアンプ回路およびライトドライバ回路の前記ビット線対上の接点と、前記第1のメモリセルブロックと、の間に配置され、前記プリアンプ回路およびライトドライバ回路を前記第1のメモリセルブロック側に接続する第1のスイッチと、

前記接点と、前記第2のメモリセルブロックと、の間に配置され、前記プリアンプ回路およびライトドライバ回路を前記第2のメモリセルブロック側に接続する第2のスイッチと、を備え、

10

前記第1と第2のスイッチは、前記第1と第2のメモリセルブロックに対応する第1と第2のブロック選択信号に応じて、制御されることを特徴とする、

半導体メモリ装置。

【請求項2】

請求項1記載の半導体メモリ装置であって、

前記第1の列ドライバは前記第1のメモリセルブロックの前記共通列アドレスデコーダ側の端部に備えられ、前記第2の列ドライバは前記第2のメモリセルブロックの前記共通列アドレスデコーダ側の端部に備えられており、

前記共通列アドレスデコーダは、

入力される列アドレスに応じて変換される1組の列選択信号を前記第1と第2の列ドライバに共通に供給する列アドレスデコード部と、

20

前記第1と第2の列ドライバの動作をイネーブルするための第1と第2の列ドライバイネーブル信号を前記第1と第2の列ドライバに供給する列ドライバイネーブル信号生成部と、を備える半導体メモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体メモリ装置のチップサイズの小型化に関する。

【0002】

【従来の技術】

30

半導体メモリ装置としては、DRAMやSRAMが用いられている。良く知られているように、DRAMはSRAMに比べて安価で大容量であるが、リフレッシュ動作が必要である。一方、SRAMはリフレッシュ動作は不要で使い易いが、DRAMに比べて高価であり、また容量が小さい。

【0003】

DRAMとSRAMの利点を両方備えた半導体メモリ装置として、擬似SRAM(VSRAMあるいはPSRAMと呼ばれる)が知られている。擬似SRAMは、DRAMと同じダイナミック型メモリセルを含むメモリセルアレイを備えているとともに、リフレッシュ制御部(リフレッシュコントローラ)を内蔵しており、リフレッシュ動作を内部で実行している。このため、擬似SRAMに接続される外部装置(例えばCPU)は、リフレッシュ動作を意識せずに擬似SRAMにアクセス(データの読み出しや書き込み)することが可能である。

40

【0004】

【発明が解決しようとする課題】

ところで、擬似SRAMの記憶容量は、さらに大容量化が進められており、これに伴って半導体チップのサイズも大型化している。チップサイズが大型化すると、内部の配線長がより長くなる傾向にあり、このため、信号遅延による動作速度の低下等のように動作性能の劣化を招く場合がある。このため、記憶容量が大容量化しても、チップサイズは小型であることが望まれている。

【0005】

50

なお、チップサイズの小型化の問題は、擬似SRAMだけでなく、DRAMやSRAM等の種々の半導体メモリ装置において共通する問題である。

【0006】

この発明は、上述した従来の課題を解決するためになされたものであり、擬似SRAMのような半導体メモリ装置のチップサイズを小型化することのできる技術を提供することを目的とする。

【0007】

【課題を解決するための手段およびその作用・効果】

上記目的を達成するために、本発明の半導体メモリ装置は、

メモリセルがマトリクス状に配列された第1と第2のメモリセルブロックと、

前記第1と第2のメモリセルブロックで共用される共通プリアンプ/ライトドライバと

10

、
前記第1と第2のメモリセルブロックで共用され、列選択信号および列ドライバインーブル信号を第1と第2の列ドライバに供給するとともに、プリアンプインーブル信号およびライトバッファインーブル信号を前記共通プリアンプ/ライトドライバに供給する共通列アドレスデコーダと、を備え、

前記第1と第2のメモリセルブロックは、前記メモリセルの列と平行な方向に沿って配列されており、

前記共通プリアンプ/ライトドライバは、前記第1と第2のメモリセルブロックの間に配置されており、

20

前記共通列アドレスデコーダは、前記共通プリアンプ/ライトドライバに隣接して、前記第1と第2のメモリセルブロックの間に配置されており、

前記半導体メモリ装置は、さらに、

前記第1と第2のメモリセルブロックの間を結ぶビット線対を複数備え、

前記共通プリアンプ/ライトドライバは、

前記ビット線対に接続される共通プリアンプ/ライトドライバ回路を複数備え、

前記共通プリアンプ/ライトドライバ回路の各々は、

前記ビット線対の一方および前記ビット線対の他方に接続されたプリアンプ回路と、

前記ビット線対の一方および前記ビット線対の他方に、前記プリアンプ回路と並列に接続されたライトドライバ回路と、

30

前記プリアンプ回路およびライトドライバ回路の前記ビット線対上の接点と、前記第1のメモリセルブロックと、の間に配置され、前記プリアンプ回路およびライトドライバ回路を前記第1のメモリセルブロック側に接続する第1のスイッチと、

前記接点と、前記第2のメモリセルブロックと、の間に配置され、前記プリアンプ回路およびライトドライバ回路を前記第2のメモリセルブロック側に接続する第2のスイッチと、を備え、

前記第1と第2のスイッチは、前記第1と第2のメモリセルブロックに対応する第1と第2のブロック選択信号に応じて、制御されることを特徴とする。

【0008】

この半導体メモリ装置は、第1と第2のメモリセルブロックに対して1つの共通プリアンプ/ライトドライバと共通列アドレスデコーダとを共用している。そして、第1と第2のメモリセルブロックと、共通プリアンプ/ライトドライバと、共通列アドレスデコーダとをメモリセルの列に平行な方向に沿って配置している。ここで、プリアンプ/ライトドライバおよび列アドレスデコーダを共用しない場合には、通常、メモリセルの列に平行な方向に沿って2つのプリアンプ/ライトドライバおよび列アドレスデコーダが配置される。従って、本発明の第1の半導体メモリ装置においては、メモリセルの列に平行な方向の半導体チップのサイズを小型化することが可能である。

40

【0009】

また、例えば、共通プリアンプ/ライトドライバが第1と第2のメモリセルブロックの間ではなく、どちらか一方のメモリセルブロックのメモリセルの列に平行な方向の外側の

50

端部に配置されている場合には、共通プリアンプ/ライトドライバと2つのメモリセルブロックとを結ぶそれぞれの接続線の長さが、一方は長く他方は短いことになる。しかしながら、上記半導体メモリ装置では、共通プリアンプ/ライトドライバが2つのメモリセルブロックの間に配置されているので、共通プリアンプ/ライトドライバを、上記のようにどちらか一方のメモリセルブロックの外側の端部に配置されている場合に比べて、共通プリアンプ/ライトドライバと2つのメモリセルブロックとを結ぶそれぞれの接続線の長さの差が小さくなるように短くすることができる。これにより、配線長に応じて発生する信号遅延による動作性能の劣化を抑制することが可能である。また、共通列アドレスデコーダが第1と第2のメモリセルブロックの間ではなく、どちらか一方のメモリセルブロックのメモリセルの列に平行な方向の外側の端部に配置されている場合に比べて、共通列アドレスデコーダと第1と第2のメモリセルブロックとを結ぶそれぞれの接続線の長さの差が小さくなるように短くすることができる。これにより、配線長に応じて発生する信号遅延による動作性能の劣化を抑制することができる。

10

【0011】

また、共通プリアンプ/ライトドライバを、上記のようにすれば、共通プリアンプ/ライトバルブを容易に実現することが可能である。

【0018】

なお、上記半導体メモリ装置において、

前記第1の列ドライバは前記第1のメモリセルブロックの前記共通列アドレスデコーダ側の端部に備えられ、前記第2の列ドライバは前記第2のメモリセルブロックの前記共通列アドレスデコーダ側の端部に備えられており、

20

前記共通列アドレスデコーダは、

入力される列アドレスに応じて変換される1組の列選択信号を前記第1と第2の列ドライバに共通に供給する列アドレスデコード部と、

前記第1と第2の列ドライバの動作をイネーブルするための第1と第2の列ドライバイネーブル信号を前記第1と第2の列ドライバに供給する列ドライバイネーブル信号生成部と、を備えることが好ましい。

【0019】

こうすれば、共通列デコーダを容易に実現することが可能である。

【0020】

30

【発明の実施の形態】

次に、本発明の実施の形態を実施例に基づいて以下の順序で説明する。

A．メモリチップの端子構成と動作状態の概要：

B．メモリチップ内部の全体構成：

C．メモリチップ内部の全体配置：

D．共通列デコーダの構成：

E．共通プリアンプ/ライトドライバの構成：

F．変形例：

【0021】

A．メモリチップの端子構成と動作状態の概要：

40

図1は、本発明の実施例としてのメモリチップ200の端子の構成を示す説明図である。

メモリチップ200は、以下のような端子を有している。

【0022】

CLK：クロック入力端子，

A0～A19：アドレス入力端子（20本），

#CS：チップセレクト入力端子，

ZZ：スヌーズ入力端子，

#WE：ライトイネーブル入力端子，

#OE：アウトプットイネーブル入力端子（出力許可信号入力端子），

#LB：下位バイトイネーブル入力端子，

50

#UB：上位バイトイネーブル入力端子，
IO0～IO15：入出力データ端子（16本）。

【0023】

なお、以下の説明では、端子名と信号名とに同じ符号を用いている。端子名（信号名）の先頭に「#」が付されているものは、負論理であることを意味している。アドレス入力端子A0～A19と入出力データ端子IO0～IO15はそれぞれ複数本設けられているが、図1では簡略化されて描かれている。

【0024】

このメモリチップ200は、SRAMとほぼ同じ手順でアクセスすることが可能な擬似SRAM（VSRAM）として構成されている。ただし、SRAMと異なり、ダイナミック型のメモリセルが用いられたDRAMを利用して構成されているので、所定期間内にリフレッシュが必要となる。このため、メモリチップ200には、リフレッシュコントローラ90が内蔵されている。本明細書では、外部装置（制御装置）からのデータの読み出しや書き込みの動作を「外部アクセス」と呼び、内蔵されたリフレッシュ（RF）コントローラ90によるリフレッシュ動作を「内部リフレッシュ」または単に「リフレッシュ」と呼ぶ。

10

【0025】

クロック信号CLKは、外部アクセスの開始と、内部リフレッシュの開始との同期を取るための同期信号として使用される。すなわち、アドレスA0～A19やチップセレクト信号#CSは、クロック信号CLKに同期して外部装置から入力される。また、内部リフレッシュも、通常はこのクロック信号CLKに同期して行われる。内蔵されたリフレッシュコントローラ90は、このクロック信号CLKに同期して外部アクセスと内部リフレッシュとの調停を行っている。

20

【0026】

なお、本明細書において、「ある信号がクロック信号CLKに同期する」という文言は、その信号がクロック信号CLKのエッジと同じ時刻に発生することを必ずしも意味している訳ではなく、クロック信号CLKのエッジと一定の時間的な関係を保って発生することを意味している。

【0027】

図1に示すチップセレクト信号#CSとスヌーズ信号ZZは、メモリチップ200の動作状態を制御するための信号である。図2は、チップセレクト信号#CSとスヌーズ信号ZZの信号レベルに応じたメモリチップ200の動作状態の区分を示す説明図である。なお、本明細書において、「Hレベル」は2値信号の2つのレベルのうちの「1」レベルを意味し、「Lレベル」は「0」レベルを意味している。

30

【0028】

チップセレクト信号#CSがLレベル（アクティブ）でスヌーズ信号ZZがHレベルのときは、リード/ライト・オペレーションサイクル（以下、単に「オペレーションサイクル」または「リード/ライトサイクル」とも呼ぶ）が行われる。オペレーションサイクルでは、外部アクセスの実行が可能であり、適時、内部リフレッシュが実行される。

【0029】

チップセレクト信号#CSとスヌーズ信号ZZが共にHレベルのときには、スタンバイサイクルが行われる。スタンバイサイクルでは、外部アクセスの実行が禁止されるため、すべてのワード線が非活性状態とされる。但し、内部リフレッシュが行われるときには、リフレッシュアドレスで指定されたワード線は活性化される。

40

【0030】

チップセレクト信号#CSがHレベル（非アクティブ）のときにスヌーズ信号ZZがLレベルになると、メモリチップ200はスヌーズ状態（「パワーダウン状態」とも呼ぶ）に移行する。スヌーズ状態では、リフレッシュ動作に必要な回路以外は停止している。スヌーズ状態での消費電力は極めて少ないので、メモリ内のデータのバックアップに適している。

50

【0031】

なお、リフレッシュ動作は、オペレーションサイクルとスタンバイサイクルでは第1のリフレッシュモードに従って実行され、スヌーズ状態では第2のリフレッシュモードに従って実行される。第1のリフレッシュモードでは、リフレッシュタイミング信号を発生した後に、クロック信号CLKに同期してリフレッシュ動作が開始される。一方、第2のリフレッシュモードでは、リフレッシュタイミング信号が発生すると直ちにリフレッシュ動作が開始される。第2のリフレッシュモードでのリフレッシュ動作はクロック信号CLKと非同期に行われるので、クロック信号CLKは不要である。このように、このメモリチップ200は、3つの動作状態にそれぞれ適したリフレッシュモードに従ってリフレッシュを実行する。

10

【0032】

上述した3つの信号CLK, #CS, ZZ以外の信号は、通常のメモリチップに使用されるものとほぼ同じものである。図1に示すアドレスA0~A19は、20ビットであり、1メガワードのアドレスを指定する。また、入出力データIO0~IO15は、1ワード分の16ビットのデータである。すなわち、アドレスA0~A19の1つの値は16ビット(1ワード)に対応しており、一度に16ビットの入出力データIO0~IO15を入出力することができる。

【0033】

オペレーションサイクルにおいては、ライトイネーブル信号#WEがLレベルになるとライトサイクルが実行され、Hレベルになるとリードサイクルが実行される。また、アウト
プットイネーブル信号#OEがLレベルになると、入出力データ端子IO0~IO15から
の出力が可能になる。下位バイトイネーブル信号#LBや上位バイトイネーブル入力信
号#UBは、1ワード(16ビット)の下位バイトと上位バイトとのうちのいずれか1バ
イトのみに関して読み出しや書き込みを行うための制御信号である。例えば、下位バ
イトイネーブル信号#LBをLレベルに設定し、上位バイトイネーブル信号#UBをHレ
ベルに設定すると、1ワードの下位8ビットのみに関して読み出しや書き込みが行
われる。なお、図1では、電源端子は省略されている。

20

【0034】

図3は、メモリチップ200の動作の概要を示すタイミングチャートである。図2に示
した3つの動作状態(オペレーション、スタンバイ、スヌーズ)のいずれであるかは、チ
ップ
セレクト信号#CSとスヌーズ信号ZZの変化に応じて、随時判断される。図3の最初
の3つのサイクルは、オペレーションサイクルである。オペレーションサイクルでは、
ラ
イトイネーブル信号#WEのレベルに応じて読み出し(リードサイクル)と書き込み(ラ
イト
サイクル)のいずれかが実行される。なお、ATD信号の最短周期Tc(すなわち、
ア
ドレスA0~A19の変化の最短周期)は、このメモリチップ200のサイクルタイム
(「
サイクル周期」とも呼ばれる)に相当する。サイクルタイムTcは、例えばランダ
ム
アクセスにおいては約50nsから約100nsの範囲の値に設定される。

30

【0035】

図3の4番目のサイクルでは、チップセレクト信号#CSがHレベルに立ち上がっている
ので、スタンバイサイクルが開始される。5番目のサイクルでは、さらに、スヌーズ
信
号ZZがLレベルに下がっているため、メモリチップ200はスヌーズ状態となる。

40

【0036】

なお、図3に示した信号の中で、チップセレクト信号#CSとアドレスA0~A19は、
ク
ロック信号CLKに同期して外部装置(例えばCPU)から入力される。具体的には、
チ
ップセレクト信号#CSとアドレスA0~A19は、クロック信号CLKの立ち上がり
エ
ッジよりも所定の時間(セットアップ時間)だけ早くメモリチップ200に入力され
る。
この理由は、クロック信号CLKの立ち上がりエッジにおいて、これらの信号#CS,
A
0~A19の値が確定しているようにするためである。

【0037】

B. メモリチップ内部の全体構成 :

50

図4は、メモリチップ200の内部構成を示すブロック図である。このメモリチップ200は、データ入出力バッファ10と、メモリセルアレイ20と、アドレスバッファ60とを備えている。

【0038】

メモリセルアレイ20は、4つのブロック20A~20Dに区分されている。ブロックの参照符号20A~20Dの最後の文字A~Dは、後述するブロックアドレスA6, A7の値によって選択されるブロックの番号0~3に対応する。第1のブロック20Aは、メモリセルサブアレイ22Aと、行ドライバ24Aと、列ドライバ26Aとを備えている。他のブロック20B~20Dも同様である。

【0039】

第1の共通プリアンプ/ライトドライバ(CPA/CWD)28ACは、第1のブロック20Aのサブアレイ22Aおよび第3のブロック20Cのサブアレイ22Cと、データ入出力バッファ10との間のデータのやり取りを可能とする。第2の共通プリアンプ/ライトドライバ28BDは、第2のブロック20Bのサブアレイ22Bおよび第4のブロック20Dのサブアレイ22Dと、データ入出力バッファ10との間のデータのやり取りを可能とする。なお、サブアレイ22A~22Dには、図示しないプリチャージ回路やセンスアンプなども設けられている。

【0040】

なお、各ブロック20A~20Dの構成はほぼ同じなので、以下では主に第1のブロック20Aと、これに関連する他の回路について説明する。

【0041】

1つのブロック20Aの構成は、典型的なDRAMのメモリセルアレイと同じである。すなわち、サブアレイ22Aは、1トランジスタ1キャパシタ型の複数のメモリセルがマトリクス状に配列されたものである。各メモリセルには、ワード線とビット線対(データ線対とも呼ばれる)とが接続されている。行ドライバ24Aは、行デコーダ30Aから供給されるワード線選択信号に従ってサブアレイ22A内の複数本のワード線のうちの1本を選択して活性化する。列ドライバ26Aは、後述する共通列デコーダ50ACから供給されるビット線選択信号に従ってサブアレイ22A内の複数組のビット線対の中の1ワード(16ビット)分のビット線対を同時に選択する。従って、外部装置は、1つのアドレスA0~A19を入力することにより、1つのブロック内の16ビット(1ワード)のデータに同時にアクセスすることが可能である。

【0042】

図4の左下側に示すアドレスバッファ60には、20ビットのアドレスA0~A19が入力される。アドレスA0~A19は、クロック信号CLKに同期してアドレスバッファ60内でラッチされ、他の回路に供給される。最も下位の6ビットのアドレスA0~A5は列アドレスとして用いられ、最も上位の12ビットのアドレスA8~A19は行アドレスとして用いられる。また、行アドレスと列アドレスの間の2ビットのアドレスA6, A7は、4つのブロック20A~20Dのうちのいずれか1つを選択するためのブロックアドレスとして用いられる。従って、ブロックアドレスA6, A7によって4つのブロック20A~20Dのうちの1つが選択され、選択されたブロックの中から、列アドレスA0~A5と行アドレスA8~A19によって1ワード分(16ビット)のデータが選択される。選択された1ワード分のデータは、データ入出力バッファ10を介して読み出され、あるいは書き込まれる。なお、行アドレスと列アドレスとブロックアドレスとは、上記のように限定される必要はなく、20ビットの入力アドレスA0~A19のうち、12ビットを行アドレスとし、残りの8ビットの入力アドレスのうち6ビットを列アドレスとするとともに、2ビットをブロックアドレスと設定するようにしてもよい。

【0043】

ブロックアドレスA6, A7は、ブロックデコーダ70に入力され、これに応じてブロック選択信号BK0~BK3が出力される。例えば、1つのブロック選択信号BK0がアクティブ(Hレベル)に設定されている場合には、対応するブロック20Aに外部アクセス

10

20

30

40

50

が要求されていることを示している。従って、ブロックアドレス A 6 , A 7 によって 4 つのブロック 2 0 A ~ 2 0 D のうちの 1 つが選択され、選択されたブロックの中から、列アドレス A 0 ~ A 5 と行アドレス A 8 ~ A 1 9 によって 1 ワード分 (1 6 ビット) のデータが選択される。選択された 1 ワード分のデータは、データ入出力バッファ 1 0 を介して読み出され、あるいは書き込まれる。

【 0 0 4 4 】

各ブロック 2 0 A ~ 2 0 D には、それぞれ、行デコーダ 3 0 A ~ 3 0 D と、ブロックコントローラ 4 0 A ~ 4 0 D とがこの順に接続されている。また、第 1 のブロック 2 0 A および第 3 のブロック 2 0 C には、第 1 の共通列デコーダ 5 0 A C が接続されており、第 2 のブロック 2 0 B および第 4 のブロック 2 0 D には、第 2 の共通列デコーダ 5 0 B D が接続

10

【 0 0 4 5 】

メモリチップ 2 0 0 内には、さらに、リフレッシュコントローラ 9 0 と、クロックコントローラ 1 0 0 とが設けられている。

【 0 0 4 6 】

図 4 のリフレッシュコントローラ 9 0 は、内蔵するリフレッシュタイマによって生成されるリフレッシュタイミング信号に応じて、各ブロック 2 0 A ~ 2 0 D のリフレッシュを制御する。

【 0 0 4 7 】

ブロックコントローラ 4 0 A ~ 4 0 D には、ブロック選択信号 B K 0 ~ B K 3 とともに、リフレッシュ要求信号 R F R E Q 0 ~ R F R E Q 3 が供給されている。リフレッシュ要求信号 R F R E Q 0 ~ R F R E Q 3 は、4 つのブロック 2 0 A ~ 2 0 D においてリフレッシュ動作を開始すべきことを意味している。ブロックコントローラ 4 0 A ~ 4 0 D は、これらの信号 B K 0 ~ B K 3 , R F R E Q 0 ~ R F R E Q 3 に応じて、4 つのブロック 2 0 A ~ 2 0 D に対する外部アクセスと内部リフレッシュとを調停する。この調停は、具体的には、4 つのブロック 2 0 A ~ 2 0 D に対する外部アクセス実施信号 # E X 0 ~ # E X 3 と、リフレッシュ実施信号 # R F 0 ~ # R F 3 との出力レベルをそれぞれ設定することによって行われる。また、ブロックコントローラ 4 0 A ~ 4 0 D は、ブロック選択信号 B K 0 ~ B K 3 に応じて列アクセスイネーブル信号 C E 0 ~ C E 3 を出力する。なお、外部アクセス実施信号 # E X 0 ~ # E X 3 は、行アクセスイネーブル信号でもある。

20

30

【 0 0 4 8 】

行デコーダ 3 0 A ~ 3 0 D は、外部アクセス実施信号 # E X 0 ~ # E X 3 とリフレッシュ実施信号 # R F 0 ~ # R F 3 のレベルに応じて、外部装置から与えられた行アドレス A 8 ~ A 1 9 と、リフレッシュコントローラ 9 0 から与えられたリフレッシュアドレス R F A 8 ~ R F A 1 9 とのうちの一方を選択して、選択されたアドレスに対応するワード線選択信号を行ドライバ 2 4 A ~ 2 4 D に供給する。

【 0 0 4 9 】

列コントローラ 8 0 は、列アクセスイネーブル信号 C E 0 ~ C E 3 と、各種のイネーブル信号 # W E , # O E , # L B , # U B とに従って、列デコードイネーブル信号 C D E とプリアンプイネーブル信号 P A E とライトバッファイネーブル信号 W B E とを共通列デコーダ 5 0 A C , 5 0 B D にそれぞれ供給する。列デコードイネーブル信号 C D E は、ビット線対の選択動作の許可タイミングを示す信号である。プリアンプイネーブル信号 P A E は、プリアンプによる読出し動作の許可タイミングを示す信号である。ライトバッファイネーブル信号 W B E は、ライトドライバによる書き込み動作の許可タイミングを示す信号である。

40

【 0 0 5 0 】

第 1 の共通列デコーダ 5 0 A C は、列アドレス A 0 ~ A 5 に対応するビット線選択信号 (列選択信号) を、第 1 および第 3 のブロック 2 0 A , 2 0 C の列ドライバ 2 6 A , 2 6 C に供給する。また、第 1 の共通列デコーダ 5 0 A C は、第 1 および第 3 の列ドライバ 2 6

50

A, 26Dに、それぞれ列ドライバインーブル信号CDE0, CDE2を供給するとともに、第1の共通プリアンプ/ライトドライバ28ACに、プリアンプインーブル信号EPAEおよびライトバッファインーブル信号EWBEを供給する。

【0051】

同様に、第2の共通列デコーダ50BDは、列アドレスA0~A5をデコードして対応するビット線選択信号を第2および第4のブロック20B, 20Dの列ドライバ26B, 26Dに供給する。また、第2および第4の列ドライバ26B, 26Dに、それぞれ列ドライバインーブル信号CDE1, CDE3を供給するとともに、第2の共通プリアンプ/ライトドライバ28BDにプリアンプインーブル信号OPEAおよびライトバッファインーブル信号OWBEを供給する。

10

【0052】

第1ないし第4の列ドライバ26A~26Dは、供給される列ドライバインーブル信号CDE0~CDE3に従って、供給されるビット線選択信号に対応するビット線対を選択する。なお、共通列デコーダおよび列ドライバについてはさらに後述する。

【0053】

選択されたブロックの行ドライバによって活性化されたワード線と、列ドライバによって選択されたビット線対とによって決定されるメモリセルのデータは、共通プリアンプ/ライトドライバ28AC, 28BDおよびデータ入出力バッファ10を介して読み出され、あるいは、メモリセルに対してデータが書き込まれる。

【0054】

なお、共通列デコーダおよび共通プリアンプ/ライトドライバの詳細は後述する。

20

【0055】

C. メモリチップ内部の全体配置 :

図5は、メモリチップ200の複数の回路領域の概略配置図である。このメモリチップ200は、4つのブロック20A~20Dのうち、第1のブロック20Aと第3のブロック20Cを左側領域に配置し、第2のブロック20Bと第4のブロック20Dを右側領域に配置している。

【0056】

また、左側領域に配置された第1および第3のブロック20A, 20Cのうち第1のブロック20Aを上側領域に配置し、第3のブロック20Cを下側領域に配置している。第1のブロック20Aの下端部に第1の列ドライバ24Aを配置し、その上部に第1のサブアレイ22Aを配置している。また、第1のサブアレイ22Aの右側に行ドライバ26Aを配置している。なお、第1のサブアレイ22Aは、行の並ぶ方向(列に平行な方向)が図の上下方向で、列の並ぶ方向(行に平行な方向)が図の左右方向となるように配置されている。

30

【0057】

第3のブロック20Cは、第1のブロックと上下対称に配置されている。すなわち、第3のブロック20Cの上端部に第3の列ドライバ24Cを配置し、その下部に第3のサブアレイ22Cを配置している。また、第3のサブアレイ22Cの右側に行ドライバ26Cを配置している。

40

【0058】

そして、第1のブロック20Aと第3のブロック20Cとの間の中間領域に、第1の共通列デコーダ50ACと共通プリアンプ/ライトドライバ28ACとを上下方向に隣接して配置している。

【0059】

右側領域も左側領域と同様に、第2のブロック20Bを上側領域に配置し、第4のブロック20Dを下側領域に配置している。そして、第2のブロック20Bと第4のブロック20Dとの間の中間領域に、第2の共通列デコーダ50BDと共通プリアンプ/ライトドライバ28BDとを上下方向に隣接して配置している。

【0060】

50

その他の種々の回路は中央のロジック領域に配置されている。

【0061】

なお、図5では、共通列デコーダ50AC, 50BDを上側に配置し、共通プリアンプ/ライトドライバ28AC, 28BDを下側に配置しているが、それぞれ上下逆であってもよい。

【0062】

図6は、比較例としての概略配置図である。この比較例は、列デコーダおよびプリアンプ/ライトドライバを共通化しない場合、具体的には、4つのブロック20A~20Dのそれぞれに列デコーダ50A~50Dおよびプリアンプ/ライトドライバ28A~28Dを有している場合の配置例を示している。図6の比較例では、上下方向に配置された2つのブロックの間に、それぞれのブロックの列ドライバおよびプリアンプ/ライトドライバが上下方向に隣接して配置されている。

10

【0063】

図5の実施例の配置では、上下方向に配置された2つのブロックの間に、1組の共通列デコーダおよび共通プリアンプ/ライトドライバが配置されているのに対して、図6の比較例の配置では、上下方向に配置された2つのブロックの間に、2組の列デコーダおよびプリアンプ/ライトドライバが配置されている。従って、実施例の上下方向のチップサイズLは、比較例の上下方向のチップサイズL'に比べて小さくなる。従って、実施例のメモリチップ200では、チップサイズを小型にすることが可能である。

【0064】

また、第1の共通列デコーダ50ACおよび共通プリアンプ/ライトドライバ28ACを2つのブロック20A, 20Cの間ではなく上下方向の外側のどちらか一方の端部に配置した場合には、共通列デコーダ50ACおよび共通プリアンプ/ライトドライバ28ACとそれぞれのブロック20A, 20Cとを結ぶ接続線の長さが、一方は長く他方は短いことになる。しかしながら、本実施例においては、第1の共通列デコーダ50ACおよび共通プリアンプ/ライトドライバ28ACを2つのブロック20A, 20Cの間に配置している。また、第1のブロック20Aの列ドライバ26Aおよび第3のブロック20Cの列ドライバ26Cは、それぞれ共通列デコーダ50ACに近い上下方向の隅に配置されている。したがって、2つのメモリセルブロック20A, 20Cの外側のどちらか一方の端部に配置する場合に比べて、共通列デコーダ50ACおよび共通プリアンプ/ライトドライバ28ACとそれぞれのブロック20A, 20Cの列ドライバ26A, 26Cとを結ぶ接続線を上下方向に沿って配線して、配線長の差が小さくなるように短くすることができる。

20

30

【0065】

同様に、第2の共通列デコーダ50BDおよび共通プリアンプ/ライトドライバ28BDを2つのブロック20B, 20Dの間に配置しているので、2つのメモリセルブロック20B, 20Dの上下方向の外側のどちらか一方の端部に配置する場合に比べて、共通列デコーダ50BDおよび共通プリアンプ/ライトドライバ28BDとそれぞれのブロック20B, 20Dの列ドライバ26B, 26Dとを結ぶ接続線の配線長の差が小さくなるように短くすることができる。従って、配線長に応じて発生する遅延による動作性能の劣化を抑制することが可能である。

40

【0066】

D. 共通列デコーダの構成:

図7は、第1の共通列デコーダ50ACの構成を示すブロック図である。この共通列デコーダ50ACは、列アドレスデコード回路(列アドレスデコード部)52と、列ドライバイネーブル信号生成回路(列ドライバイネーブル信号生成部)54と、プリアンプ/ライトドライバ制御回路56とを備えている。

【0067】

列アドレスデコード回路52は、列アドレスA0~A5に応じて変換されるビット線選択信号CL0~CL63を第1の列ドライバ26Aおよび第3の列ドライバ26Cに供給す

50

る。

【 0 0 6 8 】

列ドライブイネーブル信号生成回路 5 4 は、2つの AND ゲート 5 4 A , 5 4 B を備えている。第 1 の AND ゲート 5 4 A には、列コントローラ 8 0 から供給される列デコードイネーブル信号 C D E と、第 1 のブロックコントローラ 4 0 A から供給される第 1 の列アクセスイネーブル信号 C E 0 とが入力されている。第 1 の AND ゲート 5 4 A の出力である第 1 の列ドライブイネーブル信号 C D E 0 は、第 1 の列アクセスイネーブル信号 C E 0 が L レベル (非アクティブ) の場合には L レベル (非アクティブ) に設定され、H レベル (アクティブ) の場合には列デコードイネーブル信号 C D E と同じレベルに設定される。すなわち、第 1 の列アクセスイネーブル信号 C E 0 が H レベル (アクティブ) の場合には、列デコードイネーブル信号 C D E が第 1 の列ドライブイネーブル信号 C D E 0 として出力される。この第 1 の列ドライブイネーブル信号 C D E 0 は、第 1 の列ドライバ 2 6 A をイネーブルするための信号である。すなわち、第 1 の列アクセスイネーブル信号 C E 0 によって第 1 のブロック 2 0 A の列アクセスが許可され、さらに、列デコードイネーブル信号 C D E によって列デコードが許可されると、第 1 の列ドライバ 2 6 A の動作がイネーブルされる。

10

【 0 0 6 9 】

第 2 の AND ゲート 5 4 B には、列デコードイネーブル信号 C D E と第 3 のブロックコントローラ 4 0 C から供給される第 3 の列アクセスイネーブル信号 C E 2 とが入力されている。第 3 の列ドライブイネーブル信号 C D E 2 は、第 1 の列ドライブイネーブル信号 C D E 0 と同様に、第 3 の列アクセスイネーブル信号 C E 2 に応じて制御される。この第 3 の列ドライブイネーブル信号 C D E 2 は、第 3 の列ドライバ 2 6 C をイネーブルするための信号である。

20

【 0 0 7 0 】

第 1 の列ドライバ 2 6 A は、サブアレイ 2 2 A 内に備えられている複数組のビット線対に対応する複数のドライブ回路を有している。各ドライブ回路は AND ゲートで構成されており、それぞれに対応するビット線対を示すビット線選択信号 C L 0 ~ C L 6 3 の 1 つと、列ドライブイネーブル信号 C D E 0 とが入力されている。各ドライブ回路は、第 1 の列ドライブイネーブル信号 C D E 0 に応じて制御される。すなわち、第 1 の列ドライブイネーブル信号 C D E 0 が L レベル (非アクティブ) の場合には、入力されるビット線選択信号 C L 0 ~ C L 6 3 のレベルに関わらず、各ドライブ回路の出力は非アクティブ (L レベル) に設定され、H レベル (アクティブ) の場合には入力されるビット線選択信号 C L 0 ~ C L 6 3 と同じレベルに設定される。

30

【 0 0 7 1 】

第 3 の列ドライバ 2 6 C も第 1 の列ドライバ 2 6 A と同様の構成を有しており、第 3 の列ドライブイネーブル信号 C D E 2 に応じて制御される。

【 0 0 7 2 】

プリアンプ/ライトドライバ制御回路 5 6 は、2つの AND ゲート 5 6 A , 5 6 B と 1 つの OR ゲート 5 6 C とを備えている。第 1 の AND ゲート 5 4 A には、OR ゲート 5 6 C による 2 つの列アクセスイネーブル信号 C E 0 , C E 2 の OR 信号 Q 5 6 C と、プリアンプイネーブル信号 P A E とが入力されている。第 2 の AND ゲート 5 4 A には、OR 信号 Q 5 6 C と、ライトバッファイネーブル信号 W B E とが入力されている。第 1 の AND ゲート 5 6 A は、第 1 の共通プリアンプ/ライトドライバ 2 8 A C に供給する第 1 の共通プリアンプイネーブル信号 E P A E を出力する。また、第 2 の AND ゲート 5 6 B は、第 1 の共通プリアンプ/ライトドライバ 2 8 A C に供給する第 1 の共通ライトバッファイネーブル信号 E W B E を出力する。従って、2 つの列アクセスイネーブル信号 C E 0 , C E 2 がいずれも L レベル (非アクティブ) の場合には、第 1 の共通プリアンプイネーブル信号 E P A E および共通ライトバッファイネーブル信号 E W B E は、それぞれ L レベル (非アクティブ) に設定される。また、2 つの列アクセスイネーブル信号 C E 0 , C E 2 のうちの一方が H レベル (アクティブ) の場合には、プリアンプイネーブル信号 P A E およびラ

40

50

イトバッファイネーブル信号WBEが、それぞれ第1の共通プリアンプイネーブル信号EPAEおよび共通ライトバッファイネーブル信号EWBEとしてそれぞれ出力される。

【0073】

なお、後述する第1の共通プリアンプ/ライトドライバ28ACに内蔵されるプリアンプの動作は、第1の共通プリアンプイネーブル信号EPAEに従って制御される。また、第1の共通プリアンプ/ライトドライバ28ACに内蔵されるライトドライバの動作は、第1の共通ライトバッファイネーブル信号EWBEに従って制御される。

【0074】

以上説明したように、第1の共通列デコーダ50ACは、第1のブロック20Aの列ドライバ26Aおよび第3のブロック20Cの列ドライバ26Cの動作を、それぞれの列ドライバイネーブル信号CDE0, CDE2に応じて制御する構成を有しており、これによって、列アドレスA0~A5に応じてビット線選択信号CL0~CL63を生成する列アドレスデコード回路52を、第1と第3のブロック20A, 20Cに対して共通化している。

10

【0075】

なお、第2と第4のブロック20B, 20Dの列ドライバ26B, 26Dと、これに接続される第2の共通列デコーダ50BDの構成も、第1と第3のブロック20A, 20Cの列ドライバ26A, 26Cと、これに接続される第1の共通列デコーダ50ACの構成と同様である。

【0076】

E. 共通プリアンプ/ライトドライバの構成：

図8は、第1の共通プリアンプ/ライトドライバ28ACの構成を示すブロック図である。この共通プリアンプ/ライトドライバ28ACは、16個の共通プリアンプ/ドライバ回路28AC0~28AC15を有している。これらの共通プリアンプ/ドライバ回路28AC0~28AC15は、16組のビット線対DL0[B0]~DL15[B0]を介して第1のブロック20Aのサブアレイ22Aと接続されている。また、共通プリアンプ/ドライバ回路28AC0~28AC15は、16組のビット線対DL0[B2]~DL15[B2]を介して第3のブロック20Cのサブアレイ22Cにも接続されている。第1群のビット線対DL0[B0]~DL15[B0]には、第1のサブアレイ22Aの複数組のビット線対の中から第1のドライバ26Aによって選択された16組のビット線対が接続される。また、第2群のビット線対DL0[B2]~DL15[B2]には、第3のサブアレイ22Cの複数組のビット線対の中から第3のドライバ26Cによって選択された16組のビット線対が接続される。16個の共通プリアンプ/ライトドライバ回路28AC0~28AC15は同じ構成を有している。

20

30

【0077】

第1の共通プリアンプ/ライトドライバ回路28AC0は、プリアンプ回路PAおよびライトドライバ回路WDを備えている。プリアンプ回路PAおよびライトドライバ回路WDの入力は互いに並列に接続されており、第1の分離スイッチSW1を介して第1のブロック20Aの第1のビット線対DL0[B0]に接続されるとともに、第2の分離スイッチSW2を介して第3のブロック20Cの第1のデータ線対DL0[B2]に接続される。

40

【0078】

第1の分離スイッチSW1は第1の列アクセスイネーブル信号CE0に応じて開閉し、第3の分離スイッチSW2は第3の列アクセスイネーブル信号CE2に応じて開閉する。第1の列アクセスイネーブル信号CE0は、ブロックアドレスA6, A7の値が"0"で第1のブロック20Aの外部アクセスが要求されている場合にアクティブとなる。また、第3の列アクセスイネーブル信号CE2は、ブロックアドレスA6, A7の値が"2"で第3のブロック20Aの外部アクセスが要求されている場合にアクティブとなる。したがって、第1の列アクセスイネーブル信号CE0がアクティブで第3の列アクセスイネーブル信号CE2が非アクティブならば、第1の分離スイッチSW1はオンとなり第2の分離スイッチSW2がオフとなって、ブロック0である第1のブロック20Aのビット線対DL

50

0 [B 0] がプリアンプ P A およびライトドライバ W D に接続される。

【 0 0 7 9 】

第 1 の列アクセスイネーブル信号 C E 0 が非アクティブで第 3 の列アクセスイネーブル信号 C E 2 がアクティブならば、第 1 の分離スイッチ S W 1 はオフとなり第 2 の分離スイッチ S W 2 がオンとなって、第 3 のブロック 2 0 C のビット線対 D L 0 [B 2] がプリアンプ P A およびライトドライバ W D に接続される。

【 0 0 8 0 】

第 1 の列アクセスイネーブル信号 C E 0 および第 3 の列アクセスイネーブル信号 C E 2 が非アクティブならば、第 1 の分離スイッチ S W 1 および第 2 の分離スイッチ S W 2 はオフとなって、ビット線対 D L 0 [B 0] もビット線対 D L 0 [B 2] もプリアンプ P A およびライトドライバ W D から分離される。

10

【 0 0 8 1 】

以上説明したように、第 1 の共通プリアンプ/ライトドライバ回路 2 8 A C は、第 1 のブロック 2 0 A と第 3 のブロック 2 0 C とで共用されている。

【 0 0 8 2 】

第 2 の共通プリアンプ/ライトドライバ 2 8 B D も、第 1 の共通プリアンプ/ライトドライバ 2 8 A C と同様に、第 2 のブロック 2 0 B と第 4 のブロック 2 0 D とで共用されている。なお、共通プリアンプ/ライトドライバ 2 8 B D に接続されるブロックは、第 2 の列アクセスイネーブル C E 1 および第 4 の列アクセスイネーブル信号 C E 3 によって選択される。第 2 の列アクセスイネーブル信号 C E 1 は、ブロックアドレス A 6 , A 7 の値が " 1 " で第 2 のブロック 2 0 B の外部アクセスが要求されている場合にアクティブとなる信号である。また、第 4 の列アクセスイネーブル信号 C E 3 は、ブロックアドレス A 6 , A 7 の値が " 3 " で第 4 のブロック 2 0 D の外部アクセスが要求されている場合にアクティブとなる信号である。

20

【 0 0 8 3 】

F . 変形例 :

なお、この発明は上記の実施例や実施形態に限られるものではなく、その要旨を逸脱しない範囲において種々の態様において実施することが可能であり、例えば次のような変形も可能である。

【 0 0 8 4 】

(1) 上記実施例のメモリチップ 2 0 0 は、列デコーダおよびプリアンプ/ライトドライバの両方を 2 つのブロックに対して共用する場合を示しているが、いずれか一方のみを共用するようにしてもよい。この場合においても、半導体チップのサイズを小型化することが可能である。

30

【 0 0 8 5 】

(2) 上記実施例のメモリチップ 2 0 0 は、4 つのブロック 2 0 A ~ 2 0 D に区分されたメモリセルアレイ 2 0 を有する擬似 S R A M を例に説明しているが、これに限定されるものではなく、複数のブロックに区分されたメモリセルアレイを有する半導体メモリ装置であってもよい。この場合、複数のブロックを 2 つのブロックを 1 組として組み分けし、それぞれの組ごとに列デコーダおよびプリアンプ/ライトドライバを共通化して、列デコーダおよびプリアンプ/ライトドライバを挟んで 2 つのブロックを配置することにより、半導体メモリ装置のチップサイズを小型化することができる。

40

【 0 0 8 6 】

なお、ブロックの数は、奇数であってもよい。ただし、奇数の場合には、1 つのブロックは列デコーダおよびプリアンプ/ライトドライバを共通化することができないので、偶数であることが好ましい。

【 0 0 8 7 】

また、上記実施例のメモリチップ 2 0 0 は、本発明を適用した擬似 S R A M を例に説明しているが、これに限定されるものではなく、複数ブロックに区分されたメモリセルアレイにより構成される D R A M や S R A M 等の各種の半導体メモリ装置において適用可能であ

50

る。

【図面の簡単な説明】

【図 1】本発明の実施例としてのメモリチップ 200 の端子の構成を示す説明図である。

【図 2】チップセレクト信号 #CS とスヌーズ信号 ZZ の信号レベルに応じたメモリチップ 200 の動作状態の区分を示す説明図である。

【図 3】メモリチップ 200 の動作の概要を示すタイミングチャートである。

【図 4】メモリチップ 200 の内部構成を示すブロック図である。

【図 5】メモリチップ 200 の複数の回路領域の概略配置図である。

【図 6】比較例としての概略配置図である。

【図 7】第 1 の共通列デコーダ 50AC の構成を示すブロック図である。

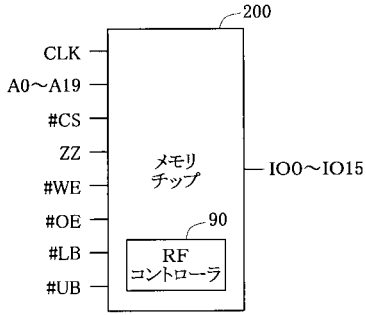
10

【図 8】第 1 の共通プリアンプ/ライトドライバ 28AC の構成を示すブロック図である。

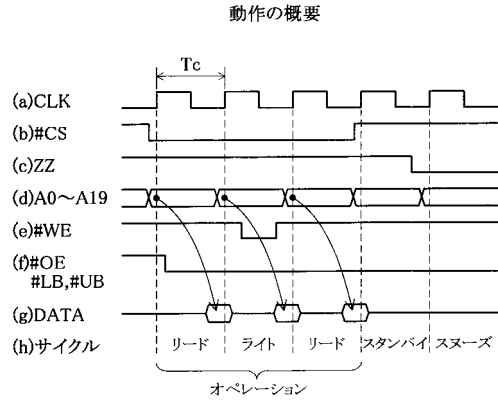
【符号の説明】

10 ... データ入出力バッファ	
20A ~ 20D ... ブロック	
22A ~ 22D ... メモリサブアレイ	
24A ~ 24D ... 行ドライバ	
26A ~ 26D ... 列ドライバ	
28AC, 28BD ... 共通プリアンプ/ライトドライバ	
28AC0 ~ 28AC15 ... 共通プリアンプ/ライトドライバ回路	20
PA ... プリアンプ回路	
WD ... ライトドライバ回路	
SW1, SW2 ... 分離スイッチ	
28A ~ 28D ... プリアンプ/ライトドライバ	
30A ~ 30D ... 行デコーダ	
40A ~ 40D ... ブロックコントローラ	
50AC, 50BD ... 共通列デコーダ	
52 ... 列アドレスデコード回路	
54 ... 列ドライブイネーブル信号生成回路	
54A, 54B ... ANDゲート	30
56 ... プリアンプ/ライトドライバ制御回路	
56A, 56B ... ANDゲート	
56C ... ORゲート	
60 ... アドレスバッファ	
70 ... ブロックデコーダ	
80 ... 列コントローラ	
90 ... リフレッシュコントローラ	
100 ... クロックコントローラ	
200 ... メモリチップ	

【 図 1 】



【 図 3 】



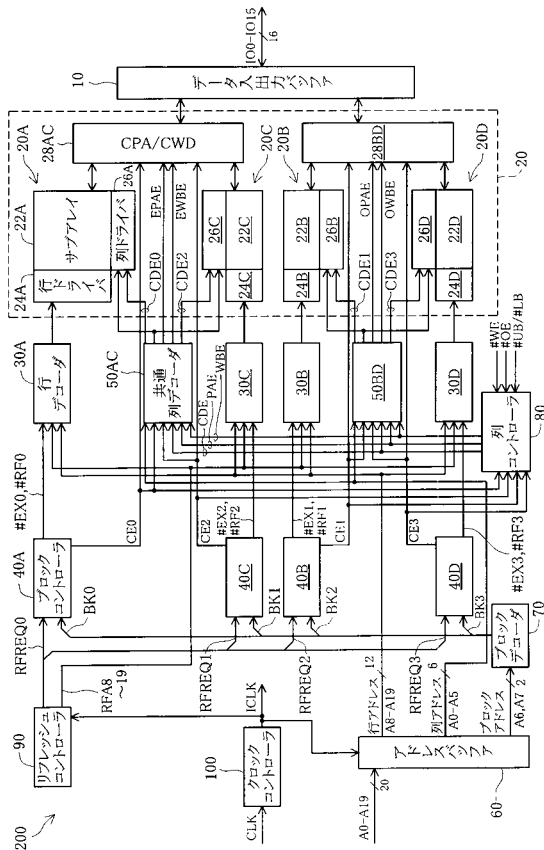
【 図 2 】

	#CS	ZZ	リフレッシュモード (注)
オペレーション	L	H	モード1
スタンバイ	H	H	モード1
スヌーズ (パワーダウン)	H	L	モード2

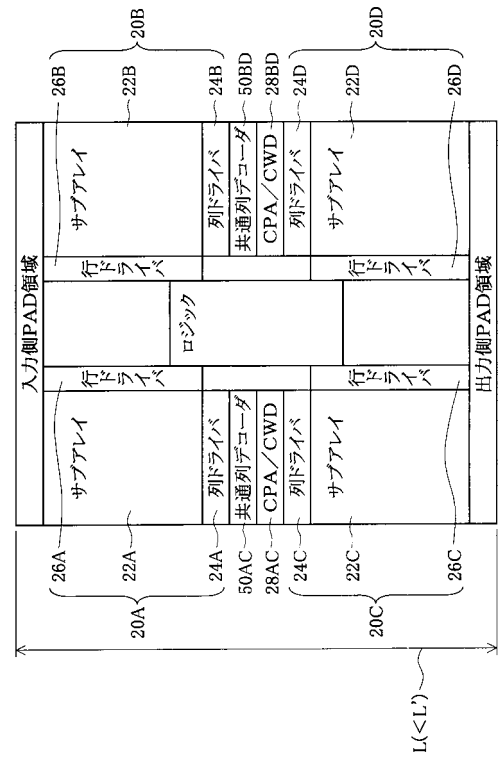
(注)
リフレッシュモード1: メモリチップ内部でリフレッシュタイミング信号が発生した後に、クロック信号CLKに同期してリフレッシュを実行する

リフレッシュモード2: メモリチップ内部でのリフレッシュタイミング信号の発生に応じてリフレッシュを実行する (クロック信号CLKは不要)

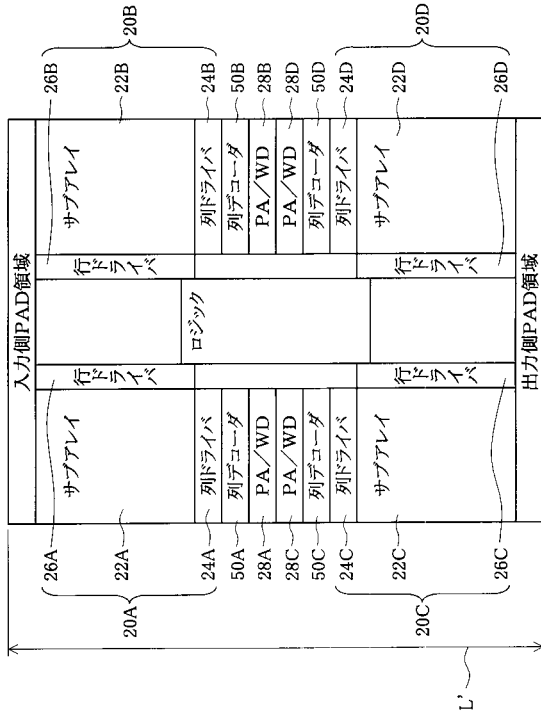
【 図 4 】



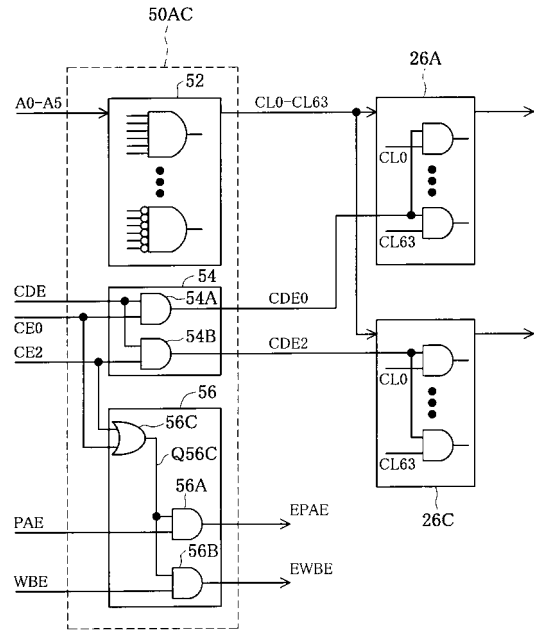
【 図 5 】



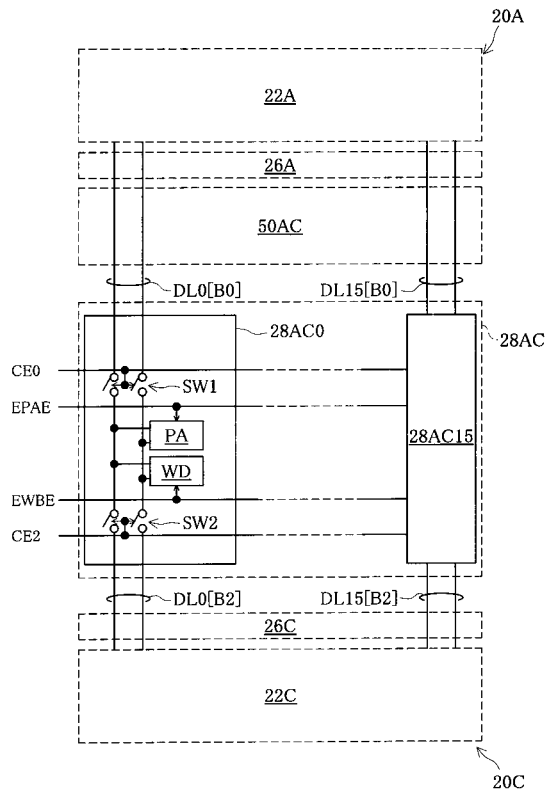
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

合議体

審判長 河合 章

審判官 井原 純

審判官 齋藤 恭一

- (56)参考文献 特開昭62-099982(JP,A)
特開平 8 - 77771(JP,A)
特開平 3 - 37889(JP,A)
特開昭63-121192(JP,A)
特開昭63-225996(JP,A)