



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201810544 A

(43) 公開日：中華民國 107 (2018) 年 03 月 16 日

(21) 申請案號：106108085

(22) 申請日：中華民國 106 (2017) 年 03 月 13 日

(51) Int. Cl. :

*H01L21/98 (2006.01)**H01L23/535 (2006.01)**H01L25/065 (2006.01)*

(30) 優先權：2016/06/15

南韓

10-2016-0074740

(71) 申請人：三星電子股份有限公司 (南韓) SAMSUNG ELECTRONICS CO., LTD. (KR)

南韓

(72) 發明人：張元基 CHANG, WON-GI (KR)；李東沅 LEE, DONGWON (KR)；姜明成 KANG, MYUNG-SUNG (KR)；劉惠仁 YOO, HYEIN (KR)

(74) 代理人：葉璟宗；鄭婷文；詹富閔

申請實體審查：無 申請專利範圍項數：25 項 圖式數：24 共 63 頁

(54) 名稱

半導體裝置的製作方法

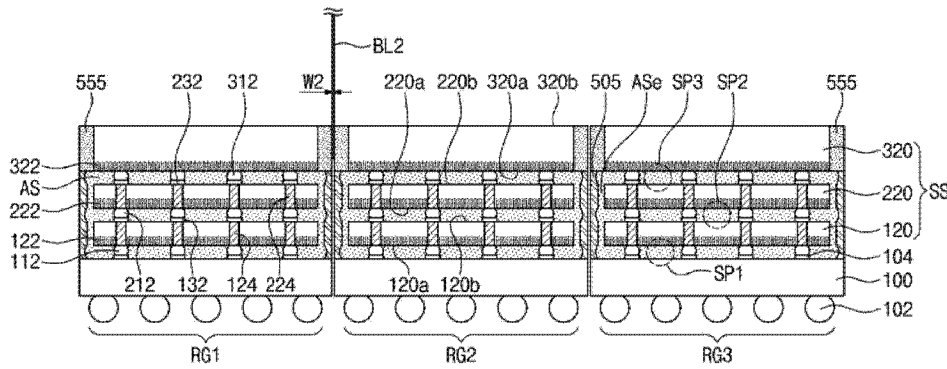
METHOD FOR FABRICATING SEMICONDUCTOR DEVICE

(57) 摘要

一種製造半導體裝置的方法包括：在封裝基底上堆疊第一半導體晶片。第一半導體晶片中的每一個包括第一黏合膜。所述方法包括在第一半導體晶片上分別堆疊第二半導體晶片。第二半導體晶片中的每一個包括第二黏合膜。所述方法包括擠壓第一黏合膜及第二黏合膜以形成黏合結構。黏合結構包括設置在第一半導體晶片的側壁上及第二半導體晶片的側壁上的延伸部。所述方法包括移除延伸部。所述方法包括形成實質上覆蓋第一半導體晶片及第二半導體晶片的第一模製層。所述方法包括對第一半導體晶片之間與第二半導體晶片之間的封裝基底執行切割製程，以形成多個半導體封裝，所述多個半導體封裝各自包括第一半導體晶片中的至少一個及第二半導體晶片中的至少一個。

A method for manufacturing a semiconductor device includes stacking, on a package substrate, first semiconductor chips. Each of the first semiconductor chips includes a first adhesive film. The method includes stacking, respectively on the first semiconductor chips, second semiconductor chips. Each of the second semiconductor chips includes a second adhesive film. The method includes compressing the first and second adhesive films to form an adhesive structure. The adhesive structure includes an extension disposed on sidewalls of the first and second semiconductor chips. The method includes removing the extension. The method includes forming a first molding layer substantially covering the first and second semiconductor chips. The method includes performing a cutting process on the package substrate between the first and second semiconductor chips to form a plurality of semiconductor packages each including at least one of the first semiconductor chips and at least one of the second semiconductor chips.

指定代表圖：



【圖 13】

符號簡單說明：

- 100 . . . 封裝基底
- 102 . . . 外側內連線構件
- 104 . . . 連接墊
- 112 . . . 第一內連線構件
- 120 . . . 第一半導體晶片
- 120a . . . 第一主動表面
- 120b . . . 第一被動表面
- 122 . . . 第一電路層
- 124 . . . 第一通孔
- 132 . . . 第一背面墊
- 220 . . . 第二半導體晶片
- 220a . . . 第二主動表面
- 220b . . . 第二被動表面
- 212 . . . 第二內連線構件
- 222 . . . 第二電路層
- 224 . . . 第二通孔
- 232 . . . 第二背面墊
- 320 . . . 第三半導體晶片
- 320a . . . 第三主動表面
- 320b . . . 第三被動表面
- 312 . . . 第三內連線構件
- 322 . . . 第三電路層
- 505 . . . 第一模製圖案

555 . . . 第二模製圖
案
AS . . . 黏合結構
ASe . . . 延伸部
BL2 . . . 第二刀片
RG1 . . . 第一區
RG2 . . . 第二區
RG3 . . . 第三區
SS . . . 堆疊結構
SP1 . . . 第一空間
SP2 . . . 第二空間
SP3 . . . 第三空間
W2 . . . 第二寬度

【發明說明書】

【中文發明名稱】具有堆疊半導體晶片之半導體元件及其製造方法

【英文發明名稱】SEMICONDUCTOR DEVICE HAVING STACKED SEMICONDUCTOR CHIPS AND METHOD FOR FABRICATING THE SAME

【技術領域】

【0001】本發明概念的示例性實施例涉及一種半導體裝置，且更具體來說，涉及一種具有堆疊半導體晶片的半導體裝置及其製作方法。

【0002】[相關申請的交叉參考]

【0003】本美國非臨時專利申請基於 35 U.S.C § 119 主張在 2016 年 6 月 15 日提出申請的韓國專利申請第 10-2016-0074740 號的優先權，所述韓國專利申請的公開內容全文併入本案供參考。

【先前技術】

【0004】半導體裝置可具有相對高的容量，且可相對薄並相對小。各種封裝技術中的一種方式是垂直堆疊多個半導體晶片以形成相對高密度的半導體晶片封裝的封裝技術。可將具有各種功能的堆疊半導體晶片集成在相對小的面積中。

【發明內容】

【0005】 本發明概念的一個或多個示例性實施例提供一種具有相對高的機械耐用性的半導體裝置。根據本發明概念的一個或多個示例性實施例的半導體裝置可包括用作底部填充物（**under-fill**）的黏合結構。

【0006】 本發明概念的一個或多個示例性實施例提供一種製作半導體裝置的方法，所述方法可消除用於覆蓋所述半導體裝置中的堆疊半導體晶片的黏合結構的延伸部。

【0007】 根據本發明概念的一個或多個示例性實施例，一種製造半導體裝置的方法包括：在封裝基底上堆疊水平相互間隔開的第一半導體晶片。所述第一半導體晶片中的每一個包括面對所述封裝基底的第一黏合膜（**adhesive film**）。所述方法包括在所述第一半導體晶片上分別堆疊水平相互間隔開的第二半導體晶片。所述第二半導體晶片中的每一個包括面對所述第一半導體晶片的第二黏合膜。所述方法包括擠壓所述第一黏合膜及所述第二黏合膜以形成黏合結構。所述黏合結構包括設置在所述第一半導體晶片的側壁上及所述第二半導體晶片的側壁上的延伸部。所述方法包括從所述第二半導體晶片的所述側壁移除所述延伸部。所述方法包括形成實質上覆蓋所述第一半導體晶片及所述第二半導體晶片的第一模製層（**molding layer**）。所述方法包括對所述第一半導體晶片之間與所述第二半導體晶片之間的所述封裝基底執行切割製程，以形成多個半導體封裝，所述多個半導體封裝各自包括所述

第一半導體晶片中的至少一個及所述第二半導體晶片中的至少一個。

【0008】 根據本發明概念的一個或多個示例性實施例，一種製造半導體裝置的方法包括：在封裝基底上形成水平相互間隔開的多個堆疊結構，所述堆疊結構中的每一個包括垂直堆疊的多個半導體晶片。所述方法包括形成分別填充所述多個堆疊結構中毗鄰的堆疊結構之間的空間的黏合結構。所述方法包括移除所述毗鄰的堆疊結構之間的所述黏合結構的至少一部分。形成所述堆疊結構及所述黏合結構包括對所述多個半導體晶片依序進行堆疊及擠壓，所述多個半導體晶片各自包括設置在所述半導體晶片的面對所述封裝基底的表面上的黏合膜。

【0009】 根據本發明概念的一個或多個示例性實施例，一種半導體裝置包括第一半導體晶片，所述第一半導體晶片堆疊在封裝基底上且包括第一通孔（through via）。在所述第一半導體晶片上堆疊有第二半導體晶片且所述第二半導體晶片包括第二通孔。在所述封裝基底與所述第一半導體晶片之間設置有第一內連線構件（interconnect member）且所述第一內連線構件電連接至所述第一通孔。在所述第一半導體晶片與所述第二半導體晶片之間設置有第二內連線構件且所述第二內連線構件電連接至所述第二通孔。第一黏合層實質上填充所述封裝基底與所述第一半導體晶片之間的第一空間且實質上覆蓋所述第一內連線構件。第二黏合層實質上填充所述第一半導體晶片與所述第二半導體晶片之間的第二空

間且實質上覆蓋所述第二內連線構件。所述第一黏合層及所述第二黏合層中的至少一個包括朝所述第一內連線構件及所述第二內連線構件中的一個凹陷的凹陷側壁。

【0010】 藉由參照附圖詳細闡述本發明概念的示例性實施例，本發明概念的以上及其他特徵將變得更顯而易見。

【圖式簡單說明】

【0011】

圖 1、圖 2、圖 4、及圖 6 至圖 13 是說明根據本發明概念某些示例性實施例的製作半導體裝置的方法的剖視圖。

圖 3 是說明圖 2 所繪示的第一半導體晶片的一部分的平面圖。

圖 5A 是圖 4 的區段 M 的放大圖。

圖 5B 是說明圖 4 所繪示的第一半導體晶片的一部分的平面圖。

圖 14 是說明根據比較例的製造半導體裝置的方法的剖視圖。

圖 15 是說明圖 14 所繪示的半導體封裝的頂表面的平面圖。

圖 16 至圖 19 是說明根據本發明概念某些示例性實施例的製造半導體裝置的方法的剖視圖。

圖 20、圖 23、及圖 24 是說明根據本發明概念某些示例性實施例的製造半導體裝置的方法的剖視圖。

圖 21 是說明根據本發明概念某些示例性實施例的濕蝕刻製程的流程圖。

圖 22A 至圖 22D 是圖 20 的區段 N 的放大剖視圖。

【實施方式】

【0012】 圖 1、圖 2、圖 4、及圖 6 至圖 13 是說明根據本發明概念某些示例性實施例的製作半導體裝置的方法的剖視圖。圖 3 是說明圖 2 所繪示的第一半導體晶片的一部分的平面圖。圖 5A 是圖 4 的區段 M 的放大圖。圖 5B 是說明圖 4 所繪示的第一半導體晶片的一部分的平面圖。

【0013】 參照圖 1，可將封裝基底 100 黏合至載體基底 CR。舉例來說，可藉由設置在載體基底 CR 與封裝基底 100 之間的黏合模具 (adhesive mold) MO 而使載體基底 CR 與封裝基底 100 相互黏合。封裝基底 100 可包括第一區 RG1、第二區 RG2、及第三區 RG3；然而，本發明概念的示例性實施例並非僅限於此。在本發明概念的示例性實施例中，封裝基底 100 除第一區 RG1、第二區 RG2 及第三區 RG3 之外還可包括其他區。封裝基底 100 可 (例如，在封裝基底 100 的底表面上) 包括外側內連線構件 102。舉例來說，外側內連線構件 102 可為焊料球，所述焊料球可包含錫、鉛、或銅。封裝基底 100 可包括位於封裝基底 100 的頂表面上的連接墊 (landing pad) 104。

【0014】 作為實例，載體基底 CR 可為矽晶圓或玻璃基底，且封裝基底 100 可為印刷電路板 (printed circuit board, PCB)。封裝基底 100 可包括一個或多個通孔，外側內連線構件 102 與連接墊 104 經由所述一個或多個通孔而在垂直方向上相互連接。

【0015】 參照圖 2，可將各第一半導體晶片 120 分別定位在封裝基底 100 的第一區 RG1、第二區 RG2 及第三區 RG3 中。各第一半

導體晶片 120 可在實質上彼此相同的水平高度上水平相互間隔開。可以其中第一主動表面 (active surface) 120a 面對封裝基底 100 的面朝下狀態 (face-down state) 將第一半導體晶片 120 中的每一個堆疊在封裝基底 100 上。作為實例，可使用底表面裝載有第一半導體晶片 120 的頭 106 將各第一半導體晶片 120 實質上同時地黏合至封裝基底 100。可在頭 106 與第一半導體晶片 120 之間設置頭膜 108。舉例來說，頭膜 108 可包括可便於將第一半導體晶片 120 從頭 106 分開的脫離膜 (release film)。第一半導體晶片 120 可各自為實質上同一類型的晶片。作為實例，第一半導體晶片 120 可各自具有實質上相同的大小且可執行實質上相同的功能。

【0016】 以下將參照圖 3 更詳細地闡述單個第一半導體晶片 120。參照圖 2 及圖 3，第一半導體晶片 120 可包括其上可設置有第一電路層 122 的第一主動表面 120a 及與第一主動表面 120a 相對的第一被動表面 (inactive surface) 120b。舉例來說，第一半導體晶片 120 可為記憶體晶片。第一半導體晶片 120 可包括電連接至第一電路層 122 的通孔 124。舉例來說，第一通孔 124 中的至少一個可為矽通孔 (through silicon via, TSV)。第一通孔 124 可設置在第一半導體晶片 120 的中心區 120c 中。在本發明概念的示例性實施例中，中心區 120c 可具有十字形狀。在第一電路層 122 中，中心區 120c 可為外圍電路區且除中心區 120c 之外的其他區可為記憶體單元區。

【0017】 第一半導體晶片 120 可包括第一側壁 120y、第二側壁 120z、第三側壁 120w 及第四側壁 120x。第一側壁 120y 與第二側壁 120z 可相互面對，且第三側壁 120w 與第四側壁 120x 可相互面

對。第一側壁 120y 與第二側壁 120z 之間的距離可為第一半導體晶片 120 在第一方向上的寬度，且第三側壁 120w 與第四側壁 120x 之間的距離可為第一半導體晶片 120 在與所述第一方向交叉的第二方向上的寬度。第一方向上的寬度可實質上相同於在與第一方向交叉的第二方向上的寬度；然而，本發明概念的示例性實施例並非僅限於此，且所述寬度可互不相同。

【0018】 可在第一半導體晶片 120 的第一主動表面 120a 上設置第一內連線構件 112(例如，焊料球(solder ball)或焊料凸塊(solder bump))。第一半導體晶片 120 可經由第一內連線構件 112 而電連接至封裝基底 100。可在第一半導體晶片 120 的第一被動表面 120b 上設置第一背面墊 132。第一背面墊 132 可電連接至第一通孔 124。舉例來說，第一內連線構件 112 與第一背面墊 132 可經由第一通孔 124 在垂直方向上相互連接。

【0019】 可將第一非導電膜 140 黏合至第一半導體晶片 120 的第一主動表面 120a。第一非導電膜 140 可為不包含導電顆粒的環氧樹脂系黏合膜。舉例來說，第一非導電膜 140 可在約 100°C 或高於 100°C 的溫度下固化。第一非導電膜 140 可具有第一厚度 T1。第一厚度 T1 可實質上相同於或大於第一內連線構件 112 的突出長度。作為實例，第一非導電膜 140 可覆蓋第一內連線構件 112 且實質上完全填充第一內連線構件 112 之間的空間。第一非導電膜 140 可不導電。

【0020】 參照圖 4、圖 5A 及圖 5B，可擠壓在封裝基底 100 上堆疊的第一半導體晶片 120 以分別在第一區 RG1、第二區 RG2、及第三區 RG3 上形成第一黏合層 as1。可將第一半導體晶片 120 擠

壓至使得第一內連線構件 112 可分別實質上接觸封裝基底 100 的各連接墊 104 中的相應一個連接墊 104 的整個上表面。由此，封裝基底 100 與第一半導體晶片 120 可相互電連接。

【0021】 當將第一半導體晶片 120 堆疊在封裝基底 100 上時，可實質上同時地擠壓各第一半導體晶片 120。對第一半導體晶片 120 進行擠壓可包括執行其中對第一半導體晶片 120 及第一非導電膜 140 施加熱量及壓力的熱擠壓。作為實例，第一半導體晶片 120 可在比第一非導電膜 140 的固化溫度高的溫度下接收來自頭 106 的壓力。舉例來說，熱擠壓可包括在從約 80°C 到約 300°C 的溫度下對第一半導體晶片 120 施加從約 10N 到約 100N 的力。

【0022】 可擠壓第一非導電膜 140 以分別形成第一黏合層 as1。第一黏合層 as1 中的每一個可填充第一半導體晶片 120 與封裝基底 100 之間的第一空間 SP1。第一黏合層 as1 可包括覆蓋第一半導體晶片 120 的第一側壁 120y、第二側壁 120z、第三側壁 120w 及第四側壁 120x 的第一子延伸部 as1e。

【0023】 作為實例，在熱擠壓之後，在第一半導體晶片 120 的第一主動表面 120a 與封裝基底 100 的頂表面之間可獲得第一距離 D1，且第一距離 D1 可小於第一非導電膜 140 的第一厚度 T1。作為實例，熱擠壓可減小第一非導電膜 140 的厚度，使得圓角 (fillet) 可在第一半導體晶片 120 外側從第一非導電膜 140 突出。可將所突出的圓角固化以形成第一子延伸部 as1e。第一子延伸部 as1e 可沿第一側壁 120y、第二側壁 120z、第三側壁 120w 及第四側壁 120x 垂直延伸並接觸頭膜 108。頭膜 108 可防止第一子延伸部 as1e 覆蓋第一半導體晶片 120 的第一被動表面 120b。

【0024】 參照圖 6，可在第一半導體晶片 120 上分別堆疊第二半導體晶片 220。第二半導體晶片 220 中的每一個可包括其上形成有第二電路層 222 的第二主動表面 220a 及與第二主動表面 220a 相對的第二被動表面 220b。第二半導體晶片 220 可包括穿透過第二半導體晶片 220 且電連接至第二電路層 222、位於第二主動表面 220a 上的第二內連線構件 212、及位於第二被動表面 220b 上的第二背面墊 232 的第二通孔 224。舉例來說，第二半導體晶片 220 可為與以上更詳細闡述的第一半導體晶片 120 實質上相同的晶片。因此，可不再對其進行重複說明。

【0025】 可將第二非導電膜 240 黏合至第二半導體晶片 220 中的每一個的第二主動表面 220a 上。第二非導電膜 240 可為不包含導電顆粒的環氧樹脂系黏合膜，且可為與以上更詳細地論述的第一非導電膜 140 實質上相同的膜。第二非導電膜 240 可不導電。

【0026】 可以其中第二主動表面 220a 面對第一半導體晶片 120 的面朝下狀態將第二半導體晶片 220 中的每一個堆疊在第一半導體晶片 120 上。作為實例，可使用其底部表面（floor surface）裝載有第二半導體晶片 220 的頭 106 將各第二半導體晶片 220 實質上同時地堆疊在各第一半導體晶片 120 上。第二半導體晶片 220 可在實質上相同的水平高度上水平相互間隔開。

【0027】 參照圖 7，可擠壓位於第一半導體晶片 120 上的第二半導體晶片 220 以分別在第一區 RG1、第二區 RG2、及第三區 RG3 上形成第二黏合層 as2。可將第二半導體晶片 220 擠壓至使得第二內連線構件 212 可分別實質上接觸第一半導體晶片 120 的第一背面墊 132 中的相應一個第一背面墊 132 的整個上表面。由此，第

一半導體晶片 120 與第二半導體晶片 220 可相互電連接。

【0028】 當將第二半導體晶片 220 堆疊在第一半導體晶片 120 上時，可實質上同時地擠壓第二半導體晶片 220。對第二半導體晶片 220 進行擠壓可包括執行熱擠壓。對第二半導體晶片 220 進行的擠壓可實質上相同於對第一半導體晶片 120 進行的擠壓。

【0029】 第二黏合層 as2 中的每一個可填充第一半導體晶片 120 與第二半導體晶片 220 之間的第二空間 SP2。第二黏合層 as2 可包括覆蓋第二半導體晶片 220 的側壁的第二子延伸部 as2e。第二子延伸部 as2e 可為當擠壓第二半導體晶片 220 時，在第二半導體晶片 220 外側從第二非導電膜 240 突出的固化的圓角。第一黏合層 as1 與第二黏合層 as2 可成一體地相互連接。

【0030】 參照圖 8，可在第二半導體晶片 220 上分別堆疊第三半導體晶片 320。第三半導體晶片 320 中的每一個可包括其上形成有第三電路層 322 的第三主動表面 320a 及與第三主動表面 320a 相對的第三被動表面 320b。第三半導體晶片 320 可包括位於第三主動表面 320a 上的第三內連線構件 312。第三內連線構件 312 不需要垂直地對齊第二通孔 224。在本發明概念的示例性實施例中，第三半導體晶片 320 可不包括通孔；然而，本發明概念的示例性實施例並非僅限於此。第三半導體晶片 320 中的每一個可為記憶體晶片。舉例來說，第三半導體晶片 320 可各自具有比第一半導體晶片 120 的厚度及第二半導體晶片 220 的厚度大的厚度。

【0031】 可將第三非導電膜黏合至第三半導體晶片 320 中的每一個的第三主動表面 320a 上。第三非導電膜可為不包含導電顆粒的環氧樹脂系黏合膜，且可為與以上更詳細地論述的第一非導電膜

140 實質上相同的膜。第三非導電膜可不導電。

【0032】 可以其中第三主動表面 320a 面對第二半導體晶片 220 的面朝下狀態將第三半導體晶片 320 中的每一個堆疊在第二半導體晶片 220 上。作為實例，可使用其底部表面裝載有第三半導體晶片 320 的頭 106 將第三半導體晶片 320 實質上同時地堆疊在第二半導體晶片 220 上。第三半導體晶片 320 可在實質上相同的水平高度上水平相互間隔開。

【0033】 當堆疊有第三半導體晶片 320 時，可擠壓第三半導體晶片 320 以分別在第一區 RG1、第二區 RG2、及第三區 RG3 上形成第三黏合層 as3。可將第三半導體晶片 320 擠壓至使得第三內連線構件 312 實質上接觸第二半導體晶片 220 的第二背面墊 232 中的相應一個第二背面墊 232 的整個上表面。作為實例，第二半導體晶片 220 與第三半導體晶片 320 可相互電連接。因此，依序堆疊的第一半導體晶片 120、第二半導體晶片 220 及第三半導體晶片 320 可在垂直方向上相互連接且可形成單個堆疊結構 SS。可分別在第一區 RG1、第二區 RG2 及第三區 RG3 中形成多個堆疊結構 SS。

【0034】 對第三半導體晶片 320 進行擠壓可包括執行熱擠壓。對第三半導體晶片 320 進行的擠壓可實質上相同於對第一半導體晶片 120 進行的擠壓。

【0035】 第三黏合層 as3 中的每一個可填充第三半導體晶片 320 與第二半導體晶片 220 之間的第三空間 SP3。第三黏合層 as3 可包括覆蓋第三半導體晶片 320 的側壁的第三子延伸部 as3e。第三子延伸部 as3e 可為當擠壓第三半導體晶片 320 時，在第三半導體晶

片 320 外側從第三非導電膜突出的固化的圓角。

【0036】 依序堆疊的第一黏合層 as1、第二黏合層 as2、及第三黏合層 as3 可成一體地相互連接以形成單個黏合結構 AS。黏合結構 AS 可包括覆蓋堆疊結構 SS 的側壁的延伸部 ASe，且延伸部 ASe 可包括第一子延伸部 as1e、第二子延伸部 as2e、及第三子延伸部 as3e。

【0037】 在堆疊半導體晶片 320 之前可堆疊另外的半導體晶片。作為實例，根據本發明概念本發明概念示例性實施例的堆疊結構 SS 可包括多於三個堆疊半導體晶片。作為另外一種選擇，舉例來說，可省略第二半導體晶片 220。作為實例，根據本發明概念示例性實施例的堆疊結構 SS 可包括兩個堆疊半導體晶片。

【0038】 在根據本發明概念示例性實施例的製造半導體裝置的方法中，可使用非導電膜 140 及非導電膜 240 將半導體晶片 120、半導體晶片 220 及半導體晶片 320 堆疊並結合在封裝基底 100 上，且因此可在內連線構件 112、內連線構件 212 及內連線構件 312 之間獲得相對精細的節距而不會在相互毗鄰的內連線構件 112、內連線構件 212 及內連線構件 312 之間形成電短路。由非導電膜 140 及非導電膜 240 形成的黏合結構 AS 可用作實質上填充第一空間 SP1、第二空間 SP2 及第三空間 SP3 的底部填充物，由此提高內連線構件 112、內連線構件 212 及內連線構件 312 的機械耐用性。

【0039】 參照圖 9，可形成第一模製層 500 來覆蓋堆疊結構 SS。由於黏合結構 AS 可用作實質上填充第一空間 SP1、第二空間 SP2 及第三空間 SP3 的底部填充物，因此可在不執行模塑底部填充物（molded under-fill）製程的條件下形成第一模製層 500。舉例來

說，可將第一模製層 500 形成為實質上完全覆蓋第三半導體晶片 3230 的第三被動表面 320b。

【0040】 第一模製層 500 可包含具有相對低的黏度及相對高的間隙填充性質的模製組合物，且可因此實質上填充堆疊結構 SS 之間的空間。因此，堆疊結構 SS 之間例如因黏合結構 AS 的延伸部 ASe 而形成的不規則的且相對窄的空間可得到填充。

【0041】 參照圖 10，可切割第三半導體晶片 320 之間的第一模製層 500 以移除設置在第三半導體晶片 320 之間的空間中的延伸部 ASe。作為實例，可移除延伸部 ASe 中的每一個的一部分，且延伸部 ASe 的所移除的一部分可為第三子延伸部 as3e。

【0042】 作為實例，可使用第一刀片 BL1 在第三半導體晶片 320 之間進行切割。可將第三半導體晶片 320 之間的第一模製層 500 與各第三半導體晶片 320 之間的延伸部 ASe 一起移除。第一刀片 BL1 可具有第一寬度 W1。舉例來說，第一寬度 W1 可實質上相同於第三半導體晶片 320 之間的距離。藉由移除第三半導體晶片 320 之間的第一模製層 500 及延伸部 ASe，可界定第三半導體晶片 320 之間的第一凹陷區 RS1。

【0043】 在本發明概念的示例性實施例中，不需要移除第一半導體晶片 120 之間及第二半導體晶片 220 之間的延伸部 ASe。在本發明概念的示例性實施例中，所述切割製程可移除第一半導體晶片 120 之間及第二半導體晶片 220 之間的延伸部 ASe 的至少一部分。其餘未被移除的第一模製層 500 可形成填充於各堆疊結構 SS 之間的第一模製圖案 505。

【0044】 參照圖 11，可在其餘的第一模製層 500 上形成第二模製

層 550。第二模製層 550 可填充第一凹陷區 RS1。舉例來說，第二模製層 550 可包含與第一模製層 500 的材料不同的材料。作為實例，第二模製層 550 可包含比第一模製層 500 中的含量多的無機物質且可包含比第一模製層 500 中的含量少的有機物質。因此，第二模製層 550 可具有比第一模製層 500 的熱膨脹係數小的熱膨脹係數。作為實例，第二模製層 550 的模製組合物可具有比第一模製層 500 高的無機含量，使得第二模製層 550 可具有相對高的黏度及相對差的間隙填充性質。然而，第一凹陷區 RS1 可具有實質上呈均勻形狀的空間及相對寬的寬度，使得第二模製層 550 的模製組合物可填充第一凹陷區 RS1。作為實例，第二模製層 550 可包含與第一模製層 500 相同的材料；然而，本發明概念的示例性實施例並非僅限於此。

【0045】 參照圖 12，可將第二模製層 550 及第一模製層 500 平坦化，直至暴露出第三半導體晶片 320 的第三被動表面 320b，且因此可形成第二模製圖案 555。第二模製圖案 555 可實質上分別填充第二區 RS2。第一模製層 500 可被實質上完全地從第三半導體晶片 320 上移除。

【0046】 藉由平坦化製程，可使第三半導體晶片 320 的第三被動表面 320b 與第二模製圖案 555 的頂表面實質上對齊。當第三被動表面 320b 暴露至第一半導體晶片 120、第二半導體晶片 220、及第三半導體晶片 320 的外部時，可將熱量從第一半導體晶片 120、第二半導體晶片 220 及第三半導體晶片 320 移除。

【0047】 可藉由從載體基底 CR 與封裝基底 100 之間移除黏合模具 MO 來將載體基底 CR 從封裝基底 100 分開。

【0048】 參照圖 13，可對封裝基底 100 執行切割製程以形成多個半導體封裝。作為實例，可使用第二刀片 BL2 在封裝基底 100 的第一區 RG1、第二區 RG2 及第三區 RG3 之間進行切割。第一區 RG1、第二區 RG2 及第三區 RG3 可因此相互分離。所述切割製程可切割各堆疊結構 SS 之間的第一模製圖案 505 及第二模製圖案 555。藉由切割製程可將單個半導體封裝形成為包括位於第一區 RG1、第二區 RG2 及第三區 RG3 中的一個上的堆疊結構 SS。第二刀片 BL2 可具有第二寬度 W2。第二寬度 W2 可小於第一寬度 W1。

【0049】 圖 14 是說明根據比較例的製造半導體裝置的方法的剖視圖。圖 15 是說明圖 14 所繪示的半導體封裝的頂表面的平面圖。

【0050】 在製造半導體裝置的方法中，可不從第三半導體晶片 320 之間移除延伸部 ASe。堆疊結構 SS 可僅被第一模製圖案 505 覆蓋。黏合結構 AS 的延伸部 ASe 可設置在第三半導體晶片 320 與第一模製圖案 505 之間。延伸部 ASe 可具有實質上與第三半導體晶片 320 的第三被動表面 320b 對齊的頂表面。作為實例，延伸部 ASe 的頂表面可在第三半導體晶片 320 與第一模製圖案 505 之間暴露於外部。所暴露的延伸部 ASe 可在半導體封裝的頂表面上顯示出不規則的形狀。

【0051】 在根據本發明概念示例性實施例的製造半導體裝置的方法中，黏合結構 AS 可不具有暴露於外部的延伸部 ASe 且可不在半導體封裝的頂表面上顯示出不規則的形狀。半導體封裝的上部部分及下部部分可分別包括第一模製圖案 505 及第二模製圖案 555，第一模製圖案 505 與第二模製圖案 555 的材料可互不相同。

作為實例，第二模製圖案 555 可具有相對低的熱膨脹係數，且因此可能會減少或消除半導體封裝的由熱量引起的翹曲。

【0052】 以下將參照圖 13 更詳細地闡述根據本發明概念示例性實施例的半導體裝置。

【0053】 參照圖 13，在封裝基底 100 上可設置有堆疊結構 SS。舉例來說，封裝基底 100 可為印刷電路板（PCB）。封裝基底 100 可具有包括外側內連線構件 102（例如，焊料球）的底表面及包括連接墊 104 的頂表面。封裝基底 100 可包括至少一個通孔。

【0054】 堆疊結構 SS 可包括可依序堆疊的第一半導體晶片 120、第二半導體晶片 220、及第三半導體晶片 230。第一半導體晶片 120 可包括電連接至第一電路層 122 的第一通孔 124，且第二半導體晶片 220 可包括電連接至第二電路層 222 的第二通孔 224。第三半導體晶片 320 可不包括通孔；然而，本發明概念的示例性實施例並非僅限於此。在本發明概念的示例性實施例中，第一半導體晶片 120、第二半導體晶片 220 及第三半導體晶片 320 可各自為記憶體晶片。

【0055】 作為實例，第一半導體晶片 120、第二半導體晶片 220 及第三半導體晶片 320 可具有實質上相互相同的平坦形狀及大小。第三半導體晶片 320 可具有比第一半導體晶片 120 及第二半導體晶片 220 大的厚度；然而，本發明概念的示例性實施例並非僅限於此。

【0056】 如焊料球或焊料凸塊等的第一內連線構件 112 可設置在第一半導體晶片 120 的第一主動表面 120a 上。第一半導體晶片 120 可經由第一內連線構件 112 電連接至封裝基底 100。第一半導體晶

片 120 可包括設置在第一半導體晶片 120 的第一被動表面 120b 上的第一背面墊 132。第一背面墊 132 可電連接至第一通孔 124。

【0057】 如焊料球或焊料凸塊等的第二內連線構件 212 可設置在第二半導體晶片 220 的第二主動表面 220a 上。第二半導體晶片 220 可經由第二內連線構件 212 電連接至第一半導體晶片 120。第二半導體晶片 220 可包括設置在第二半導體晶片 220 的第二被動表面 220b 上的第二背面墊 232。第二背面墊 232 可電連接至第二通孔 224。

【0058】 如焊料球或焊料凸塊等的第三內連線構件 312 可設置在第三半導體晶片 320 的第三主動表面 320a 上。第三半導體晶片 320 可經由第三內連線構件 312 電連接至第二半導體晶片 220。因此，封裝基底 100 與第一半導體晶片 120、第二半導體晶片 220 及第三半導體晶片 320 可在垂直方向上相互電連接。

【0059】 黏合結構 AS 可填充封裝基底 100 與第一半導體晶片 120 之間的第一空間 SP1、第一半導體晶片 120 與第二半導體晶片 220 之間的第二空間 SP2、以及第二半導體晶片 220 與第三半導體晶片 320 之間的第三空間 SP3。黏合結構 AS 可將第一半導體晶片 120、第二半導體晶片 220 及第三半導體晶片 320 結合至封裝基底 100。黏合結構 AS 可填充於相互毗鄰的第一內連線構件 112、第二內連線構件 212 以及第三內連線構件 312 之間，使得第一內連線構件 112、第二內連線構件 212 及第三內連線構件 312 可相互絕緣。

【0060】 黏合結構 AS 可包括覆蓋第一半導體晶片 120 的側壁及第二半導體晶片 220 的側壁的延伸部 ASe。黏合結構 AS 的一部分

可為從第一半導體晶片 120 的外側及第二半導體晶片 220 的外側向外突出的延伸部 ASe。延伸部 ASe 可僅覆蓋第一半導體晶片 120 的側壁；然而，本發明概念的示例性實施例並非僅限於此。

【0061】 封裝基底 100 可包括覆蓋堆疊結構 SS 的第一模製圖案 505 及第二模製圖案 555。第二模製圖案 555 可設置在第一模製圖案 505 上且可覆蓋第三半導體晶片 320 的側壁。第一模製圖案 505 可覆蓋延伸部 ASe 的側壁。舉例來說，第二模製圖案 555 可具有比第一模製圖案 505 的熱膨脹係數小的熱膨脹係數。因此，第二模製圖案 555 可減少或消除半導體封裝的由熱量引起的翹曲。

【0062】 第二模製圖案 555 可具有與第三半導體晶片 320 的第三被動表面 320b 實質上對齊的頂表面。第三半導體晶片 320 的第三被動表面 320b 可因此被暴露至第一半導體晶片 120、第二半導體晶片 220 及第三半導體晶片 320 的外部。因此，可移除由第一半導體晶片 120、第二半導體晶片 220 及第三半導體晶片 320 產生的熱量。

【0063】 圖 16 至圖 19 是說明根據本發明概念某些示例性實施例的製造半導體裝置的方法的剖視圖。以下參照圖 16 至圖 19 闡述的技術特徵可實質上相同於以上參照圖 1 至圖 13 所論述的技術特徵，且因此可不再對其進行重複說明。

【0064】 參照圖 16，可對所得結構（例如，參照圖 9 所闡述的所得結構）執行切割製程以移除設置在堆疊結構 SS 之間的空間中的延伸部 ASe。作為實例，可使用第一刀片 BL1 在堆疊結構 SS 之間進行切割。所述切割製程可被執行至局部地暴露出封裝基底 100 的頂表面為止。延伸部 ASe 可因此被從各堆疊結構 SS 之間實質上

完全移除。作為另外一種選擇，第一模製層 500 及延伸部 ASe 中的至少一個可局部地保留在堆疊結構 SS 之間；然而，本發明概念的示例性實施例並非僅限於此。

【0065】 在所述切割製程移除堆疊結構 SS 之間的第一模製層 500 及延伸部 ASe 時，可界定出第二凹陷區 RS2。當切割製程結束時，黏合結構 AS 的第一黏合層 as1、第二黏合層 as2、及第三黏合層 as3 可相互分離並在垂直方向上相互間隔開。

【0066】 參照圖 17，第二模製層 550 可被形成為覆蓋堆疊結構 SS。第二模製層 550 可被形成為填充第二凹陷區 RS2。第二凹陷區 RS2 可具有實質上均勻的形狀及相對寬的寬度，使得第二模製層 550 的模製組合物可填充第二凹陷區 RS2。

【0067】 參照圖 18，可將第二模製層 550 及第一模製層 500 平坦化直至暴露出第三半導體晶片 320 的第三被動表面 320b 為止，且因此可形成第二模製圖案 555。可藉由從載體基底 CR 與封裝基底 100 之間移除黏合模具 MO 來將載體基底 CR 從封裝基底 100 分開。

【0068】 參照圖 19，可對封裝基底 100 執行切割製程以形成多個半導體封裝。可使用第二刀片 BL2 來執行切割製程。

【0069】 根據本發明概念的示例性實施例，可將黏合結構 AS 的延伸部 ASe 實質上完全移除。因此，黏合結構 AS 可不具有暴露於外部的延伸部 ASe 且可不在半導體封裝的頂表面上顯示出不規則的形狀。第二模製圖案 555 可具有相對低的熱膨脹係數，且因此可減少或消除半導體封裝的由熱量引起的翹曲。

【0070】 以下將參照圖 19 更詳細地闡述根據本發明概念示例性實施例的半導體裝置。以下參照圖 19 闡述的技術特徵可實質上相

同於以上參照圖 13 論述的技術特徵，且因此可不再對其進行重複說明。

【0071】 參照圖 19，黏合結構 AS 可包括第一黏合層 as1、第二黏合層 as2、及第三黏合層 as3。第一黏合層 as1、第二黏合層 as2、及第三黏合層 as3 可實質上分別填充第一空間 SP1、第二空間 SP2 及第三空間 SP3。第一黏合層 as1、第二黏合層 as2 以及第三黏合層 as3 可相互分離並在垂直方向上相互間隔開。

【0072】 封裝基底 100 可包括覆蓋堆疊結構 SS 的第二模製圖案 555。舉例來說，第二模製圖案 555 可與第一半導體晶片 120 的側壁、第二半導體晶片 220 的側壁及第三半導體晶片 320 的側壁直接接觸。第二模製圖案 555 可與第一黏合層 as1 的側壁、第二黏合層 as2 的側壁及第三黏合層 as3 的側壁直接接觸。

【0073】 圖 20、圖 23、及圖 24 是說明根據本發明概念某些示例性實施例的製造半導體裝置的方法的剖視圖。圖 21 是說明根據本發明概念某些示例性實施例的濕蝕刻製程的流程圖。圖 22A 至圖 22D 是圖 20 的區段 N 的放大剖視圖。以下參照圖 20、圖 21、圖 22A、圖 22B、圖 22C、圖 22D、圖 23 及圖 24 闡述的技術特徵可實質上相同於以上參照圖 1 至圖 13 所論述的技術特徵，且因此可不再對其進行重複說明。

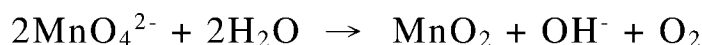
【0074】 參照圖 20，可對所得結構（例如，參照圖 8 所闡述的所得結構）執行濕蝕刻製程（wet etch process，WE 製程）以移除設置在堆疊結構 SS 之間的空間中的延伸部 ASe。作為實例，所述濕蝕刻製程 WE 可包括向堆疊結構 SS 之間的空間中引入蝕刻溶液來對延伸部 ASe 進行選擇性的濕蝕刻。延伸部 ASe 可因此被從堆疊

結構 SS 之間實質上完全移除。作為另外一種選擇，延伸部 ASe 可局部地保留在堆疊結構 SS 之間；然而，本發明概念的示例性實施例並非僅限於此。作為實例，不需要形成第一模製層 500。

【0075】 參照圖 20、圖 21 及圖 22A，濕蝕刻製程 WE 可包括施加鹼性溶液以使黏合結構的延伸部膨脹 (S110)。舉例來說，濕蝕刻製程 WE 可包括向堆疊結構 SS 之間的延伸部 ASe 上施加鹼性溶液 610。可經由堆疊結構 SS 之間的空間將鹼性溶液 610 施加至延伸部 ASe 上。鹼性溶液 610 可使延伸部 ASe 中包含的樹脂膨脹。舉例來說，鹼性溶液 610 可包含氫氧化鈉溶液。

【0076】 參照圖 20、圖 21、及圖 22B，濕蝕刻製程 WE 可包括施加氧化劑以分解延伸部中含有的樹脂 (S120)。舉例來說，濕蝕刻製程 WE 可包括向堆疊結構 SS 之間的延伸部 ASe 上施加氧化劑 620。氧化劑 620 可有效地分解延伸部 ASe 中包含的膨脹的樹脂。舉例來說，氧化劑 620 可包含過錳酸鉀。作為實例，可基於以下由反應式 1 給出的蝕刻原理來分解延伸部 ASe。

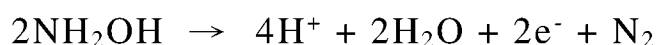
【0077】 [反應式 1]



【0078】 參照圖 20、圖 21 及圖 22C，濕蝕刻製程 WE 可包括施加還原劑以將殘留產物還原成水溶性 (S130)。濕蝕刻製程可包括向存留在堆疊結構 SS 之間的殘留產物 RP 上施加還原劑 630。在氧化劑 620 分解延伸部 ASe 中包含的樹脂之後，可能存留有包含未反應的氧化劑 620 的殘留產物 620。因此，可施加還原劑 630 來將殘留產物 RP 還原成水溶性。舉例來說，還原劑 630 可包含過

氧化氫及/或羥胺，且殘留產物 RP 可包含氧化錳。作為實例，可基於以下反應式 2 所表達的還原原理來將殘留產物 RP 還原成水溶性的。

【0079】 [反應式 2]



【0080】 參照圖 20、圖 21、及圖 22D，濕蝕刻製程 WE 可包括進行水洗以移除殘留物 (S140)。濕蝕刻製程可包括執行水洗 640 以移除堆疊結構 SS 之間的殘留物。由於在先前製程中已將殘留產物 RP 還原成水溶性，因此水洗 640 可實質上完全移除殘留物。因此，可實質上完全移除延伸部 ASe 且黏合結構 AS 的第一黏合層 as1、第二黏合層 as2 及第三黏合層 as3 可相互分離並在垂直方向上相互間隔開。由於可藉由濕蝕刻製程 WE 或等向性蝕刻製程來將延伸部 ASe 移除，因此可在第一黏合層 as1、第二黏合層 as2、及第三黏合層 as3 中的至少一個上形成凹陷側壁。舉例來說，在第三黏合層 as3 上可形成第三凹陷側壁 as3w。由於可執行濕蝕刻製程 WE 來移除堆疊結構 SS 之間的延伸部 ASe，因此可界定出第三凹陷區 RS3。

【0081】 參照圖 23，可形成第二模製層 550 來覆蓋堆疊結構 SS。第二模製層 550 可被形成為填充第三凹陷區 RS3。第三凹陷區 RS3 可具有實質上均勻的形狀及相對寬的寬度，使得第二模製層 550 的模製組成物可填充第三凹陷區 RS3。

【0082】 參照圖 24，可將第二模製層 550 平坦化直至暴露出第三

半導體晶片 320 的第三被動表面 320b，且因此可形成第二模製圖案 555。可藉由從載體基底 CR 與封裝基底 100 之間移除黏合模具 MO 來將載體基底 CR 從封裝基底 100 分開。可對封裝基底 100 執行切割製程以形成多個半導體封裝。可使用第二刀片 BL2 來執行切割製程。

【0083】 根據本發明概念的示例性實施例，可實質上完全移除黏合結構 AS 的可暴露至外部的延伸部 ASe。因此，黏合結構 AS 不具有暴露於外部的延伸部 ASe 且可不在半導體封裝的頂表面上顯示出不規則的形狀。還可簡化黏合結構 AS 的延伸部 ASe 的移除，這是因為不需要形成第一模製層 500。第二模製圖案 555 可具有相對低的熱膨脹係數，且因此可減少或消除半導體封裝的由熱量引起的翹曲。

【0084】 以下將參照圖 24 更詳細地闡述根據本發明概念示例性實施例的半導體裝置。參照圖 24 闡述的技術特徵可實質上相同於參照圖 13 闡述的技術特徵，且因此可不再對其進行重複說明。

【0085】 再次參照圖 24，黏合結構 AS 可包括第一黏合層 as1、第二黏合層 as2 及第三黏合層 as3。第一黏合層 as1、第二黏合層 as2 及第三黏合層 as3 可分別實質上填充第一空間 SP1、第二空間 SP2 及第三空間 SP3。第一黏合層 as1、第二黏合層 as2 及第三黏合層 as3 可相互分離並在垂直方向上相互間隔開。

【0086】 第一黏合層 as1、第二黏合層 as2 及第三黏合層 as3 可分別包括第一凹陷側壁 as1w、第二凹陷側壁 as2w 及第三凹陷側壁 as3w。第一凹陷側壁 as1w、第二凹陷側壁 as2w 及第三凹陷側壁 as3w 可形成黏合結構 AS 的凹陷側壁 ASw。第一凹陷側壁 as1w、

第二凹陷側壁 as2w 及第三凹陷側壁 as3w 可分別朝內連線構件 112、內連線構件 212 及內連線構件 312 凹陷。

【0087】 封裝基底 100 可包括覆蓋堆疊結構 SS 的第二模製圖案 555。舉例來說，第二模製圖案 555 可直接接觸第一半導體晶片 120 的側壁、第二半導體晶片 220 的側壁及第三半導體晶片 320 的側壁。第二模製圖案 555 可直接接觸第一凹陷側壁 as1w、第二凹陷側壁 as2w 及第三凹陷側壁 as3w。第二模製圖案 555 與黏合結構 AS 可包含互不相同的材料。舉例來說，第二模製圖案 555 可具有與黏合結構 AS 的熱膨脹係數不同的熱膨脹係數。

【0088】 在製造根據本發明概念的示例性實施例的半導體裝置的方法中，可有效地移除覆蓋半導體晶片的黏合結構的延伸部，此不需要毀壞半導體封裝的外觀。模製層可具有相對低的熱膨脹係數，且因此可減少或消除半導體封裝的翹曲。

【0089】 儘管已參照本發明概念的示例性實施例特別示出並闡述了本發明概念，然而所屬領域的普通技術人員將理解，在不背離本發明概念的精神及範圍的條件下，可在本文中作出形式及細節上的各種改變。

【符號說明】

【0090】

100：封裝基底

102：外側內連線構件

104：連接墊

106：頭

- 108：頭膜
- 112：第一內連線構件
- 120：第一半導體晶片
- 120a：第一主動表面
- 120b：第一被動表面
- 120c：中心區
- 120w：第三側壁
- 120x：第四側壁
- 120y：第一側壁
- 120z：第二側壁
- 122：第一電路層
- 124：第一通孔
- 132：第一背面墊
- 140：第一非導電膜
- 220：第二半導體晶片
- 220a：第二主動表面
- 220b：第二被動表面
- 212：第二內連線構件
- 222：第二電路層
- 224：第二通孔
- 232：第二背面墊
- 240：第二非導電膜
- 320：第三半導體晶片
- 320a：第三主動表面

320b：第三被動表面
312：第三內連線構件
322：第三電路層
500：第一模製層
505：第一模製圖案
550：第二模製層
555：第二模製圖案
610：鹼性溶液
620：氧化劑
630：還原劑
640：水洗
AS：黏合結構
as1：第一黏合層
as2：第二黏合層
as3：第三黏合層
as1e：第一子延伸部
as2e：第二子延伸部
as3e：第三子延伸部
as1w：第一凹陷側壁
as2w：第二凹陷側壁
as3w：第三凹陷側壁
ASe：延伸部
ASw：凹陷側壁
BL1：第一刀片

BL2：第二刀片

CR：載體基底

D1：第一距離

M、N：區段

MO：黏合模具

RG1：第一區

RG2：第二區

RG3：第三區

RP：殘留產物

RS1：第一凹陷區

RS2：第二凹陷區

RS3：第三凹陷區

S110、S120、S130、S140：步驟

SS：堆疊結構

SP1：第一空間

SP2：第二空間

SP3：第三空間

T1：第一厚度

W1：第一寬度

W2：第二寬度

WE：濕蝕刻製程



201810544

申請日: 106/03/13

IPC分類:

【發明摘要】

【中文發明名稱】 具有堆疊半導體晶片之半導體元件及其製造方法

【英文發明名稱】 SEMICONDUCTOR DEVICE HAVING STACKED SEMICONDUCTOR CHIPS AND METHOD FOR FABRICATING THE SAME

【中文】

一種製造半導體裝置的方法包括：在封裝基底上堆疊第一半導體晶片。第一半導體晶片中的每一個包括第一黏合膜。所述方法包括在第一半導體晶片上分別堆疊第二半導體晶片。第二半導體晶片中的每一個包括第二黏合膜。所述方法包括擠壓第一黏合膜及第二黏合膜以形成黏合結構。黏合結構包括設置在第一半導體晶片的側壁上及第二半導體晶片的側壁上的延伸部。所述方法包括移除延伸部。所述方法包括形成實質上覆蓋第一半導體晶片及第二半導體晶片的第一模製層。所述方法包括對第一半導體晶片之間與第二半導體晶片之間的封裝基底執行切割製程，以形成多個半導體封裝，所述多個半導體封裝各自包括第一半導體晶片中的至少一個及第二半導體晶片中的至少一個。

【英文】

A method for manufacturing a semiconductor device includes stacking, on a package substrate, first semiconductor chips. Each

of the first semiconductor chips includes a first adhesive film. The method includes stacking, respectively on the first semiconductor chips, second semiconductor chips. Each of the second semiconductor chips includes a second adhesive film. The method includes compressing the first and second adhesive films to form an adhesive structure. The adhesive structure includes an extension disposed on sidewalls of the first and second semiconductor chips. The method includes removing the extension. The method includes forming a first molding layer substantially covering the first and second semiconductor chips. The method includes performing a cutting process on the package substrate between the first and second semiconductor chips to form a plurality of semiconductor packages each including at least one of the first semiconductor chips and at least one of the second semiconductor chips.

【指定代表圖】圖13。

【代表圖之符號簡單說明】

- 100：封裝基底
- 102：外側內連線構件
- 104：連接墊
- 112：第一內連線構件
- 120：第一半導體晶片
- 120a：第一主動表面
- 120b：第一被動表面

122：第一電路層
124：第一通孔
132：第一背面墊
220：第二半導體晶片
220a：第二主動表面
220b：第二被動表面
212：第二內連線構件
222：第二電路層
224：第二通孔
232：第二背面墊
320：第三半導體晶片
320a：第三主動表面
320b：第三被動表面
312：第三內連線構件
322：第三電路層
505：第一模製圖案
555：第二模製圖案
AS：黏合結構
ASe：延伸部
BL2：第二刀片
RG1：第一區
RG2：第二區
RG3：第三區
SS：堆疊結構

SP1：第一空間

SP2：第二空間

SP3：第三空間

W2：第二寬度

【特徵化學式】

無

【發明申請專利範圍】

【第 1 項】一種製造半導體裝置的方法，包括：

在封裝基底上堆疊水平相互間隔開的多個第一半導體晶片，其中所述多個第一半導體晶片中的每一個包括面對所述封裝基底的第一黏合膜；

在所述多個第一半導體晶片上分別堆疊水平相互間隔開的多個第二半導體晶片，其中所述多個第二半導體晶片中的每一個包括面對所述第一半導體晶片的第二黏合膜；

擠壓所述第一黏合膜及所述第二黏合膜以形成黏合結構，其中所述黏合結構包括設置在所述第一半導體晶片的多個側壁上及所述第二半導體晶片的多個側壁上的延伸部；

從所述多個第二半導體晶片的所述多個側壁移除所述延伸部；

形成實質上覆蓋所述多個第一半導體晶片及所述多個第二半導體晶片的第一模製層；以及

對所述多個第一半導體晶片之間與所述多個第二半導體晶片之間的所述封裝基底執行切割製程，以形成多個半導體封裝，所述多個半導體封裝各自包括所述多個第一半導體晶片中的至少一個及所述多個第二半導體晶片中的至少一個。

【第 2 項】申請專利範圍第 1 項所述的製造半導體裝置的方法，其中形成所述黏合結構包括：

在堆疊所述第一半導體晶片的同時，擠壓所述第一黏合膜，以形成第一黏合層；以及

在堆疊所述第二半導體晶片的同時，擠壓所述第二黏合膜，以形成第二黏合層。

【第 3 項】申請專利範圍第 1 項所述的製造半導體裝置的方法，其中所述多個第一半導體晶片中的每一個包括至少一個通孔。

【第 4 項】申請專利範圍第 3 項所述的製造半導體裝置的方法，其中所述多個第二半導體晶片中的每一個更包括至少一個內連線構件，且

其中當堆疊所述第二半導體晶片時，所述至少一個內連線構件電連接至所述至少一個通孔。

【第 5 項】申請專利範圍第 1 項所述的製造半導體裝置的方法，其中在堆疊所述第一半導體晶片的時間之前，所述第一黏合膜具有第一厚度，且

其中在堆疊所述第一半導體晶片的時間之後，在所述封裝基底與所述第一半導體晶片的面對所述封裝基底的表面之間獲得第一距離，所述第一厚度大於所述第一距離。

【第 6 項】申請專利範圍第 1 項所述的製造半導體裝置的方法，更包括將所述第一模製層平坦化，直至暴露出所述多個第二半導體晶片的多個頂表面，以形成實質上填充所述多個第二半導體晶片之間的多個空間的多個第一模製圖案。

【第 7 項】申請專利範圍第 1 項所述的製造半導體裝置的方法，其中在移除所述延伸部之前，更包括形成實質上覆蓋所述多個第一半導體晶片及所述多個第二半導體晶片的第二模製層，

其中所述第二模製層填充相互毗鄰的所述多個第二半導體晶片之間的空間。

【第 8 項】申請專利範圍第 7 項所述的製造半導體裝置的方法，其中移除所述延伸部包括切割相互毗鄰的所述多個第二半導體晶

片之間的所述第二模製層。

【第 9 項】申請專利範圍第 8 項所述的製造半導體裝置的方法，其中在所述第二模製層的所述切割製程中使用的刀片的寬度小於在所述封裝基底的所述切割製程中使用的刀片的寬度。

【第 10 項】申請專利範圍第 7 項所述的製造半導體裝置的方法，其中所述第一模製層具有比所述第二模製層的熱膨脹係數小的熱膨脹係數。

【第 11 項】申請專利範圍第 7 項所述的製造半導體裝置的方法，其中所述延伸部包括：

第一子延伸部，設置在所述第一半導體晶片的所述多個側壁上；以及

第二子延伸部，設置在所述第二半導體晶片的所述多個側壁上，且

其中移除所述延伸部包括切割相互毗鄰的所述多個第二半導體晶片之間的所述第二模製層，以移除所述第二子延伸部，且

其中在移除所述第二模製層的同時，形成第二模製圖案來填充相互毗鄰的所述多個第一半導體晶片之間的空間。

【第 12 項】申請專利範圍第 7 項所述的製造半導體裝置的方法，其中所述延伸部包括：

第一子延伸部，設置在所述第一半導體晶片的所述多個側壁上；以及

第二子延伸部，設置在所述第二半導體晶片的所述多個側壁上，且

其中移除所述延伸部包括藉由切割相互毗鄰的所述多個第二

半導體晶片之間及相互毗鄰的所述多個第一半導體晶片之間的所述第二模製層來移除所述第一子延伸部及所述第二子延伸部。

【第 13 項】申請專利範圍第 1 項所述的製造半導體裝置的方法，其中移除所述延伸部包括藉由向相互毗鄰的所述多個第二半導體晶片之間的空間中引入蝕刻溶液來對所述延伸部進行濕蝕刻。

【第 14 項】申請專利範圍第 13 項所述的製造半導體裝置的方法，其中所述延伸部被移除使得在所述黏合結構上形成至少一個凹陷側壁。

【第 15 項】申請專利範圍第 13 項所述的製造半導體裝置的方法，其中對所述延伸部進行濕蝕刻包括：

對所述延伸部施加鹼性溶液；以及

對所述延伸部施加氧化劑，以分解所述延伸部中包含的樹脂。

【第 16 項】一種製造半導體裝置的方法，包括：

在封裝基底上形成水平相互間隔開的多個堆疊結構，所述多個堆疊結構中的每一個包括垂直堆疊的多個半導體晶片；

形成分別填充所述多個堆疊結構中毗鄰的多個堆疊結構之間的多個空間的多個黏合結構；以及

移除所述毗鄰的多個堆疊結構之間的所述黏合結構的至少一部分，

其中形成所述多個堆疊結構及所述多個黏合結構包括對所述多個半導體晶片依序進行堆疊及擠壓，所述多個半導體晶片各自包括設置在所述半導體晶片的面對所述封裝基底的表面上的黏合膜。

【第 17 項】申請專利範圍第 16 項所述的製造半導體裝置的方法，

其中當堆疊所述多個半導體晶片時擠壓所述黏合膜，使得在所述多個半導體晶片中的每一個的多個側壁上形成圓角。

【第 18 項】申請專利範圍第 16 項所述的製造半導體裝置的方法，其中所述多個半導體晶片中的至少一個半導體晶片包括：

至少一個通孔，穿透所述至少一個半導體晶片；以及

至少一個內連線構件，設置在所述半導體晶片的表面上且電連接至所述至少一個通孔，

其中所述黏合膜設置在所述內連線構件上。

【第 19 項】申請專利範圍第 16 項所述的製造半導體裝置的方法，更包括：

形成實質上覆蓋所述多個黏合結構的模製層；以及

切割所述多個黏合結構之間的所述模製層。

【第 20 項】申請專利範圍第 16 項所述的製造半導體裝置的方法，其中移除所述黏合結構的所述至少一部分包括藉由在所述多個堆疊結構之間引入蝕刻溶液來對所述黏合結構進行濕蝕刻。

【第 21 項】一種製造半導體裝置的方法，包括：

在封裝基底上堆疊多個第一半導體晶片，其中所述多個第一半導體晶片在所述封裝基底上相互間隔開，且其中所述多個第一半導體晶片中的每一個包括第一黏合膜；

將多個第二半導體晶片中的第二半導體晶片分別堆疊在所述多個第一半導體晶片中的對應一個第一半導體晶片上，其中所述多個第二半導體晶片中的每一個包括第二黏合膜；

將多個第三半導體晶片中的第三半導體晶片分別堆疊在所述多個第二半導體晶片中的對應一個第二半導體晶片上，其中所述

多個第三半導體晶片中的每一個包括第三黏合膜，

其中堆疊所述多個第一半導體晶片、所述多個第二半導體晶片及所述多個第三半導體晶片而形成在所述封裝基底上相互間隔開的多個堆疊結構，所述多個堆疊結構中的每一個包括黏合結構，所述黏合結構包括所述第一黏合膜、所述第二黏合膜及所述第三黏合膜，且其中所述黏合結構包括設置在所述第一半導體晶片、所述第二半導體晶片及所述第三半導體晶片中的相應者的多個側壁上的多個延伸部；

在所述多個第三半導體晶片的多個上表面上以及在位於所述多個堆疊結構中毗鄰的多個堆疊結構之間的多個空間中的所述多個延伸部上形成第一模製層；

移除所述多個半導體晶片中毗鄰的多個第三半導體晶片之間的所述第一模製層；

在藉由移除所述多個半導體晶片中毗鄰的多個第三半導體晶片之間的所述第一模製層而形成的多個空間的每一個中形成第二模製層；以及

藉由切穿所述第一模製層及所述第二模製層並切穿所述多個堆疊結構中毗鄰的多個堆疊結構之間的所述封裝基底，而將所述多個堆疊結構中的每一個相互分離。

【第 22 項】申請專利範圍第 21 項所述的製造半導體裝置的方法，其中所述黏合結構中的所述多個延伸部是藉由擠壓所述第一半導體晶片、所述第二半導體晶片、及所述第三半導體晶片中的每一個來形成。

【第 23 項】申請專利範圍第 21 項所述的製造半導體裝置的方法，

其中所述多個堆疊結構中的每一個的所述第一半導體晶片、所述第二半導體晶片、及所述第三半導體晶片相互電連接。

【第 24 項】申請專利範圍第 23 項所述的製造半導體裝置的方法，其中所述多個堆疊結構中的每一個的所述第一半導體晶片、所述第二半導體晶片、及所述第三半導體晶片電連接至設置在所述封裝基底上的多個連接墊。

【第 25 項】申請專利範圍第 21 項所述的製造半導體裝置的方法，其中所述第一模製層具有比所述第二模製層的熱膨脹係數小的熱膨脹係數。

【發明說明書】

【中文發明名稱】半導體裝置的製作方法

【英文發明名稱】 METHOD FOR FABRICATING
SEMICONDUCTOR DEVICE

【技術領域】

【0001】 本發明概念的示例性實施例涉及一種半導體裝置，且更具體來說，涉及一種具有堆疊半導體晶片的半導體裝置及其製作方法。

【0002】 [相關申請的交叉參考]

【0003】 本專利申請主張在 2016 年 6 月 15 日提出申請的韓國專利申請第 10-2016-0074740 號的優先權，所述韓國專利申請的公開內容全文併入本案供參考。

【先前技術】

【0004】 半導體裝置可具有相對高的容量，且可相對薄並相對小。各種封裝技術中的一種方式是垂直堆疊多個半導體晶片以形成相對高密度的半導體晶片封裝的封裝技術。可將具有各種功能的堆疊半導體晶片集成在相對小的面積中。

【發明內容】

【0005】 本發明概念的一個或多個示例性實施例提供一種具有相

對高的機械耐用性的半導體裝置。根據本發明概念的一個或多個示例性實施例的半導體裝置可包括用作底部填充物（**under-fill**）的黏合結構。

【0006】 本發明概念的一個或多個示例性實施例提供一種製作半導體裝置的方法，所述方法可消除用於覆蓋所述半導體裝置中的堆疊半導體晶片的黏合結構的延伸部。

【0007】 根據本發明概念的一個或多個示例性實施例，一種製造半導體裝置的方法包括：在封裝基底上堆疊水平相互間隔開的第一半導體晶片。所述第一半導體晶片中的每一個包括面對所述封裝基底的第一黏合膜（**adhesive film**）。所述方法包括在所述第一半導體晶片上分別堆疊水平相互間隔開的第二半導體晶片。所述第二半導體晶片中的每一個包括面對所述第一半導體晶片的第二黏合膜。所述方法包括擠壓所述第一黏合膜及所述第二黏合膜以形成黏合結構。所述黏合結構包括設置在所述第一半導體晶片的側壁上及所述第二半導體晶片的側壁上的延伸部。所述方法包括從所述第二半導體晶片的所述側壁移除所述延伸部。所述方法包括形成實質上覆蓋所述第一半導體晶片及所述第二半導體晶片的第一模製層（**molding layer**）。所述方法包括對所述第一半導體晶片之間與所述第二半導體晶片之間的所述封裝基底執行切割製程，以形成多個半導體封裝，所述多個半導體封裝各自包括所述第一半導體晶片中的至少一個及所述第二半導體晶片中的至少一個。

【0008】 根據本發明概念的一個或多個示例性實施例，一種製造半導體裝置的方法包括：在封裝基底上形成水平相互間隔開的多個堆疊結構，所述堆疊結構中的每一個包括垂直堆疊的多個半導體晶片。所述方法包括形成分別填充所述多個堆疊結構中毗鄰的堆疊結構之間的空間的黏合結構。所述方法包括移除所述毗鄰的堆疊結構之間的所述黏合結構的至少一部分。形成所述堆疊結構及所述黏合結構包括對所述多個半導體晶片依序進行堆疊及擠壓，所述多個半導體晶片各自包括設置在所述半導體晶片的面對所述封裝基底的表面上的黏合膜。

【0009】 根據本發明概念的一個或多個示例性實施例，一種製造半導體裝置的方法，包括以下步驟。在封裝基底上堆疊多個第一半導體晶片，其中所述多個第一半導體晶片在所述封裝基底上相互間隔開，且其中所述多個第一半導體晶片中的每一個包括第一黏合膜。將多個第二半導體晶片中的第二半導體晶片分別堆疊在所述多個第一半導體晶片中的對應一個第一半導體晶片上，其中所述多個第二半導體晶片中的每一個包括第二黏合膜。將多個第三半導體晶片中的第三半導體晶片分別堆疊在所述多個第二半導體晶片中的對應一個第二半導體晶片上，其中所述多個第三半導體晶片中的每一個包括第三黏合膜。堆疊所述多個第一半導體晶片、所述多個第二半導體晶片及所述多個第三半導體晶片而形成在所述封裝基底上相互間隔開的多個堆疊結構，所述多個堆疊結構中的每一個包括黏合結構，所述黏合結構包括所述第一黏合膜、所述第二黏合膜及所述第三黏合膜，且其中所述黏合結構包

括設置在所述第一半導體晶片、所述第二半導體晶片及所述第三半導體晶片中的相應者的多個側壁上的多個延伸部。在所述多個第三半導體晶片的多個上表面上以及在位於所述多個堆疊結構中毗鄰的多個堆疊結構之間的多個空間中的所述多個延伸部上形成第一模製層。移除所述多個第三半導體晶片中毗鄰的多個第三半導體晶片之間的所述第一模製層。在藉由移除所述多個第三半導體晶片中毗鄰的多個第三半導體晶片之間的所述第一模製層而形成的多個空間的每一個中形成第二模製層。藉由切穿所述第一模製層及所述第二模製層並切穿所述多個堆疊結構中毗鄰的多個堆疊結構之間的所述封裝基底，而將所述多個堆疊結構中的每一個相互分離。

【0010】 根據本發明概念的一個或多個示例性實施例，一種半導體裝置包括第一半導體晶片，所述第一半導體晶片堆疊在封裝基底上且包括第一通孔（through via）。在所述第一半導體晶片上堆疊有第二半導體晶片且所述第二半導體晶片包括第二通孔。在所述封裝基底與所述第一半導體晶片之間設置有第一內連線構件（interconnect member）且所述第一內連線構件電連接至所述第一通孔。在所述第一半導體晶片與所述第二半導體晶片之間設置有第二內連線構件且所述第二內連線構件電連接至所述第二通孔。第一黏合層實質上填充所述封裝基底與所述第一半導體晶片之間的第一空間且實質上覆蓋所述第一內連線構件。第二黏合層實質上填充所述第一半導體晶片與所述第二半導體晶片之間的第二空間且實質上覆蓋所述第二內連線構件。所述第一黏合層及所述第

二黏合層中的至少一個包括朝所述第一內連線構件及所述第二內連線構件中的一個凹陷的凹陷側壁。

【0011】 藉由參照附圖詳細闡述本發明概念的示例性實施例，本發明概念的以上及其他特徵將變得更顯而易見。

【圖式簡單說明】

【0012】

圖 1、圖 2、圖 4、及圖 6 至圖 13 是說明根據本發明概念某些示例性實施例的製作半導體裝置的方法的剖視圖。

圖 3 是說明圖 2 所繪示的第一半導體晶片的一部分的平面圖。

圖 5A 是圖 4 的區段 M 的放大圖。

圖 5B 是說明圖 4 所繪示的第一半導體晶片的一部分的平面圖。

圖 14 是說明根據比較例的製造半導體裝置的方法的剖視圖。

圖 15 是說明圖 14 所繪示的半導體封裝的頂表面的平面圖。

圖 16 至圖 19 是說明根據本發明概念某些示例性實施例的製造半導體裝置的方法的剖視圖。

圖 20、圖 23、及圖 24 是說明根據本發明概念某些示例性實施例的製造半導體裝置的方法的剖視圖。

圖 21 是說明根據本發明概念某些示例性實施例的濕蝕刻製程的流程圖。

圖 22A 至圖 22D 是圖 20 的區段 N 的放大剖視圖。

【實施方式】

【0013】 圖 1、圖 2、圖 4、及圖 6 至圖 13 是說明根據本發明概念某些示例性實施例的製作半導體裝置的方法的剖視圖。圖 3 是說明圖 2 所繪示的第一半導體晶片的一部分的平面圖。圖 5A 是圖 4 的區段 M 的放大圖。圖 5B 是說明圖 4 所繪示的第一半導體晶片的一部分的平面圖。

【0014】 參照圖 1，可將封裝基底 100 黏合至載體基底 CR。舉例來說，可藉由設置在載體基底 CR 與封裝基底 100 之間的黏合模具 (adhesive mold) MO 而使載體基底 CR 與封裝基底 100 相互黏合。封裝基底 100 可包括第一區 RG1、第二區 RG2、及第三區 RG3；然而，本發明概念的示例性實施例並非僅限於此。在本發明概念的示例性實施例中，封裝基底 100 除第一區 RG1、第二區 RG2 及第三區 RG3 之外還可包括其他區。封裝基底 100 可 (例如，在封裝基底 100 的底表面上) 包括外側內連線構件 102。舉例來說，外側內連線構件 102 可為焊料球，所述焊料球可包含錫、鉛、或銅。封裝基底 100 可包括位於封裝基底 100 的頂表面上的連接墊 (landing pad) 104。

【0015】 作為實例，載體基底 CR 可為矽晶圓或玻璃基底，且封裝基底 100 可為印刷電路板 (printed circuit board, PCB)。封裝基底 100 可包括一個或多個通孔，外側內連線構件 102 與連接墊 104 經由所述一個或多個通孔而在垂直方向上相互連接。

【0016】 參照圖 2，可將各第一半導體晶片 120 分別定位在封裝基底 100 的第一區 RG1、第二區 RG2 及第三區 RG3 中。各第一半導體晶片 120 可在實質上彼此相同的水平高度上水平相互間隔開。可以其中第一主動表面 (active surface) 120a 面對封裝基底

100 的面朝下狀態 (face-down state) 將第一半導體晶片 120 中的每一個堆疊在封裝基底 100 上。作為實例，可使用底表面裝載有第一半導體晶片 120 的頭 106 將各第一半導體晶片 120 實質上同時地黏合至封裝基底 100。可在頭 106 與第一半導體晶片 120 之間設置頭膜 108。舉例來說，頭膜 108 可包括可便於將第一半導體晶片 120 從頭 106 分開的脫離膜 (release film)。第一半導體晶片 120 可各自為實質上同一類型的晶片。作為實例，第一半導體晶片 120 可各自具有實質上相同的大小且可執行實質上相同的功能。

【0017】 以下將參照圖 3 更詳細地闡述單個第一半導體晶片 120。參照圖 2 及圖 3，第一半導體晶片 120 可包括其上可設置有第一電路層 122 的第一主動表面 120a 及與第一主動表面 120a 相對的第一被動表面 (inactive surface) 120b。舉例來說，第一半導體晶片 120 可為記憶體晶片。第一半導體晶片 120 可包括電連接至第一電路層 122 的第一通孔 124。舉例來說，第一通孔 124 中的至少一個可為矽通孔 (through silicon via, TSV)。第一通孔 124 可設置在第一半導體晶片 120 的中心區 120c 中。在本發明概念的示例性實施例中，中心區 120c 可具有十字形狀。在第一電路層 122 中，中心區 120c 可為外圍電路區且除中心區 120c 之外的其他區可為記憶體單元區。

【0018】 第一半導體晶片 120 可包括第一側壁 120y、第二側壁 120z、第三側壁 120w 及第四側壁 120x。第一側壁 120y 與第二側壁 120z 可相互面對，且第三側壁 120w 與第四側壁 120x 可相互面對。第一側壁 120y 與第二側壁 120z 之間的距離可為第一半導體晶片 120 在第一方向上的寬度，且第三側壁 120w 與第四側壁 120x

之間的距離可為第一半導體晶片 120 在與所述第一方向交叉的第二方向上的寬度。第一方向上的寬度可實質上相同於在與第一方向交叉的第二方向上的寬度；然而，本發明概念的示例性實施例並非僅限於此，且所述寬度可互不相同。

【0019】 可在第一半導體晶片 120 的第一主動表面 120a 上設置第一內連線構件 112(例如，焊料球(solder ball)或焊料凸塊(solder bump))。第一半導體晶片 120 可經由第一內連線構件 112 而電連接至封裝基底 100。可在第一半導體晶片 120 的第一被動表面 120b 上設置第一背面墊 132。第一背面墊 132 可電連接至第一通孔 124。舉例來說，第一內連線構件 112 與第一背面墊 132 可經由第一通孔 124 在垂直方向上相互連接。

【0020】 可將第一非導電膜 140 黏合至第一半導體晶片 120 的第一主動表面 120a。第一非導電膜 140 可為不包含導電顆粒的環氧樹脂系黏合膜。舉例來說，第一非導電膜 140 可在約 100°C 或高於 100°C 的溫度下固化。第一非導電膜 140 可具有第一厚度 T1。第一厚度 T1 可實質上相同於或大於第一內連線構件 112 的突出長度。作為實例，第一非導電膜 140 可覆蓋第一內連線構件 112 且實質上完全填充第一內連線構件 112 之間的空間。第一非導電膜 140 可不導電。

【0021】 參照圖 4、圖 5A 及圖 5B，可擠壓在封裝基底 100 上堆疊的第一半導體晶片 120 以分別在第一區 RG1、第二區 RG2、及第三區 RG3 上形成第一黏合層 as1。可將第一半導體晶片 120 擠壓至使得第一內連線構件 112 可分別實質上接觸封裝基底 100 的各連接墊 104 中的相應一個連接墊 104 的整個上表面。由此，封

裝基底 100 與第一半導體晶片 120 可相互電連接。

【0022】 當將第一半導體晶片 120 堆疊在封裝基底 100 上時，可實質上同時地擠壓各第一半導體晶片 120。對第一半導體晶片 120 進行擠壓可包括執行其中對第一半導體晶片 120 及第一非導電膜 140 施加熱量及壓力的熱擠壓。作為實例，第一半導體晶片 120 可在比第一非導電膜 140 的固化溫度高的溫度下接收來自頭 106 的壓力。舉例來說，熱擠壓可包括在從約 80°C 到約 300°C 的溫度下對第一半導體晶片 120 施加從約 10N 到約 100N 的力。

【0023】 可擠壓第一非導電膜 140 以分別形成第一黏合層 as1。第一黏合層 as1 中的每一個可填充第一半導體晶片 120 與封裝基底 100 之間的第一空間 SP1。第一黏合層 as1 可包括覆蓋第一半導體晶片 120 的第一側壁 120y、第二側壁 120z、第三側壁 120w 及第四側壁 120x 的第一子延伸部 as1e。

【0024】 作為實例，在熱擠壓之後，在第一半導體晶片 120 的第一主動表面 120a 與封裝基底 100 的頂表面之間可獲得第一距離 D1，且第一距離 D1 可小於第一非導電膜 140 的第一厚度 T1。作為實例，熱擠壓可減小第一非導電膜 140 的厚度，使得圓角 (fillet) 可在第一半導體晶片 120 外側從第一非導電膜 140 突出。可將所突出的圓角固化以形成第一子延伸部 as1e。第一子延伸部 as1e 可沿第一側壁 120y、第二側壁 120z、第三側壁 120w 及第四側壁 120x 垂直延伸並接觸頭膜 108。頭膜 108 可防止第一子延伸部 as1e 覆蓋第一半導體晶片 120 的第一被動表面 120b。

【0025】 參照圖 6，可在第一半導體晶片 120 上分別堆疊第二半導體晶片 220。第二半導體晶片 220 中的每一個可包括其上形成有

第二電路層 222 的第二主動表面 220a 及與第二主動表面 220a 相對的第二被動表面 220b。第二半導體晶片 220 可包括穿透過第二半導體晶片 220 且電連接至第二電路層 222、位於第二主動表面 220a 上的第二內連線構件 212、及位於第二被動表面 220b 上的第二背面墊 232 的第二通孔 224。舉例來說，第二半導體晶片 220 可為與以上更詳細闡述的第一半導體晶片 120 實質上相同的晶片。因此，可不再對其進行重複說明。

【0026】 可將第二非導電膜 240 黏合至第二半導體晶片 220 中的每一個的第二主動表面 220a 上。第二非導電膜 240 可為不包含導電顆粒的環氧樹脂系黏合膜，且可為與以上更詳細地論述的第一非導電膜 140 實質上相同的膜。第二非導電膜 240 可不導電。

【0027】 可以其中第二主動表面 220a 面對第一半導體晶片 120 的面朝下狀態將第二半導體晶片 220 中的每一個堆疊在第一半導體晶片 120 上。作為實例，可使用其底部表面（floor surface）裝載有第二半導體晶片 220 的頭 106 將各第二半導體晶片 220 實質上同時地堆疊在各第一半導體晶片 120 上。第二半導體晶片 220 可在實質上相同的水平高度上水平相互間隔開。

【0028】 參照圖 7，可擠壓位於第一半導體晶片 120 上的第二半導體晶片 220 以分別在第一區 RG1、第二區 RG2、及第三區 RG3 上形成第二黏合層 as2。可將第二半導體晶片 220 擠壓至使得第二內連線構件 212 可分別實質上接觸第一半導體晶片 120 的第一背面墊 132 中的相應一個第一背面墊 132 的整個上表面。由此，第一半導體晶片 120 與第二半導體晶片 220 可相互電連接。

【0029】 當將第二半導體晶片 220 堆疊在第一半導體晶片 120 上

時，可實質上同時地擠壓第二半導體晶片 220。對第二半導體晶片 220 進行擠壓可包括執行熱擠壓。對第二半導體晶片 220 進行的擠壓可實質上相同於對第一半導體晶片 120 進行的擠壓。

【0030】 第二黏合層 as2 中的每一個可填充第一半導體晶片 120 與第二半導體晶片 220 之間的第二空間 SP2。第二黏合層 as2 可包括覆蓋第二半導體晶片 220 的側壁的第二子延伸部 as2e。第二子延伸部 as2e 可為當擠壓第二半導體晶片 220 時，在第二半導體晶片 220 外側從第二非導電膜 240 突出的固化的圓角。第一黏合層 as1 與第二黏合層 as2 可成一體地相互連接。

【0031】 參照圖 8，可在第二半導體晶片 220 上分別堆疊第三半導體晶片 320。第三半導體晶片 320 中的每一個可包括其上形成有第三電路層 322 的第三主動表面 320a 及與第三主動表面 320a 相對的第三被動表面 320b。第三半導體晶片 320 可包括位於第三主動表面 320a 上的第三內連線構件 312。第三內連線構件 312 不需要垂直地對齊第二通孔 224。在本發明概念的示例性實施例中，第三半導體晶片 320 可不包括通孔；然而，本發明概念的示例性實施例並非僅限於此。第三半導體晶片 320 中的每一個可為記憶體晶片。舉例來說，第三半導體晶片 320 可各自具有比第一半導體晶片 120 的厚度及第二半導體晶片 220 的厚度大的厚度。

【0032】 可將第三非導電膜黏合至第三半導體晶片 320 中的每一個的第三主動表面 320a 上。第三非導電膜可為不包含導電顆粒的環氧樹脂系黏合膜，且可為與以上更詳細地論述的第一非導電膜 140 實質上相同的膜。第三非導電膜可不導電。

【0033】 可以其中第三主動表面 320a 面對第二半導體晶片 220

的面朝下狀態將第三半導體晶片 320 中的每一個堆疊在第二半導體晶片 220 上。作為實例，可使用其底部表面裝載有第三半導體晶片 320 的頭 106 將第三半導體晶片 320 實質上同時地堆疊在第二半導體晶片 220 上。第三半導體晶片 320 可在實質上相同的水平高度上水平相互間隔開。

【0034】 當堆疊有第三半導體晶片 320 時，可擠壓第三半導體晶片 320 以分別在第一區 RG1、第二區 RG2、及第三區 RG3 上形成第三黏合層 as3。可將第三半導體晶片 320 擠壓至使得第三內連線構件 312 實質上接觸第二半導體晶片 220 的第二背面墊 232 中的相應一個第二背面墊 232 的整個上表面。作為實例，第二半導體晶片 220 與第三半導體晶片 320 可相互電連接。因此，依序堆疊的第一半導體晶片 120、第二半導體晶片 220 及第三半導體晶片 320 可在垂直方向上相互連接且可形成單個堆疊結構 SS。可分別在第一區 RG1、第二區 RG2 及第三區 RG3 中形成多個堆疊結構 SS。

【0035】 對第三半導體晶片 320 進行擠壓可包括執行熱擠壓。對第三半導體晶片 320 進行的擠壓可實質上相同於對第一半導體晶片 120 進行的擠壓。

【0036】 第三黏合層 as3 中的每一個可填充第三半導體晶片 320 與第二半導體晶片 220 之間的第三空間 SP3。第三黏合層 as3 可包括覆蓋第三半導體晶片 320 的側壁的第三子延伸部 as3e。第三子延伸部 as3e 可為當擠壓第三半導體晶片 320 時，在第三半導體晶片 320 外側從第三非導電膜突出的固化的圓角。

【0037】 依序堆疊的第一黏合層 as1、第二黏合層 as2、及第三黏

合層 as3 可成一體地相互連接以形成單個黏合結構 AS。黏合結構 AS 可包括覆蓋堆疊結構 SS 的側壁的延伸部 ASe，且延伸部 ASe 可包括第一子延伸部 as1e、第二子延伸部 as2e、及第三子延伸部 as3e。

【0038】 在堆疊半導體晶片 320 之前可堆疊另外的半導體晶片。作為實例，根據本發明概念示例性實施例的堆疊結構 SS 可包括多於三個堆疊半導體晶片。作為另外一種選擇，舉例來說，可省略第二半導體晶片 220。作為實例，根據本發明概念示例性實施例的堆疊結構 SS 可包括兩個堆疊半導體晶片。

【0039】 在根據本發明概念示例性實施例的製造半導體裝置的方法中，可使用第一非導電膜 140 及第二非導電膜 240 將第一半導體晶片 120、第二半導體晶片 220 及第三半導體晶片 320 堆疊並結合在封裝基底 100 上，且因此可在第一內連線構件 112、第二內連線構件 212 及第三內連線構件 312 之間獲得相對精細的節距而不會在相互毗鄰的第一內連線構件 112、第二內連線構件 212 及第三內連線構件 312 之間形成電短路。由第一非導電膜 140 及第二非導電膜 240 形成的黏合結構 AS 可用作實質上填充第一空間 SP1、第二空間 SP2 及第三空間 SP3 的底部填充物，由此提高第一內連線構件 112、第二內連線構件 212 及第三內連線構件 312 的機械耐用性。

【0040】 參照圖 9，可形成第一模製層 500 來覆蓋堆疊結構 SS。由於黏合結構 AS 可用作實質上填充第一空間 SP1、第二空間 SP2 及第三空間 SP3 的底部填充物，因此可在不執行模塑底部填充物（molded under-fill）製程的條件下形成第一模製層 500。舉例來

說，可將第一模製層 500 形成為實質上完全覆蓋第三半導體晶片 320 的第三被動表面 320b。

【0041】 第一模製層 500 可包含具有相對低的黏度及相對高的間隙填充性質的模製組合物，且可因此實質上填充堆疊結構 SS 之間的空間。因此，堆疊結構 SS 之間例如因黏合結構 AS 的延伸部 ASe 而形成的不規則的且相對窄的空間可得到填充。

【0042】 參照圖 10，可切割第三半導體晶片 320 之間的第一模製層 500 以移除設置在第三半導體晶片 320 之間的空間中的延伸部 ASe。作為實例，可移除延伸部 ASe 中的每一個的一部分，且延伸部 ASe 的所移除的一部分可為第三子延伸部 as3e。

【0043】 作為實例，可使用第一刀片 BL1 在第三半導體晶片 320 之間進行切割。可將第三半導體晶片 320 之間的第一模製層 500 與各第三半導體晶片 320 之間的延伸部 ASe 一起移除。第一刀片 BL1 可具有第一寬度 W1。舉例來說，第一寬度 W1 可實質上相同於第三半導體晶片 320 之間的距離。藉由移除第三半導體晶片 320 之間的第一模製層 500 及延伸部 ASe，可界定第三半導體晶片 320 之間的第一凹陷區 RS1。

【0044】 在本發明概念的示例性實施例中，不需要移除第一半導體晶片 120 之間及第二半導體晶片 220 之間的延伸部 ASe。在本發明概念的示例性實施例中，所述切割製程可移除第一半導體晶片 120 之間及第二半導體晶片 220 之間的延伸部 ASe 的至少一部分。其餘未被移除的第一模製層 500 可形成填充於各堆疊結構 SS 之間的第一模製圖案 505。

【0045】 參照圖 11，可在其餘的第一模製層 500 上形成第二模製

層 550。第二模製層 550 可填充第一凹陷區 RS1。舉例來說，第二模製層 550 可包含與第一模製層 500 的材料不同的材料。作為實例，第二模製層 550 可包含比第一模製層 500 中的含量多的無機物質且可包含比第一模製層 500 中的含量少的有機物質。因此，第二模製層 550 可具有比第一模製層 500 的熱膨脹係數小的熱膨脹係數。作為實例，第二模製層 550 的模製組合物可具有比第一模製層 500 高的無機含量，使得第二模製層 550 可具有相對高的黏度及相對差的間隙填充性質。然而，第一凹陷區 RS1 可具有實質上呈均勻形狀的空間及相對寬的寬度，使得第二模製層 550 的模製組合物可填充第一凹陷區 RS1。作為實例，第二模製層 550 可包含與第一模製層 500 相同的材料；然而，本發明概念的示例性實施例並非僅限於此。

【0046】 參照圖 12，可將第二模製層 550 及第一模製層 500 平坦化，直至暴露出第三半導體晶片 320 的第三被動表面 320b，且因此可形成第二模製圖案 555。第二模製圖案 555 可實質上分別填充第一凹陷區 RS1。第一模製層 500 可被實質上完全地從第三半導體晶片 320 上移除。

【0047】 藉由平坦化製程，可使第三半導體晶片 320 的第三被動表面 320b 與第二模製圖案 555 的頂表面實質上對齊。當第三被動表面 320b 暴露至第一半導體晶片 120、第二半導體晶片 220、及第三半導體晶片 320 的外部時，可將熱量從第一半導體晶片 120、第二半導體晶片 220 及第三半導體晶片 320 移除。

【0048】 可藉由從載體基底 CR 與封裝基底 100 之間移除黏合模具 MO 來將載體基底 CR 從封裝基底 100 分開。

【0049】 參照圖 13，可對封裝基底 100 執行切割製程以形成多個半導體封裝。作為實例，可使用第二刀片 BL2 在封裝基底 100 的第一區 RG1、第二區 RG2 及第三區 RG3 之間進行切割。第一區 RG1、第二區 RG2 及第三區 RG3 可因此相互分離。所述切割製程可切割各堆疊結構 SS 之間的第一模製圖案 505 及第二模製圖案 555。藉由切割製程可將單個半導體封裝形成為包括位於第一區 RG1、第二區 RG2 及第三區 RG3 中的一個上的堆疊結構 SS。第二刀片 BL2 可具有第二寬度 W2。第二寬度 W2 可小於第一寬度 W1。

【0050】 圖 14 是說明根據比較例的製造半導體裝置的方法的剖視圖。圖 15 是說明圖 14 所繪示的半導體封裝的頂表面的平面圖。

【0051】 在製造半導體裝置的方法中，可不從第三半導體晶片 320 之間移除延伸部 ASe。堆疊結構 SS 可僅被第一模製圖案 505 覆蓋。黏合結構 AS 的延伸部 ASe 可設置在第三半導體晶片 320 與第一模製圖案 505 之間。延伸部 ASe 可具有實質上與第三半導體晶片 320 的第三被動表面 320b 對齊的頂表面。作為實例，延伸部 ASe 的頂表面可在第三半導體晶片 320 與第一模製圖案 505 之間暴露於外部。所暴露的延伸部 ASe 可在半導體封裝的頂表面上顯示出不規則的形狀。

【0052】 在根據本發明概念示例性實施例的製造半導體裝置的方法中，黏合結構 AS 可不具有暴露於外部的延伸部 ASe 且可不在半導體封裝的頂表面上顯示出不規則的形狀。半導體封裝的上部部分及下部部分可分別包括第一模製圖案 505 及第二模製圖案 555，第一模製圖案 505 與第二模製圖案 555 的材料可互不相同。

作為實例，第二模製圖案 555 可具有相對低的熱膨脹係數，且因此可能會減少或消除半導體封裝的由熱量引起的翹曲。

【0053】 以下將參照圖 13 更詳細地闡述根據本發明概念示例性實施例的半導體裝置。

【0054】 參照圖 13，在封裝基底 100 上可設置有堆疊結構 SS。舉例來說，封裝基底 100 可為印刷電路板（PCB）。封裝基底 100 可具有包括外側內連線構件 102（例如，焊料球）的底表面及包括連接墊 104 的頂表面。封裝基底 100 可包括至少一個通孔。

【0055】 堆疊結構 SS 可包括可依序堆疊的第一半導體晶片 120、第二半導體晶片 220、及第三半導體晶片 230。第一半導體晶片 120 可包括電連接至第一電路層 122 的第一通孔 124，且第二半導體晶片 220 可包括電連接至第二電路層 222 的第二通孔 224。第三半導體晶片 320 可不包括通孔；然而，本發明概念的示例性實施例並非僅限於此。在本發明概念的示例性實施例中，第一半導體晶片 120、第二半導體晶片 220 及第三半導體晶片 320 可各自為記憶體晶片。

【0056】 作為實例，第一半導體晶片 120、第二半導體晶片 220 及第三半導體晶片 320 可具有實質上相互相同的平坦形狀及大小。第三半導體晶片 320 可具有比第一半導體晶片 120 及第二半導體晶片 220 大的厚度；然而，本發明概念的示例性實施例並非僅限於此。

【0057】 如焊料球或焊料凸塊等的第一內連線構件 112 可設置在第一半導體晶片 120 的第一主動表面 120a 上。第一半導體晶片 120 可經由第一內連線構件 112 電連接至封裝基底 100。第一半導體晶

片 120 可包括設置在第一半導體晶片 120 的第一被動表面 120b 上的第一背面墊 132。第一背面墊 132 可電連接至第一通孔 124。

【0058】 如焊料球或焊料凸塊等的第二內連線構件 212 可設置在第二半導體晶片 220 的第二主動表面 220a 上。第二半導體晶片 220 可經由第二內連線構件 212 電連接至第一半導體晶片 120。第二半導體晶片 220 可包括設置在第二半導體晶片 220 的第二被動表面 220b 上的第二背面墊 232。第二背面墊 232 可電連接至第二通孔 224。

【0059】 如焊料球或焊料凸塊等的第三內連線構件 312 可設置在第三半導體晶片 320 的第三主動表面 320a 上。第三半導體晶片 320 可經由第三內連線構件 312 電連接至第二半導體晶片 220。因此，封裝基底 100 與第一半導體晶片 120、第二半導體晶片 220 及第三半導體晶片 320 可在垂直方向上相互電連接。

【0060】 黏合結構 AS 可填充封裝基底 100 與第一半導體晶片 120 之間的第一空間 SP1、第一半導體晶片 120 與第二半導體晶片 220 之間的第二空間 SP2、以及第二半導體晶片 220 與第三半導體晶片 320 之間的第三空間 SP3。黏合結構 AS 可將第一半導體晶片 120、第二半導體晶片 220 及第三半導體晶片 320 結合至封裝基底 100。黏合結構 AS 可填充於相互毗鄰的第一內連線構件 112、第二內連線構件 212 以及第三內連線構件 312 之間，使得第一內連線構件 112、第二內連線構件 212 及第三內連線構件 312 可相互絕緣。

【0061】 黏合結構 AS 可包括覆蓋第一半導體晶片 120 的側壁及第二半導體晶片 220 的側壁的延伸部 ASe。黏合結構 AS 的一部分

可為從第一半導體晶片 120 的外側及第二半導體晶片 220 的外側向外突出的延伸部 ASe。延伸部 ASe 可僅覆蓋第一半導體晶片 120 的側壁；然而，本發明概念的示例性實施例並非僅限於此。

【0062】 封裝基底 100 可包括覆蓋堆疊結構 SS 的第一模製圖案 505 及第二模製圖案 555。第二模製圖案 555 可設置在第一模製圖案 505 上且可覆蓋第三半導體晶片 320 的側壁。第一模製圖案 505 可覆蓋延伸部 ASe 的側壁。舉例來說，第二模製圖案 555 可具有比第一模製圖案 505 的熱膨脹係數小的熱膨脹係數。因此，第二模製圖案 555 可減少或消除半導體封裝的由熱量引起的翹曲。

【0063】 第二模製圖案 555 可具有與第三半導體晶片 320 的第三被動表面 320b 實質上對齊的頂表面。第三半導體晶片 320 的第三被動表面 320b 可因此被暴露至第一半導體晶片 120、第二半導體晶片 220 及第三半導體晶片 320 的外部。因此，可移除由第一半導體晶片 120、第二半導體晶片 220 及第三半導體晶片 320 產生的熱量。

【0064】 圖 16 至圖 19 是說明根據本發明概念某些示例性實施例的製造半導體裝置的方法的剖視圖。以下參照圖 16 至圖 19 闡述的技術特徵可實質上相同於以上參照圖 1 至圖 13 所論述的技術特徵，且因此可不再對其進行重複說明。

【0065】 參照圖 16，可對所得結構（例如，參照圖 9 所闡述的所得結構）執行切割製程以移除設置在堆疊結構 SS 之間的空間中的延伸部 ASe。作為實例，可使用第一刀片 BL1 在堆疊結構 SS 之間進行切割。所述切割製程可被執行至局部地暴露出封裝基底 100 的頂表面為止。延伸部 ASe 可因此被從各堆疊結構 SS 之間實質上

完全移除。作為另外一種選擇，第一模製層 500 及延伸部 ASe 中的至少一個可局部地保留在堆疊結構 SS 之間；然而，本發明概念的示例性實施例並非僅限於此。

【0066】 在所述切割製程移除堆疊結構 SS 之間的第一模製層 500 及延伸部 ASe 時，可界定出第二凹陷區 RS2。當切割製程結束時，黏合結構 AS 的第一黏合層 as1、第二黏合層 as2、及第三黏合層 as3 可相互分離並在垂直方向上相互間隔開。

【0067】 參照圖 17，第二模製層 550 可被形成為覆蓋堆疊結構 SS。第二模製層 550 可被形成為填充第二凹陷區 RS2。第二凹陷區 RS2 可具有實質上均勻的形狀及相對寬的寬度，使得第二模製層 550 的模製組合物可填充第二凹陷區 RS2。

【0068】 參照圖 18，可將第二模製層 550 及第一模製層 500 平坦化直至暴露出第三半導體晶片 320 的第三被動表面 320b 為止，且因此可形成第二模製圖案 555。可藉由從載體基底 CR 與封裝基底 100 之間移除黏合模具 MO 來將載體基底 CR 從封裝基底 100 分開。

【0069】 參照圖 19，可對封裝基底 100 執行切割製程以形成多個半導體封裝。可使用第二刀片 BL2 來執行切割製程。

【0070】 根據本發明概念的示例性實施例，可將黏合結構 AS 的延伸部 ASe 實質上完全移除。因此，黏合結構 AS 可不具有暴露於外部的延伸部 ASe 且可不在半導體封裝的頂表面上顯示出不規則的形狀。第二模製圖案 555 可具有相對低的熱膨脹係數，且因此可減少或消除半導體封裝的由熱量引起的翹曲。

【0071】 以下將參照圖 19 更詳細地闡述根據本發明概念示例性實施例的半導體裝置。以下參照圖 19 闡述的技術特徵可實質上相

同於以上參照圖 13 論述的技術特徵，且因此可不再對其進行重複說明。

【0072】 參照圖 19，黏合結構 AS 可包括第一黏合層 as1、第二黏合層 as2、及第三黏合層 as3。第一黏合層 as1、第二黏合層 as2、及第三黏合層 as3 可實質上分別填充第一空間 SP1、第二空間 SP2 及第三空間 SP3。第一黏合層 as1、第二黏合層 as2 以及第三黏合層 as3 可相互分離並在垂直方向上相互間隔開。

【0073】 封裝基底 100 可包括覆蓋堆疊結構 SS 的第二模製圖案 555。舉例來說，第二模製圖案 555 可與第一半導體晶片 120 的側壁、第二半導體晶片 220 的側壁及第三半導體晶片 320 的側壁直接接觸。第二模製圖案 555 可與第一黏合層 as1 的側壁、第二黏合層 as2 的側壁及第三黏合層 as3 的側壁直接接觸。

【0074】 圖 20、圖 23、及圖 24 是說明根據本發明概念某些示例性實施例的製造半導體裝置的方法的剖視圖。圖 21 是說明根據本發明概念某些示例性實施例的濕蝕刻製程的流程圖。圖 22A 至圖 22D 是圖 20 的區段 N 的放大剖視圖。以下參照圖 20、圖 21、圖 22A、圖 22B、圖 22C、圖 22D、圖 23 及圖 24 闡述的技術特徵可實質上相同於以上參照圖 1 至圖 13 所論述的技術特徵，且因此可不再對其進行重複說明。

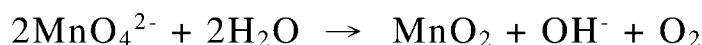
【0075】 參照圖 20，可對所得結構（例如，參照圖 8 所闡述的所得結構）執行濕蝕刻製程（wet etch process，WE 製程）以移除設置在堆疊結構 SS 之間的空間中的延伸部 ASe。作為實例，所述濕蝕刻製程 WE 可包括向堆疊結構 SS 之間的空間中引入蝕刻溶液來對延伸部 ASe 進行選擇性的濕蝕刻。延伸部 ASe 可因此被從堆疊

結構 SS 之間實質上完全移除。作為另外一種選擇，延伸部 ASe 可局部地保留在堆疊結構 SS 之間；然而，本發明概念的示例性實施例並非僅限於此。作為實例，不需要形成第一模製層 500。

【0076】 參照圖 20、圖 21 及圖 22A，濕蝕刻製程 WE 可包括施加鹼性溶液以使黏合結構的延伸部膨脹 (S110)。舉例來說，濕蝕刻製程 WE 可包括向堆疊結構 SS 之間的延伸部 ASe 上施加鹼性溶液 610。可經由堆疊結構 SS 之間的空間將鹼性溶液 610 施加至延伸部 ASe 上。鹼性溶液 610 可使延伸部 ASe 中包含的樹脂膨脹。舉例來說，鹼性溶液 610 可包含氫氧化鈉溶液。

【0077】 參照圖 20、圖 21、及圖 22B，濕蝕刻製程 WE 可包括施加氧化劑以分解延伸部中含有的樹脂 (S120)。舉例來說，濕蝕刻製程 WE 可包括向堆疊結構 SS 之間的延伸部 ASe 上施加氧化劑 620。氧化劑 620 可有效地分解延伸部 ASe 中包含的膨脹的樹脂。舉例來說，氧化劑 620 可包含過錳酸鉀。作為實例，可基於以下由反應式 1 給出的蝕刻原理來分解延伸部 ASe。

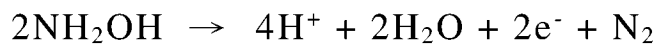
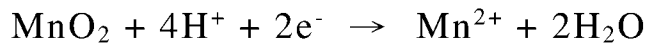
【0078】 [反應式 1]



【0079】 參照圖 20、圖 21 及圖 22C，濕蝕刻製程 WE 可包括施加還原劑以將殘留產物還原成水溶性 (S130)。濕蝕刻製程可包括向存留在堆疊結構 SS 之間的殘留產物 RP 上施加還原劑 630。在氧化劑 620 分解延伸部 ASe 中包含的樹脂之後，可能存留有包含未反應的氧化劑 620 的殘留產物 RP。因此，可施加還原劑 630 來將殘留產物 RP 還原成水溶性。舉例來說，還原劑 630 可包含過氧

化氫及/或脛胺，且殘留產物 RP 可包含氧化錳。作為實例，可基於以下反應式 2 所表達的還原原理來將殘留產物 RP 還原成水溶性的。

【0080】 [反應式 2]



【0081】 參照圖 20、圖 21、及圖 22D，濕蝕刻製程 WE 可包括進行水洗以移除殘留物 (S140)。濕蝕刻製程可包括執行水洗 640 以移除堆疊結構 SS 之間的殘留物。由於在先前製程中已將殘留產物 RP 還原成水溶性，因此水洗 640 可實質上完全移除殘留物。因此，可實質上完全移除延伸部 ASe 且黏合結構 AS 的第一黏合層 as1、第二黏合層 as2 及第三黏合層 as3 可相互分離並在垂直方向上相互間隔開。由於可藉由濕蝕刻製程 WE 或等向性蝕刻製程來將延伸部 ASe 移除，因此可在第一黏合層 as1、第二黏合層 as2、及第三黏合層 as3 中的至少一個上形成凹陷側壁。舉例來說，在第三黏合層 as3 上可形成第三凹陷側壁 as3w。由於可執行濕蝕刻製程 WE 來移除堆疊結構 SS 之間的延伸部 ASe，因此可界定出第三凹陷區 RS3。

【0082】 參照圖 23，可形成第二模製層 550 來覆蓋堆疊結構 SS。第二模製層 550 可被形成為填充第三凹陷區 RS3。第三凹陷區 RS3 可具有實質上均勻的形狀及相對寬的寬度，使得第二模製層 550 的模製組成物可填充第三凹陷區 RS3。

【0083】 參照圖 24，可將第二模製層 550 平坦化直至暴露出第三

半導體晶片 320 的第三被動表面 320b，且因此可形成第二模製圖案 555。可藉由從載體基底 CR 與封裝基底 100 之間移除黏合模具 MO 來將載體基底 CR 從封裝基底 100 分開。可對封裝基底 100 執行切割製程以形成多個半導體封裝。可使用第二刀片 BL2 來執行切割製程。

【0084】 根據本發明概念的示例性實施例，可實質上完全移除黏合結構 AS 的可暴露至外部的延伸部 ASe。因此，黏合結構 AS 不具有暴露於外部的延伸部 ASe 且可不在半導體封裝的頂表面上顯示出不規則的形狀。還可簡化黏合結構 AS 的延伸部 ASe 的移除，這是因為不需要形成第一模製層 500。第二模製圖案 555 可具有相對低的熱膨脹係數，且因此可減少或消除半導體封裝的由熱量引起的翹曲。

【0085】 以下將參照圖 24 更詳細地闡述根據本發明概念示例性實施例的半導體裝置。參照圖 24 闡述的技術特徵可實質上相同於參照圖 13 闡述的技術特徵，且因此可不再對其進行重複說明。

【0086】 再次參照圖 24，黏合結構 AS 可包括第一黏合層 as1、第二黏合層 as2 及第三黏合層 as3。第一黏合層 as1、第二黏合層 as2 及第三黏合層 as3 可分別實質上填充第一空間 SP1、第二空間 SP2 及第三空間 SP3。第一黏合層 as1、第二黏合層 as2 及第三黏合層 as3 可相互分離並在垂直方向上相互間隔開。

【0087】 第一黏合層 as1、第二黏合層 as2 及第三黏合層 as3 可分別包括第一凹陷側壁 as1w、第二凹陷側壁 as2w 及第三凹陷側壁 as3w。第一凹陷側壁 as1w、第二凹陷側壁 as2w 及第三凹陷側壁 as3w 可形成黏合結構 AS 的凹陷側壁 ASw。第一凹陷側壁 as1w、

第二凹陷側壁 as2w 及第三凹陷側壁 as3w 可分別朝第一內連線構件 112、第二內連線構件 212 及第三內連線構件 312 凹陷。

【0088】 封裝基底 100 可包括覆蓋堆疊結構 SS 的第二模製圖案 555。舉例來說，第二模製圖案 555 可直接接觸第一半導體晶片 120 的側壁、第二半導體晶片 220 的側壁及第三半導體晶片 320 的側壁。第二模製圖案 555 可直接接觸第一凹陷側壁 as1w、第二凹陷側壁 as2w 及第三凹陷側壁 as3w。第二模製圖案 555 與黏合結構 AS 可包含互不相同的材料。舉例來說，第二模製圖案 555 可具有與黏合結構 AS 的熱膨脹係數不同的熱膨脹係數。

【0089】 在製造根據本發明概念的示例性實施例的半導體裝置的方法中，可有效地移除覆蓋半導體晶片的黏合結構的延伸部，此不需要毀壞半導體封裝的外觀。模製層可具有相對低的熱膨脹係數，且因此可減少或消除半導體封裝的翹曲。

【0090】 儘管已參照本發明概念的示例性實施例特別示出並闡述了本發明概念，然而所屬領域的普通技術人員將理解，在不背離本發明概念的精神及範圍的條件下，可在本文中作出形式及細節上的各種改變。

【符號說明】

【0091】

100：封裝基底

102：外側內連線構件

104：連接墊

106：頭

- 108：頭膜
- 112：第一內連線構件
- 120：第一半導體晶片
- 120a：第一主動表面
- 120b：第一被動表面
- 120c：中心區
- 120w：第三側壁
- 120x：第四側壁
- 120y：第一側壁
- 120z：第二側壁
- 122：第一電路層
- 124：第一通孔
- 132：第一背面墊
- 140：第一非導電膜
- 220：第二半導體晶片
- 220a：第二主動表面
- 220b：第二被動表面
- 212：第二內連線構件
- 222：第二電路層
- 224：第二通孔
- 232：第二背面墊
- 240：第二非導電膜
- 320：第三半導體晶片
- 320a：第三主動表面

320b：第三被動表面
312：第三內連線構件
322：第三電路層
500：第一模製層
505：第一模製圖案
550：第二模製層
555：第二模製圖案
610：鹼性溶液
620：氧化劑
630：還原劑
640：水洗
AS：黏合結構
as1：第一黏合層
as2：第二黏合層
as3：第三黏合層
as1e：第一子延伸部
as2e：第二子延伸部
as3e：第三子延伸部
as1w：第一凹陷側壁
as2w：第二凹陷側壁
as3w：第三凹陷側壁
ASe：延伸部
ASw：凹陷側壁
BL1：第一刀片

BL2：第二刀片

CR：載體基底

D1：第一距離

M、N：區段

MO：黏合模具

RG1：第一區

RG2：第二區

RG3：第三區

RP：殘留產物

RS1：第一凹陷區

RS2：第二凹陷區

RS3：第三凹陷區

S110、S120、S130、S140：步驟

SS：堆疊結構

SP1：第一空間

SP2：第二空間

SP3：第三空間

T1：第一厚度

W1：第一寬度

W2：第二寬度

WE：濕蝕刻製程



申請日: 106-06-07

IPC分類: H01L 21/98 (2006.01)
H01L 23/535 (2006.01)
H01L 25/065 (2006.01)**【發明摘要】****【中文發明名稱】** 半導體裝置的製作方法**【英文發明名稱】** METHOD FOR FABRICATING
SEMICONDUCTOR DEVICE**【中文】**

一種製造半導體裝置的方法包括：在封裝基底上堆疊第一半導體晶片。第一半導體晶片中的每一個包括第一黏合膜。所述方法包括在第一半導體晶片上分別堆疊第二半導體晶片。第二半導體晶片中的每一個包括第二黏合膜。所述方法包括擠壓第一黏合膜及第二黏合膜以形成黏合結構。黏合結構包括設置在第一半導體晶片的側壁上及第二半導體晶片的側壁上的延伸部。所述方法包括移除延伸部。所述方法包括形成第一模製層。所述方法包括對第一半導體晶片之間與第二半導體晶片之間的封裝基底執行切割製程，以形成多個半導體封裝。

【英文】

A method for manufacturing a semiconductor device includes stacking, on a package substrate, first semiconductor chips. Each of the first semiconductor chips includes a first adhesive film. The method includes stacking, respectively on the first semiconductor chips, second semiconductor chips. Each of the second semiconductor chips includes a second adhesive film. The method

includes compressing the first and second adhesive films to form an adhesive structure. The adhesive structure includes an extension disposed on sidewalls of the first and second semiconductor chips. The method includes removing the extension. The method includes forming a first molding layer. The method includes performing a cutting process on the package substrate between the first and second semiconductor chips to form a plurality of semiconductor packages.

【指定代表圖】圖13。

【代表圖之符號簡單說明】

- 100：封裝基底
- 102：外側內連線構件
- 104：連接墊
- 112：第一內連線構件
- 120：第一半導體晶片
- 120a：第一主動表面
- 120b：第一被動表面
- 122：第一電路層
- 124：第一通孔
- 132：第一背面墊
- 220：第二半導體晶片
- 220a：第二主動表面
- 220b：第二被動表面
- 212：第二內連線構件

222：第二電路層
224：第二通孔
232：第二背面墊
320：第三半導體晶片
320a：第三主動表面
320b：第三被動表面
312：第三內連線構件
322：第三電路層
505：第一模製圖案
555：第二模製圖案
AS：黏合結構
ASe：延伸部
BL2：第二刀片
RG1：第一區
RG2：第二區
RG3：第三區
SS：堆疊結構
SP1：第一空間
SP2：第二空間
SP3：第三空間
W2：第二寬度

【特徵化學式】

無

【發明申請專利範圍】

【第 1 項】一種製造半導體裝置的方法，包括：

在封裝基底上堆疊水平相互間隔開的多個第一半導體晶片，其中所述多個第一半導體晶片中的每一個包括面對所述封裝基底的第一黏合膜；

在所述多個第一半導體晶片上分別堆疊水平相互間隔開的多個第二半導體晶片，其中所述多個第二半導體晶片中的每一個包括面對所述第一半導體晶片的第二黏合膜；

擠壓所述第一黏合膜及所述第二黏合膜以形成黏合結構，其中所述黏合結構包括設置在所述第一半導體晶片的多個側壁上及所述第二半導體晶片的多個側壁上的延伸部；

從所述多個第二半導體晶片的所述多個側壁移除所述延伸部；

形成實質上覆蓋所述多個第一半導體晶片及所述多個第二半導體晶片的第一模製層；以及

對所述多個第一半導體晶片之間與所述多個第二半導體晶片之間的所述封裝基底執行切割製程，以形成多個半導體封裝，所述多個半導體封裝各自包括所述多個第一半導體晶片中的至少一個及所述多個第二半導體晶片中的至少一個。

【第 2 項】申請專利範圍第 1 項所述的製造半導體裝置的方法，其中形成所述黏合結構包括：

在堆疊所述第一半導體晶片的同時，擠壓所述第一黏合膜，以形成第一黏合層；以及

在堆疊所述第二半導體晶片的同時，擠壓所述第二黏合膜，以形成第二黏合層。

【第 3 項】申請專利範圍第 1 項所述的製造半導體裝置的方法，其中所述多個第一半導體晶片中的每一個包括至少一個通孔。

【第 4 項】申請專利範圍第 3 項所述的製造半導體裝置的方法，其中所述多個第二半導體晶片中的每一個更包括至少一個內連線構件，且

其中當堆疊所述第二半導體晶片時，所述至少一個內連線構件電連接至所述至少一個通孔。

【第 5 項】申請專利範圍第 1 項所述的製造半導體裝置的方法，其中在堆疊所述第一半導體晶片的時間之前，所述第一黏合膜具有第一厚度，且

其中在堆疊所述第一半導體晶片的時間之後，在所述封裝基底與所述第一半導體晶片的面對所述封裝基底的表面之間獲得第一距離，所述第一厚度大於所述第一距離。

【第 6 項】申請專利範圍第 1 項所述的製造半導體裝置的方法，更包括將所述第一模製層平坦化，直至暴露出所述多個第二半導體晶片的多個頂表面，以形成實質上填充所述多個第二半導體晶片之間的多個空間的多個第一模製圖案。

【第 7 項】申請專利範圍第 1 項所述的製造半導體裝置的方法，其中在移除所述延伸部之前，更包括形成實質上覆蓋所述多個第一半導體晶片及所述多個第二半導體晶片的第二模製層，

其中所述第二模製層填充相互毗鄰的所述多個第二半導體晶片之間的空間。

【第 8 項】申請專利範圍第 7 項所述的製造半導體裝置的方法，其中移除所述延伸部包括切割相互毗鄰的所述多個第二半導體晶

片之間的所述第二模製層。

【第 9 項】申請專利範圍第 8 項所述的製造半導體裝置的方法，其中在所述封裝基底的所述切割製程中使用的刀片的寬度小於在所述第二模製層的所述切割製程中使用的刀片的寬度。

【第 10 項】申請專利範圍第 7 項所述的製造半導體裝置的方法，其中所述第一模製層具有比所述第二模製層的熱膨脹係數小的熱膨脹係數。

【第 11 項】申請專利範圍第 7 項所述的製造半導體裝置的方法，其中所述延伸部包括：

第一子延伸部，設置在所述第一半導體晶片的所述多個側壁上；以及

第二子延伸部，設置在所述第二半導體晶片的所述多個側壁上，且

其中移除所述延伸部包括切割相互毗鄰的所述多個第二半導體晶片之間的所述第二模製層，以移除所述第二子延伸部，且

其中在移除所述第二模製層的同時，形成第二模製圖案來填充相互毗鄰的所述多個第一半導體晶片之間的空間。

【第 12 項】申請專利範圍第 7 項所述的製造半導體裝置的方法，其中所述延伸部包括：

第一子延伸部，設置在所述第一半導體晶片的所述多個側壁上；以及

第二子延伸部，設置在所述第二半導體晶片的所述多個側壁上，且

其中移除所述延伸部包括藉由切割相互毗鄰的所述多個第二

半導體晶片之間及相互毗鄰的所述多個第一半導體晶片之間的所述第二模製層來移除所述第一子延伸部及所述第二子延伸部。

【第 13 項】申請專利範圍第 1 項所述的製造半導體裝置的方法，其中移除所述延伸部包括藉由向相互毗鄰的所述多個第二半導體晶片之間的空間中引入蝕刻溶液來對所述延伸部進行濕蝕刻。

【第 14 項】申請專利範圍第 13 項所述的製造半導體裝置的方法，其中所述延伸部被移除使得在所述黏合結構上形成至少一個凹陷側壁。

【第 15 項】申請專利範圍第 13 項所述的製造半導體裝置的方法，其中對所述延伸部進行濕蝕刻包括：

對所述延伸部施加鹼性溶液；以及

對所述延伸部施加氧化劑，以分解所述延伸部中包含的樹脂。

【第 16 項】一種製造半導體裝置的方法，包括：

在封裝基底上形成水平相互間隔開的多個堆疊結構，所述多個堆疊結構中的每一個包括垂直堆疊的多個半導體晶片；

形成分別填充所述多個堆疊結構中毗鄰的多個堆疊結構之間的多個空間的多個黏合結構；以及

移除所述毗鄰的多個堆疊結構之間的所述黏合結構的至少一部分，

其中形成所述多個堆疊結構及所述多個黏合結構包括對所述多個半導體晶片依序進行堆疊及擠壓，所述多個半導體晶片各自包括設置在所述半導體晶片的面對所述封裝基底的表面上的黏合膜。

【第 17 項】申請專利範圍第 16 項所述的製造半導體裝置的方法，

其中當堆疊所述多個半導體晶片時擠壓所述黏合膜，使得在所述多個半導體晶片中的每一個的多個側壁上形成圓角。

【第 18 項】申請專利範圍第 16 項所述的製造半導體裝置的方法，其中所述多個半導體晶片中的至少一個半導體晶片包括：

至少一個通孔，穿透所述至少一個半導體晶片；以及

至少一個內連線構件，設置在所述至少一個半導體晶片的表面上且電連接至所述至少一個通孔，

其中所述黏合膜設置在所述內連線構件上。

【第 19 項】申請專利範圍第 16 項所述的製造半導體裝置的方法，更包括：

形成實質上覆蓋所述多個黏合結構的模製層；以及

切割所述多個黏合結構之間的所述模製層。

【第 20 項】申請專利範圍第 16 項所述的製造半導體裝置的方法，其中移除所述黏合結構的所述至少一部分包括藉由在所述多個堆疊結構之間引入蝕刻溶液來對所述黏合結構進行濕蝕刻。

【第 21 項】一種製造半導體裝置的方法，包括：

在封裝基底上堆疊多個第一半導體晶片，其中所述多個第一半導體晶片在所述封裝基底上相互間隔開，且其中所述多個第一半導體晶片中的每一個包括第一黏合膜；

將多個第二半導體晶片中的第二半導體晶片分別堆疊在所述多個第一半導體晶片中的對應一個第一半導體晶片上，其中所述多個第二半導體晶片中的每一個包括第二黏合膜；

將多個第三半導體晶片中的第三半導體晶片分別堆疊在所述多個第二半導體晶片中的對應一個第二半導體晶片上，其中所述

多個第三半導體晶片中的每一個包括第三黏合膜，

其中堆疊所述多個第一半導體晶片、所述多個第二半導體晶片及所述多個第三半導體晶片而形成在所述封裝基底上相互間隔開的多個堆疊結構，所述多個堆疊結構中的每一個包括黏合結構，所述黏合結構包括所述第一黏合膜、所述第二黏合膜及所述第三黏合膜，且其中所述黏合結構包括設置在所述第一半導體晶片、所述第二半導體晶片及所述第三半導體晶片中的相應者的多個側壁上的多個延伸部；

在所述多個第三半導體晶片的多個上表面上以及在位於所述多個堆疊結構中毗鄰的多個堆疊結構之間的多個空間中的所述多個延伸部上形成第一模製層；

移除所述多個第三半導體晶片中毗鄰的多個第三半導體晶片之間的所述第一模製層；

在藉由移除所述多個第三半導體晶片中毗鄰的多個第三半導體晶片之間的所述第一模製層而形成的多個空間的每一個中形成第二模製層；以及

藉由切穿所述第一模製層及所述第二模製層並切穿所述多個堆疊結構中毗鄰的多個堆疊結構之間的所述封裝基底，而將所述多個堆疊結構中的每一個相互分離。

【第 22 項】申請專利範圍第 21 項所述的製造半導體裝置的方法，其中所述黏合結構中的所述多個延伸部是藉由擠壓所述第一半導體晶片、所述第二半導體晶片、及所述第三半導體晶片中的每一個來形成。

【第 23 項】申請專利範圍第 21 項所述的製造半導體裝置的方法，

其中所述多個堆疊結構中的每一個的所述第一半導體晶片、所述第二半導體晶片、及所述第三半導體晶片相互電連接。

【第 24 項】申請專利範圍第 23 項所述的製造半導體裝置的方法，其中所述多個堆疊結構中的每一個的所述第一半導體晶片、所述第二半導體晶片、及所述第三半導體晶片電連接至設置在所述封裝基底上的多個連接墊。

【第 25 項】申請專利範圍第 21 項所述的製造半導體裝置的方法，其中所述第一模製層具有比所述第二模製層的熱膨脹係數小的熱膨脹係數。