

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7404665号
(P7404665)

(45)発行日 令和5年12月26日(2023.12.26)

(24)登録日 令和5年12月18日(2023.12.18)

(51)国際特許分類	F I
H 0 1 L 23/12 (2006.01)	H 0 1 L 23/12 F
H 0 1 L 25/04 (2023.01)	H 0 1 L 25/04 Z
H 0 1 L 25/18 (2023.01)	H 0 1 L 23/12 5 0 1 B
H 0 1 L 21/60 (2006.01)	H 0 1 L 21/60 3 1 1 S
H 0 5 K 1/14 (2006.01)	H 0 5 K 1/14 G
請求項の数 4 (全12頁) 最終頁に続く	

(21)出願番号	特願2019-106973(P2019-106973)	(73)特許権者	000003193 TOPPANホールディングス株式会社 東京都台東区台東1丁目5番1号
(22)出願日	令和1年6月7日(2019.6.7)	(74)代理人	110000062 弁理士法人第一国際特許事務所
(65)公開番号	特開2020-202241(P2020-202241 A)	(72)発明者	野村 浩功 東京都台東区台東1丁目5番1号 凸版 印刷株式会社内
(43)公開日	令和2年12月17日(2020.12.17)	審査官	金田 孝之
審査請求日	令和4年5月25日(2022.5.25)		

最終頁に続く

(54)【発明の名称】 フリップチップパッケージ、フリップチップパッケージ基板およびフリップチップパッケージの製造方法

(57)【特許請求の範囲】

【請求項1】

2つ以上の半導体チップを搭載するフリップチップパッケージにおいて、
第一の配線基板の半導体チップを搭載する側の面に、第一の配線基板よりも面積の小さい第二の配線基板が備えられており、
半導体チップのうち少なくとも2つは、第一の配線基板と第二の配線基板の両方に跨って電氣的に接続されているとともに、第二の配線基板に形成された配線によって相互に電氣的に接続されており、

第二の配線基板に形成された少なくとも一部の、配線の線幅とピッチは、第一の配線基板に形成された配線の線幅とピッチより小さく、

第二の配線基板は、絶縁層と配線層の積層体であって、一方の面のみに接続パッドを備えており、

第一の配線基板と第二の配線基板の両方に跨って電氣的に接続される半導体チップは、第一の配線基板との対向距離と、前記第二の配線基板との対向距離が10 μm以上100 μm以下の範囲で異なる

ことを特徴とするフリップチップパッケージ。

【請求項2】

2つ以上の半導体チップを搭載するフリップチップパッケージに使用するフリップチップパッケージ基板であって、

多層配線積層体からなる、第一の配線基板と第二の配線基板を備えており、

第一の配線基板は、一方の面に、プリント配線基板との接続を行うパッドを備え、もう一方の面に、半導体チップとの接続を行うパッドを備えており、

第二の配線基板は、一方の面のみに接続パッドを備え、少なくとも2つの半導体チップとの接続を行う、前記パッドを上面にして第一の配線基板上に備えられており、

第二の配線基板の厚さが10 μm以上100 μm以下であり、

第二の配線基板により半導体チップ間が接続されていることを特徴とするフリップチップパッケージ基板。

【請求項3】

請求項1に記載のフリップチップパッケージの製造方法であって、

前記第二の配線基板を製造する工程と、

前記第一の配線基板と前記第二の配線基板とを接続することでフリップチップパッケージ基板を製造する工程と、

フリップチップパッケージ基板に接続用突起を形成する工程と、

接続用突起を形成したフリップチップパッケージ基板に半導体チップを実装する工程と、を備えており、

前記第二の配線基板を製造する工程は、

支持基板上に剥離層を形成した後、ビルドアップ工法により、最上部にパッドが配置される様に多層配線積層体を形成する工程と、

支持基板から多層配線積層体を剥離し、前記第一の配線基板の所定の位置に配置し固定する工程と、

前記半導体チップに、前記半導体チップと第一の配線基板および第二の配線基板とを電氣的に接続する接続突起を形成する工程と、

を備えていることを特徴とするフリップチップパッケージの製造方法。

【請求項4】

請求項1に記載のフリップチップパッケージの製造方法であって、

前記第二の配線基板を製造する工程と、

前記第一の配線基板と前記第二の配線基板とを接続することでフリップチップパッケージ基板を製造する工程と、

フリップチップパッケージ基板に接続用突起を形成する工程と、

接続用突起を形成したフリップチップパッケージ基板に半導体チップを実装する工程と、を備えており、

前記第二の配線基板を製造する工程は、

支持基板上に剥離層を形成した後、ビルドアップ工法により、最下部にパッドが配置される様に多層配線積層体を形成する工程と、

支持基板上に形成された多層配線積層体を、前記第一の配線基板の所定の位置に配置し固定した後、支持基板を剥離する工程と、

前記半導体チップに、前記半導体チップと第一の配線基板および第二の配線基板とを電氣的に接続する接続突起を形成する工程と、

を備えていることを特徴とするフリップチップパッケージの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、フリップチップパッケージ、フリップチップパッケージ基板およびフリップチップパッケージの製造方法に関する。

【背景技術】

【0002】

半導体製造プロセスの技術向上により、半導体チップは高機能化・高集積化が進み、ピン数も増加の一途を辿っている。これに対応するためフリップチッププロセスを利用した半導体パッケージ、すなわちフリップチップパッケージが開発されている。フリップチップパッケージの例を図5に示す。フリップチップパッケージは半導体チップ1の素子形成

10

20

30

40

50

面全面に外部との電氣的接続のための電極 2 を配置することができる。そのため、多ピン化に適しており、現在多くの半導体製品に採用されている。23 は半導体チップを搭載するためのフリップチップパッケージ基板、24 はフリップチップパッケージ基板 23 をマザーボード等を実装するための電極を示す。

【0003】

従来、フリップチップパッケージ基板には、絶縁樹脂と配線材料を交互に積層することで形成されるビルドアップ基板が多く用いられてきた。この樹脂製ビルドアップ基板は安価であり、微細な配線形成が可能であることなどから普及し、現在フリップチップパッケージ基板の主流となっている。

【0004】

近年、半導体チップの微細化がさらに進み、樹脂製のフリップチップパッケージ基板に対していくつかの問題が顕在化してきた。そのひとつが半導体チップの電極数の増加に伴う電極の狭ピッチ化である。従来、フリップチップパッケージに搭載される半導体チップの最小電極ピッチは 130 μm から 200 μm 程度であった。しかし最近ではさらに電極ピッチの狭い半導体製品が出てきている。例えば JEDEC で規格化された HBM (High Bandwidth Memory) などは最小ピッチが 55 μm となっている。電極が狭ピッチ化されることで、パッケージ基板側の電極に接続される信号配線も微細化が要求される。しかし樹脂製の基板は元々吸湿や熱処理による伸縮が大きいため、微細配線の形成が難しいという問題がある。

【0005】

このような樹脂基板の問題を回避するための先行技術として、特許文献 1 に、フリップチップパッケージ基板に 2 つ以上の半導体チップを搭載する場合において、フリップチップパッケージ基板に、半導体チップ間を電氣的に接続可能とする小さな多層配線基板であるインターコネクブリッジを埋め込み、そのブリッジを介して半導体チップ間の信号や電源の接続を行う技術が開示されている。ブリッジはフリップチップパッケージ基板とは別に製造することができるため、狭ピッチや微細配線に適した材料や工法を適用することができる。

【0006】

しかし特許文献 1 の方法では、フリップチップパッケージ基板のブリッジを埋め込む部分に凹部を、フリップチップパッケージ基板の上面とブリッジの上面を面一に形成して、その面に形成した配線による結線を可能にしておく必要があり、工程が複雑になることで高コストになる、という問題があった。

【先行技術文献】

【特許文献】

【0007】

【文献】特許第 5876093 号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

上記の問題を解決するため、高コストとなる複雑な工程を使用せずに、2 つ以上の半導体チップを搭載可能とする狭ピッチな微細配線に対応可能なフリップチップパッケージおよびフリップチップパッケージ基板を提供する事を課題とする。

【課題を解決するための手段】

【0009】

上記課題を解決する手段として、本発明の請求項 1 に記載の発明は、2 つ以上の半導体チップを搭載するフリップチップパッケージにおいて、

第一の配線基板の半導体チップを搭載する側の面に、第一の配線基板よりも面積の小さい第二の配線基板が備えられており、

半導体チップのうち少なくとも 2 つは、第一の配線基板と第二の配線基板の両方に跨って電氣的に接続されているとともに、第二の配線基板に形成された配線によって相互に電

10

20

30

40

50

氣的に接続されており、

第二の配線基板に形成された少なくとも一部の、配線の線幅とピッチは、第一の配線基板に形成された配線の線幅とピッチより小さいことを特徴とするフリップチップパッケージである。

【0010】

また、請求項2に記載の発明は、前記第一の配線基板と第二の配線基板の両方に跨って電氣的に接続される半導体チップは、前記第一の配線基板との対向距離と、前記第二の配線基板との対向距離と、が10 μ m以上100 μ m以下異なることを特徴とする請求項1に記載のフリップチップパッケージである。

【0011】

また、請求項3に記載の発明は、2つ以上の半導体チップを搭載するフリップチップパッケージに使用するフリップチップパッケージ基板であって、

多層配線積層体からなる、第一の配線基板と第二の配線基板を備えており、

第一の配線基板は、一方の面に、プリント配線基板との接続を行うパッドを備え、もう一方の面に、半導体チップとの接続を行うパッドを備えており、

第二の配線基板は、少なくとも2つの半導体チップとの接続を行うパッドを備えた面を上面にして第一の配線基板上に備えられており、

第二の配線基板により半導体チップ間が接続されていることを特徴とするフリップチップパッケージ基板である。

【0012】

また、請求項4に記載の発明は、請求項1または2に記載のフリップチップパッケージの製造方法であって、

前記第二の配線基板を製造する工程と、

前記第一の配線基板と前記第二の配線基板とを接続することでフリップチップパッケージ基板を製造する工程と、

フリップチップパッケージ基板に接続用突起を形成する工程と、

接続用突起を形成したフリップチップパッケージ基板に半導体チップを実装する工程と、を備えており、

前記第二の配線基板を製造する工程は、

支持基板上に剥離層を形成した後、ビルドアップ工法により、最上部にパッドが配置される様に多層配線積層体を形成する工程と、

支持基板から多層配線積層体を剥離し、前記第一の配線基板の所定の位置に配置し固定する工程と、

前記半導体チップに、半導体チップと第一配線基板および第二配線基板とを電氣的に接続する接続突起を形成する工程と、を備えていることを特徴とするフリップチップパッケージの製造方法である。

【0013】

また、請求項5に記載の発明は、請求項1または2に記載のフリップチップパッケージの製造方法であって、

前記第二の配線基板を製造する工程と、

前記第一の配線基板と前記第二の配線基板とを接続することでフリップチップパッケージ基板を製造する工程と、

フリップチップパッケージ基板に接続用突起を形成する工程と、

接続用突起を形成したフリップチップパッケージ基板に半導体チップを実装する工程と、を備えており、

前記第二の配線基板を製造する工程は、

支持基板上に剥離層を形成した後、ビルドアップ工法により、最下部にパッドが配置される様に多層配線積層体を形成する工程と、

支持基板上に形成された多層配線積層体を前記第一の配線基板の所定の位置に配置し固定した後、支持基板を剥離する工程と、

10

20

30

40

50

前記半導体チップに、半導体チップと第一配線基板および第二配線基板とを電氣的に接続する接続突起を形成する工程と、を備えていることを特徴とするフリップチップパッケージの製造方法である。

【発明の効果】

【0014】

本発明のフリップチップパッケージによれば、第一の配線基板よりも面積の小さい第二の配線基板が第一の配線基板上に備えられており、2つ以上の半導体チップのうち、少なくとも2つの半導体チップが、第一の配線基板と第二の配線基板に跨って接続されており、それらの半導体チップが第二の配線基板を介して接続されている。この第二の配線基板は、良好な平面性を備えた支持基板上にビルドアップ工法により形成された多層積層体である為、狭ピッチな微細配線に対応可能である。その為、半導体チップの電極数の増加に伴う電極の狭ピッチ化に対応可能である。その際、第二の配線基板を第一の配線基板に埋め込む必要がないため、工程が複雑になること無く、安価な半導体パッケージを製造することができる。

10

【0015】

また、本発明のフリップチップパッケージ基板によれば、フリップチップパッケージ基板の半導体チップとの接続電極であるパッドに、接続用突起を形成し、そこに半導体チップを接合することにより、本発明のフリップチップパッケージを製造することができる。

【0016】

また、本発明のフリップチップパッケージの製造方法によれば、本発明のフリップチップパッケージを製造可能とすることができる。

20

【図面の簡単な説明】

【0017】

【図1】本発明のフリップチップパッケージを例示する断面説明図。

【図2】本発明のフリップチップパッケージの製造方法の一例を示す断面説明図。

【図3】本発明のフリップチップパッケージの製造方法の一例を示す断面説明図。

【図4】本発明の実施例。

【図5】従来のフリップチップパッケージを例示する断面図。

【発明を実施するための形態】

【0018】

<フリップチップパッケージ>

本発明のフリップチップパッケージの実施形態の一例を、図1を用いて説明する。

30

【0019】

図1は、本発明のフリップチップパッケージ40の一実施形態を示す断面図である。第一の配線基板3の半導体チップを搭載する側の面15に、第一の配線基板3よりも面積の小さい第二の配線基板5が備えられている。

【0020】

第一の半導体チップ6は、接続用突起8によって第二の配線基板5のパッド17に電氣的に接続され、別の接続用突起9によって第一の配線基板3のパッド11に電氣的に接続されている。

40

【0021】

第二の半導体チップ7は、第一の半導体チップ6と同様に、接続用の突起8によって第二の配線基板5に電氣的に接続され、別の接続用突起9によって第一の配線基板3に電氣的に接続されている。

【0022】

第一の半導体チップ6と第二の半導体チップ7は、第二の配線基板5に形成されたパッド17とビア16と配線10によって相互に電氣的に接続されている。また、同時に第一の配線基板3に形成されたパッド11とビア12と配線13とビア14を介して、第一の配線基板3の半導体チップが接続、または搭載された面とは反対側の面のパッド4に電氣的に接続されている。図1では、第一の配線基板3はパッド2層と配線1層、また第二の

50

配線基板 5 はパッド 1 層と配線 1 層の例を示しているが、配線の層数は必要に応じ増減が可能である。

【 0 0 2 3 】

半導体チップ 6 及び 7 は、例えば、片方が GPU (Graphic Processing Unit)、もう片方が HBM であっても良い。この場合、接続用突起 8 の配列ピッチは、従来の樹脂製フリップチップパッケージ基板のパッドピッチよりも非常に狭くなり、樹脂製フリップチップパッケージ基板の製造技術では製造が難しい。しかしながら本発明の第二の配線基板 5 は、平面性が良好なガラス基板などの支持基板上に形成する小さい多層配線基板 (または、多層配線積層体) であることで、狭ピッチ微細構造に適した工程で製造できるため、問題なく半導体チップ 6 及び 7 を実装することができる。一方、接続用突起 8、9 は従来の樹脂製フリップチップパッケージのパッドピッチに合わせて設計されるため、問題なく実装可能である。

10

【 0 0 2 4 】

この構造では、半導体チップ 6 及び 7 から第一の配線基板 3 までの対向距離 18 と、同じく半導体チップ 6 及び 7 から第二の配線基板 5 までの対向距離 19 とは、第二の配線基板 5 の厚さの分だけ異なる。具体的には、接続突起 9 を接続突起 8 より第二の配線基板 5 の厚さ分だけ上乗せした厚さとして、半導体チップ 6、7 が第一の配線基板の表面に略平行となる様にするすることで、半導体チップ 6、7 を実装可能としている。

【 0 0 2 5 】

< フリップチップパッケージ基板 >

本発明のフリップチップパッケージ基板は、図 1 に例示した様な、2 つ以上の半導体チップを搭載するフリップチップパッケージ 40 に使用するフリップチップパッケージ基板 30 (図 2 (d) および図 3 (d) 参照) である。

20

【 0 0 2 6 】

本発明のフリップチップパッケージ基板 30 は、多層配線積層体からなる、第一の配線基板 3 と第二の配線基板 5 を備えている。

【 0 0 2 7 】

第一の配線基板 3 は、一方の面に、狭ピッチな微細配線では無いマザーボードの様なプリント配線基板との接続を行うパッド 4 を備え、もう一方の面に、狭ピッチなパッドを備えた半導体チップ 6、7 との接続を行うパッド 11 を備えている。

30

【 0 0 2 8 】

第二の配線基板 5 は、少なくとも 2 つの半導体チップ 6、7 との接続を行うパッド 17 を備えた面を上面にして第一の配線基板 3 上に備えられている。

【 0 0 2 9 】

第二の配線基板 5 により、少なくとも 2 つ半導体チップ 6、7 間が接続可能となることが特徴である。

【 0 0 3 0 】

< フリップチップパッケージの製造方法 >

(第一の実施形態)

次に、本発明のフリップチップパッケージの製造方法の第一の実施形態を、図 2 を用いて説明する。

40

図 2 (a) は、支持基板 20 の片面に第二の配線基板 5 を多面付けで形成した断面図である。第二の配線基板 5 は、絶縁層と金属配線層 (配線層とも記す。) を交互に積層し、パッド 17 と配線層をビアで接続することで得られる。図 2 (a) はパッド 1 層、配線 1 層の場合を示しており、絶縁層を 21、配線層を 10、パッドを 17、ビアを 16 で示している。配線の層数は必要に応じて増やしても良い。絶縁層の材料はシリコン酸化膜、エポキシ樹脂等が使用でき、配線 10 は、銅、アルミ、コバルト等が使用できる。

【 0 0 3 1 】

第二の配線基板 5 となる多層配線積層体の厚さは、およそ 10 μm 以上 100 μm 以下となり非常に薄いため、何らかの支持基板上に作製することが望ましい。支持基板 20 と

50

しては、ガラス、シリコン等が使用できる。これらの支持基板材料は、平坦性が良好である事に加え、熱や吸湿による寸法変化が少ないため、狭ピッチ及び微細配線を形成するにあたって有利となる。支持基板 20 の平坦性は、例えば、25 mm 角の範囲で最大ふれ式平面度が $0.5 \mu\text{m} \sim 2.0 \mu\text{m}$ 以下であれば良い。このような平面度を備えたガラス基板は、フロートガラスを研磨する事によって得られ、困難なく入手することができる。

【0032】

作製手順は、まず、支持基板 20 上に剥離層 22 を形成し、その上に絶縁層、配線層、さらに絶縁層、ビア、パッドの順に形成し、第二の配線基板 5 となる積層体を形成する。

【0033】

積層体の形成方法は、ダマシン工法、セミアディティブ工法など、必要とされる配線ルールに応じて既存の工法を適宜選択可能である。また剥離層 22 は、紫外線照射、レーザー照射、加熱等によって接着性が無くなる既存の材料が使用できる。支持基板 20 にガラスを用いれば、紫外線照射やレーザー照射も問題なく実施可能である。

10

【0034】

次に、図 2 (b) に示すように、多面付けされた第二の配線基板 5 を個片ごとに切り離す。切り離しにはダイサー等の装置が使用できる。

【0035】

次に、図 2 (c) に示すように、支持基板 20 から第二の配線基板 5 を剥離する。剥離は、剥離層 22 と絶縁層 21 の境界面で行われる。

【0036】

次に、図 2 (d) に示すように、個片化された第二の配線基板 5 を第一の配線基板 3 に載置し、固定（接着）する。この様にして、本発明のフリップチップパッケージ基板 30 を作製することができる。

20

載置する作業は、第二の配線基板 5 を吸着または把持可能な手段をロボットアームの先端に備えた専用装置を使用して、位置決めした後、第一の配線基板上の所定の位置に載置すれば良い。位置決め治具を使用して、マニュアルで第一の配線基板 3 上の所定の位置に載置することも可能である。固定にあたっては、熱硬化性接着剤などを用いて接着する。

【0037】

次に、図 2 (e) に示すように、半導体チップ 6 及び 7 を第一の配線基板 3 及び第二の配線基板 5 に接続する。この様にして、本発明のフリップチップパッケージ 40 を作製することができる。

30

接続は接続用突起 8、9 によって行われる。このとき、半導体チップ 6、7 から第一の配線基板 3 までの対向距離（半導体チップ 6、7 と第一の配線基板 3 との向き合った面間の距離）18 と、同じく半導体チップ 6 及び 7 から第二の配線基板 5 までの対向距離（半導体チップ 6、7 と第二の配線基板 5 との向き合った面間の距離）19 は、第二の配線基板 5 の厚さの分だけ異なる。そのため接続用突起 8 と、接続用突起 9 は、第二の配線基板 5 の厚さ（およそ $10 \mu\text{m}$ 以上 $100 \mu\text{m}$ 以下）の分だけ異なる高さとする。接続用突起 8、9 の形成方法については後述する。

【0038】

（第二の実施形態）

次に、第二の実施形態を、図 3 を用いて説明する。

40

図 3 (a) は、支持基板 20 の片面に第二の配線基板 5' を多面付けで形成した断面図である。第一の実施形態と同様に、第二の配線基板 5 は絶縁層 21 と金属配線層 10 を交互に積層し、パッド 17 と配線層 10 をビア 16 で接続することで得られる。図 3 (a) では、パッド 1 層、配線 1 層の場合を示している。配線の層数は必要に応じて増やしても良い。絶縁層 21 の材料はシリコン酸化膜、エポキシ樹脂等が使用でき、配線は銅、アルミ、コバルト等が使用できる。

【0039】

第二の配線基板 5 となる多層配線積層体は、およそ $10 \mu\text{m}$ 以上 $100 \mu\text{m}$ 以下となり非常に薄いため、何らかの支持基板上に作製することが望ましい。支持基板 20 としては

50

、ガラス、シリコン等が使用できる。これらの支持基板材料は、平坦性が良好である事に
 加え、熱や吸湿による寸法変化が少ないため、狭ピッチ及び微細配線を形成するにあつ
 て有利となる。支持基板 20 の平坦性は、例えば、25 mm 角の範囲で最大ふれ式平面度
 が $0.5 \mu\text{m} \sim 2.0 \mu\text{m}$ 以下であれば良い。このような平面度を備えたガラス基板は、フ
 ロートガラスを研磨する事によって得られ、困難なく入手することができる。

【0040】

作製手順は、支持基板 20 上に剥離層 22 を形成し、その上にパッド、絶縁層、ビア、
 配線層、さらに絶縁層の順で第二の配線基板 5 となる多層配線積層体を形成する。

【0041】

多層配線積層体の形成方法は、ダマシン工法、セミアディティブ工法など、必要とされ
 る配線ルールに応じて既存の工法を適宜選択可能である。また剥離層 22 は、紫外線照射
 、レーザー照射、加熱等によって接着性が無くなる既存の材料が使用できる。支持基板 2
 0 にガラス基板を用いれば、紫外線照射やレーザー照射も問題なく実施可能である。

10

【0042】

次に、図 3 (b) に示すように、多面付けされた第二の配線基板 5' を個片に切り離す
 。切り離しにはダイサー等の装置が使用できる。

【0043】

次に、図 3 (c) に示すように、個片化された第二の配線基板 5' を第一の配線基板 3
 に載置し、固定する。載置する作業は、第一の実施形態と同様に実施することができる。
 固定にあたっては、熱硬化性接着剤などが使用できる。

20

【0044】

次に、図 3 (d) に示すように、支持基板 20 を第二の配線基板 5' から剥離する。剥
 離は絶縁層 21 の境界面で行われる。

【0045】

次に、図 3 (e) に示すように、半導体チップ 6、7 を第一の配線基板 3 及び第二の配
 線基板 5 に接続する。接続は接続用突起 8、9 によって行われる。このとき、半導体チッ
 プ 6、7 から第一の配線基板 3 までの対向距離 18 と、同じく半導体チップ 6、7 から第
 二の配線基板 5 までの対向距離 19 は、第二の配線基板 5 の厚さの分だけ異なる。そのた
 め接続用突起 8 と接続用突起 9 は、第二の配線基板 5 の厚さ（およそ $10 \mu\text{m}$ 以上 100
 μm 以下）の分だけ異なる高さとする。接続用突起 8、9 の形成方法については後述する。

30

【0046】

(接続用突起の形成方法)

次に接続用突起の形成方法の例について図 4 を用いて説明する。まず、接続用突起 8、
 9 を半導体チップ 6 及び 7 に形成する。

【0047】

接続用突起 8、9 の形成方法は、はんだ印刷、はんだボール搭載、電解銅めっきによる
 銅ポストなどの工法が利用できる。接続用突起 9 は接続用突起 8 より、第二の配線基板の
 厚さ分だけ高く形成する。

【0048】

はんだ印刷で形成する場合は、印刷回数を変えるなどして高さを調整することができる
 。具体的には、第二の配線基板への印刷回数を、第一の配線基板への印刷回数より少なく
 すれば良い。

40

【0049】

はんだボール搭載で形成する場合は、搭載するはんだボールの径を変えることで高さを
 調整することができる。具体的には、第二の配線基板に搭載するはんだボールの径を、第
 一の配線基板に搭載するはんだボールの径より小さくすれば良い。

【0050】

銅ポストで形成する場合は、電解銅めっきの時間を変えることで高さを調整することが
 できる。具体的には、第二の配線基板への電解銅めっきの時間を、第一の配線基板への電
 解銅めっきの時間より短くすれば良い。

50

【符号の説明】

【0051】

1・・・半導体チップ、2・・・電極、3・・・第一の配線基板、4・・・（プリント配線基板と接続する）パッド、5・・・第二の配線基板、6・・・半導体チップ、7・・・半導体チップ、8・・・接続用突起、9・・・接続用突起、10・・・配線、11・・・（第二の配線基板と接続する）パッド、12・・・ビア、13・・・配線、14・・・ビア、15・・・第一の配線基板の第二の配線基板と接続する面、16・・・ビア、17・・・パッド、18・・・半導体チップと第一の配線基板との対向距離、19・・・半導体チップと第二の配線基板との対向距離、20・・・支持基板、21・・・絶縁層、22・・・剥離層、23、30・・・フリップチップパッケージ基板、24・・・電極、40・・・フリップチップパッケージ

10

20

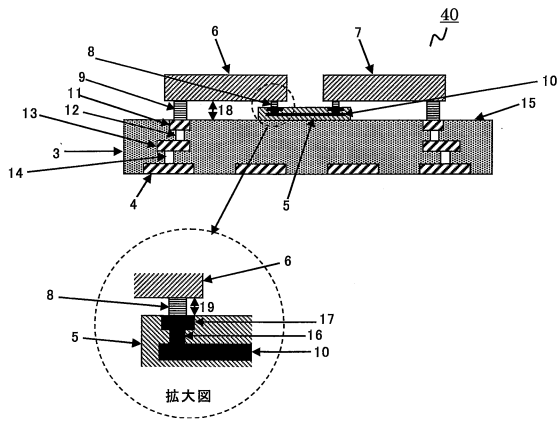
30

40

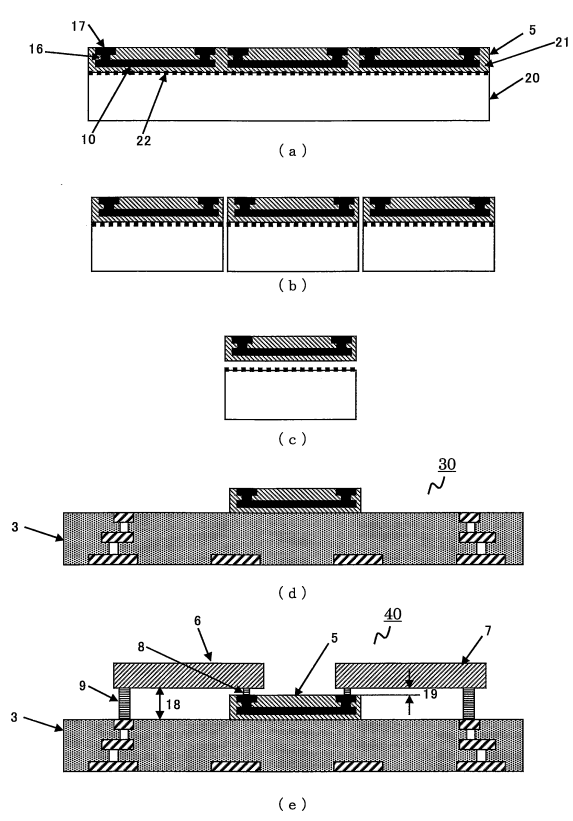
50

【図面】

【図 1】



【図 2】



10

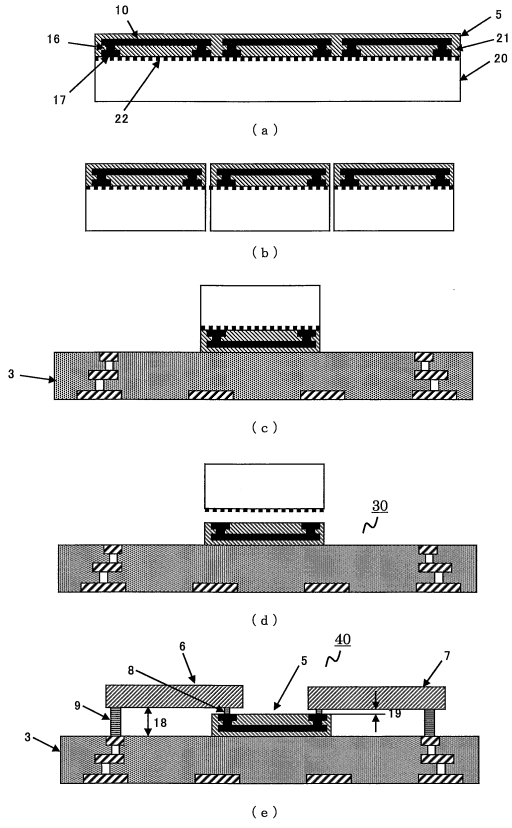
20

30

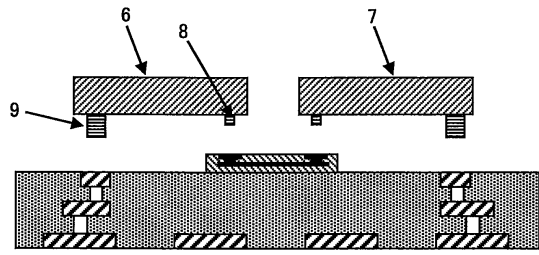
40

50

【 図 3 】



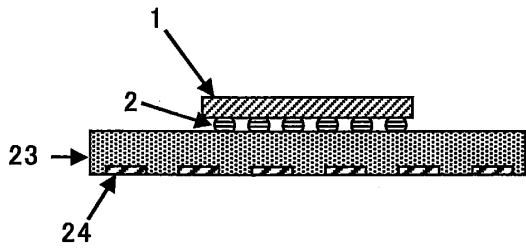
【 図 4 】



10

20

【 図 5 】



30

40

50

フロントページの続き

(51)国際特許分類

F I
H 0 5 K 1/14 F

(56)参考文献

特開 2 0 0 6 - 2 6 1 3 1 1 (J P , A)
特開 2 0 1 7 - 2 2 8 6 4 7 (J P , A)
国際公開第 2 0 1 8 / 0 4 7 8 6 1 (W O , A 1)
特開 2 0 1 7 - 0 9 2 0 9 4 (J P , A)
国際公開第 2 0 1 4 / 0 8 7 8 7 7 (W O , A 1)
米国特許出願公開第 2 0 1 7 / 0 2 0 7 1 5 3 (U S , A 1)
米国特許出願公開第 2 0 1 6 / 0 0 1 3 1 5 1 (U S , A 1)

(58)調査した分野 (Int.Cl., D B 名)

H 0 1 L 2 1 / 4 4 7 - 2 1 / 4 4 9
H 0 1 L 2 1 / 6 0 - 2 1 / 6 0 7
H 0 1 L 2 3 / 1 2 - 2 3 / 1 5
H 0 1 L 2 3 / 3 2
H 0 1 L 2 5 / 0 0 - 2 5 / 0 7
H 0 1 L 2 5 / 1 0 - 2 5 / 1 1
H 0 1 L 2 5 / 1 6 - 2 5 / 1 8
H 0 5 K 1 / 1 4
H 0 5 K 3 / 3 6