



(12) 实用新型专利

(10) 授权公告号 CN 202888176 U

(45) 授权公告日 2013.04.17

(21) 申请号 201220245250.8

(ESM) 同样的发明创造已同日申请发明专利

(22) 申请日 2012.05.29

(73) 专利权人 上海腾怡半导体有限公司

地址 201206 上海市浦东新区浦东新区金粤路 202 号 1 幢 3 楼

(72) 发明人 陈宏冰 陈忠志 曾珂 徐敏

(74) 专利代理机构 上海精晟知识产权代理有限公司 31253

代理人 马家骏

(51) Int. Cl.

H01L 27/02(2006.01)

H01L 29/78(2006.01)

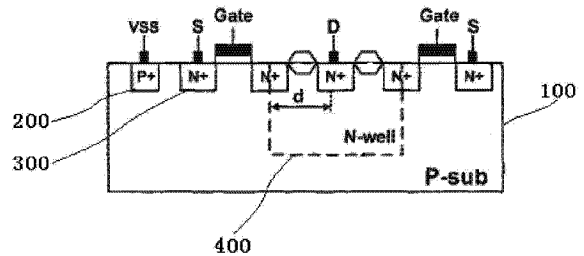
权利要求书 1 页 说明书 4 页 附图 3 页

(54) 实用新型名称

一种 BCD 工艺下的 ESD 器件结构

(57) 摘要

本实用新型的目的在于公开一种 BCD 工艺下的 ESD 器件结构,它包括 ESD NMOS 单元,所述 ESD NMOS 单元上设置有 P 型有源注入区和 N 型有源注入区,所述 P 型有源注入区上连接有 VSS 端,所述 N 型有源注入区上连接有源极端或者漏极端,所述漏极端的 N 型有源注入区之间通过 N 阱扩散区连接,N 阱扩散区的一端为输入压焊点的接入端口,N 阱扩散区的另一端为 ESD NMOS 单元的漏极端,所述源极端与所述漏极端之间设置有栅极端;与现有的技术相比,采用圆形器件结构,在漏端引入 N 阱限制 silicide (硅化) 引起的表面 ESD 电流集中,有效进行 ESD (静电放电) 功率耗散,提高了器件 ESD (静电放电) 电流泄放能力,同时更高的面积利用率降低了产品制造成本,实现本实用新型的目的。



1. 一种BCD工艺下的ESD器件结构,其特征在于,它包括ESD NMOS单元,所述ESD NMOS单元上设置有P型有源注入区和N型有源注入区,所述P型有源注入区上连接有VSS端,所述N型有源注入区上连接有源极端或者漏极端,所述漏极端的N型有源注入区之间通过N阱扩散区连接,N阱扩散区的一端为输入压焊点的接入端口,N阱扩散区的另一端为ESDNMOS单元的漏极端,所述源极端与所述漏极端之间设置有栅极端。

2. 如权利要求1所述的BCD工艺下的ESD器件结构,其特征在于,所述N阱扩散区的长度为7.0-8.0um,所述N阱扩散区覆盖NMOS的漏极端的有源区的长度为0.4-0.8um,所述N阱扩散区位于场氧化物下长度为0.6-1.0um。

3. 如权利要求2所述的BCD工艺下的ESD器件结构,其特征在于,优选地,所述N阱扩散区的长度为7.5um,所述N阱扩散区覆盖NMOS的漏极端的有源区的长度为0.55um,所述N阱扩散区位于场氧化物下长度为0.8um。

4. 如权利要求1所述的BCD工艺下的ESD器件结构,其特征在于,所述ESD NMOS单元呈圆形。

5. 如权利要求1所述的BCD工艺下的ESD器件结构,其特征在于,所述ESD NMOS单元内部设置有接触孔,所述接触孔为圆形结构。

一种 BCD 工艺下的 ESD 器件结构

技术领域

[0001] 本实用新型涉及一种器件结构,特别涉及一种基于 BCD 工艺的 GCNMOS ESD (栅耦合电容 N 型金属氧化物半导体,静电放电)器件结构。

背景技术

[0002] 随着集成电路的发展,ESD (静电放电)对于 IC (集成电路)芯片的影响日益严重,特别是在 BCD 工艺下,大多数工艺加入了硅化注入技术,虽然大大降低了器件接触电阻,但同时也降低了 ESD 器件的可靠性。如何在不增加额外掩模版在基础上,设计出一种面积利用率高,ESD (静电放电)电流能力强,低成本,又能避免 BCD 工艺下硅化注入技术对 ESD (静电放电)不利影响的保护器件结构,越来越成为设计者需要考虑的问题。

[0003] ESD (静电放电),广泛出现在 IC (集成电路)的制造、封装、运输和使用等过程中,在以往的应用中,众多设计者普遍采用的是 GGNMOS (栅耦合电容 N 型金属氧化物半导体)结构的 ESD (静电放电)器件来应付普通 PIN (封装引脚)脚的 ESD (静电放电),通过增加 DGD (漏到栅的距离)来解决漏端发热问题。

[0004] 如图 1 所示,现有的 GCNMOS ESD (栅耦合电容 N 型金属氧化物半导体,静电放电)器件连接如下:用作 ESD 的 NMOS 管 10 的 source (源)端连接到 gnd (地)端 20,NMOS 管 10 的 gate (栅)端通过栅电阻 11 连接到 gnd (地)端 20,NMOS 管 10 的 p-substrate (P 衬底)端通过衬底生电阻 12 连接到 gnd (地)端 20,NMOS 管 10 的 drain (漏)通过输限流电阻 13 连接到需要保护的 pad (输入压焊点) 30。

[0005] 如图 2 所示,现有的 GGNMOS ESD (栅耦合电容 N 型金属氧化物半导体静电放电)器件开启和工作时:当 pad (输入压焊点)上存在 ESD (静电放电)电压时,高电位使得 N+ 漏区到 p-substrate (P 衬底)的 PN 结产生反向漏电,该反向漏电流会在 p-substrate (P 衬底)寄生电阻上产生一个电压,并且这个电压会根据连接加载到 NMOS 管的 gate (栅)端上,对其下衬底 p-substrate (P 衬底)造成反型。这时候寄生的 NPN 三极管,由于基区 p-substrate (P 衬底)电位不断上升,当 p-substrate (P 衬底)到其发射极 N+ (NMOS 源极)电位达到正偏时,寄生 NPN 三极管开启,同时维持三极管导通的电压降低至最小值。

[0006] 如图 3 所示,这个使寄生三极管发射极正偏的电位就是图示的 v_{t1} ,该电压为第一次回扫电压。如果 ESD (静电放电)电压过高,超过 v_{t2} ,即第二次回扫电压,则器件会发生破坏性击穿,如图 4 所示。

[0007] 第一次回扫发生时,ESDNPN 结构泄放 ESD (静电放电)电流,即 ESD (静电放电)器件处于正常工作状态。

[0008] 由于现今 BCD 工艺一般采用了 silicide (硅化)技术降低半导体表面电阻率,这使得普通 NMOS (N 型金属氧化物半导体)用作 ESD (静电放电)防护时,MOS (金属氧化物半导体)器件 drain (漏)端的镇流电阻偏小,在 ESD (静电放电)事件发生时,电流容易集中而导致器件的可靠性降低,为了解决这一问题,通常有两种常用方法:

[0009] 1、增加漏端接触孔到多晶硅栅的距离,这样会增加面积,从而增加成本;

[0010] 2、增加一层硅化阻止层,不在ESD(静电放电)器件的漏端形成硅物,这样便可增加接触孔到硅栅的电阻,使得电流分布均匀,提高电流的泻放能力;缺点是需要增加一次光刻工艺从而增加了成本。

[0011] 因此,特别需要一种BCD工艺下的ESD器件结构,已解决上述现有存在的问题。

实用新型内容

[0012] 本实用新型的目的在于提供一种BCD工艺下的ESD器件结构,针对上述现有技术存在的缺陷,具有降低制造成本、提高ESD电流泄放能力和提高ESD耐压的结构特点。

[0013] 本实用新型所解决的技术问题可以采用以下技术方案来实现:

[0014] 一种BCD工艺下的ESD器件结构,其特征在于,它包括ESD NMOS单元,所述ESD NMOS单元上设置有P型有源注入区和N型有源注入区,所述P型有源注入区上连接有VSS端,所述N型有源注入区上连接有源极端或者漏极端,所述漏极端的N型有源注入区之间通过N阱扩散区连接,N阱扩散区的一端为输入压焊点的接入端口,N阱扩散区的另一端为ESD NMOS单元的漏极端,所述源极端与所述漏极端之间设置有栅极端。

[0015] 在本实用新型的一个实施例中,所述N阱扩散区的长度为7.0-8.0um,所述N阱扩散区覆盖NMOS的漏极端的有源区的长度为0.4-0.8um,所述N阱扩散区位于场氧化物下长度为0.6-1.0um。

[0016] 进一步,优选地,所述N阱扩散区的长度为7.5um,所述N阱扩散区覆盖NMOS的漏极端的有源区的长度为0.55um,所述N阱扩散区位于场氧化物下长度为0.8um。

[0017] 在本实用新型的一个实施例中,所述ESD NMOS单元呈圆形。

[0018] 在本实用新型的一个实施例中,所述ESD NMOS单元内部设置有接触孔,所述接触孔为圆形结构。

[0019] 本实用新型的BCD工艺下的ESD器件结构与现有技术相比具有如下特点:

[0020] 第一、在普通GCNMOS(栅耦合电容N型金属氧化物半导体)结构基础上,使用了有源区、N型注入区、P型注入区、多晶硅层、N阱扩散区和接触孔刻蚀层等共9层常用mask(光罩),没有额外增加光刻版;

[0021] 第二、通过改变器件结构来去掉漏端的表面silicide(硅化),将ESD(静电放电)电流驱赶到更深的N阱上,从而使功率耗散区域更深,而不至于集中在器件表面;另一方面,在漏区引入N阱,相当于把原来寄生NPN管的集电极深度增加,从而增加了寄生NPN管导通后的电流收集能力,大大提高ESD(静电放电)器件可靠性和ESD(静电放电)电流泄放能力。

[0022] 第三、将器件结构设计为圆形,可以在面积不变的情况下,增加MOSFET(金属氧化物半导体)的有效沟道宽度,也增加了寄生ESD NPN管的等效发射极面积,同时保证各个方向导通条件一致,ESD(静电放电)器件均匀触发,防止器件部分触发引起的电流集中,提高面积利用率和器件性能。

[0023] 本实用新型的BCD工艺下的ESD器件结构,与现有技术相比,采用圆形器件结构,在漏端引入N阱限制silicide(硅化)引起的表面ESD电流集中,有效进行ESD(静电放电)功率耗散,提高了器件ESD(静电放电)电流泄放能力,同时更高的面积利用率降低了产品制造成本,实现本实用新型的目的。

[0024] 本实用新型的特点可参阅本案图式及以下较好实施方式的详细说明获得清楚地了解。

附图说明

- [0025] 图 1 为现有的 GCNMOS ESD 器件的电路原理图；
[0026] 图 2 为现有的 GCNMOS ESD 器件的版面示意图；
[0027] 图 3 为现有的 GCNMOS ESD 器件的剖面示意图；
[0028] 图 4 为现有的 GCNMOS ESD 器件的击穿回扫 IV 曲线示意图；
[0029] 图 5 为本实用新型的 BCD 工艺下的 ESD 器件结构的版面示意图；
[0030] 图 6 为本实用新型的 BCD 工艺下的 ESD 器件结构的剖面示意图。

具体实施方式

[0031] 为了使本实用新型实现的技术手段、创作特征、达成目的与功效易于明白了解，下面结合具体图示，进一步阐述本实用新型。

[0032] 如图 5 和图 6 所示，本实用新型的 BCD 工艺下的 ESD 器件结构，它包括 ESD NMOS 单元 100，所述 ESD NMOS 单元 100 上设置有 P 型有源注入区 200 和 N 型有源注入区 300，所述 P 型有源注入区 200 上连接有 VSS 端，所述 N 型有源注入区 300 上连接有源极端 S 或者漏极端 D，所述漏极端 D 的 N 型有源注入区 300 之间通过 N 阱扩散区 400 连接，N 阱扩散区 400 的一端为输入压焊点的接入端口，N 阱扩散区 400 的另一端为 ESD NMOS 单元的漏极端 D，所述源极端 S 与所述漏极端 D 之间设置有栅极端 Gate。

[0033] 在本实用新型中，所述 N 阱扩散区 400 的长度为 7.0-8.0um，所述 N 阱扩散区 400 覆盖 NMOS 的漏极端的有源区的长度为 0.4-0.8um，所述 N 扩散区 400 位于场氧化物下长度为 0.6-1.0um。

[0034] 优选地，所述 N 阱扩散区 400 的长度为 7.5um，所述 N 阱扩散区 400 覆盖 NMOS 的漏极端 D 的有源区的长度为 0.55um，所述 N 阱扩散区 400 位于场氧化物下长度为 0.8um。

[0035] 在本实用新型中，所述 ESD NMOS 单元 100 呈圆形，所述 ESD NMOS 单元 100 内部设置有接触孔 110，所述接触孔 110 为圆形结构。

[0036] 本实用新型的 BCD 工艺下的 ESD 器件结构采用了场氧化层下 N 阱无硅化物的特点，可以利用 N 阱自身电阻有效耗散 ESD（静电放电）热能。同时在寄生 NPN 管开启的时候其集电极，由薄层 N+ 变为 Nwell（N 阱），相当于增大了集电极面积，能更有效泄放 ESD（静电放电）电流。

[0037] 所述 ESD NMOS 单元 100 做成圆形结构，可以使各个 NMOS（N 型金属氧化物半导体）所处环境大致相同，使各个单元能同时开启，从而保证了整体 ESD（静电放电）电流能力。

[0038] 通过器件尺寸和器件总沟道宽度计算可以发现，在相同版图面积上，本实用新型的 BCD 工艺下的 ESD 器件结构具有更高的器件利用率，利用总器件宽度 / 总器件面积可以得到：圆形器件总器件宽度 / 总器件面积 ≈ 0.11775 ，而常用方形器件总器件宽度 / 总器件面积 ≈ 0.07143 。由此看出相同的器件沟道宽度下，圆形器件更节省面积。

[0039] 以上显示和描述了本实用新型的基本原理和主要特征和本实用新型的优点。本行业的技术人员应该了解，本实用新型不受上述实施例的限制，上述实施例和说明书中描述

的只是说明本实用新型的原理,在不脱离本实用新型精神和范围的前提下,本实用新型还会有各种变化和改进,这些变化和改进都落入要求保护的本实用新型范围内,本实用新型要求保护范由所附的权利要求书及其等效物界定。

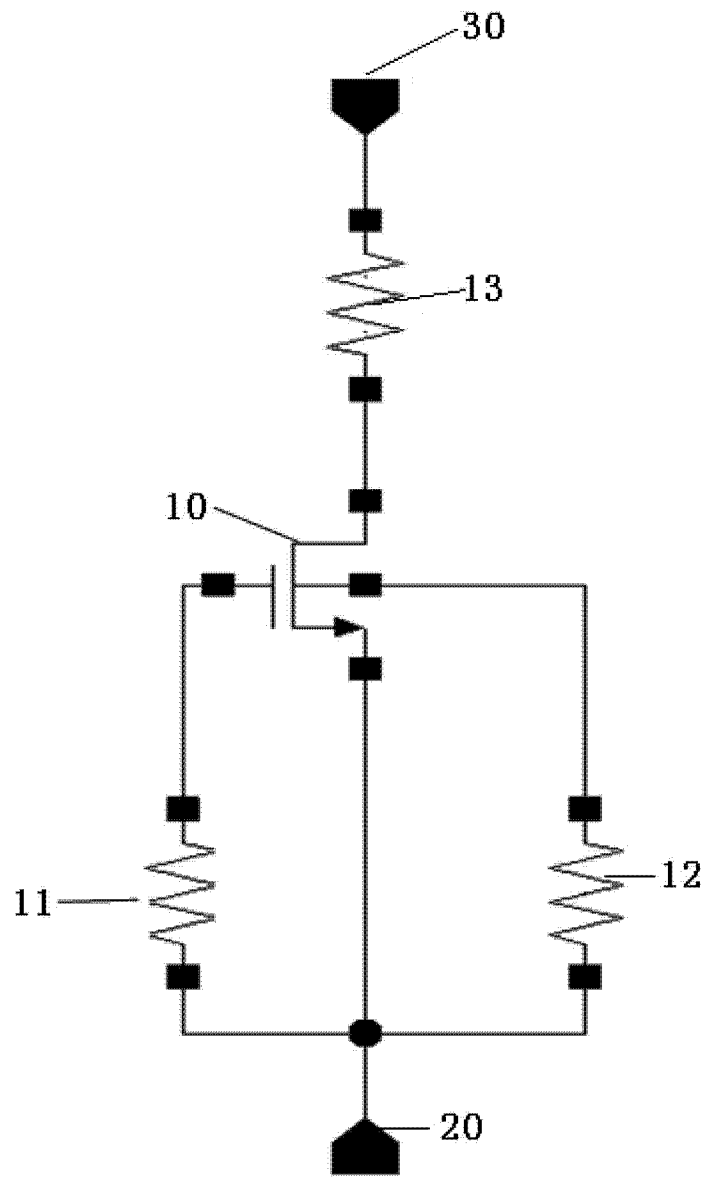


图 1

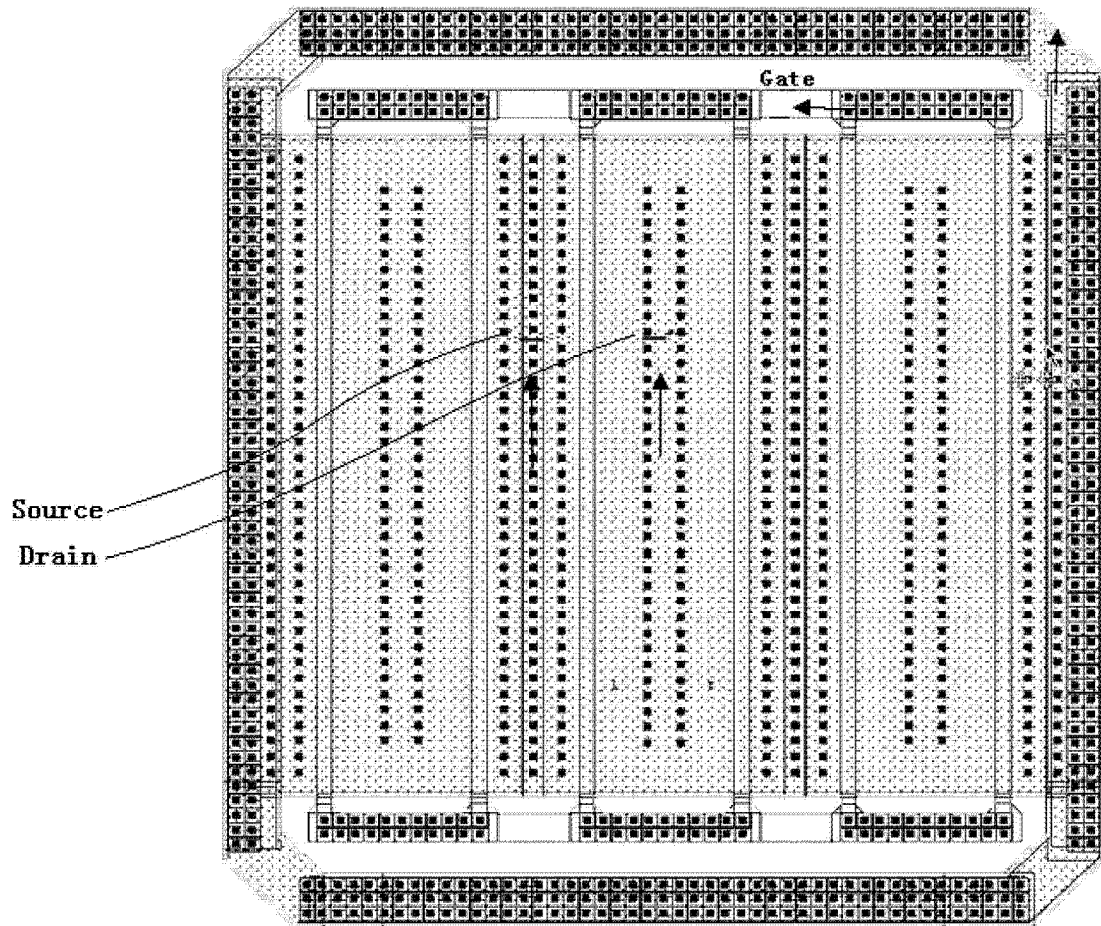


图 2

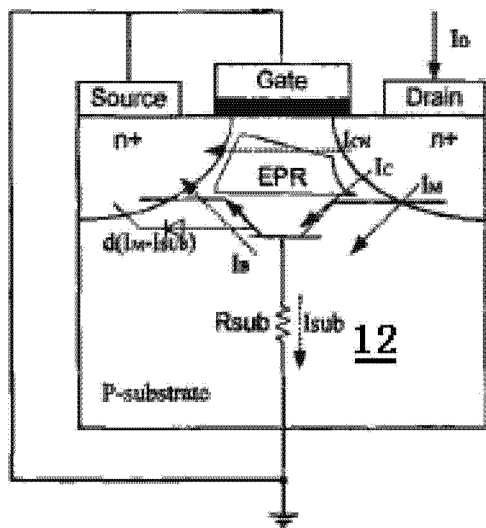


图 3

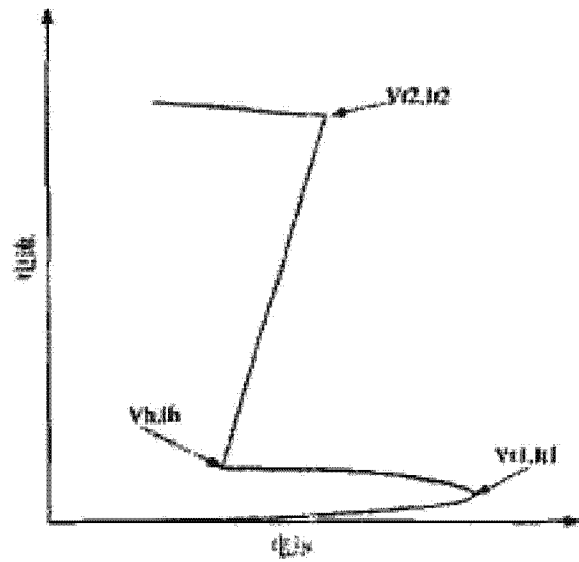


图 4

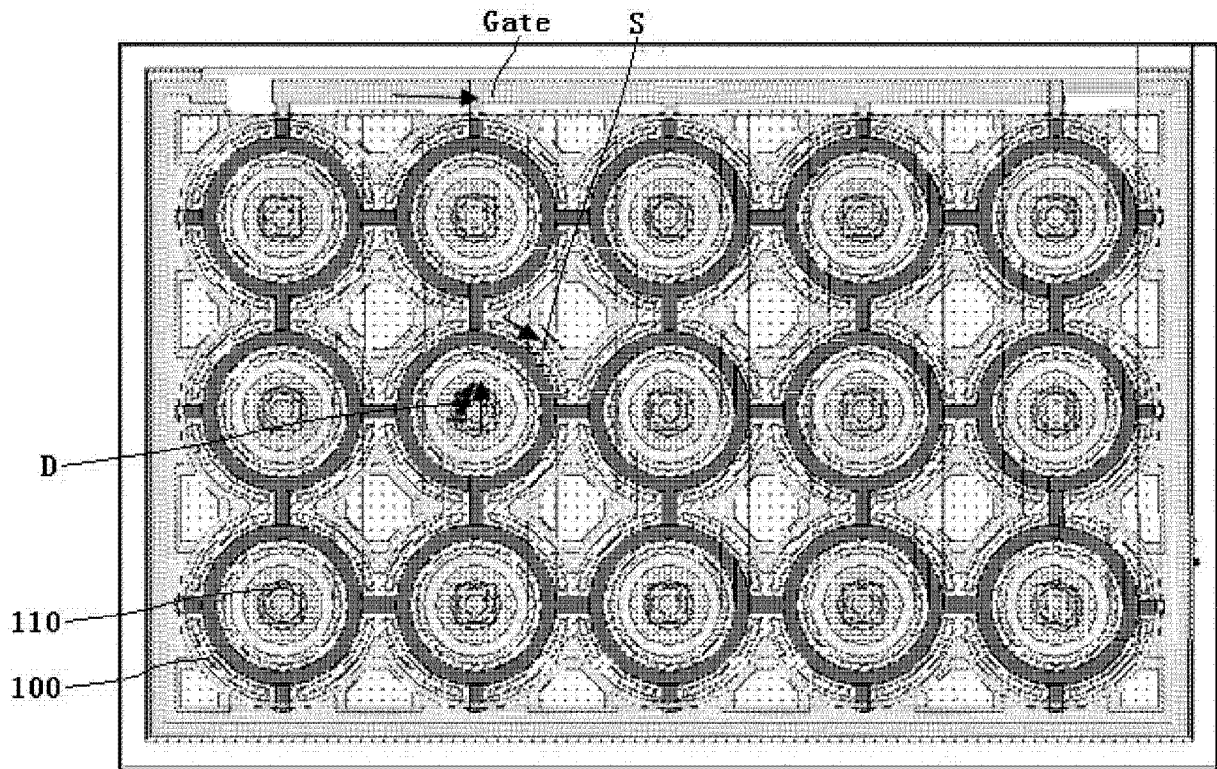


图 5

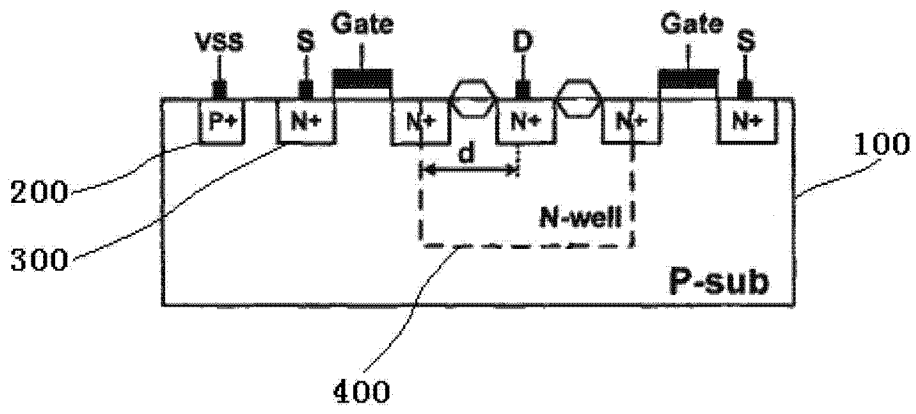


图 6