

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-5534
(P2007-5534A)

(43) 公開日 平成19年1月11日(2007.1.11)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 3 O 1 G	5 F 0 4 8
HO 1 L 21/8238 (2006.01)	HO 1 L 29/78 3 O 1 B	5 F 0 5 8
HO 1 L 27/092 (2006.01)	HO 1 L 27/08 3 2 1 D	5 F 1 4 0
HO 1 L 21/316 (2006.01)	HO 1 L 27/08 3 2 1 C	
HO 1 L 21/318 (2006.01)	HO 1 L 21/316 P	

審査請求 未請求 請求項の数 7 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願2005-183234 (P2005-183234)
(22) 出願日 平成17年6月23日 (2005.6.23)

(71) 出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(74) 代理人 100109900
弁理士 堀口 浩
(72) 発明者 鎌田 善己
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

Fターム(参考) 5F048 AC03 BA01 BA14 BB04 BB05
BB08 BB09 BB11 BB17 BC06
BE03 BF06 BF07 BF16 BG13
DA23
5F058 BA01 BC03 BC09 BD05 BD12
BD18 BF06 BF13 BF37 BH04
BH15 BH16 BJ01

最終頁に続く

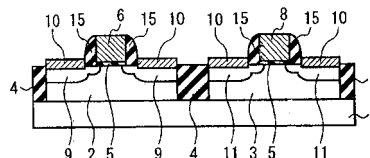
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 本発明は、小さいヒステリシスを有する半導体装置を提供することを目的とする。

【解決手段】 本発明の半導体装置は、Geを主成分として含むチャネル領域を有する半導体基板と、チャネル領域上に形成され、Zr、HfおよびLa系元素からなる群から選ばれる金属元素MおよびSiを含む酸化物を有するゲート絶縁膜と、ゲート絶縁膜上に形成されたゲート電極と、チャネル領域をゲート長方向に挟むソース・ドレイン領域と、を備えることを特徴とする。

【選択図】 図6



【特許請求の範囲】

【請求項 1】

Geを主成分として含むチャネル領域を有する半導体基板と、
前記チャネル領域上に形成され、Zr、HfおよびLa系元素からなる群から選ばれる金属元素MおよびSiを含む酸化物を有するゲート絶縁膜と、
前記ゲート絶縁膜上に形成されたゲート電極と、
前記チャネル領域をゲート長方向に挟むソース・ドレイン領域と、
を備えることを特徴とする半導体装置。

【請求項 2】

Geを主成分として含むチャネル領域を有する半導体基板と、
前記チャネル領域上に形成され、Zr、HfおよびLa系元素からなる群から選ばれる金属元素Mを含む酸化物を有し、非晶質であるゲート絶縁膜と、
前記ゲート絶縁膜上に形成されたゲート電極と、
前記チャネル領域をゲート長方向に挟むソース・ドレイン領域と、
を備えることを特徴とする半導体装置。

10

【請求項 3】

前記金属元素Mは、Zrであることを特徴とする請求項 1 乃至 2 のいずれか 1 項に記載の半導体装置。

【請求項 4】

前記金属元素Mは、Hfであることを特徴とする請求項 1 乃至 2 のいずれか 1 項に記載の半導体装置。

20

【請求項 5】

前記ゲート絶縁膜はNを含み、前記ゲート絶縁膜中の膜厚方向における前記Nの濃度のピークは、膜厚中心より上面側にあることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の半導体装置。

【請求項 6】

前記チャネル領域の面方位は、(100)であることを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の半導体装置。

【請求項 7】

前記チャネル領域において、半導体元素全量に対するGe濃度は、100%であることを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の半導体装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電界効果トランジスタを備える半導体装置に関する。

【背景技術】

【0002】

半導体装置における基板として、従来からシリコン単結晶基板が用いられてきたが、近年、電子およびホールの移動度がシリコンよりも大きい点で、ゲルマニウム基板が着目されている。

40

【0003】

一方、実効的な膜厚 (Effective oxide thickness : EOT) を低減するために、トランジスタのゲート絶縁膜は、従来の熱酸化膜から高誘電体材料を含む堆積膜へ代わろうとしている。

【0004】

近年、高誘電体膜をゲルマニウム基板上に形成するための種々の方法が検討、提案されている (例えば、非特許文献 1 参照。)。

【0005】

しかしながら、High-k/Geゲートスタック構造のMOSキャパシタの容量測定において、ヒ

50

ステリシスが大きい結果が得られるという報告が幾つか成されている(例えば、非特許文献2参照)。ヒステリシスは、トランジスタ動作時に閾値シフト、閾値ばらつきの原因となるため、問題である。

【非特許文献1】C. O. Chui, "A Germanium NMOSFET Process Integrating Metal Gate and Improved Hi-Dielectrics", IEDM (2003) p.437

【非特許文献2】H. Kim, "Local epitaxial growth of ZrO₂ on Ge(100) substrates by atomic layer epitaxy" Appl. Phys. Lett. 29 SEPTEMBER 2003, 83, p.2647

【発明の開示】

【発明が解決しようとする課題】

【0006】

10

本発明は、上記事情に鑑みて、小さいヒステリシスを有する半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0007】

本発明の半導体装置は、Geを主成分として含むチャネル領域を有する半導体基板と、チャネル領域上に形成され、Zr、HfおよびLa系元素からなる群から選ばれる金属元素MおよびSiを含む酸化物を有するゲート絶縁膜と、ゲート絶縁膜上に形成されたゲート電極と、チャネル領域をゲート長方向に挟むソース・ドレイン領域と、を備えることを特徴とする。

【0008】

20

また、本発明の半導体装置は、Geを主成分として含むチャネル領域を有する半導体基板と、チャネル領域上に形成され、Zr、HfおよびLa系元素からなる群から選ばれる金属元素Mを含む酸化物を有し、非晶質であるゲート絶縁膜と、ゲート絶縁膜上に形成されたゲート電極と、チャネル領域をゲート長方向に挟むソース・ドレイン領域と、を備えることを特徴とする。

【発明の効果】

【0009】

本発明は、小さいヒステリシスを有する半導体装置を提供することができる。

【発明を実施するための最良の形態】

【0010】

30

以下に、本発明の各実施の形態について図面を参照しながら説明する。なお、実施の形態を通して共通の構成には同一の符号を付すものとし、重複する説明は省略する。また、各図は発明の説明とその理解を促すための模式図であり、その形状や寸法、比などは実際の装置と異なる個所があるが、これらは以下の説明と公知の技術を参酌して適宜、設計変更することができる。

【0011】

なお、実施の形態においては、CMOSFET(Complementary Metal-Oxide-Semiconductor Field Effect Transistor)について説明するが、無論、MOSFET単体についても適用できる。

【0012】

40

また、EPROM(Erasable Programmable Read Only Memory)、EEPROM(Electrically EPROM)、フラッシュメモリ等のPROMについても、同様に各実施の形態を適用できる。

【0013】

さらに、上述した半導体素子が集積化したメモリ、ロジック回路等、並びにこれらが同一チップ上に混載されるシステムLSI等も本発明の範囲内である。

【0014】

本実施の形態に係るCMOSFETの一例について、図6を参照して説明する。

【0015】

図6は、本実施の形態に係るCMOSFETの一例のゲート長方向の断面模式図である。

50

【0016】

図6に示すように、半導体基板1上にp型半導体層2およびn型半導体層3が形成されている。p型半導体層2にはn-MOSFETが形成され、n型半導体層3にはp-MOSFETが形成され、両者の間には素子分離4が形成されている。n-MOSFETおよびp-MOSFETは、互いに相補的に働き、CMOSFETを構成する。

【0017】

n-MOSFETについて説明する。p型半導体層2上面には、後述する第1もしくは第2の高誘電体膜を有するゲート絶縁膜5が形成される。ゲート絶縁膜5上にはゲート電極6が形成されている。ゲート絶縁膜5およびゲート電極6を、ゲート長方向に挟むようにゲート側壁15が形成されている。ゲート絶縁膜5直下には、p型半導体層2上面のGeを主成分として含むチャンネル領域が形成されている。チャンネル領域をゲート長方向に挟むp型半導体層2表面には、第1のソース・ドレイン領域9が形成されている。第1のソース・ドレイン領域9は、チャンネル領域をゲート長方向に挟むエクステンション領域およびエクステンション領域をゲート長方向に挟みエクステンション領域より深く形成された拡散層からなる。第1のソース・ドレイン領域9上には、コンタクト電極10が形成されている。

【0018】

p-MOSFETについても、n-MOSFETと同様に、n型半導体層3、ゲート絶縁膜5、ゲート電極8、ゲート側壁15、第2のソース・ドレイン領域11およびコンタクト電極10が形成されている。

【0019】

第1の高誘電体膜とは、Zr、HfもしくはLa系元素からなる群から選ばれる金属元素MおよびSiを含む酸化物を有する膜である。このような高誘電体膜としては、例えば、ZrSiO₄、HfSiO₄、LaSiO₃、ZrSiON、HfSiON、LaSiON、ZrAlSiO₄、HfAlSiO₄、LaAlSiO₄、ZrAlSiON、HfAlSiON、LaAlSiON等が挙げられる。

【0020】

第2の高誘電体膜とは、Zr、HfもしくはLa系元素からなる群から選ばれる金属元素Mを含む酸化物を有し、非晶質の膜である。このような高誘電体膜としては、例えば、ZrON、HfON、LaON、ZrSiO₄、HfSiO₄、LaSiO₃、ZrSiON、HfSiON、LaSiON、ZrAlSiO₄、HfAlSiO₄、LaAlSiO₄、ZrAlSiON、HfAlSiON、LaAlSiON等が挙げられる。

【0021】

なお、La系元素とは、La、Ce、Pr、Nd、Pm、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Luのいずれかの元素である。特にLaが好ましい。

【0022】

ゲート絶縁膜5の厚さは制限を受けるものではなく、ワンモノレイヤー以上あればよいが、ゲート容量低下をなるべく低減するためには極力薄膜化することが必要であり、具体的にはSiO₂換算膜厚で2 nm以下が望ましい。

【0023】

半導体基板1は、Si、SiGe、Ge、歪Si等を用いる。

【0024】

p型半導体層2、n型半導体層3は、そのチャンネル領域がGeを主成分とするものであればよい。具体的には、Ge濃度は、50%以上100%以下である。50%以上であると、ドーパントの活性化温度を低減でき効果的である。電子およびホールの実効移動度を増加させるため、より好ましいGe濃度は、80%以上であり、さらに好ましくは、100%である。なお、このGe濃度は、不純物濃度等を含まない、半導体元素全量に対する濃度とする。また、SiとGeはそれぞれに対して全率固溶であり任意の濃度で混ざる事が可能である。

【0025】

p型半導体層2、n型半導体層3について、そのチャンネル領域のGeの面方位は、(100)が好ましい。

【0026】

10

20

30

40

50

ゲート電極 6、8 は、多結晶シリコン (poly-Si)、SiGe等の半導体化合物、400 乃至 600 程度の耐熱性を有する金属、400 乃至600 程度の耐熱性を有する金属化合物等を用いる。

【0027】

ソース/ドレイン領域 9、11 は、高濃度不純物拡散層として浅い接合および深い接合を組み合わせたものの他、シリサイド層等、各世代のトランジスタで必要な構造を適宜選択して用いればよい。以下の実施例でも、特に断らない限り、それぞれ必要な構造に置き換えることは無論有効である。

【0028】

コンタクト電極 10 としては、NiSi_x の他、金属的な電気伝導特性を示す、V、Cr、Mn、Y、Mo、Ru、Rh、Hf、Ta、W、Ir、Co、Ti、Er、Pt、Pd、Zr、Gd、Dy、Ho、Er等の種々のシリサイドや上記Siの少なくとも一部がGeに置き換わったメタルジャーマナイド(MGex)が挙げられる。

10

【0029】

素子分離 4、ゲート側壁 15 は、絶縁性材料を用いる。なお、可能な場合には、該箇所は、空洞としてもよい。

【0030】

本実施の形態によれば、実施例にて後述するように、半導体装置のヒステリシスを小さくすることができる。

【0031】

さらに、本実施の形態によれば、実施例にて後述するように、半導体装置のチャネル移動度を向上できる。

20

【0032】

第1の高誘電体膜は、金属元素MおよびSiについて、M/(M+Si)比が10%以上90%以下であることが好ましい。

【0033】

10%以上であると、比誘電率が8以上となる為に、例えばゲート絶縁膜のSiO₂換算膜厚1nmを達成する為に物理膜厚を2nm以上に設定することが可能となる。これにより、ゲートリーク電流を著しく低下させることが可能となる。90%以下であると、図3(b)で示したような、600 程度まで非晶質状態を保つ機能が維持される。

30

【0034】

より好ましいM/(M+Si)比は、比誘電率がたとえば12程度となる25%以上であり、さらに好ましくは、比誘電率が例えば16程度となる40%以上である。このような比誘電率の増大により、同じSiO₂換算膜厚に対して物理膜厚をさらに厚く設定することが可能となり、ゲートリーク電流がさらに低減する。上限については、M/(M+Si)比が高いほど比誘電率が高くなるが、その反作用としてGe/高誘電体膜のバンドオフセットが低下し、リーク電流が増加する現象が見られる。バンドオフセットを低下させない為に、M/(M+Si)比は70%以下であることがもっとも望ましい。

【0035】

ゲート絶縁膜は、第1の高誘電体膜および第2の高誘電体膜の双方に該当する高誘電体膜であると好ましい。すなわち、Zr、HfもしくはLa系元素からなる群から選ばれる金属元素MおよびSiを含む酸化物を有し、非晶質である膜であると好ましい。これは、これらの酸化物の比誘電率がSiO₂よりも高い為に、SiO₂換算膜厚を1nm以下に薄くすることが可能となる為である。また、非晶質酸化物であれば、ゲート電極、あるいは基板からの不純物拡散耐性が強くなる、結晶酸化物特有の空間的な特性揺らぎに起因するデバイス特性、たとえばしきい値電圧のばらつきなどの課題を回避できるためである。

40

【0036】

金属元素Mは、Zrであると好ましい。これは、Zrを含む酸化物の比誘電率が12~30程度と高く、さらにバンドギャップが5eV以上であるために、ゲートリーク電流を低く抑制しつつ、SiO₂換算膜厚を低減化できるためである。また、Zr、Siを含む酸化物は、600 程

50

度の温度で非晶質状態を保持できるがゆえ、前述の非晶質酸化物特有の効果を発揮することが可能である。

【0037】

また、金属元素Mは、Hfであると好ましい。これは、Hfを含む酸化物の比誘電率が12~30程度と高く、さらにバンドギャップが5eV以上であるために、ゲートリーク電流を低く抑制しつつ、SiO₂換算膜厚を低減化できるためである。また、Hf、Siを含む酸化物は、700

程度の温度で非晶質状態を保持できるがゆえ、前述の非晶質酸化物特有の効果を発揮することが可能である。

【0038】

高誘電体膜は、Nを含んだ場合、N濃度は、5at.%以上30at.%以下が好ましく、より好ましくは10at.%以上20at.%以下である。N濃度が5at.%以上あれば、高温プロセスにおいて酸化物を非晶質状態で保持することが原理的に可能となり、より望ましくは10at.%以上のN濃度であればほぼ完全な非晶質状態を実現できる。非晶質維持作用は、N濃度が高いほど有効であり、特に高温環境を考慮した時には、N濃度は高ければ高いほどよい。しかし、N濃度が高すぎると、酸化物のバンドギャップが狭くなり、膜の絶縁性が劣化してしまう。典型的にはN濃度30at.%以上でこの傾向が顕著になることから、N濃度は30at.%以下、バンドギャップを窒素添加無しの場合と同等に保持するという目的からは20at.%以下であることが望ましい。

10

【0039】

また、高誘電体膜は、Nを含んだ場合、ゲート絶縁膜中の膜厚方向における窒素の濃度のピークは、膜厚中心より上面側、すなわち、ゲート電極側にある方が好ましい。

20

【0040】

高誘電体膜は、Geを含んだ場合、Ge濃度は、0.5at.%以上26at.%以下が好ましく、より好ましくは1at.%以上3at.%以下である。これは、0.5at.%以上のGeが高誘電体膜に含まれることで、Geとの界面の組成不連続性が緩和される界面特性が安定化する為であり、より望ましくは1at.%以上のGeが含まれるとよい。また、26at.%以上のGeが添加された高誘電体膜はその比誘電率が著しく劣化するため、Ge濃度は26at.%以下が良い。比誘電率がGe添加なしの場合から大きく劣化しないためにはGe濃度は3at.%以下であることがもっとも望ましい。

【0041】

なお、Ge基板と高誘電体膜との間に、界面遷移層(界面層)が形成されていてもよい。界面層は、Ge基板の構成元素および高誘電体膜の構成元素のいずれかから構成される。この界面層は、異種物質であるGeと高誘電体膜の界面を構造的に無理なく接続する作用を持ち、これにより界面準位、固定電荷などの構造欠陥が減少し、デバイス特性が大きく改善する。

30

【0042】

シリケート(MSi_xO_y)とGe基板における界面層としては、MGe_xO_y、SiGe_xO_y、MSi_xO_y、SiO_x、GeO_x、MO_x、MSi_xGe_yO_z等が挙げられる。金属酸窒化物(MON)とGe基板における界面層としては、上記同様にM_vSi_wGe_xO_yN_z (v+w+x+y+z=1, 1 v, w, x, y, z 0)が挙げられる。

40

【実施例】

【0043】

本発明者は、高誘電体膜/Ge基板ゲートスタック構造を有するデバイスを実際に試作し評価を行った。具体的には、高誘電体膜/Ge基板がZrO₂/Ge、ZrSiO/Geであるゲートスタック構造を作製した。Ge基板の面方位は、(100)とした。高誘電体膜の膜厚は、3nmとした。Zr/(Zr+Si)比は、50%である。ZrSiOの高誘電体膜/Ge基板ゲートスタック構造を作製後、30分間500 の窒素熱処理を行った。

【0044】

本発明者は、上述のZrO₂/Ge系およびZrSiO/Ge系ゲートスタック構造について容量測定を行った。その結果をそれぞれ図1(a)および(b)に示す。図1(a)および(b)中、フラット

50

バンドを基準容量値としてヒステリシスをでるた V_{fb} として定義する。

【0045】

図1(a)および(b)に示すように、ZrO₂/Ge系ではでるた $V_{fb}=0.67$ (V)であるのに対し、ZrSiO₃/Ge系では $V_{fb}=0.057$ (V)である。

【0046】

したがって、ZrSiO₃/Ge系では、 V_{fb} が1桁以上改善されていることがわかる。ヒステリシスが小であると、しきい値ばらつきを小さくすることができる。しきい値ばらつきの低下により、電源電圧を下げることも可能となり低消費電力デバイスの実現が可能となる。なお、一般に、回路を誤動作させないためには電源電圧を少なくともしきい値ばらつきの25倍程度に設定する必要がある。商用化を鑑みると、数10mV程度以内のしきい値ばらつきが求められており、今回のZrSiO₃/Ge系の V_{fb} の結果は、それを達成する値である。

10

【0047】

また、本発明者は、上述のZrO₂/Ge系およびZrSiO₃/Ge系ゲートスタック構造について、実効ホール移動度 μ_{eff} 測定を行った。その結果をそれぞれ図2(a)および(b)に示す。

【0048】

図2(a)および(b)に示すように、ZrO₂/Ge系では、デバイス性能の指標の一つである μ_{eff} の最大値が90 (cm²/Vsec)程度であるのに対し、ZrSiO₃/Ge系では、 μ_{eff} の最大値が170 (cm²/Vsec)である。なお、図2中、 N_s は、表面電荷密度を示す。

【0049】

ZrSiO₃/Ge系が、ZrO₂/Ge系に比して小さいヒステリシスおよび高い移動度を実現できた理由として、膜の結晶性および界面特性の違いが挙げられる。

20

【0050】

まず、ZrO₂/Ge系、ZrSiO₃/Ge系、それぞれの膜の結晶性について、図3(a)および(b)を用いて説明する。図3(a)および(b)は、400、500および600の窒素熱処理後のin-plane XRD結果である。

【0051】

図3(a)から、ZrO₂/Ge系スタック構造では、400以上の窒素熱処理後において、ZrO₂膜が結晶化していることがわかる。なお、ZrO₂膜は、堆積時においては非晶質(アモルファス)であることを確認している。このため、熱処理に起因して、ZrO₂膜が結晶化したと思われる。

30

【0052】

図3(a)の詳細について説明する。図3(a)と結晶系データベースJCPDSデータとの比較から、膜はcubic ZrO₂と同定できる。2 θ = 30.119°, 50.219°, 59.738°付近のピークは、それぞれcubic ZrO₂の(111), (220), (311)に対応する。また、2 θ = 45.305°のピークは、Cu K α を線源として用いた場合のGe(220)のものである。更に、感度優先の測定のため、図3(a)では、他の線源によるGe(220)も混ざっており、40.7°はCuK α , 43.3°はWLに対応する。

【0053】

一方、ZrSiO₃/Ge系スタック構造では、600以下の窒素熱処理では図3(b)に示すように膜は結晶化しておらず非晶質(アモルファス)である。

40

【0054】

なお、Si基板上のシリケートについては、主に1000程度の高温領域における結晶性が調べられてきた。これはSi基板中のdopantの活性化温度が1000程度であるためである。一方、Ge基板では、融点が938と低い事を反映して400程度でdopantの活性化を行なう事が可能である。このため、400から600という温度は素子形成のためのプロセス温度として現実的である。

【0055】

両者のヒステリシス、移動度等の電気的特性は、この結晶性の違いに起因すると考えられる。一般に、膜が結晶化する場合、単結晶でなく多結晶になるため、結晶粒界が存在する。この結晶粒界には、不純物が分布しやすい傾向にある。そのため、トランジスタのキ

50

キャリアのチャネル走行領域に結晶粒界が存在するとチャネル部のポテンシャル揺らぎを増大させると予想され、その結果ZrO₂/Ge系で移動度が劣化されたのだと考えられる。ZrO₂/Ge系の大きなヒステリシスも結晶粒界に起因していると考えられる。

【0056】

一方、ZrSiO₄/Ge系では、膜はアモルファスであるため、ZrO₂/Ge系に比して、電気的特性が向上したのだと考えられる。

【0057】

上述の議論から、膜の結晶化耐熱性を向上させる処置を施すことが好ましいことがわかる。具体的には、窒素を含む高誘電体膜を用いることが好ましい。さらに、本発明者の実験結果から、ゲート絶縁膜中に窒素を含んでいる場合、ゲート絶縁膜中の膜厚方向における窒素の濃度のピークは、膜厚中心より上面側、すなわち、ゲート電極側にある方が好ましいことが分かった。

10

【0058】

図4に、膜中窒素濃度が膜厚方向に均一であり、かつ14 at.%程度であるZrONをGe基板のゲート絶縁膜として用いたZrON/Ge系のホール移動度を示す。図4中、Nsは、表面電荷密度を示す。図2(a)に示したZrO₂/Geのホール移動度の最大値90(cm²/Vsec)と比較して、ZrON/Geのホール移動度45(cm²/Vsec)と、大きく劣化しているのが分かる。このように図4に示すように、Ge基板と接する領域にNが多く含まれると移動度が劣化することが分かった。

【0059】

窒素の濃度のピークを膜厚中心より上面側にあるようにするためには、窒素供給方法として、プラズマ窒化、ラジカル窒化等を用いることが好ましい。

20

【0060】

なお、プラズマ窒化とは励起状態の窒素を用いる窒素供給手法である。また、他の窒素供給手法としては、NH₃、NO、N₂O等による熱窒化、あるいはNイオン注入などが挙げられる。

【0061】

次に、Ge基板の面方位は、(100)が好ましいことが分かった。

【0062】

図5は、ZrSiO₄/Ge系のGe基板の面方位に依存した実効ホール移動度を示す図である。

30

【0063】

図5に示すように、Ge基板の面方位(100)は、面方位(111)に比して高い移動度を示す。ZrSiO₄/(111)-Ge系では、 μ_{eff} の最大値が120(cm²/Vsec)程度であるのに対し、ZrSiO₄/(100)-Ge系では、 μ_{eff} の最大値が170(cm²/Vsec)である。

【0064】

以下、半導体装置の製造方法の具体例を示す。

【0065】

(実施例1)

希フッ酸処理および純水リンスされた(100) Ge基板上にスパッタ成膜方法によりAr/O₂プラズマおよびSi、Zrターゲットを用いてZrシリケート膜を3nm堆積する。

40

【0066】

続いてゲートレジストをパターンニング後、Moを電子線蒸着し、レジストのリフトオフによってMoゲート電極を形成する。また、ソース・ドレインの形成は、BF₂イオンを加速電圧50keV、ドーズ量 5×10^{15} cm⁻²注入した後、500℃の窒素熱処理を30分行い形成する。

【0067】

(実施例2)

希フッ酸処理および純水リンスされた(100) Ge基板上にスパッタ成膜方法によりAr/O₂/N₂プラズマおよびSi、Zrターゲットを用いてZrSiON膜を3nm堆積する。絶縁膜/基板界面から遠い絶縁膜側に窒素が多く含まれるようスパッタ成膜時のガス流量を調節する。

【0068】

50

続いてゲートレジストをパターニング後、Moを電子線蒸着し、レジストのリフトオフによってMoゲート電極を形成する。また、ソース・ドレインの形成は、BF₂イオンを加速電圧50keV、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ 注入した後、500 の窒素熱処理を30分行い形成する。

【0069】

(実施例3)

希フッ酸処理および純水リンスされた(100) Ge基板上にスパッタ成膜方法によりAr/O₂プラズマおよびSi, Zrターゲットを用いてZrシリケート膜を3nm堆積する。更に窒素プラズマ処理により絶縁膜中に窒素を導入する。

【0070】

続いてゲートレジストをパターニング後、Moを電子線蒸着し、レジストのリフトオフによってMoゲート電極を形成する。また、ソース・ドレインの形成は、BF₂イオンを加速電圧50keV、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ 注入した後、500 の窒素熱処理を30分行い形成する。

10

【0071】

ゲート絶縁膜形成工程は前記スパッタ堆積法に限らず他の物理堆積法(蒸着など)や化学気相堆積法(MO-CVD, AL-CVDなど)、一般のゲート絶縁膜形成方法で代替可能であることは言うまでも無い。

【0072】

ゲート電極は勿論Moに限るものではなく、ゲート電極形成プロセスとしては埋め込み(ダマシン, replacement)プロセスやFUSI等を用いても良い。

【0073】

以上、本発明の実施の形態を説明したが、本発明はこれらに限られず、特許請求の範囲に記載の発明の要旨の範疇において様々に変更可能である。また、本発明は、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。さらに、上記実施形態に開示されている複数の構成要素を適宜組み合わせることにより種々の発明を形成できる。

20

【図面の簡単な説明】

【0074】

【図1】 ZrO₂/Ge系およびZrSiO/Ge系ゲートスタック構造についてのヒステリシスを示す図。

【図2】 ZrO₂/Ge系およびZrSiO/Ge系ゲートスタック構造についての実効ホール移動度を示す図。

30

【図3】 ZrO₂/Ge系およびZrSiO/Ge系ゲートスタック構造についてのin-plane XRD結果を示す図。

【図4】 ZrON/Ge系ゲートスタック構造についての実効ホール移動度を示す図。

【図5】 Ge基板の面方位(100)および(111)についての実効ホール移動度を示す図。

【図6】 本実施の形態に係わるCMOSFETの一例のゲート長方向の断面模式図。

【符号の説明】

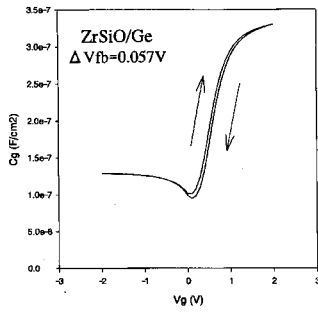
【0075】

- 1 半導体基板
- 2 p型半導体層
- 3 n型半導体層
- 4 素子分離
- 5 ゲート絶縁膜
- 6 ゲート電極
- 8 ゲート電極
- 9 第1のソース/ドレイン領域
- 10 コンタクト電極
- 11 第2のソース/ドレイン領域
- 15 ゲート側壁

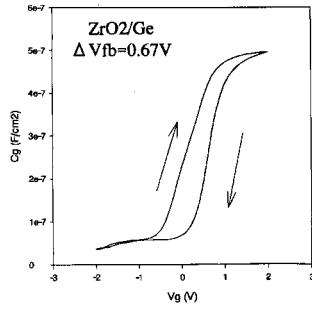
40

【 図 1 】

(a)

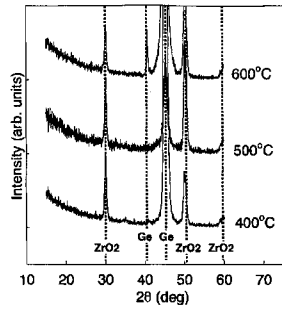


(b)

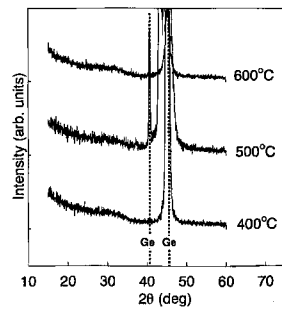


【 図 3 】

(a)

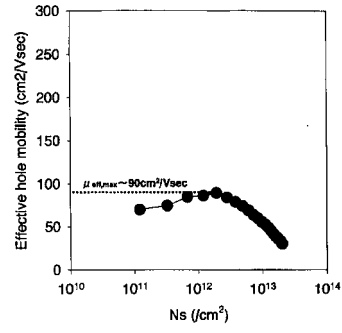


(b)

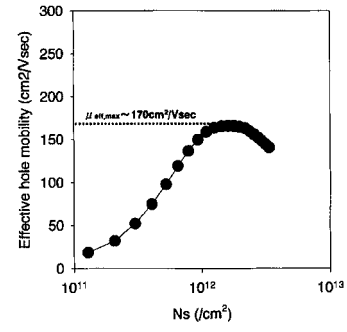


【 図 2 】

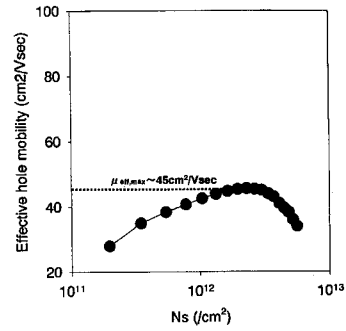
(a)



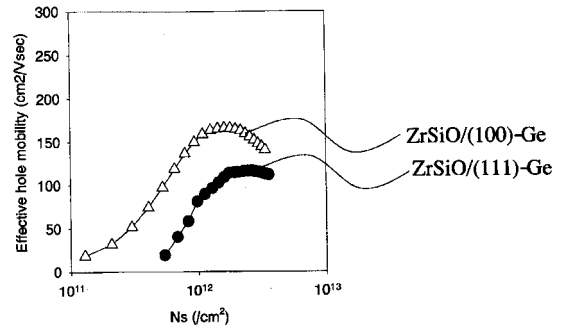
(b)



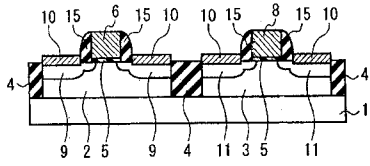
【 図 4 】



【 図 5 】



【 図 6 】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 1 L 21/318

C

Fターム(参考) 5F140 AA01 AA06 AB03 AC28 AC32 BA01 BA03 BA05 BA20 BD01
BD11 BD13 BD15 BD17 BE02 BE08 BE09 BE10 BE17 BF01
BF04 BF05 BF07 BF10 BG07 BG17 BG30 BG36 BH14 BJ05
BJ08 BK13 BK21 CE02