(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
G09G 3/22

(11) 공개번호 특2003-0071477
(43) 공개일자 2003년09월03일

(21) 출원번호 10-2002-0077686
(22) 출원일자 2002년12월09일

(30) 우선권주장 JP-P-2002-00246097 2002년08월27일 일본(JP)
JP-P-2002-00050674 2002년02월27일 일본(JP)

(71) 출원인 가부시키가이샤 히타치세이사쿠쇼
일본 도쿄토 치요다쿠 간다스루가다이 4쪼메 6반치

(72) 발명자 스즈키무츠미
일본국도쿄토코다이라시조스이혼초5초메17반치7-3고

사가와마사카즈
일본국도쿄토이나기시와카바다이4초메35반치B302고

쿠스노키토시아키
일본국사이타마켄도코로자와시미유키초1초메16반치408고

(74) 대리인 특허법인 원전

심사청구 : 없음

(54) 화상표시장치 및 그 구동방법

요약

본 발명은 전자방출소자와 형광체와 스페이서를 조합한 평면 화상표시장치에 있어서, 왜곡이 없는 양호한 화상표시를 얻는 것을 목적으로 한다.

상기 목적을 달성하기 위해 복수개의 전자방출소자를 가지는 제1 기판과, 형광체를 가지는 제2 기판과, 스페이서를 가지는 표시패널과, 선순차 구동방법에 의한 구동수단을 가지는 화상표시장치로서, 상기 구동수단에서는 주사펄스가 출력되고, 상기 구동수단은 상기 스페이서의 근방에서는 스페이서의 먼곳에서부터 가까운 곳의 순서로 주사한다.

이에 의해, 스페이서의 대전에 의한 표시화상에의 영향을 대폭 저감, 또는 제거하여, 왜곡이 없는 양호한 화상표시가 실현된다.

대표도

도 1

색인어

스페이서, 왜곡, 화상표시, 주사펄스, 기판

명세서

도면의 간단한 설명

도 1은 본 발명에 관한 화상표시장치의 구동방법을 설명하기 위한 도면,

도 2는 전계 방출(field emission) · 디스플레이의 단면을 나타내는 모식도,

도 3은 스페이서의 단면을 나타내는 모식도,

도 4는 종래의 화상표시장치의 구동방법을 설명하기 위한 도면,

도 5는 스페이서의 대전량(amount of charging)의 시간 변화를 나타낸 도면,

도 6은 본 발명에 관한 화상표시장치의 제1 실시예의 표시패널의 구조를 설명하기 위한 평면도,

도 7은 본 발명에 관한 화상표시장치의 제1 실시예의 표시패널의 구조를 설명하기 위한 단면도,

도 8은 본 발명에 관한 화상표시장치의 제1 실시예의 음극판의 일부를 나타내는 평면도,

도 9(a) 및 도 9(b)는 본 발명에 관한 화상표시장치의 제1 실시예의 음극판의 일부를 나타내는 단면도,

도 10(a) ~ 도 10(i)는 본 발명에 관한 화상표시장치의 제1 실시예의 음극판의 작성 프로세스를 설명하기 위한 도면,

도 11은 본 발명에 관한 화상표시장치의 제1 실시예의 전자방출소자의 전자방출기구를 설명하기 위한 도면,

도 12는 본 발명에 관한 화상표시장치의 제1 실시예의 구동회로에의 결선을 나타낸 도면,

도 13은 본 발명에 관한 화상표시장치의 제1 실시예의 구동방법을 나타내는 도면,

도 14는 본 발명에 관한 화상표시장치의 제1 실시예의 구동방법을 나타내는 도면,

도 15는 본 발명에 관한 화상표시장치의 제1 실시예의 구동수단의 구성을 나타내는 도면,

도 16(a) 및 도 16(b)는 본 발명에 관한 화상표시장치의 제1의 실시예의 구동수단의 복수행의 메모리의 구성을 나타내는 도면,

도 17(a) ~ 도17(c)는 본 발명에 관한 화상표시장치의 제1 실시예의 구동수단의 복수행의 메모리의 동작순서를 설명하는 도면,

도 18은 본 발명에 관한 화상표시장치의 제2 실시예의 구동방법을 나타내는 도면,

도 19(a) 및 도19(b)는 본 발명에 관한 화상표시장치의 제3 실시예의 구동방법을 나타내는 도면,

도 20(a) 및 도20(b)는 본 발명에 관한 화상표시장치의 제4 실시예의 구동방법을 나타내는 도면,

도 21은 본 발명에 관한 화상표시장치의 복수행의 메모리부의 구성의 일예를 나타내는 도면,

도 22는 본 발명에 관한 화상표시장치의 구성의 일예를 나타내는 도면,

도 23은 스페이서와 주사선을 나타내는 개략평면도,

도 24는 스페이서 행수와 주사선수와의 관계를 나타내기 위한 개략평면도,

도 25(a) 및 도 25(b)는 본 발명에 관한 화상표시장치의 제5 실시예의 구동방법을 나타내는 도면,

도 26(a) 및 도 26(b)는 본 발명에 관한 화상표시장치의 제5 실시예의 구동수단의 복수행의 메모리의 동작순서를 설명하는 도면이다.

<부호의 설명>

11 …상부전극, 12 …절연층, 13 …하부전극, 14 …기판, 32 …상부전극 버스라인, 41 …주사 구동회로, 42 …데이터 구동회로, 43 …가속전극 구동회로, 60 …스페이서, 100 …표시패널, 110 …면판, 114 …형광체, 120 …블랙(black) 매트릭스, 122 …가속전극, 301 …전자방출소자, 310 …주사전극, 311 …데이터 전극, 601 …음극판, 602 …형광판, 603 …프레임부재, 701 …신호처리 블록, 702 …복수행의 메모리부, 703 …직렬병렬 변환블록, 704 …데이터 드라이버회로, 705 …주사 드라이버, 710 …메모리 블록A, 711 …메모리 · 블록B, 720 …스페이서 위치정보, 750 …주사 펄스, 751 …데이터 펄스, 754 …반전펄스.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 매트릭스 형태로 배치한 전자방출소자와 형광체를 이용하여 화상을 표시하는 화상표시장치 및 그 구동방법에 관한 것이다.

전계 방출(field emission) 디스플레이(이하「FED 」라고 한다)란 서로 직교하는 전극군의 교점을 화소로 하여, 각 화소에 전자방출소자를 설치하고, 각 전자방출소자에의 인가전압을 조정함으로써 방출전자량을 조정하여, 그 방출전자를 진공속에서 가속한 후 형광체에 조사하고, 조사한 부분의 형광체를 발광시키는 것이다. 전자방출소자로서 전계방사형 음극을 이용하는 것, MIM(Metal-Insulator-Metal)형 전자원을 이용하는 것, 탄소 나노(nano) 튜브 음극을 이용하는 것, 다이아몬드(diamond) 음극을 이용하는 것, 표면전도 전자방출소자를 이용하는 것 등이 있다. 이와 같이 본 명세서에서는 필드 이미션 디스플레이(FED)를 광의의 의미로 사용한다. 즉, 전계방출형 음극을 이용한 것만 아니라 전자방출소자와 형광체를 조합한 전자선(電子線) 여기형(勵起型) 평면 디스플레이의 총칭으로서 이용한다.

도 2에 도시한 바와 같이, FED에서는 전자방출소자를 배치한 음극판(601)과 형광체를 형성한 형광판(602)을 대향 배치한 구성이다. 전자방출소자(301)에서 방출한 전자가 형광판에 도달하여 형광체를 여기 · 발광시키기 위해서, 음극판과 형광판 사이의 공간을 진공으로 유지한다. 따라서, 외부에서의 대기압에 견디기 위해서 음극판과 형광판과의 사이에 스페이서(60)가 필요하게 된다.

형광판(602)은 가속전극(122)을 가지고, 가속전극(122)에는 1KV 8KV 정도의 고전압을 인가한다. 전자방출소자(301)에서 방출된 전자는 이 고전압으로 가속된 후 형광체에 조사하여, 형광체를 여기 발광시킨다. 이와 같이, 음극판(601)과 형광판(602)과의 사이에 고전압이 인가되기 때문에, 양자에 접하는 스페이서(60)는 절연체 또는 고저항재료를 이용한다.

스페이서(60)의 근방의 전자방출소자(301)에서 방출된 전자의 일부는 스페이서(60)에 부딪히는 것이 있다. 스페이서(60)는 절연체 또는 고저항재료이기 때문에전자조사에 의해 대전한다. 스페이서(60)가 대전하면, 스페이서(60) 근방의 전계가 변화하기 때문에, 전자방출소자(301)에서 방출한 전자의 궤도에 영향을 주어, 소망의 형광판상의 위치에 조사하지 않게 되버리는 경우가 있다. 이것은 표시화상의 왜곡이나 색의 어긋남 등의 문제를 일으킨다.

또, 본 발명을 발명한 결과에 의거하여 스페이서의 대전에 의한 화상 왜곡의 영향을 저감하기 위한 구동방법이라는 관점에서 선행기술 조사를 행하였다. 그 결과, 특허공표 제2002-515133호 및 일본국 특허공개공보 평 제10-198303호를 찾아내었다.

전자(前者)는 스페이서의 인접영역은 대전효과(influence of the charging)가 적다고 한 점에서 본 발명과는 전혀 전제가 다른 발명이고, 후자(後者)는 스페이서가 균등하게 배치되도록 화상영역을 대영역으로 분할하여, 각 대영역 내의 화소가 연속하여 발광하지 않도록 대영역을 단위로 스킵(skip)하면서 구동하는 발명이다.

발명이 이루고자 하는 기술적 과제

본 발명은 스페이서의 대전에 의한 표시화상의 왜곡과 표시화상에의 악영향(adverse effect)을 방지하는 수단을 제공한다.

이 대전문제를 완화하기 위해서, 스페이서 표면에 적절한 코팅재료를 도포하여 전하를 방전시키는 방법 등이, 예를 들면 미국특허 제 5,872,424호(Spindt 외, " High voltage compatible spacer coating ")에 기재되어 있다. 이하, 스페이서에의 전자조사가 스페이서의 대전상태에 미치는 영향을 설명한다.

도 3은 스페이서의 단면도이다. 지금, 스페이서의 측면에 일방으로 전류가 유입되는 경우를 생각한다. 유입하는 실효적 전류밀도를 jc로 한다.

일반적으로, 고체 재료에 전자를 조사하면, 2차전자를 방출한다. 조사한 전자(1차전자)에 대한 2차전자의 양의 비를 2차전자 방출계수(δ)라고 부른다. δ> 1의 경우, 조사된 고체 재료는 플러스로 대전한다. δ< 1의 경우는 마이너스로 대전한다. δ= 1의 경우는 1차전자와 2차전자가 서로 상쇄되기 때문에 대전하지 않는다. 실제로 스페이서에 유입한 전류를 j0로 하면, 스페이서의 대전에 기여하는 실효적 전류밀도(jc)는 $j_c = \int j_0(E)[1-\delta(E)]dE$ ..... (1)로 된다.

2차전자 방출계수(δ)는 1차전자의 에너지에 의존하기 때문에, 적분으로 표시된다.

대전이 없는 경우, 스페이서 표면의 전위(potential)는,

V0(z) = VHV * (z/L) ..... (2) 로 표시된다. 여기서, VHV는 가속전극(122)에 인가하는 전압, L은 스페이서의 높이, z는 높이방향의 좌표치이다. 음극판(601)측의 공통전극(420)은 접지전위로 하고 있다.

전자가 조사하여 대전하면, 이것에 대전에 의한 항 ΔVw(z)이 중첩된다:

V(z) = V0(z) + ΔVw(z) ..... (3)

스페이서 표면의 시트(sheet) 저항을 ρsw로 한다. 조사한 전자는 저항을 통해 형광판(602)측의 가속전극(112) 및 음극판(601)측의 공통전극(420)에 흐른다. 따라서, ΔVw(z)는 도 3에 도시한 바와 같이 중심부가 가장 큰 분포가 된다. 이 때, 중심부의 최대치 ΔVw는 이하의 식으로 표시된다.

$$\Delta Vw = \frac{\rho_{sw} L^2}{8} j_C \quad \cdots\cdots \quad (4)$$

(4)식의 도출은, 예를 들면, 미국특허 제 5,872,424호(Spindt 외, " High voltage compatible spacer coating ")에 기재되어 있다.

스페이서의 대전에 기인하는 부가항 ΔVw(z)에 의한 횡방향 전계가 형광판(602)-음극판(601) 사이에 본래 형성되어야 할 종방향 전계에 대하여 무시할 수 없는 크기가 되면, 전자방출소자에서 방출된 전자빔의 궤도에 왜곡이 생겨 표시화상에 영향을 미친다. 즉, 양호한 표시화상을 얻기 위해서는 (4)로 표시되는 ΔVw를 충분히 작게 하면 좋다.

그 때문에, 스페이서의 시트저항(ρsw)을 충분히 작게하는 것이 좋다. ρsw를 작게 하기 위해서는, 스페이서 자체에 도전성의 재료를 이용하여도 좋고, 스페이서에 도전성의 코팅막을 부착시키더라도 좋다. 또한, 2차 전자방출계수(δ)가 1에 가까운 재료를 코팅막으로 이용하는 것도 유효하다. (1)식에서 명백해진 바와 같이, 스페이서에 유입한 전류(j0)가 동일해도, 예를 들면 δ가 0.9이면, 대전에 기여하는 실효적 전류량(jc)은 0.1×j0이 된다. 이들 방법은, 예컨대 미국특허 제 5,872,424호에 기재되어 있다.

그렇지만, (4)식으로 표시되는 ΔVw를 작게 하더라도, 표시화상에 왜곡이 남는 경우가 있었다. 또한, 형광판-음극판 사이에 인가되는 고전압에 의한 누설(leakage) 전류를 최소한으로 하기 위해서, ρsw는 가능한 한 크게 하는 것이 바람직하고, 가능한 한 큰 ρsw에서도 표시화상에 왜곡을 제거하는 방법이 요망되고 있었다.

발명의 구성 및 작용

본원에 있어서 개시되는 발명중 대표적인 것의 개요를 간단히 설명하면 하기 와 같다.

복수개의 전자방출소자를 가지는 제1 기판과, 형광체를 가지는 제2 기판과, 스페이서를 가지는 표시패널과, 선순차 구동방법에 의한 구동수단을 가지는 화상표시장치로서, 상기 구동수단에서는 주사펄스가 출력되고, 상기 구동수단은 상기 스페이서의 근방에서는 스페이서의 먼 곳에서부터 가까운 곳의 순서로 주사하는 것을 특징으로 한다.

복수개의 전자방출소자를 가지는 제1 기판과, 형광체를 가지는 제2 기판과,스페이서를 가지는 표시패널과, 선순차 구

동방법에 의한 구동수단을 가지는 화상표시장치로서, 상기 구동수단에서는 주사펄스가 출력되고, 상기 구동수단은 상기 스페이서에 인접하는 주사선에 주사펄스를 인가한 후, 스페이서에 2번째로 인접하는 주사선에 주사펄스를 인가할 때 까지의 기간에, 다른 주사선을 주사하는 것을 특징 으로 한다.

복수개의 전자방출소자를 가지는 제1 기판과, 형광체를 가지는 제2 기판과,스페이서를 가지는 표시패널과, 선순차 구동방법에 의한 구동수단을 가지는 화상표시장치로서, 상기 표시패널은 주사선을 가지고, 상기 주사선은 상기 스페이서에 인접하는 인접주사선과, 상기 인접주사선에 인접하는 주사선을 포함하는 복수의 주사선으로 이루어지는 근접주사선 영역을 포함하며, 상기 구동수단에서는 주사펄스가 출력되고, 상기 구동수단은 상기 근접주사선 영역의 주사선에 주사펄스를 인가한 후에, 상기 인접주사선에 주사펄스를 인가하는 것을 특징으로 한다.

상기 구동수단은 복수행의 화상신호를 기억하는 복수행의 기억수단을 가지는 것을 특징으로 한다.

상기 복수행의 기억수단의 기억용량은 주사선수의 10분의 1이하의 개수에 상당하는 것을 특징으로 한다.

상기의 화상표시장치에 있어서, 비월(interlacing)주사를 하는 것을 특징으로 한다.

복수개의 전자방출소자를 가지는 제1 기판과, 형광체를 가지는 제2 기판과,스페이서를 가지는 표시패널과, 선순차 구동방법에 의한 구동수단을 가지는 화상표시장치로서, 상기 구동수단에서는 주사펄스가 출력되고, 상기 스페이서에 인접하는 주사선에 주사펄스를 인가한 후 스페이서에 2번째로 인접하는 주사선에 주사펄스를 인가할 때 까지의 기간에 주사를 중단하는 것을 특징으로 한다.

복수개의 전자방출소자를 가지는 제1 기판과, 형광체를 가지는 제2 기판과, 스페이서를 가지는 표시패널과, 선순차 구동방법에 의한 구동수단을 가지는 화상표시장치의 구동방법으로서, 상기 스페이서의 근방에 있어서는 스페이서의 먼 곳에서부터 가까운 곳의 순서로 주사하는 것을 특징으로 한다.

FED에서는 통상 선순차 구동법으로 화상을 표시한다. 즉, 어느 순간에서는 어느 1개의 주사선상의 화소를 점등시킨다. 다음에는, 인접하는 1개의 주사선상의 화소를 점등시킨다. 이것을 되풀이하여, 전체화면을 주사(scan)하면, 인간의 시각의 잔상효과에 의해 화상으로서 인식된다.

또, 동시에 2개의 라인을 주사하는 2개 동시 구동방법도 있다. 이것은 2개를 동시에 구동하는 것에 의해, 발광의 듀티(duty)비를 크게하여, 보다 고휘도로 표시할 수 있는 효과가 있다. 또한, 비월(interlace)주사의 경우는 인접하는 주사선을 순차주사하는 대신에 1개 걸러서(skip) 비월주사한다.

본 발명에 있어서「선순차 구동법」이라고 부르는 구동법에는 이들 2개 동시구동법이나 비월구동법 등도 포함시킨다. 즉, 본 발명에서 선순차 구동법이라고 부르는 구동법의 본질은 어느 순간에는 (1개 또는 복수개의) 소수의 주사선상의 화소밖에 점등하지 않는다고 하는 점에 있다.

표시장치의 주사선수를 N0, 어느 순간에 점등하고 있는 주사선수를 n1으로 하여, 화면 전체의 휘도를 B0, 어느 주사선이 점등하고 있을 때의 순시 휘도(peak luminance)를 b1으로 하면 다음 관계가 성립한다.

$$B0 = b1 \times (n1/N0) \quad \ldots\ldots (5)$$

형광체에의 조사전류와 발광휘도와는 거의 비례관계에 있다. 따라서, FED의 경우에는 이하의 관계가 성립한다.

$$I0 = i1 \times (n1/N0) \quad \ldots\ldots (6)$$

여기서, I0는 전자방출소자에서 방출되는 전류의 시간 평균치, i1은 방출전류의 순시치(peak value)이다. 주사선수 N0 = 1000, 어느 순간에 점등하는 주사선수 n1 = 1인 경우에는 i1/I0 = 1000이된다. 즉, 방출전류의 순시치는 그 시간 평균치보다 훨씬 크다.

(4)식의 도출에서는 스페이서에 조사한 전류와 스페이서 상을 흐르는 전류가 평형상태(equilibrium state)에 있는 경우를 생각하고 있다. 즉, (4)식의 jc는 (6)식의 I0에 상당한다.

도 4는 스페이서와 그 근방의 주사선을 나타내는 평면도이다. 스페이서에 인접하는 주사선이 n번째로 주사되어, 그것에 인접하는 주사선이 (n+1)번째로 주사되는 경우를 생각한다.

n번째의 주사선은 스페이서에 인접하고 있기 때문에, n번째의 주사선 상의 전자방출소자에서 전자가 방출된 때 스페이서에의 조사전류가 가장 크다. 또한, 그 방출전류의 순시치는 시간 평균치의 (n1/N0)배이다. 이 조사전류에 의해 스

페이서가 대전하여, 중첩전압 ΔVw, peak가 발생한다. 이 대전은 스페이서의 저항을 통해 면판 측 또는 음극판측으로 흘러 감소하고, 이에 동반하여 ΔVw, peak는 어느 시정수로 감쇠한다. 도 5는 이것을 모식적으로 나타낸 것이다.

(n+1)번째의 주사선은 그 직후에 주사되기 때문에 ΔVw, peak의 영향이 남은 상태로 전자가 방출된다. 이 때문에 그 전자궤도가 스페이서의 대전의 영향을 받는 다. (n+2)번째의 주사선에서는 ΔVw, peak는 조금씩 감소하지만, 그 영향을 받는 가능성이 있다.

이와 같이, 방출전류의 순시치와 스페이서의 대전의 감쇠 시정수와의 효과를 고려하지 않으면 안된다.

도 1은 본 발명에 의한 주사방법의 일예를 나타내는 도면이다. 이것은 종래의 주사방법을 나타낸 도 4와 대응하는 도면이다.

시각 t(n-2)에서는 주사선(n-2)을 주사한다. 이어서 시각 t(n-1)에서는 주사선(n-1)을 주사한다. 즉, 스페이서(60)의 먼 곳에서부터 가까운 곳의 순서이다.

다음 시각 t(n)에서는 스페이서로부터 4개 떨어진 주사선(n+3)을 주사한다. 다음 시각 t(n+1)에서는 주사선(n+2)을 주사한다. 다음 시각 t(n+2)에서는 주사선(n+1)을 주사하고, 그 다음 시각 t(n+3)에서는 스페이서에 인접하는 주사선(n)을 주사한다. 이와 같이, 스페이서(60)에 가까와지는 순서로 주사를 하여 간다.

다음에, 시각 t(n+4)에서는 스페이서에서 5개 떨어진 주사선(n+4)을 주사하고, 다음 시각 t(n+5)에서는 주사선(n+5)을 주사한다.

이와 같이, 본 발명에 의하면, 스페이서 근방의 주사선은 스페이서의 먼 곳에서부터 가까와지는 방향(순서)으로 주사된다. 그러면, 스페이서에의 조사전류가 가장 많고, 인접주사선을 주사한 직후는 스페이서에서부터 충분히 떨어진 주사선이 주사된다.

따라서, 스페이서의 대전에 의한 전자빔 궤도의 왜곡(distortion)에의 영향 은 거의 없다.

이와 같이 하여, 스페이서의 대전에 의한 화상 왜곡을 최소한으로 억제할 수 있다.

<발명의 실시형태>

이하, 본 발명에 관한 화상표시장치를 도면에 나타낸 몇개의 실시예에 의한 발명의 실시형태를 참조하여 더욱 상세하게 설명한다.

< 실시예1>

본 발명을 이용한 제1 실시예를 설명한다.

본 실시예에서는 전자방출소자(301)로서 박막전자원을 이용한다. 또한, 구체적으로는 MIM(Metal-Insulator-Metal, 금속-절연체-금속)전자원을 이용한다.

도 6은 본 실시예에서 이용하는 표시패널의 평면도이다. 도 7은 도 6의 A-B간의 단면도이다.

음극판(601), 형광판(602), 프레임부재(603)로 둘러싸인 내부가 진공으로 되어 있다. 진공영역(vacuum region)에는 대기압에 저항하기 위해서 스페이서(60)가 배치되어 있다. 스페이서(60)의 형상, 개수, 배치는 임의이다. 음극판(601)상에는 주사전극(310)이 수평방향으로 배치되고, 데이터 전극(311)이 그것과 직교하여 배치되어 있다. 주사전극(310)과 데이터 전극(311)과의 교점이 화소에 대응한다. 여기서 화소는 컬러 화상표시장치의 경우에는 서브화소에 대응하는 것이다.

도 6에는 주사전극(310)의 개수가 12개 밖에 기재하고 있지 않지만, 실제의 디스플레이에서는 수 100개에서 수천개이다. 데이터 전극(311)에 관해서도 같다.

주사전극(310)과 데이터 전극(311)과의 교점에는 전자방출소자(301)가 배치되어 있다.

도 8은 도 6 중의 음극판(601)의 일부를 나타낸 평면도이다. 진공중에 전자를 방출하는 전자방출영역(35)과 상부전극(11) 이외의 장소는 거의 모두 공통전극(420)으로 덮여지고 있다. 스페이서(60)의 저면은 공통전극(420)에 접하고 있다. 주사전극(310)과 상부전극 버스라인(32)(본 실시예에서는 데이터 전극(311)과 겸하고 있는)은 공통전극으로

덮여져 평면도에는 나타나지 않기 때문에, 점선으로 나타내져 있다.

본 실시예에서는 전자방출소자(301)로서 박막전자원을 이용하고 있다. 주사전극(310)과 상부전극 버스라인(32)이 교차하는 영역에 전자방출영역(35)(점선으로 둘러싼 영역)이 있고, 이 영역에서 전자가 방출된다.

도 9는 본 실시예에서 이용하는 표시패널의 단면도이다. 도 9(a)는 도 8의 A

-B선에 따른 단면도, 도 9(b)는 도 8의 C-D선에 따른 단면도이다.

음극판(601)의 구성은 이하와 같다.

유리 등의 절연성 기판(14) 상에, 하부전극(13), 절연층(12), 상부전극(11)로 구성되는 박막전자원(301)(본 실시예에서의 전자방출소자(301))이 구성된다. 상부전극 버스라인(32)은 상부전극 버스라인 베이스막(33)을 통해 상부전극(11)에 전기적으로 접속되어 있으며, 상부전극(11)에의 전원 공급선으로서 작용한다. 또한, 본 실시예에서는 상부전극 버스라인(32)은 데이터 전극(311)으로서 작용한다.

음극판(601)의 위, 전자방출소자(301)가 매트릭스 형태로 배치되어 있는 영 역(음극배치영역(610)이라고 부른다)은 층간절연막(410)으로 덮어지며, 그 위에 공통전극(420)이 형성되어 있다. 공통전극(420)은 공통전극막(A421)과 공통전극막(B422)의 적층막(stacked film)으로 구성된다.

공통전극은 접지전위에 접속되어 있다. 스페이서(60)는 공통전극(420)에 접하며, 형광판(602)의 가속전극(122)에서 스페이서(60)를 통해 흐르는 전류를 흘리는 기능과 스페이서(60)에 대전한 전하를 흘리는 기능을 한다.

또, 도 9에서는 높이방향의 축척은 임의이다. 즉, 하부전극(13)이나 상부전극 버스라인(32) 등은 수 ㎛ 이하의 두께이지만, 기판(14)과 면판(110)과의 거리는 1 3mm 정도의 길이이다.

음극판(601)의 작성방법을 도 10을 이용하여 설명한다. 도 10은 기판(14) 상에 박막전자원을 제작하는 프로세스를 나타낸 것이다. 도 10에는, 도 8, 도 9에서 주사전극(310)의 하나와 데이터 전극(311)의 하나와의 교점에 형성하는 하나의 전자원 엘리먼트(electron-emitter element)만을 꺼내어 표현하고 있다. 도 10의 오른쪽 열은 평면도이고, 도면 중의 A-B선에 따르는 단면도를 도 10의 왼쪽 열에 나타내고 있다.

유리 등의 절연성기판(14) 상에 하부전극(13)용의 재료로서 알루미늄(Al)합금을 예컨대 300nm의 막두께에 형성한다. 여기서는 Al-Nd 합금을 이용하였다. 이 알루미늄(Al) 합금막의 형성에는 예를 들면, 스퍼터링법이나 저항 가열 증착법 등을 이용한다. 다음에, 이 Al 합금막을 포토리소그래피(photolithography)에 의한 레지스트 형성과, 그것에 이어지는 에칭에 의해 스트라이프 형태로 가공하여 하부 전극(13)을 형성한다. 여기서 이용하는 레지스트는 에칭에 적절한 것이면 좋고, 또한, 에칭도 습식 에칭(wet etching), 건식 에칭(dry etching)의 어느 것이나 가능하다. 이것이 도 10(a)의 상태이다.

다음에, 레지스트를 도포하여 자외선으로 노광하고 패터닝하여, 도 10(b)의 레지스트 패턴(501)을 형성한다. 레지스트에는 예컨대 키논지아자이드(quinonediazide)계의 포지티브형 레지스트를 이용한다. 다음에 레지스트 패턴(501)을 붙인 채로 양극산화를 하여, 보호층(15)을 형성한다. 이 양극산화는 본 실시예에서는 화성전압 100V정도로 하고, 보호층(15)의 막두께를 140nm 정도로 하였다. 이것이 도 10(c)의 상태이다.

레지스트 패턴(501)을 박리한 후, 레지스트로 피복되어 있던 하부전극(13) 표면을 양극산화하여 절연층(12)을 형성한다. 본 실시예에서는 화성전압을 6V로 설정하고, 절연층 막두께를 8nm로 하였다. 이것이, 도 10(d)의 상태이다.

절연층(12)이 형성된 영역이 전자방출영역(35)이 된다. 즉, 보호층(15)에 둘러싸인 영역이 전자방출영역(35)이다.

다음에, 상부전극 버스라인 베이스막(33)과 상부전극 버스라인(32)을 성막(deposit)한 후, 패턴화하여 상부전극 버스라인(32)을 형성한다. 상부전극 버스라인(32)은 데이터 전극(311)의 작용도 한다. 이것이 도 10(e)의 상태이다. 본 실시예에서는 상부전극 버스라인 기초막(33)은 막두께 10nm 정도의 텅스텐막, 상부전극 버스라인(32)은 막두께 300nm 정도의 Al 합금으로 하였다. 버스라인(32)의 재료에는 금(Au) 등을 이용하여도 좋다.

다음에, 층간절연막(410)과 공통전극막(A421)을 성막한다(도 10(f)). 층간절연막(410)과 공통전극막(A421)의 재료는 동시에 에칭할 수 있는 재료의 조합을 이용하면 좋다. 예를 들면, 층간절연막(410)으로 Si_3N_4 를 이용하고, 공통전극막(A421)으로 텅스텐이나 몰리브덴, 티탄 등을 이용한다.

다음에, 전자방출영역(35) 및 그 주변의 층간절연막을 에칭에 의해 개구한다.이어서, 에칭에 의해 상부전극 버스라인(32)도 개구한다(도 10(g)). 에칭조건을 적절히 설정함으로써 층간절연막(410)의 개구보다도 상부전극 버스라인(32)의 개구 쪽이 커지도록 한다. 이와 같이 개구부를「차양(ひさし) 모양」으로 가공함으로써, 다음의 공정에서 상부전극의 전자방출소자간 분리가 확실하게 된다.

도 10(h)의 패턴으로 상부전극 버스라인 기초막(33)을 에칭하여, 절연층(12)을 노출시킨다. 최후에, 상부전극(11)을 스퍼터 등으로 성막한다. 상부전극 재료 중 절연층(12)의 위에 성막된 것은 상부전극(12)으로 기능한다. 한편, 공통전극막(A421)의 위에 성막된 상부전극 재료는 공통전극막(B422)이 된다. 이것은 공통전극(420)으로 기능한다.

상부전극(11)에는 막두께 10nm 정도의 도전성막(conductive film)을 이용한다. 본 실시예에서는 이리듐(Ir)과 백금(Pt)과 금(Au)의 적층막을 합계 막두께 6nm로 성막하였다.

상술한 바와 같이, 층간절연막(410)이「「차양(ひさし) 모양」으로 형성되어 있기 때문에, 각 전자방출소자의 상부전극(11)은 공통전극(420)과는 전기적으로 분 리된다. 따라서, 상부전극(11)을 에칭 등에 의해 패턴화할 필요가 없다. 이 때문에, 에칭공정에서의 약제에 의한 표면오염이 없고, 전자방출소자(301)의 전자방출특성의 열화가 발생하지 않는다.

상부전극(11)과 상부전극 버스라인(32)과의 전기적 접속은 상부전극 버스라인 베이스막(33)을 통해 접속하고 있다. 상부전극 버스라인 기초막(33)은 막두께가 10nm 정도로 얇기 때문에 얇은 상부전극(11)으로도 확실히 전기적 접속이 얻어진다.

이상의 공정으로 도 9의 구성의 음극판(601)이 얻어진다.

형광판(602)의 구성은 이하와 같다.

유리 등 투광성(透光性)의 면판(110)에는 블랙(black) 매트릭스(120)가 형성되고, 또한, 적색형광체(114A), 녹색형광체(114B), 청색형광체(114C)가 형성되어 있다. 또한, 가속전극(122)이 형성되어 있다. 가속전극(122)은 막두께 70nm 100nm정도의 알루미늄막으로 형성되어 있으며, 박막전자원(301)에서 방출된 전자는 가속전극(122)에 인가된 가속전압으로 가속된 후, 가속전극(122)에 입사하면, 가속전극을 투과하여 형광체(114)에 충돌하여 형광체를 발광시킨다.

형광판(602)의 작성방법의 상세는, 예를 들면 일본국 특허공개공고 제 2001-83907호에 기재되어 있다.

음극판(601)과 형광판(602)과의 사이에는 스페이서(60)가 적당한 개수로 배치되어 있다. 도 6에 도시한대로, 음극판(601)과 형광판(602)은 프레임부재(603)를 끼어 봉착(封着)된다. 또한, 음극판(601)과 형광판(602)과 프레임부재(603)로 둘러 싸인 공간(60)은 진공으로 배기된다.

박막전자원은 하부전극(13), 절연층(12), 상부전극(11)의 3층으로 구성된다. 박막전자원의 전자방출 메카니즘을 도 11을 이용하여 설명한다. 도 11은 박막전자원의 상부전극과 하부전극 사이에 전압을 인가한 때의 에너지밴드 도면이다. 상부전극(11)과 하부전극(13)과의 사이에 전압을 인가하면, 절연층에 고전계가 인가되어, 터널 현상에 의해 전자가 절연층(12)의 속을 통과한다. 이 전자는 전계에 의해 가속되어 핫 일렉트론(hot electron)이 되어, 상부전극(11)에 들어 간다. 상부전극(11) 중에서의 산란에 의해 일부의 핫 일렉트론은 산란되어 운동에너지가 감소한다. 상부전극(11)의 일함수보다도 큰 운동에너지를 가지는 전자는 진공(10) 중으로 방출된다.

도 12는 이와 같이 하여 제작한 표시패널(100)의 구동회로에의 결선도이다. 주사전극(310)은 주사전극 구동회로(41)에 결선하고, 데이터 전극(311)은 데이터 전극 구동회로(42)에 결선한다. 가속전극(122)은 가속전극 구동회로(43)에 결선한다. n번째의 주사전극(310Rn)과 m번째의 데이터 전극(311Cm)의 교점의 도트(dot)를 (n, m)으로 나타내기로 한다.

도 13은 각 구동회로의 발생전압의 파형을 나타낸다. 도 13에는 표시되어 있지 않지만, 가속전극(122)에는 3 6KV정도의 전압을 상시 인가한다.

시각(t0)에서는 어느쪽의 전극도 전압 0이기 때문에 전자는 방출되지 않고, 따라서, 형광체(114)는 발광하지 않는다.

시각(t1)에서, 주사전극(310R1)에는 VR1이 되는 전압의 주사펄스(750)를 데 이터 전극(311C1, C2)에는 +VC1이 되는 전압의 데이터 펄스(751)를 인가한다. 도트(1,1), (1,2)의 하부전극(13)과 상부전극과의 사이에는 (VC1 - VR1)이 되는 전압이 인가되기 때문에, (VC1 - VR1)을 전자방출 개시전압 이상으로 설정하여 놓으면, 이 2개의 도트의 박막전자원에서는 전자가 진공(10) 중에 방출된다. 본 실시예에서는 VR1 = -5V, VC1 = 4.5V로 하였다. 방출된 전자

는 가속전극(122)에 인가된 전압에 의해 가속된 후, 형광체(114)에 충돌하여, 형광체(114)를 발광시킨다.

시각(t2)에서, 주사전극(310R2)에 VR1이 되는 전압을 인가하고, 데이터 전극(311C1)에 VC1이 되는 전압을 인가하면, 마찬가지로 도트(2,1)가 점등한다. 이렇게 하여, 도 13의 전압파형을 인가하면, 도 12의 사선을 행한 도트만이 점등한다.

이렇게 하여, 데이터 전극(311)에 인가하는 신호를 바꿈으로써 소망의 화상(images) 또는 정보(information)를 표시할 수 있다. 또한, 데이터 전극(311)에의 인가전압(VC1)의 크기를 화상신호에 맞추어 적절히 바꿈으로써, 계조가 있는 화상을 표시할 수 있다.

도 13에 도시한 바와 같이, 시각(t4)에서 모든 주사전극(310)에 VR2 되는 전압을 인가한다. 본 실시예에서는 VR2 = 5V로 하였다. 이 때 모든 데이터 전극(311)에의 인가전압은 0V이기 때문에, 박막전자원(301)에는 -VR2 = -5V의 전압이 인가된다. 이와 같이 전자방출시는 역극성의 전압(반전펄스(754))를 인가하는 함으로써 박막전자원의 수명특성을 향상할 수 있다. 또한, 반전펄스를 인가하는 기간(도 13의 t4 t5, t8 t9)로서는 영상신호의 수직귀선기간(垂直歸線期間)을 사용하 면, 영상신호와의 정합성이 좋다.

도 12, 도 13에서의 설명에서는, 간단히 하기 위해 3 ×3 도트의 예를 이용하여 설명하였지만, 실제의 화상표시장치에서는 주사전극수가 수 100 수천개, 데이터 전극수도 수 100 수천개 있다. 그 주사전극 중 스페이서(60)의 근방의 것을 선택한 것이 도 1이다.

도 1에서는 도면이 번잡하게 되는 것을 막기 위해서, 데이터 전극(311) 및 전자방출소자(301)는 도시하지 않고 있다. 실제로는, 각 주사전극(310) 상에 전자방출소자(301)가 배치되어 있다.

도 14는 각 주사전극(310)에 주사펄스를 인가하는 타이밍(timing)을 나타낸 전압 파형도이고, 도 1에 대응한 파형으로 되어 있다.

도 1, 도 14에서, 시각(t(n-2))에 주사전극(n-2)을 주사한다, 즉 주사펄스(750)를 인가한다. 계속하여 시각(t(n-1))에 주사전극(n-1)을 주사한다. 이와 같이, 스페이서(60)에 먼 곳에서부터 가까운 곳으로의 순서로 주사한다.

이어서, 시각(t(n))에서는 주사전극(n+3)을 주사한다. 계속하여, 시각(t(n+1))에 주사전극(n+2), 시각t(n+2)에 주사전극(n+1), 시각(t(n+3))에 주사전극(n)의 순서로 주사한다. 계속하여, 시각(t(n+4))에서는 주사전극(n+4), 시각(t(n+5))에서는 주사전극(n+5)이라고 하는 순서로 주사한다. 이와 같이, 스페이서(60) 근방에서는 스페이서(60)에 먼 곳에서부터 가까운 곳으로의 순서로 주사한다.

스페이서에 인접하는 주사전극(n)을 주사한 다음은 스페이서(60)의 대전에 의한 영향을 받지 않을 정도로 충분히 떨어진 장소, 즉 본 실시예에서는 주사전극(n+4)을 주사한다. 이렇게 하여, 스페이서(60)의 대전의 영향을 저감한다.

또, 본 실시예에서는 주사전극(n+3)에서 되돌리는 예를 나타냈지만, 먼저 표시한대로, 스페이서의 대전의 영향을 받지 않은 장소에서 되돌리면 좋고, 어떤 주사전극에서 되돌리는가는 표시장치의 주사선 피치, 스페이서의 재질(material), 음극판-형광판 사이의 거리, 가속전극 인가전압 등의 파라미터(parameter)에 의해 변한다.

도 15는 도 1, 도 14의 구동파형을 실현하는 회로구성을 나타낸다.

신호처리블록(701)에는 영상신호가 입력되어, 타이밍 신호의 생성 · 출력이나 영상신호의 디지탈화, 감마(gamma)보정 등의 처리를 한다. 신호처리블록(701)에서 처리된 영상신호는 복수행의 메모리부(702)에 입력된 후, 직렬병렬 변환블록(703)에 입력된다. 복수행의 메모리부(702)의 구성 · 기능은 후술한다. 이것에 의해 각 데이터 전극에 입력해야 할 신호가 각 데이터 전극에 대응하는 회로에 세트된다. 이 신호가 데이터 드라이버회로(704)에서 적절한 펄스신호로 변환되어 표시패널의 데이터전극(311)에 인가된다. 직렬병렬 변환블록(703)과 데이터 드라이버회로(704)는 일체화한 회로로 실현하여도 좋다.

한편, 신호처리블록(701)에서 생성한 타이밍 신호는 주사드라이버(705)에 입력되어, 도 14에 나타낸 펄스파형을 생성한다. 주사드라이버(705)의 출력신호는 표시패널의 주사전극(310)에 인가된다.

도 16은 복수행의 메모리부(702)의 구성 · 기능을 모식적으로 나타낸 도면이 다. 복수행의 메모리부(702)는 메모리 · 블록(A710)과 메모리 · 블록(B711)으로 구성된다. 각 메모리 · 블록은 각각 4행분의 영상신호를 기억하는 행메모리를 가진다. 도 16에서, 숫자 1, 2, . . . , N, . . . 은 영상신호의 N행째의 신호를 나타낸다.

도 16(a)에서, 1행째의 영상신호가 메모리블록(B711)에서 출력될 때, 5행째의 영상신호가 메모리 · 블록(A710)에 입력된다. 다음에, 2행째의 영상신호가 메모리 블록(B711)에서 출력될 때, 6행째의 영상신호가 메모리 · 블록(A710)에 입력된다. 이렇게 하여 4행째의 영상신호가 출력되면, 이번은 5행째의 영상신호가 메모리 블록(A710)에서 출력되며, 동시에 9행째의 영상신호가 메모리 · 블록(B711)에 입력된다. 이것을 순서로 되풀이함으로써, 복수행의 메모리부(702)는 4행분의 지연 메모리로서 동작한다.

다음에, 도 14의 시각(t(n))에서의 동작을 도 17을 이용하여 설명한다. 시각(t(n))에서는 도 17(a)에 도시한 바와 같이, (n+3)행째의 신호가 메모리 · 블록(B711)에서 출력되며, 동시에 (n+4)행째의 신호가 메모리 블록(A710)에 입력된다. 시각(t(n+1))에서는 도 17(b)에 도시한 바와 같이, (n+2)행째의 신호가 메모리 · 블록(B711)에서 출력되고, 동시에 (n+5)행째의 신호가 메모리 블록(A710)에 입력된다. 시각(t(n+2))에서는 도 17(c)에 도시한 바와 같이, (n+1)행째의 신호가 메모리 · 블록(B711)에서 출력되며, 동시에 (n+6)행째의 신호가 메모리 블록 (A710)에 입력된다. 마찬가지로, 시각(t(n+3))에서는 (n)행째의 신호가 출력된다.

이렇게 하여, 도 14에 나타낸 주사신호의 되돌아옴에 대응하여, 데이터 전극 에 입력하는 신호(영상신호에 대응하는 신호)도 되돌려진다. 따라서, 원래의 영상신호에 대응한 화상이 표시패널에 표시된다.

도 15, 도 16, 도 17에 기재한 영상신호의 되돌리는 처리는 1필드분의 영상신호를 저장하는 필드 · 메모리를 이용하더라도 실현할 수 있다. 본 실시예에서 이용한 방법은 필드 · 메모리를 이용한 방법과 비교하면, 지극히 적은 메모리 용량으로 실현되기 때문에 낮은 비용의 화상표시장치를 제공할 수 있는 점에서 우수하다.

즉, 주사선수가 400개의 화상표시장치라도 본 방식에 의하면, 8개분의 복수행의 메모리로 실현된다. 즉, 주사선수의 10분의 1이하의 개수의 복수행의 메모리로 실현된다.

도 21은 도 16, 도 17의 구성을 실현하는 회로의 일예를 나타내는 도면이다. 화상신호는 직렬병렬 변환부(716)에 입력되어 1행분의 화상신호가 병렬신호로 변환된다. 이어서 기입 셀렉터(write selector, 717)를 경유하여 행메모리 블록(713)내의 적절한 행메모리에 기입된다. 한편, 행메모리 블록(713) 내에 기입되어 있는 데이터 중에서 적절한 행의 데이터는 판독 셀렉터(read selector, 718)를 경유하여 판독되고, 래치(latch)회로(719)에 넣어진다. 래치회로(719)에 넣어진 신호는 그대로 각 열의 드라이버회로로 입력하여도 좋고, 병렬직렬 변환회로(도시하지 않음)를 이용하여 다시 1차원신호로 변환하여도 좋다. 메모리 블록(713) 내의 어떤 행메모리에 기입할지, 또는 어떤 행메모리로에서 판독할 지의 설정 및 기입, 판독 타이밍의 설정은 제어회로(715)로 제어된다.

도 16, 도 17에서 설명한 것과 같이, 행메모리의 판독 순서는 스페이서 근방 의 주사선에서는 변경한다. 이것을 실현하기 위해서, 제어회로(715)에는 스페이서의 위치에 관한 정보의 신호(스페이서 위치정보(720))를 입력한다.

도 21의 회로는 데이터 드라이버회로에 내장시켜도 좋다. 그 경우, 행메모리는 1행 전체가 아니게 행의 1부 열의 데이터를 기억한다. 예를 들면, 256개 출력 데이터 드라이버(IC)의 경우에는 행메모리 블록(713) 내의 각 행메모리는 256열분의 화상데이터를 유지한다. 본 명세서에서는 이 예와 같이, 행의 1부 열의 데이터를 유지하는 경우도 행메모리라고 부르기로 한다.

도 22는 본 발명의 제1 실시예에서의 표시장치(790)의 구성의 일예를 나타내는 도면이다. 표시장치(790)는 영상신호원(810)(구체적으로는 퍼스널 · 컴퓨터 또는 비데오 · 플레이어 등)에서 영상신호를 받아들이는 영상신호 인터페이스(745)를 가진다. 영상신호 인터페이스(745)에 입력된 영상신호는 신호처리블록(701)에 입력된다. 신호처리블록(701)은 화상신호처리부(740)와 제어회로(741)를 가진다. 제어회로(741)에는 스페이서 위치정보(742)가 입력되어, 영상신호 인터페이스(745)에서 입력되는 수직동기신호 및 수평동기신호를 조합하여, 스페이서 근방에서의 주사순서를 적절히 제어한다. 제어회로(741)에서 생성한 타이밍 신호는 복수행의 메모리부(702) 및 주사 드라이버(705)에 입력된다.

화상신호처리부(740)에서는 필요에 따라 영상신호 인터페이스(745)에서 입력된 영상신호를 표시패널(100)의 휘도-신호특성에 맞는 형태로 변환하는 기능 및 필요에 따라 신호를 디지털화하는 기능 등을 가진다. 이들의 신호처리를 행한 후, 복수행의 메모리부(702)에 출력된다.

복수행의 메모리부(702)의 구성은 도 21을 이용하여 설명한대로이다.

이상의 구성에 의해, 영상신호 인터페이스(745)에 입력된 영상신호가 표시패널(100)에 적절히 표시된다.

본 발명을 이용한 제2 실시예를 도 18을 이용하여 설명한다.

본 실시예에서 이용한 표시패널의 구성, 표시패널과 구동회로와의 접속방법은 제1 실시예와 같다.

제2 실시예에서는 비월(interlace)주사를 이용한다.

도 18은 제1 실시예서의 도 1에 대응하는 것이다. 즉, 스페이서(60) 근방에서의 주사순서를 나타내는 도면이다.

비월주사에서는 홀수필드와 짝수필드로 주사하는 주사전극이 다르다. 도 18에서는 홀수필드에서의 주사방법을 좌측에 기재하고, 짝수필드에서의 주사방법을 우측에 기재하고 있다.

시각(t(n-1))까지는 스페이서(60)에 먼 곳에서부터 가까운 곳의 순서로 주사되고 있다.

시각(t(n))에서는 (n+4)번째의 주사선이 주사된다. 다음에, 시각(t(n+1))에서는 주사선(n+2)이 주사되고, 시각(t(n+2))에서는 주사선(n)이 주사된다. 이와 같이 스페이서의 근방에서는 먼 곳에서부터 스페이서에 가까운 곳의 순서로 주사된다. 시각(t(n+3))에서는 주사선(n+6)이 주사된다.

짝수필드에서는 주사되는 주사전극이 변하지만, 도 18의 우측에 기재한 대로, 스페이서의 근방에서는 먼 곳에서부터 스페이서에 가까운 곳의 순서로 주사된 다.

이렇게 하여, 스페이서(60)의 대전이 표시화상에 주는 영향을 저감할 수 있다.

제2 실시예와 같이, 비월주사를 이용하면, 순차주사(progressive scan)의 경우와 비교하여, 주사의 회수가 1/2로 저감하기 때문에 신호처리의 주파수도 1/2이 된다. 이것에 의해 신호처리회로를 저비용으로 할 수 있다는 이점이 있다.

또한, 텔레비젼(television)화상의 신호에는 비월주사를 하는 것이 많다. 순차주사를 하기 위해서는 신호변환이 필요하고, 이 변환에는 필드 · 메모리를 필요로 하는 경우도 있다. 따라서, 비월주사대로 표시패널을 구동하면, 비월-순차주사변환이 불필요하고, 도 15에서 표시한 복수행의 메모리부(702)만으로 실현된다. 따라서, 신호처리회로를 단순화할 수 있고, 저코스트화가 도모된다.

스페이서와 스페이서와의 사이에 위치하는 행전극의 개수를 짝수개로 설정하는 것으로 신호처리 구성을 더욱 간이화할 수 있는 것을 도 23을 이용하여 설명한다. 도 23에서는 스페이서간의 행전극 개수를 4개로 한 경우를 나타내었다. 실선은 주사하는 행전극, 점선은 그 필드에서는 비월되기 때문에 주사하지 않은(즉 주사펄스를 인가하지 않은) 행전극을 나타낸다. 통상대로, 도면 중의 화살표의 방향에서 주사한 경우에 스페이서의 대전에 의한 문제가 발생하는 주사선은 도면 중 검은 점(·)을 붙인 장소이다. 도 23에서 알 수 있듯이, 문제가 발생하는 것은 1프레임을 구성하는 2개의 필드 중 한쪽의 필드(도 23에서는 홀수필드)뿐이다. 따라서, 다른쪽의 필드(도 23에서는 짝수필드)에서는 주사순서의 변경처리는 불필요하고, 신 호처리 구성을 간이화 할 수 있다.

이것으로부터 스페이서의 행수와 행전극의 개수를 어떤 특정한 관계를 만족하도록 설정하면 좋다. 여기서, 스페이서의 행수란 어떤 동일 수평선상(주사선과 평행한 방향)에 배치한 스페이서를(복수개 있더라도)「1행」으로 계산한 행수이다. 예를 들면, 도 24의 예에서는 스페이서의 개수는 6개이지만, 스페이서의 행수는 3행이다.

도 24는 표시패널(100)의 평면도를 간략화하여 나타낸 것으로, 주사선(행전극)(310)과 프레임유리(603), 스페이서(60)만을 나타내고 있다. 도 24에 도시한 바와 같이, 스페이서의 사이에 n개 주사선이 있고, 스페이서의 외측(즉, 스페이서와 프레임유리와의 사이)에 p개, q개 주사선이 있다고 가정한다. 스페이서의 행수를 m행으로 한다. 주사선(행전극)의 개수(N0)에 대하여, 하기의 관계를 만족하도록 n, m, p, q를 설정하면 바람직하다:,

$$N0 = n \times (m-1) + p + q, \text{ 단 } n\text{은 짝수} \quad \ldots\ldots\ldots (7)$$

이 관계가 바람직한 것은, 도 23을 이용하여 설명한바와 같다.

본 발명을 사용한 제3 실시예를 도 19를 이용하여 설명한다.

본 실시예에서 이용한 표시패널의 구성, 표시패널과 구동회로와의 접속방법은 제1 실시예와 같다.

도 19(a)는 도 1에 대응하는 도면이고, 표시패널(100) 중의 일부의 스페이서(60)와 주사선(310)을 모식적으로 나타낸 평면도이다. 도 19(b)는 도 14에 대응하는 것이며, 각각의 주사선을 어떤 타이밍에서 주사하는가를 나타내는 타이밍 도이다.

본 실시예에서는 스페이서(60)에 인접하는 주사선(n)을 시각(t(n))에 주사한다, 즉 주사펄스(750)를 인가한다. 이 후, 스페이서(60)의 대전이 충분히 감쇠할 때까지, 2번째로 인접하는 주사선(n+1)을 주사하지 않는다. 시각(t(n+4))에 주사선(n+1)을 주사하고, 이하 주사선(n+2), (n+3),. . . . . 의 순서로 주사한다.

이와 같은 주사타이밍의 신호파형은 도 15의 회로구성에서 복수행의 메모리부(702) 대신에 필드 · 메모리를 이용함으로써 실현된다.

도 19의 방식은 시각(t(n+1))에서 시각(t(n+4))까지의 기간에는 어느 주사선도 주사되지 않는다. 이와 같이 주사하지 않은 기간이 있기 때문에, 1개당 주사기간, 즉, 주사펄스의 폭이 짧게 된다. 바꿔 말하면, 발광 듀티(duty)비가 작게 된다. 이것이 도 19의 방식의 결점이다.

본 발명을 이용한 제4 실시예를 도 20을 이용하여 설명한다.

본 실시예에서 이용한 표시패널의 구성, 표시패널과 구동회로과의 접속방법은 제1 실시예와 같다.

도 20(a)는 도 1에 대응하는 도면이고, 표시패널(100) 중의 일부의 스페이서(60)와 주사선(310)을 모식적으로 나타낸 평면도이다. 도 20(b)는 도 14에 대응하는 것이며, 각각의 주사선을 어떤 타이밍에서 주사하는가를 나타내는 타이밍도이다.

본 실시예에서는 스페이서(60)에 인접하는 주사선(n)을 시각(t(n))에 주사한다, 즉 주사펄스(750)를 인가한다. 이 후, 시각(t(n+1))에는 주사선(n+4)을 주사한 다. 주사선(n+4)은 스페이서(60)에서 충분히 떨어져 있기 때문에, 스페이서의 대전의 영향이 거의 없다. 그 후, 주사선(n+5), (n+6)의 순서로 주사한다. 그리고, 시각(t(n+4))에서 주사선(n+1)을 주사한다.

이와 같이, 본 실시예에서는 스페이서(60)에 인접하는 주사선(n)을 주사한 후, 스페이서(60)의 대전이 충분히 감쇠할 때까지, 2번째로 인접하는 주사선(n+1)을 주사하지 않는다. 이렇게 하여 스페이서(60)의 대전에 의한 화상에의 영향을 저감한다.

본 실시예에서는 모든 기간에서 주사를 하고 있기 때문에, 발광 듀티비의 저하는 없다.

도 20의 주사타이밍의 신호파형은 도 15의 회로구성에서 복수행의 메모리부(702)로서 12행분의 메모리를 가지는 것을 이용하면 실현된다. 즉, 주사선수 400개의 화상표시장치라도, 12행분의 메모리로 끝난다. 즉, 주사선수의 10분의 1이하의 복수행의 메모리로 실현되며, 따라서, 제1 실시예와 같이, 저코스트로 실현된다.

본 발명을 이용한 제5 실시예를 도 25를 이용하여 설명한다.

본 실시예에서 이용한 표시패널의 구성, 표시패널과 구동회로과의 접속방법은 제1 실시예와 같다.

도 25(a)는 도 1에 대응하는 도면이고, 표시패널(100) 중의 일부의 스페이서(60)와 주사선(310)을 모식적으로 나타낸 평면도이다. 도 25(b)는 도 14에 대응하는 것이며, 각각의 주사선을 어떤 타이밍에서 주사하는가를 나타내는 타이밍 도이다.

본 실시예에서는 주사선(n-1)을 주사한 후, 스페이서(60)에 인접하는 주사선(n)을 주사하지 않고, 주사선(n+1)을 주사한다. 계속하여, 시각(t(n+1))에서는 주사선(n+2), 시각(t(n+2))에서는 주사선(n+3)을 주사한다. 그리고, 시각(t(n+3))에서 스페이서(60)에 인접하는 주사선(n)을 주사하고, 그 후, 시각(t(n+4))에서 주사선(n+4), 시각(t(n+5))에서 주사선(n+5)로 통상의 주사순서로 되돌아간다.

시각(t(n+3))에서 스페이서(60)에 인접하는 주사선(n)을 주사한 직후는 스페이서는 대전하고 있지만, 그 후, 시각(t(n+4))에서 주사하는 주사선(n+4)은 스페이서의 대전의 영향이 미치지 않을 정도로 스페이서에서 떨어져 있다(본 실시예에서는 5개 떨어졌다). 그 때문에, 스페이서(60)의 대전은 표시화상에 영향을 주지 않는다.

도 26은 도 25의 주사파형을 실현하기 위한 복수행의 메모리부(702)의 구성을 나타낸 것이다. 메모리 블록(710)은 4행분의 라인 메모리로 구성되어 있다.

도 26의(a)는 통상의 주사순서로 동작시킬 때의 라인 메모리에의 입출력을 나타낸다. 예를 들면, 시각(t=t(n))에서는, 주사선(n)의 화상정보를 라인 메모리에서 판독하고, 주사선(n+3)의 화상정보를 라인 메모리에 기입한다. 이와 같이, 통상의 주사순서로의 동작시에는 복수행의 메모리부(702)는 3행분 지연회로로서 동작한다.

도 26(b)는 스페이서 근방에서의 주사순서로 동작시킬 때의 라인 메모리에의 입출력을 나타낸다. 도26(b)에서의 주사선(n)은 도 25의 주사선(n)과 대응하고있다. 시각(t=t(n))에서는 주사선(n+3)의 화상정보가 라인 메모리에 기입되지만, 판독은 주사선(n+1)의 화상정보를 판독한다. 시각(t=t(n))에서는 주사선(n+4)의 화상정보가 라인 메모리에 기입되고, 주사선(n+2)의 화상정보를 판독한다. 시각(t=t(n+3))에서, 주사선(n)의 화상정보를 판독한다. 이렇게 하여,

도 25의 주사순서에 대응한 화상정보를 판독할 수 있다.

이와 같이 도 25의 실시예는 4행분의 라인 메모리로 실현 가능하기 때문에, 저코스트로 실현된다.

본 명세서에서는 전자방출소자(301)로서 박막전자원을 이용한 예를 설명하였다. 그러나, 본 발명은 박막전자원에 한정되는 것은 아니며, 전자방출소자와 스페이서를 가지는 평면표시장치 전체에 적용되는 것이다. 전자방출소자로서는 전계방사형 전자원, 표면전도형 전자원, 탄소 나노(nano) 튜브형 전자원, 탄도형 면전자원 등이 있다. 표면전도형 전자원에 관하여는 예를 들면 Journal of the Society for Information Display, vol. 5, No. 4(1997) pp.345 - 348에서 설명되어 있다.탄도형 면전자원에 관하여는 예를 들면 2001 SID International Symposium Digest of Technical Papers, pp.188-191(2001, California)에 설명되어 있다.

발명의 효과

본 발명에 의하면, 스페이서의 대전에 의한 표시화상의 왜곡을 대폭으로 저감하거나 혹은 제거하여 양호한 화상을 얻을 수 있다.

(57) 청구의 범위

청구항 1.
복수개의 전자방출소자를 가지는 제1 기판과, 형광체를 가지는 제2 기판과, 스페이서를 가지는 표시패널과, 선(線)순차 구동방법에 의한 구동수단을 가지는 화상표시장치로서,

상기 구동수단에서는 주사펄스가 출력되고,

상기 구동수단은 상기 스페이서의 근방에서는 스페이서의 먼 곳에서부터 가까운 곳의 순서로 주사하는 것을 특징으로 하는 화상표시장치.

청구항 2.
제 1 항에 있어서,

상기 구동수단은 복수행의 화상신호를 기억하는 복수행 기억수단을 가지는 것을 특징으로 하는 화상표시장치.

청구항 3.
제 2 항에 있어서,

상기 복수행 기억수단의 기억 용량은 주사선수의 10분의 1이하의 개수에 상당하는 것을 특징으로 하는 화상표시장치.

청구항 4.
제 1 항에 있어서,

비월(interlace) 주사를 하는 것을 특징으로 하는 화상표시장치.

청구항 5.
복수개의 전자방출소자를 가지는 제1 기판과, 형광체를 가지는 제2 기판과, 스페이서를 가지는 표시패널과, 선순차 구동방법에 의한 구동수단을 갖는 화상표시장치로서,

상기 구동수단에서는 주사펄스가 출력되고,

상기 구동수단은 상기 스페이서에 인접하는 주사선에 주사펄스를 인가한 후 스페이서에 2번째로 인접하는 주사선에 주사펄스를 인가할 때까지의 기간에, 다른 주사선을 주사하는 것을 특징으로 하는 화상표시장치.

청구항 6.
제 5 항에 있어서,

상기 구동수단은 복수행의 화상신호를 기억하는 복수행 기억수단을 가지는 것을 특징으로 하는 화상표시장치.

청구항 7.
제 6 항에 있어서,

상기 복수행 기억수단의 기억 용량은 주사선수의 10분의 1이하의 개수에 상당하는 것을 특징으로 하는 화상표시장치.

청구항 8.
제 5 항에 있어서,

비월(interlace) 주사를 하는 것을 특징으로 하는 화상표시장치.

청구항 9.
복수개의 전자방출소자를 가지는 제1 기판과, 형광체를 가지는 제2 기판과, 스페이서를 가지는 표시패널과, 선순차 구동방법에 의한 구동수단을 가지는 화상표시장치로서,

상기 표시패널은 주사선을 가지고,

상기 주사선은 상기 스페이서에 인접하는 인접주사선과, 상기 인접주사선에 인접하는 주사선을 포함하는 복수의 주사선으로 이루어지는 근접주사선 영역을 포함하며,

상기 구동수단에서는 주사펄스가 출력되고,

상기 구동수단은 상기 근접주사선 영역의 주사선에 주사펄스를 인가한 후에, 상기 인접 주사선에 주사펄스를 인가하는 것을 특징으로 하는 화상표시장치.

청구항 10.
제 9 항에 있어서,

상기 구동수단은 복수행의 화상신호를 기억하는 복수행 기억수단을 가지는 것을 특징으로 하는 화상표시장치.

청구항 11.
제 10 항에 있어서,

상기 복수행 기억수단의 기억 용량은 주사선 수의 10분의 1이하의 개수에 상당하는 것을 특징으로 하는 화상표시장치.

청구항 12.
제 9 항에 있어서,

비월(interlace) 주사를 하는 것을 특징으로 하는 화상표시장치.

청구항 13.
복수개의 전자방출소자를 가지는 제1 기판과, 형광체를 가지는 제2 기판과, 스페이서를 가지는 표시패널과, 선순차 구동방법에 의한 구동수단을 가지는 화상표시장치로서,

상기 구동수단에서는 주사펄스가 출력되고,

상기 스페이서에 인접하는 주사선에 주사펄스를 인가한 후, 스페이서에 2번째로 인접하는 주사선에 주사펄스를 인가할 때까지의 기간에 주사를 중단하는 것을 특징으로 하는 화상표시장치.

청구항 14.
복수개의 전자방출소자를 가지는 제1 기판과, 형광체를 가지는 제2 기판과, 스페이서를 가지는 표시패널과, 선순차 구동방법에 의한 구동수단을 가지는 화상표시장치의 구동방법으로서,

상기 스페이서의 근방에서는 스페이서의 먼 곳에서부터 가까운 곳의 순서로 주사하는 것을 특징으로 하는 화상표시장치의 구동방법.

청구항 15.
복수개의 전자방출소자를 가지는 제1 기판과, 형광체를 가지는 제2 기판과,스페이서를 가지는 표시패널과, 선순차 구동방법에 의한 구동수단을 가지는 화상표시장치로서,

상기 인접하는 스페이서 사이에 위치하는 주사선의 수가 짝수인 것을 특징으로 하는 화상표시장치.

청구항 16.
복수개의 전자방출소자를 가지는 제1 기판과, 형광체를 가지는 제2 기판과, 스페이서를 가지는 표시패널과, 선순차 구동방법에 의한 구동수단을 가지는 화상표시장치로서,

상기 인접하는 스페이서 사이에 위치하는 주사선의 수를 n개, 양 옆에 위치하는 스페이서의 외측에 위치하는 주사선의 수를 각각 p개, q개, 스페이서의 행수를 m행으로 할 때, (주사선 개수) = n ×(m-1)+ p + q, (n은 짝수)를 만족하는 것을 특징으로 하는 화상표시장치.

청구항 17.
복수개의 전자방출소자를 가지는 제1 기판과, 형광체를 가지는 제2 기판과, 스페이서를 가지는 표시패널과, 선순차 구동방법에 의한 구동수단을 가지는 화상표시장치로서,

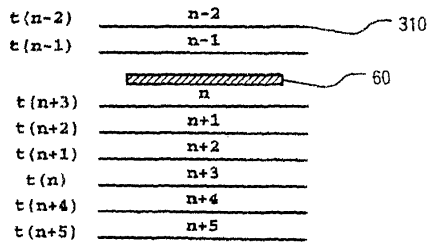
상기 구동수단은 스페이서 위치정보의 기억수단을 가지는 것을 특징으로 하는 화상표시장치.

청구항 18.
복수개의 전자방출소자를 가지는 제1 기판과, 형광체를 가지는 제2 기판과, 스페이서를 가지는 표시패널과, 선순차 구동방법에 의한 구동수단을 가지는 화상표시장치로서,

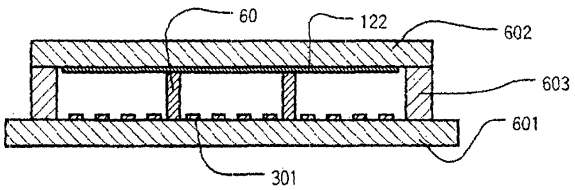
비디오 신호 인터페이스를 가지는 것을 특징으로 하는 화상표시장치.

도면

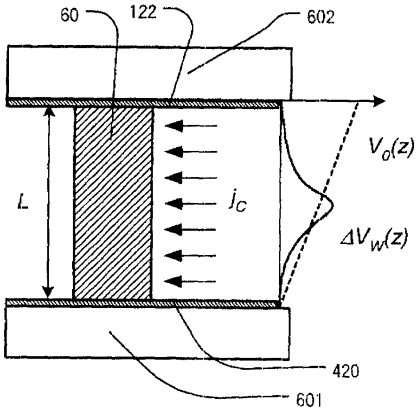
도면1



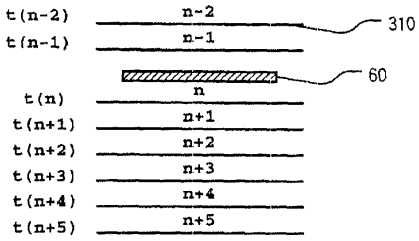
도면2



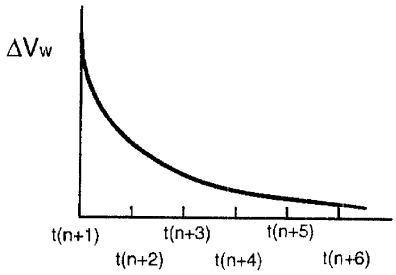
도면3



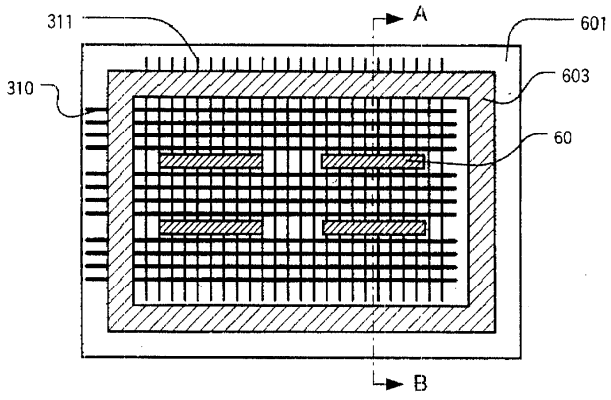
도면4



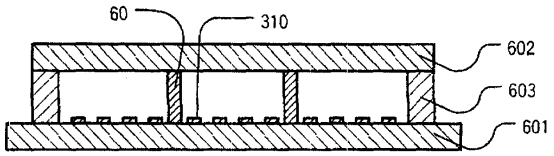
도면5



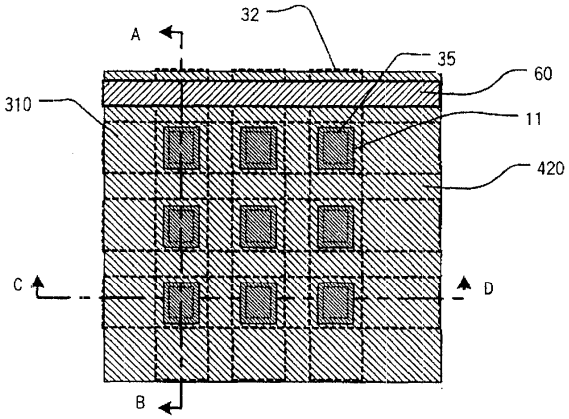
도면6



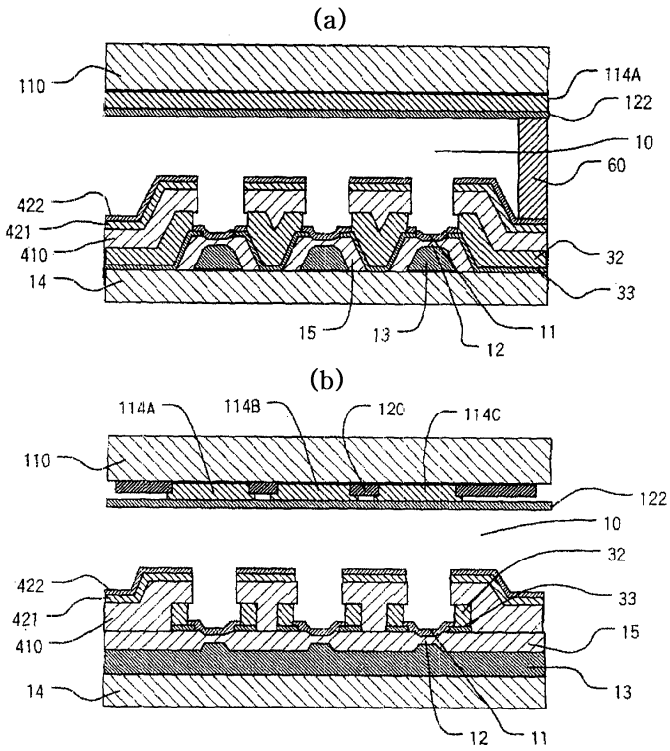
도면7


60
310
602
603
601

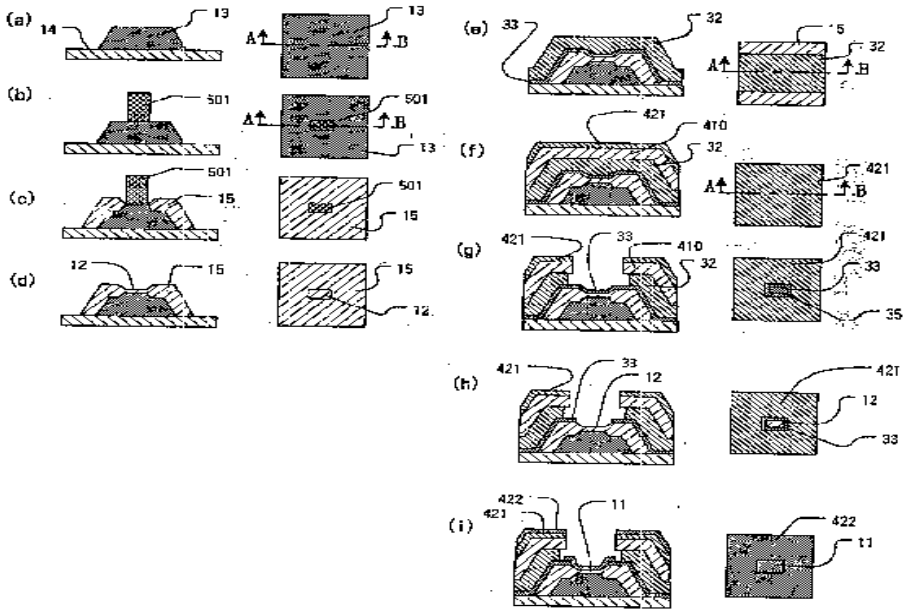
도면8


A
32
35
60
310
11
420
C
D
B

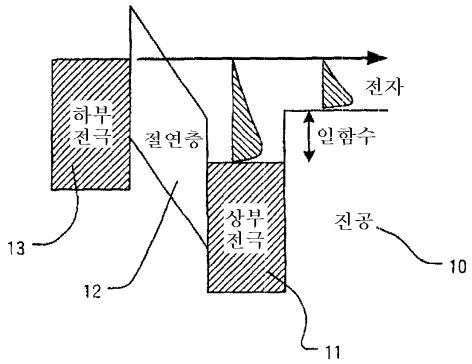
도면9


(a)
110
114A
122
10
60
422
421
410
14
32
33
15
13
12
11
(b)
114A
114B
120
114C
110
122
10
32
422
33
421
15
410
13
14
12
11

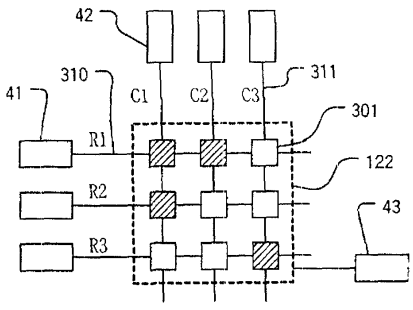
도면10



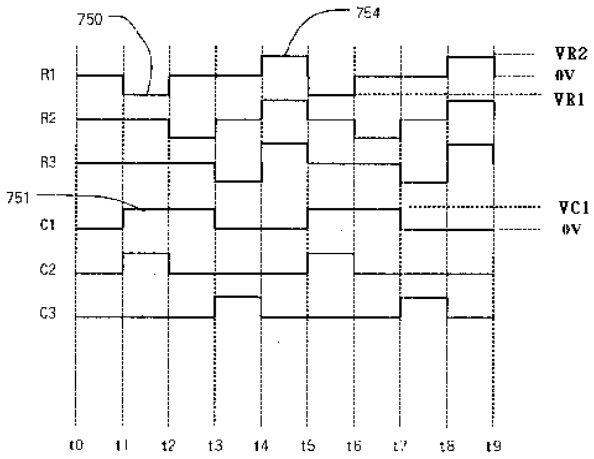
도면11



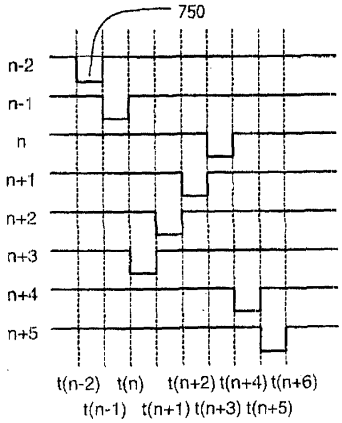
도면12



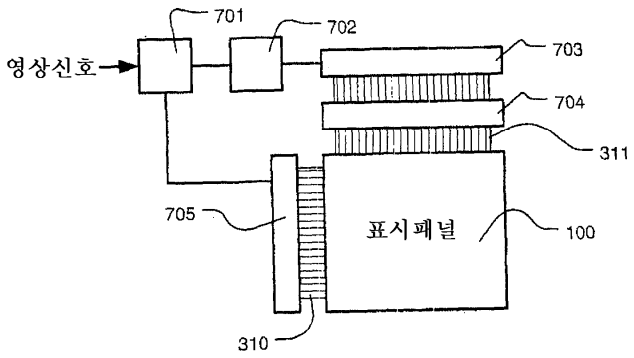
도면13



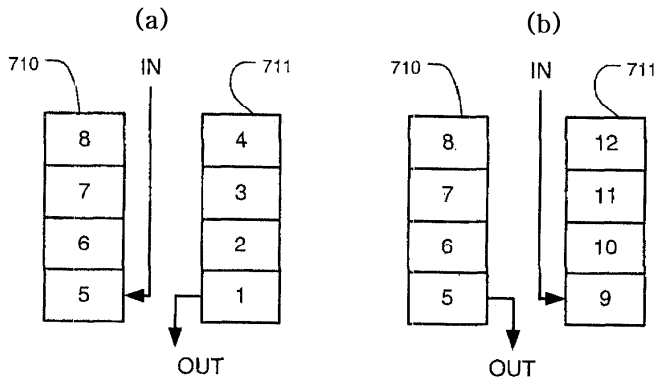
도면14



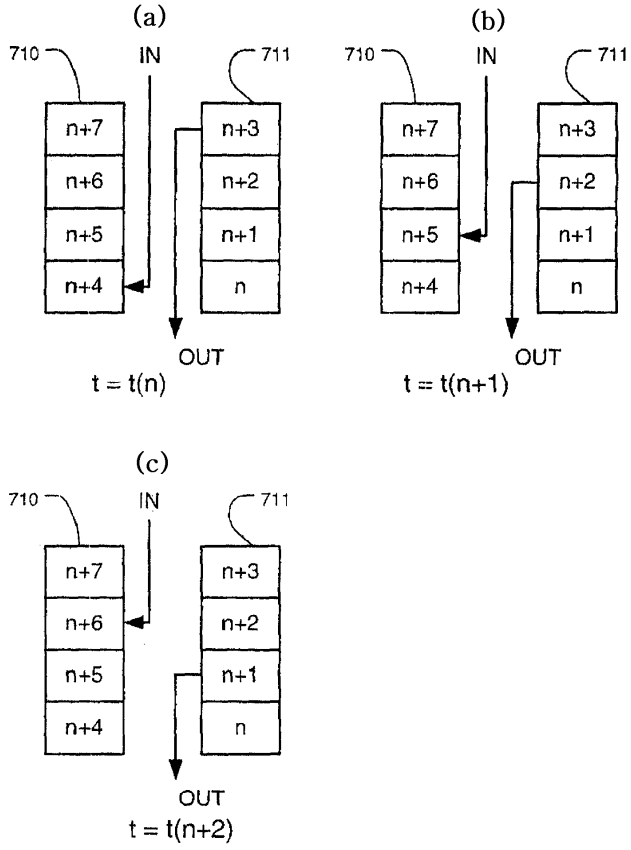
도면15



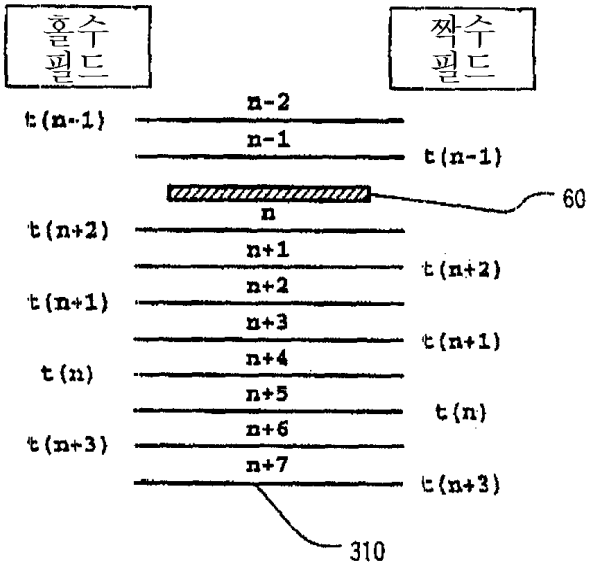
도면16


(a)
710
IN
711
8
7
6
5
4
3
2
1
OUT
(b)
710
IN
711
8
7
6
5
12
11
10
9
OUT

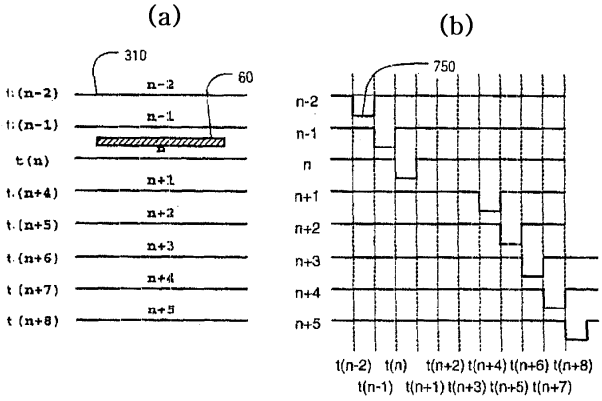
도면17


(a)
710
IN
711
n+7
n+6
n+5
n+4
n+3
n+2
n+1
n
OUT
t = t(n)
(b)
710
IN
711
n+7
n+6
n+5
n+4
n+3
n+2
n+1
n
OUT
t = t(n+1)
(c)
710
IN
711
n+7
n+6
n+5
n+4
n+3
n+2
n+1
n
OUT
t = t(n+2)

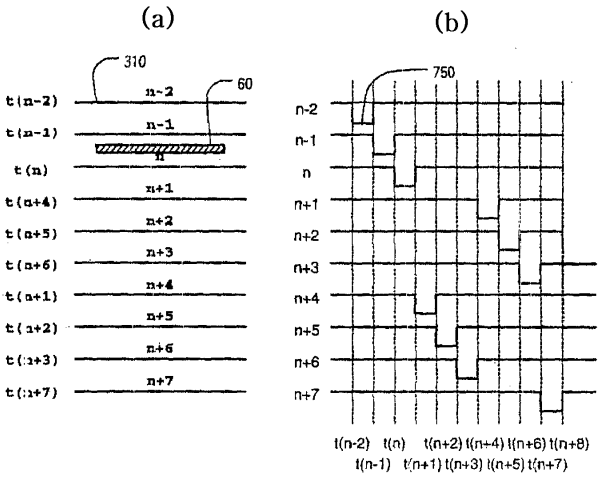
도면18



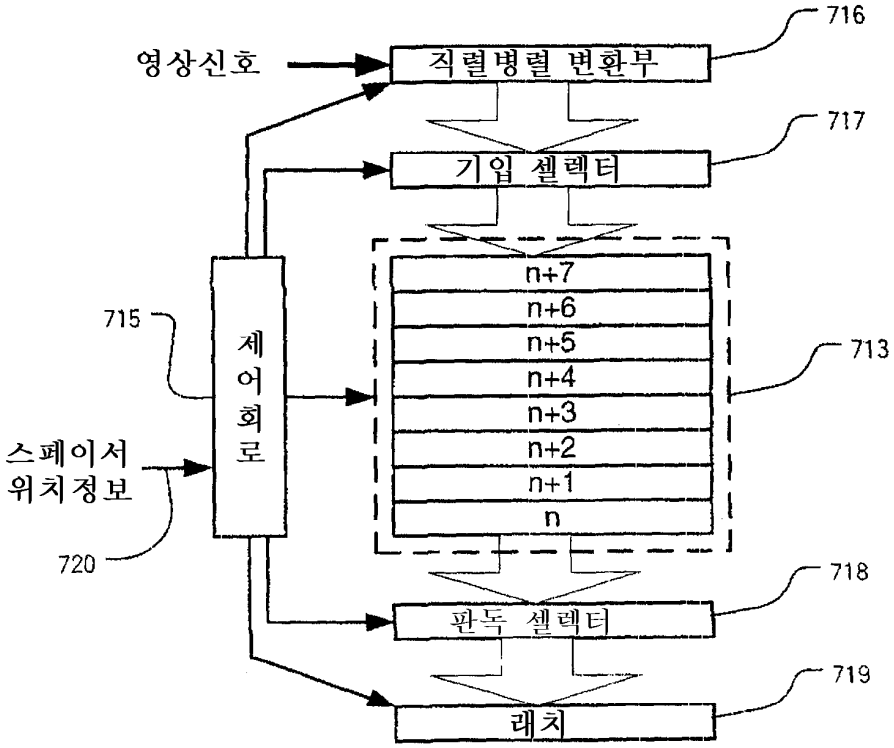
도면19



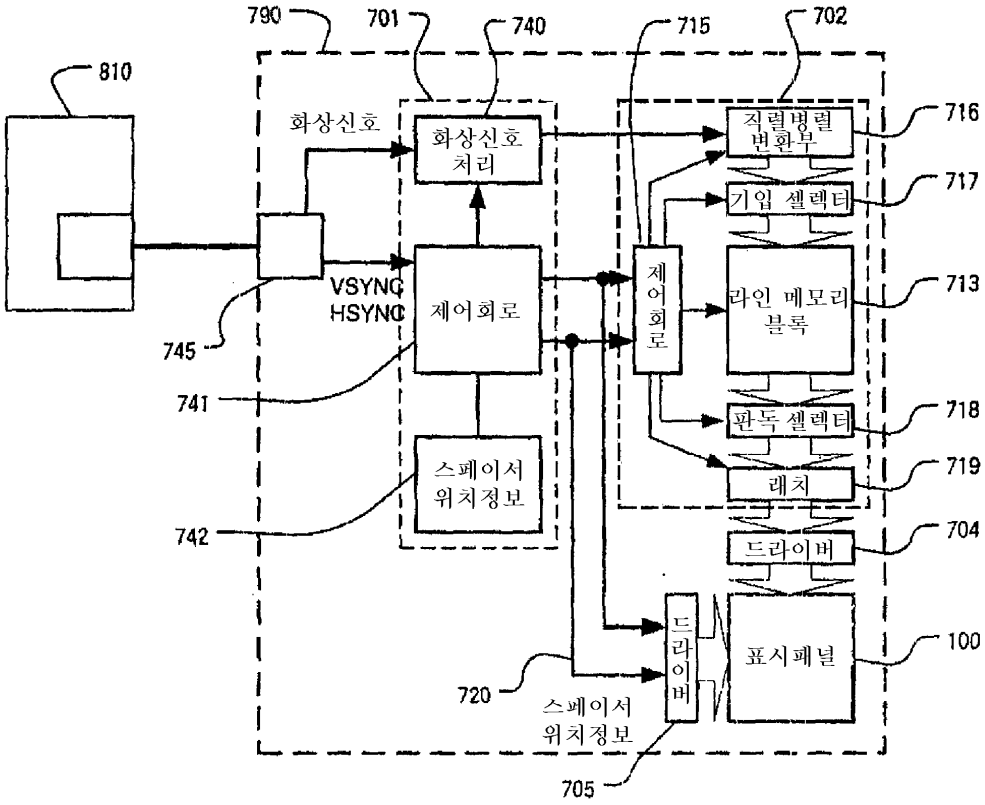
도면20



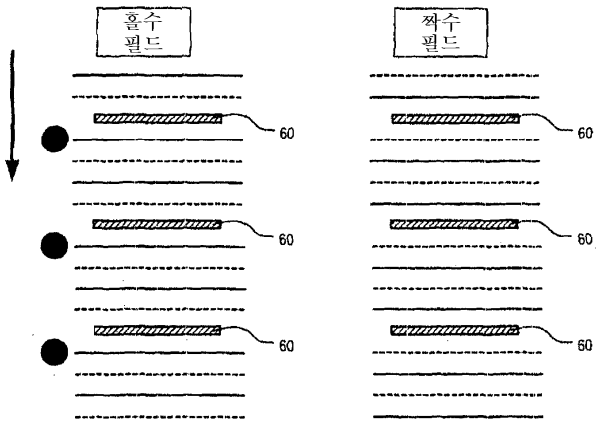
도면21


영상신호
직렬병렬 변환부
716
기입 셀렉터
717
n+7
n+6
n+5
n+4
n+3
n+2
n+1
n
713
715
제어회로
스페이서 위치정보
720
판독 셀렉터
718
래치
719

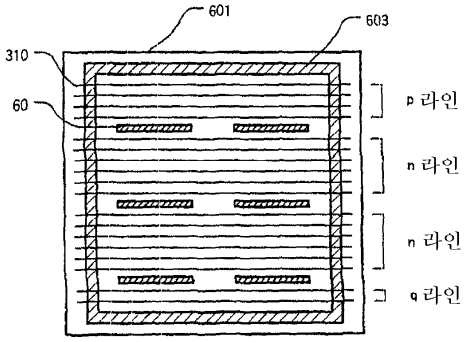
도면22


790
701
740
715
702
810
화상신호
화상신호 처리
직렬병렬 변환부
716
기입 셀렉터
717
VSYNC
HSYNC
제어회로
제어회로
라인 메모리 블록
713
745
741
판독 셀렉터
718
스페이서 위치정보
래치
719
742
드라이버
704
드라이버
표시패널
100
720
스페이서 위치정보
705

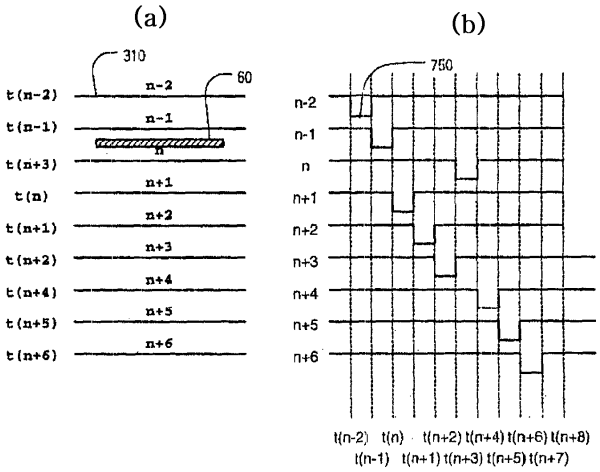
도면23



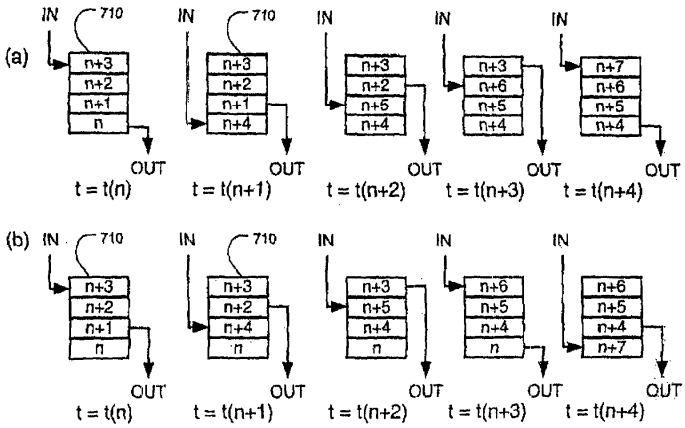
도면24



도면25



도면26


(a)
IN
710
n+3
n+2
n+1
n
OUT
t = t(n)
n+4
t = t(n+1)
n+5
t = t(n+2)
n+6
t = t(n+3)
n+7
t = t(n+4)
(b)
n
t = t(n)
t = t(n+1)
t = t(n+2)
t = t(n+3)
t = t(n+4)