

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5376916号
(P5376916)

(45) 発行日 平成25年12月25日(2013.12.25)

(24) 登録日 平成25年10月4日(2013.10.4)

(51) Int. Cl.	F I
HO 1 L 21/768 (2006.01)	HO 1 L 21/90 D
HO 1 L 23/522 (2006.01)	HO 1 L 21/28 A
HO 1 L 21/28 (2006.01)	HO 1 L 21/28 3 O 1 S
HO 1 L 29/41 (2006.01)	HO 1 L 29/44 S
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 O 1 X
請求項の数 10 (全 30 頁) 最終頁に続く	

(21) 出願番号 特願2008-301225 (P2008-301225)
 (22) 出願日 平成20年11月26日(2008.11.26)
 (65) 公開番号 特開2010-129686 (P2010-129686A)
 (43) 公開日 平成22年6月10日(2010.6.10)
 審査請求日 平成23年10月28日(2011.10.28)

(73) 特許権者 302062931
 ルネサスエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部1753番地
 (74) 代理人 100110928
 弁理士 速水 進治
 (72) 発明者 成廣 充
 神奈川県川崎市中原区下沼部1753番地
 NECエレクトロニクス株式会社内
 審査官 安田 雅彦

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

基板上に絶縁層を形成し選択的エッチングにより、前記基板上に達する開口部を形成する工程と、

半導体を前記基板上に形成して、前記開口部上に前記半導体の第1凹部が自然形成される工程と、

前記第1凹部の形状を維持したまま、前記絶縁層上の前記半導体をエッチングして、前記開口部に半導体柱状部を形成するとともに、前記半導体柱状部の天面に前記第1凹部に基づく第2凹部を形成する工程と、

前記半導体柱状部の前記天面に接するように、前記半導体柱状部と同径以下のコンタクト柱状部を形成する工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項2】

基板上に絶縁層を形成し選択的エッチングにより、前記基板上に達する開口部を形成する工程と、

半導体を前記基板上に形成して、前記開口部上に前記半導体の第1凹部が自然形成される工程と、

前記半導体の上に第1絶縁膜を形成して前記第1凹部に前記第1絶縁膜を充填する工程と、

前記第1凹部に前記第1絶縁膜を残存させるように、前記第1絶縁膜をエッチングする

10

20

工程と、

前記第 1 凹部に充填された前記第 1 絶縁膜をマスクに前記半導体をエッチングして、前記開口部に半導体柱状部を形成するとともに、前記半導体柱状部の天面に凸部を形成する工程と、

前記半導体柱状部の前記天面に接するように、前記半導体柱状部と同径以下のコンタクト柱状部を形成する工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項 3】

基板上に絶縁層を形成し選択的エッチングにより、前記基板上に達する開口部を形成する工程と、

半導体を前記基板上に形成して、前記開口部上に前記半導体の第 1 凹部が自然形成される工程と、

前記半導体の上に、レジストまたは H S Q を塗布して前記第 1 凹部に前記レジストまたは前記 H S Q を充填した後、前記レジストまたは前記 H S Q からなるレジスト膜を形成する工程と、

前記第 1 凹部に前記レジスト膜を残存させるように、前記レジスト膜をエッチングする工程と、

前記第 1 凹部に充填された前記レジスト膜をマスクに前記半導体をエッチングして、前記開口部に半導体柱状部を形成するとともに、前記半導体柱状部の天面に凸部を形成する工程と、

前記半導体柱状部の前記天面に接するように、前記半導体柱状部と同径以下のコンタクト柱状部を形成する工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項 4】

前記第 1 絶縁膜は、S i 酸化膜、S i 窒化膜、および非晶質カーボン膜からなる群から選択される少なくとも一種以上を含むことを特徴とする請求項 2 に記載の半導体装置の製造方法。

【請求項 5】

前記開口部上に前記半導体の前記第 1 凹部が形成される工程において、前記基板に平行な方向の前記開口部の直径を W^1 としたとき、 W^1 以下の膜厚を有する前記半導体を前記基板上に形成することを特徴する請求項 1 から 4 のいずれかに記載の半導体装置の製造方法。

【請求項 6】

前記開口部上に前記半導体の前記第 1 凹部が形成される工程において、前記基板に平行な方向の前記開口部の直径を W^1 としたとき、 $1/2W^1$ 以上の膜厚を有する前記半導体を前記基板上に形成することを特徴する請求項 1 から 5 のいずれかに記載の半導体装置の製造方法。

【請求項 7】

前記基板に平行な方向の前記半導体柱状部の直径を W^1 としたとき、前記基板に平行な方向の前記第 2 凹部または前記凸部の直径は、 W^1 以下の W^2 であることを特徴とする請求項 1 から 6 のいずれかに記載の半導体装置の製造方法。

【請求項 8】

前記基板に平行な方向の前記第 2 凹部または前記凸部の直径は、最小加工寸法 F 以下であることを特徴とする請求項 1 から 7 のいずれかに記載の半導体装置の製造方法。

【請求項 9】

前記絶縁層は、S i 酸化膜、S i 窒化膜、S i 酸窒化膜、P S G、B S G、および N S G からなる群から選択される少なくとも一種以上を含むことを特徴とする請求項 1 から 8 のいずれかに記載の半導体装置の製造方法。

【請求項 10】

請求項 1 から 9 のいずれかに記載の半導体装置の製造方法であって、

10

20

30

40

50

前記半導体柱状部の側面に第2絶縁膜を形成する工程と、
 前記第2絶縁膜の上部に前記半導体柱状部内に第一の拡散層を形成する工程と、
 前記第2絶縁膜の下部に前記半導体柱状部内に第二の拡散層を形成する工程と、
 前記半導体柱状部の前記側面上に前記第2絶縁膜を介してゲート電極を形成する工程と、
 をさらに含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置とその製造方法に関する。

【背景技術】

10

【0002】

半導体素子の微細化が進むにつれ、従来のプレーナー型のMOS(Metal Oxide Semiconductor)トランジスタを、基板に対して垂直に電流が流れる、いわゆる縦型のMOSトランジスタに置き換えようとする試みがある(非特許文献1)。縦型MOSトランジスタは、ダブルゲート構造やゲート・オール・アラウンド構造を用いることで、ゲートの制御性を高められることや、立体化して高集積化が可能なこと、作製方法によっては微細なゲート長を膜厚で規定でき、ゲート長ばらつきを小さくできることなど、多くの利点を有するが、課題も多い。そのような課題の1つとして、例えば、柱状半導体層の上部へのコンタクト層の作製方法があげられる。

【0003】

20

具体的には、柱状半導体層が微細化されて高集積化されると、縦型MOSトランジスタを構成する柱状半導体層の上部へのコンタクトにおいて、柱状半導体層とコンタクトとの接触面積が減少するため、これまでの方法ではコンタクト抵抗の増加が避けられないことが問題であった。

特許文献1には、柱状半導体層とコンタクトとの接触面積を増加させコンタクト抵抗を低減させる1つの方法として、柱状半導体層の側面の一部を利用する方法が記載されている。

【0004】

また、現在、同じように接触面積を増加させて、その接触面の抵抗を低減させる方法として各種の提案がある(例えば、特許文献2から6参照)。

30

例えば、特許文献2には、非晶質Siを選択成長させて、超高真空中で熱処理することで、その上面に半球状の凸凹を作製する方法が記載されている。

特許文献3には、バルクSi単結晶(100)基板において、(111)面が現れる異方性エッチングを行うことにより、基板上に凸凹を作製する方法が記載されている。

特許文献4には、SWT(side wall transfer)技術を用いて微細な凸凹を作製する方法が記載されている。

特許文献5には、ポリシリコンからなるゲート電極にリソグラフィを用いてホール(凹面)を形成し、そのホール(凹面)底面と側面をコンタクト層との接触面にする方法が記載されている。また、特許文献5と同様な構造が特許文献6に記載されている。

【特許文献1】特開2007-123415号公報

40

【特許文献2】特開2000-232223号公報

【特許文献3】特開平10-209428号公報

【特許文献4】特開平9-69622号公報

【特許文献5】特開2007-059870号公報

【特許文献6】特開2003-142683号公報

【非特許文献1】応用物理学会誌第75巻第9号、pp.1115-1119(2006)

【発明の開示】

【発明が解決しようとする課題】

【0005】

50

上述のとおり縦型MOSトランジスタにおいて柱状半導体層が微細化されて高集積化されると、柱状半導体層とコンタクト層との接触面積が減少するため、コンタクト抵抗の増加が避けられないことが問題であった。

【課題を解決するための手段】

【0006】

本発明によれば、基板と、
前記基板上に設けられた、半導体柱状部と、
前記半導体柱状部の天面に接するように設けられた、前記半導体柱状部と同径以下のコンタクト柱状部と、を有し、
前記天面に凹部または凸部が設けられたことを特徴とする半導体装置が提供される。

10

【0007】

また、本発明によれば、基板上に絶縁層を形成し選択的エッチングにより、前記基板上に達する開口部を形成する工程と、
半導体を前記基板上に形成して、前記開口部の前記半導体上に凹部を形成する工程と、
前記半導体をエッチングして、前記開口部に半導体柱状部を形成するとともに、前記半導体柱状部の天面に前記凹部を形成する工程と、
前記半導体柱状部の前記天面に接するように、前記半導体柱状部と同径以下のコンタクト柱状部を形成する工程と、を含むことを特徴とする半導体装置の製造方法が提供される。

【0008】

半導体柱状部と同径以下のコンタクト柱状部が、この半導体柱状部の天面に接するように形成されている。さらに、この天面には、凹部または凸部が設けられている。これにより半導体柱状部とコンタクト柱状部との接触面積が増加する。

20

【発明の効果】

【0009】

柱状半導体層が微細化されて高集積化されても、コンタクト抵抗の増加を抑制する構造が実現される。

【発明を実施するための最良の形態】

【0010】

(第1の実施の形態)

本発明の実施の一形態を図面を参照して以下に説明する。ただし、本実施の形態に関して前述した従来例と同一の部分は、同一の名称を使用して詳細な説明は省略する。

なお、本実施の形態では図示するように前後左右上下の方向を規定して説明する。しかし、これは構成要素の相対関係を簡単に説明するために便宜的に規定するものである。従って、本発明を実施する製品の製造時や使用時の方向を限定するものではない。

30

【0011】

図1(a)は、本発明の第1の実施の形態である半導体装置の上面図である。また、図1(b)は、図1(a)のA-A'線に沿った断面図である。

本発明の実施の形態の半導体装置は、基板(半導体基板1)と、半導体基板1上に設けられた、半導体柱状部(柱状半導体層3)と、柱状半導体層3の天面に接するように設けられた、柱状半導体層3と同径以下のコンタクト柱状部(コンタクト層7)と、を有し、この天面に凹部が設けられたものである。

40

図1(b)に示すように、半導体基板1上に柱状半導体層3が形成されるとともに、この柱状半導体層3の天面に凹部が形成されている。さらにこの天面に接するようにコンタクト層7が形成されている。本実施の形態では、この凹部の少なくとも表面はシリサイド化され、柱状半導体層3内にシリサイド層4が形成されていてもよい。そのため、上述の半導体柱状部とは柱状半導体層3とシリサイド層4とを含むものとする。シリサイド層4が形成されている場合には、ここで言う天面とは、半導体柱状部の天面とシリサイド層4の天面も含み、特に半導体柱状部の全ての天面部分がシリサイド化されているときは、シリサイド層4の天面とする。

50

また上述のとおり、天面に凹部が形成されている。そのため、コンタクト層 7 はこの凹部に接するに形成されている。

【0012】

さらに、半導体基板 1 上に絶縁膜 2 が形成されている。この絶縁膜 2 の開口部に柱状半導体層 3 が埋め込まれている。絶縁膜 2 の上には、ストッパー絶縁膜 5 が形成され、さらにストッパー絶縁膜 5 の上には、層間絶縁膜 6 が形成されている。この層間絶縁膜 6 の一部を貫く形で、コンタクト層 7 が形成されている。このコンタクト層 7 は、柱状半導体層 3 の上部に設けられたシリサイド層 4 に接触している。

【0013】

半導体基板 1 は、単結晶半導体基板もしくは半導体単結晶が表面に設けられた基板である。通常、半導体基板 1 には単結晶 Si 基板が用いられるが、特に限定されない。半導体基板 1 としては Ge 基板、SiC 基板、SOI (Silicon on Insulator) 基板、SGOI (Silicon Germanium on Insulator) 基板でもよい。また、半導体基板 1 としては GaAs、GaN、InAs のような 3 - 5 族化合物半導体基板、ZnSe のような 2 - 4 族化合物半導体基板であってもよい。

10

【0014】

また半導体基板 1 の面については、特定の面に限定されない。例えば、単結晶 Si 基板であれば、(100) 面、(110) 面、(111) 面など、いずれの面を用いてもよい。また、半導体基板 1 は、単結晶基板のノッチ (オリフラ) 方向にも、ドーピングの種類、濃度にも限定されない。

20

【0015】

絶縁膜 2 としては、特に限定されない。半導体基板 1 が単結晶 Si 基板であれば、絶縁膜 2 として、例えば Si 酸化膜、Si 窒化膜、Si 酸窒化膜、NSG (Non-doped Silicate Glass)、PSG (Phosphorous Silicate Glass)、BSG (Boron Silicate Glass) などを用いることができる。

また絶縁膜 2 として、SiOC、SiOF のようないわゆる Low - k 膜、Ta₂O₅、Al₂O₃、HfO₂、ZrO₂、ZrON、HfON、HfAlON、HfSiON、HfAlSiON などのいわゆる High - k 膜を用いてもよい。また必ずしも、絶縁膜 2 は単層膜に限定されるものでもなく、任意の絶縁膜の積層膜でもよい。また、絶縁膜 2 が積層膜の場合には、半導体基板 1 に対して法線方向に絶縁膜 2 の膜種が変化してもよく、さらに半導体基板 1 に対して水平方向に絶縁膜 2 の膜種が変化してもよい。例えば、柱状半導体層 3 の一部の周囲のみにおいて、絶縁膜 2 の膜種が異なってもよい。

30

【0016】

柱状半導体層 3 は、基本的には、半導体基板 1 と同じ材料の単結晶である。例えば、半導体基板 1 が単結晶バルク Si 基板であれば、柱状半導体層 3 は、単結晶 Si であるのが一般的である。しかしながら、柱状半導体層 3 は、必ずしも単結晶に限定されるものではなく、多結晶半導体や非晶質半導体であってもよい。すなわち、半導体基板 1 が単結晶 Si 基板である場合に、柱状半導体層 3 が多結晶 Si や、非晶質 Si であってもよい。また、単結晶、多結晶、非晶質が組み合わされていても、何ら問題はない。

40

【0017】

柱状半導体層 3 の材料については、半導体基板 1 と同じ材料で、単一の材料であることが基本であるが、この材料は複数の異なる材料の積層膜であってもかまわない、また、半導体基板 1 に対して水平方向に材料が異なる構成で、柱状半導体層 3 が構成されていてもよい。また、ドーピングについても、種類や濃度に制限はない。材料やドーピングは、柱状半導体層 3 が構成の一部となる、電気回路上の部品に応じて選択できる。すなわち FET (Field Effect Transistor) やダイオードや容量素子や抵抗素子などの実現する機能に応じた材料やドーピングを選択できる。

なお、柱状半導体層 3 の半導体基板 1 に対して水平方向の断面形状は、円形である。また、この断面形状は正方形や長方形、楕円であってもよく、またこれらの形状だけに限定

50

されない。

【0018】

柱状半導体層3の上には、シリサイド層4が形成される。柱状半導体層3が化合物半導体の場合には、シリサイド層4は、Siと金属の合金であるシリサイドではなく、化合物半導体と金属の合金である。このシリサイド層4には、Niシリサイド、Tiシリサイド、Coシリサイド、Pdシリサイド、Ptシリサイド、Erシリサイドなどが用いられるが、これらのシリサイドに限定されるものではない。また、金属合金のシリサイドでもよい。この金属合金シリサイドには、例えばNiPtシリサイドがある。シリサイド層4は、もともと柱状半導体層3であり、その上部の一部が金属と反応して変化したものである。

10

【0019】

本実施の形態の半導体装置は、図1(b)に示されるように、柱状半導体層3、およびシリサイド層4の天面に、凹部を有する。この凹部は、柱状半導体層3の天面とこの天面に接するコンタクト層7との接触面積が増加するように設けられていれば、特に形状は限定されない。また、基板に平行な方向の柱状半導体層3の直径を W^1 としたとき、この凹部は、 W^1 以下の W^2 の直径を有するものである。以後、直径とは基板に平行な方向の直径を意味するものとする。

さらに、柱状半導体層3の直径の W^1 をリソグラフィで定まる最小加工寸法Fとした場合には、この凹部は、最小加工寸法F以下の直径を有することができる。ここで、本実施の形態の製造方法において、この凹部は、柱状半導体層3の上面に凹部をパターンニングするリソグラフィ工程を用いることなく形成されるものである。

20

この凹部は、柱状半導体層3の天面から半導体基板1に向かってテーパ状である。平面視において、この凹部の開口部分の形状は、円形、正方形、長方形、および楕円であってもよく、またこれらの形状だけに限定されない。断面視において、この凹部は、凹状であればよく、三角形状や台形形状でもよい。

【0020】

また図1(b)に示されるように、この微細な凹部を有する柱状半導体層3の上にコンタクト層7の下面が接するように形成されている。そして、柱状半導体層3の上部だけではなく、微細な凹部の側面と底面とにコンタクト層7が接する。これにより、柱状半導体層3とコンタクト層7との接触面積が増加し、コンタクト抵抗が低減される。

30

【0021】

ストッパー絶縁膜5は、コンタクト層7を形成する際、層間絶縁膜6のエッチングをシリサイド層4の直前で停止させるための絶縁膜である。したがって、層間絶縁膜6のエッチングを行う際、ストッパー絶縁膜5には、層間絶縁膜6とのエッチングの選択比がとれる材料が用いられる。例えば層間絶縁膜6にはSi酸化膜(プラズマ酸化膜)、ストッパー絶縁膜5らはSi窒化膜を用いる。ストッパー絶縁膜5と層間絶縁膜6との材料の組み合わせはこれらに限定されるものではなく、エッチングの選択比がとれればよい。また、層間絶縁膜6は、単層膜に限定されるものではなく、異なる材料、あるいは、異なる製法で成膜された膜を積層した積層膜であってもよい。

【0022】

コンタクト層7は、金属であればよい。コンタクト層7には、例えばW、Al、Cu、Ti、TiNや、これらの合金またはこれらの任意の組み合わせの積層膜などが用いられる。コンタクト層7は、層間絶縁膜6とストッパー絶縁膜5を貫き、柱状半導体層3上に設けられたシリサイド層4と接触している。

40

【0023】

コンタクト層7の上面の断面形状は、図1(a)に示すように円形であるが、正方形や長方形、楕円であってもよく、またこれらの形状だけに限定されない。本実施の形態において、上述の凹部で接する部分以外の、コンタクト層7と柱状半導体層3との直径は、同じである。もしくは、コンタクト層7の直径が、柱状半導体層3の直径より小さい。この点が特許文献1との大きな違いである。このため、本実施の形態の半導体装置において、

50

柱状半導体層 3 が最密配置されるような状況でも、この柱状半導体層 3 の天面に接するようにコンタクト層 7 を形成することが可能である。

さらに、柱状半導体層 3 とコンタクト層 7 とは同径で、シームレスに形成されてもよい。

【 0 0 2 4 】

[製 法]

次に、図 2 から図 1 1 を参照して第 1 の実施の形態の製造方法を説明する。なお、図 2 から図 1 1 では、(a) 図は上面図、(b) 図は(a) 図の A - A ' 線に沿った断面図を示す。

本実施の形態の製造方法は、以下の工程を含むものである。

(i) 基板(半導体基板 1)上に絶縁層を形成し選択的エッチングにより、半導体基板 1 に達する開口部 8 を形成する工程。

(i i) 半導体を半導体基板 1 上に形成して、開口部 8 の該半導体上に凹部を形成する工程。

(i i i) 該半導体をエッチングして、開口部 8 に半導体柱状部(柱状半導体層 3)を形成するとともに、柱状半導体層 3 の天面に凹部を形成する工程。

(i i i i) 柱状半導体層 3 の天面に接するように、柱状半導体層 3 と同径以下のコンタクト柱状部(コンタクト層 7)を形成する工程。

【 0 0 2 5 】

[工 程 (i)]

最初に、図 2 に示すように、半導体基板 1 としてバルク Si (1 0 0) 単結晶基板を用意する。続いて、プラズマ C V D (C h e m i c a l V a p o r D e p o s i t i o n) 法もしくは減圧 C V D 法を用いて、この基板の上に絶縁膜 2 として Si 酸化膜を成膜する。

次に、リソグラフィ技術を行って、開口部 8 を形成する予定の領域にレジストパターンを形成する。このレジストをマスクにして、絶縁膜 2 の Si 酸化膜をドライエッチングして、半導体基板 1 のバルク Si (1 0 0) 単結晶基板に達する開口部 8 を形成する。この際、Si 酸化膜のエッチングレートが Si に対して十分大きなエッチング条件で、エッチングを行う。

【 0 0 2 6 】

その後、レジストを剥離すると、図 3 に示される半導体基板 1 の構造が得られる。後工程で、この開口部 8 には柱状半導体層 3 が埋め込まれる。

柱状半導体層 3 を最密に配置する場合は、本実施の形態のリソグラフィ工程において、開口部 8 をリソグラフィで規定される最小パターンとし、かつ隣り合うパターンの間隔もリソグラフィで規定される最小間隔とする。以下の本明細書では、図面を見やすくするため、柱状半導体層 3 が 1 つだけ形成される場合を図示すが、最密に配置された柱状半導体層 3 も同様なプロセスで形成される。

【 0 0 2 7 】

[工 程 (i i)]

その後、半導体を半導体基板 1 上に形成して、開口部 8 の該半導体上に凹部を形成する。半導体を半導体基板 1 上に形成する方法は、開口部 8 の該半導体上に凹部が形成される限り、特に限定されない。例えば、図 4 に示すように、非晶質 Si 9 を、減圧 C V D 法または、UHV (U l t r a H i g h V a c u u m) - C V D 法で成膜し、開口部 8 を非晶質 Si 9 で充填する。これにより、非晶質 Si 9 がコンフォーマルに成膜された際に、開口部 8 上方付近に非晶質 Si 9 の凹部が自然形成される。特許文献 3 では、非晶質 Si の選択成長を用いるが、本実施の形態では、非晶質 Si 9 の成膜は、非選択成長である。そのため、絶縁膜 2 の Si 酸化膜上にも、非晶質 Si 9 が形成される。

【 0 0 2 8 】

本実施の形態では、非晶質 Si 9 がコンフォーマルに成膜された際に、開口部 8 上方付近に自然形成される非晶質 Si 9 の凹部を利用する。この凹部は、非晶質 Si 9 を厚く成

10

20

30

40

50

膜すると、その深さが次第に浅くなる。そのため、本実施の形態の半導体装置には、ほぼ平坦な面である凹部は不適である。そこで、非晶質Si9の凹部を自然形成するための、本実施の形態の半導体装置に適した上述の非晶質Si9の膜厚は、半導体基板1に平行な方向の開口部8の直径を W^1 としたとき、例えば W^1 以下の膜厚である。さらには、非選択成長のCVD法により、非晶質Si9は、開口部8の底面と側面に沿って、コンフォーマルに成膜される。そのため、開口部8を非晶質Si9で充填するためには、開口部8の直径を W^1 としたとき、例えば $1/2W^1$ 以上の膜厚の非晶質Si9を成膜する。

【0029】

[工程(iii)]

次に、図5に示すように、非晶質Si9をドライエッチングし、絶縁膜2のSi酸化膜上に設けられた非晶質Si9を除去する。この際、非晶質Si9のエッチングレートがSi酸化膜に対して十分大きなエッチング条件で、エッチングを行う。これにより、非晶質Si9の凹部はその形状を維持したままエッチングされる。また、エッチング後は、図5のように、絶縁膜2のSi酸化膜の鑄型の中に、非晶質Si9は埋め込まれた形状となる。

10

【0030】

この後、図6に示すように、例えば窒素雰囲気下、約温度570度で非晶質Si9を熱処理し、非晶質Si9を固相エピタキシャル成長させ、単結晶Siの柱状半導体層3を形成させる。この固相エピタキシャル成長の際にも、凹部はその形状を維持されるため、固相エピタキシャル成長後は、単結晶Siの凹部となる。これにより上述の凹部を有する半導体柱状部(柱状半導体層3)が形成される。その後、単結晶Siの柱状半導体層3の上部にシリサイド層4を形成する。例えば、シリサイド層4としてNiシリサイドを形成する(図7)。このようにして、基板に平行な方向の半導体基板1の直径を W^1 としたとき、半導体基板1に平行な方向の凹部直径は、 W^1 以下の W^2 とすることができる。

20

さらに、工程(i)において、本実施の形態の半導体装置を製造するときのリソグラフィで定まる最小加工寸法をFとしたとき、最小加工寸法F以下の直径を有する凹部を形成することができる。例えば、開口部8の直径の W^1 をリソグラフィで定まる最小加工寸法Fとすることができる。

【0031】

以上のように本実施形態の方法では、柱状半導体層3の上面に凹部をパターンニングするリソグラフィ工程を行うことなく、柱状半導体層3の天面に開口部8の直径 W^1 より微細な凹部を形成することができる。そのため柱状半導体層3の直径がリソグラフィの解像度と同じであった場合には、柱状半導体層3の天面に、リソグラフィの解像度より微細な凹部を形成することができる。

30

また、本実施形態の方法では、柱状半導体層3の天面の中心に必ず1個の凹部を形成できる。これにより、凹部の数は、同一基板上に設けられたすべての柱状半導体層3において、同じ数(1個)となる。そのため、同一基板上に設けられた複数の柱状半導体層3において、その直径が100nm以下になっても、特許文献2の方法に比べて、コンタクト抵抗のばらつきを小さくすることができる。

【0032】

図8に示すように、シリサイド層4を形成後、減圧CVD法により、ストッパー絶縁膜5としてSi窒化膜を成膜する。さらにプラズマCVD法により層間絶縁膜6としてSi酸化膜を成膜する。その後、CMP(Chemical Mechanical Polishing)により、層間絶縁膜6のSi酸化膜の表面を平坦化する。これにより、図9のような構造が得られる。

40

【0033】

[工程(iiii)]

ここで、リソグラフィ技術により、開口部10を形成する予定の領域にレジストパターンを形成する。本実施の形態では、この開口部10に相当するレジストパターンと開口部8を形成したときのレジストパターンとの大きさを同じにする。リソグラフィ後、このレ

50

ジストをマスクに、層間絶縁膜 6 の Si 酸化膜をドライエッチングして、ストッパー絶縁膜 5 の Si 窒化膜に達する開口部 10 を形成する。この際、Si 酸化膜のエッチングレートが Si 窒化膜に対して十分大きなエッチング条件で、エッチングを行う。その後、レジストを剥離すると、図 10 のような形状となる。

それから、ストッパー絶縁膜 5 の Si 窒化膜をドライエッチングする。この際、Si 窒化膜のエッチングレートがシリサイドに対して十分大きなエッチング条件で、エッチングを行う。シリサイド層 4 上のストッパー絶縁膜 5 の Si 窒化膜が除去されると、図 11 のような構造が得られる。

【0034】

この後、金属を開口部 10 に埋め込んで、コンタクト層 7 を形成する。具体的には、Ti と TiN をスパッタして熱処理し、その後、CVD 法により W を埋め込んで、CMP を行う。このようにして、柱状半導体層 3 の天面に接するように、柱状半導体層 3 と同径以下のコンタクト柱状部(コンタクト層 7)を形成する。そして、図 1 に示す半導体装置が得られる。その後、必要に応じて、従来からの方法で配線層や電極パッドがさらに形成される。

10

【0035】

本実施の形態の効果について説明する。以上のように、本実施の形態の製造方法では、開口部 8 に非晶質 Si 9 をコンフォーマルに成膜させたときに自然形成される凹部を用いるので、柱状半導体層 3 の上面に凹部をパターンニングするリソグラフィ工程を行うことなく、開口部 8 の直径 W^1 より微細な凹部を形成することができる。そのため、柱状半導体層 3 の直径がリソグラフィの解像度と同じであった場合にも、柱状半導体層 3 の天面に、この微細な凹部を形成することができる。この点が、柱状半導体層の上面に、リソグラフィを用いて、微細な凹凸を作製しなければならない特許文献 3 から 6 の製造方法に比べて優れている。また、非晶質 Si の選択成長でなく、非選択成長を用いるので、結晶成長技術としても容易であり、量産に適している。さらに、柱状半導体層 3 の上面に、必ず同じ数の凹部ができるので、コンタクト抵抗のばらつきは、半球状の Si の数がばらつく特許文献 2 の製造方法よりも小さくなる。これらの点が、特許文献 2 の製造方法よりも優れている。

20

【0036】

具体的には、上記特許文献 1 に記載された半導体装置には、以下の問題がある。

30

コンタクトが柱状半導体層の側面の一部に形成されるため、柱状半導体層とコンタクトとの接触面積が増加して、コンタクト抵抗は減少するものの、コンタクト径が柱状半導体層の直径より大きくなる。このため、柱状半導体層を最密に配置することができないという問題がある。

特許文献 1 において、柱状半導体層が、リソグラフィで定まる最小加工寸法 $F (> 0)$ の直径をもち、間隔 F で(柱状半導体層の中心距離は $2F$ で)一面に配置されている状況を考える(本明細書では、この状況を単に、柱状半導体層が最密配置されている状況と言う。)。このとき、特許文献 1 の方法を用いると、コンタクト径は $F + (\quad > 0)$ となり、隣り合うコンタクトの間隔は $F - (\quad < F)$ となり、最小加工寸法 F 未満となる。このため、リソグラフィを行ってコンタクトを作製することはできない。実際にコンタクトが作製できるようにするためには、柱状半導体層間の間隔を F から $F + (\quad)$ に広げる必要がある。こうすれば、隣り合うコンタクトの間隔は F となるので、リソグラフィを行ってコンタクトが作製可能となる。すなわち、特許文献 1 の方法では、コンタクト径が柱状半導体層の直径より大きくなるため、柱状半導体層を最密に配置できないことが問題であった。

40

【0037】

これに対し、本実施の形態の半導体装置において、柱状半導体層 3 が最密配置されるような状況を考えてみると、柱状半導体層 3 の半導体基板 1 に平行な断面形状が円形ならば、コンタクト層 7 の断面形状も同じ円形であり、かつ、柱状半導体層 3 とコンタクト層 7 の直径は同一であり、コンタクト層 7 の直径は、柱状半導体層 3 の直径より大きくなる。したがって、コンタクト層 7 のリソグラフィ工程を行う際にも、柱状半導体層 3 を形成す

50

るリソグラフィ工程と同様に、コンタクト層 7 を最密配置することができる。すなわち、本実施の形態の半導体装置では、特許文献 1 の方法と同様にコンタクト抵抗の低減を実現しながらも、特許文献 1 の半導体装置とは異なり、コンタクト径が柱状半導体層の直径より大きくならないため、柱状半導体層を最密に配置できるようになっている。

【 0 0 3 8 】

また、上述の特許文献 2 から特許文献 6 の製造方法を、柱状半導体層に適用しようとしても、以下の問題がある。

特許文献 2 の製造方法では、非晶質 Si の選択成長を行い、超高真空中で熱処理することで、半径数 10 nm 程度の半球状の凸凹を作製するが、局所的に見ると、半球状の Si の位置、密度を制御できない。このため、直径 100 nm 以下の柱状半導体層の上部コンタクトの作製に適用すると、柱状半導体層の上部に形成される半球状の Si の数にばらつきが生じ、これがコンタクト抵抗のばらつきを生じさせる。

以上のように、特許文献 2 の製造方法では、半球状の Si の局所的な位置と密度を制御できないために、直径 100 nm 以下の柱状半導体層では、コンタクト抵抗のばらつきが大きくなるという問題があった。

【 0 0 3 9 】

これに対し、本実施の形態の半導体装置の製造方法では、開口部 8 に非晶質 Si 9 をコンフォーマルに成膜させたときに自然形成される凹部を用いるので、柱状半導体層 3 の天面の中心に必ず 1 個の凹部を形成できる。これにより、凹部の数は、同一基板上に設けられた複数の柱状半導体層 3 のいずれにおいても、同じ数 (1 個) になる。このことは、柱状半導体層 3 の直径が 100 nm 以下になっても、変わらない。すなわち、本実施の形態の半導体装置の製造方法では、特許文献 2 の方法と同様にコンタクト抵抗の低減を実現しながらも、特許文献 2 の方法とは異なり、凸凹の局所的な密度のばらつきが生じないので、特許文献 2 の方法に比べて、コンタクト抵抗のばらつきを小さくすることができる。

【 0 0 4 0 】

特許文献 3 から 6 の半導体装置の製造方法では、いずれも、コンタクトと半導体の接触界面にリソグラフィを行って、凸凹を作製することが前提になっている。すなわち、凸凹を作製するために、リソグラフィ工程が 1 回増える。リソグラフィ工程が増える影響は、以前はレチクルが比較的安価で問題にはならなかったが、微細化が進むにつれレチクルコストが上昇し、柱状半導体の直径が 100 nm 以下になるような状況では、製品のコストに極めて大きな影響をおよぼす。

【 0 0 4 1 】

これに対し、本実施の形態の半導体装置の製造方法では、特許文献 3 から 6 の半導体装置の製造方法と同様にコンタクト抵抗の低減を実現しながらも、特許文献 3 から 6 の方法とは異なり、凸凹を作製するために余分なリソグラフィ工程を必要とせず、開口部 8 に非晶質 Si 9 をコンフォーマルに成膜させたときに自然形成される凹部を用いるので、特許文献 3 から 6 の製造方法に比べて、安価に実現できる。

【 0 0 4 2 】

上述のとおり第 1 の実施の形態では、絶縁膜 2 上の非晶質 Si 9 を除去してから、固相エピタキシャル成長を行った。しかしながら、絶縁膜 2 上の半導体の除去と固相エピタキシャル成長との順番は、これに限定されるものではない。例えば図 4 に示す工程の後、固相エピタキシャル成長を行って、その後に絶縁膜 2 上の半導体を除去してもよい。この場合、除去する半導体としては、固相エピタキシャル成長した単結晶 Si、固相エピタキシャル成長しなかった非晶質 Si、および固相エピタキシャル成長の際に多結晶化した多結晶 Si が挙げられる。

【 0 0 4 3 】

また、上述のとおり第 1 の実施の形態では柱状半導体層 3 は単結晶 Si である。その他にも本実施の形態では、柱状半導体層 3 は非晶質 Si 9 または多結晶 Si であってもよい。柱状半導体層 3 が非晶質 Si 9 の場合は、上述の工程のうち、図 6 に示す固相エピタキシャル成長の工程を省略すればよい。柱状半導体層 3 が多結晶 Si の場合は、図 4 に示す

10

20

30

40

50

工程において、非晶質Siの代わりに多結晶Siを成膜し、同様にして、図6に示す固相エピタキシャル成長の工程を省略すればよい。

【0044】

なお、本実施の形態の説明では、柱状半導体層3へのコンタクトの形成に説明の重点をおくため、それ以外の点は省略した。通常、柱状半導体層3には、電気回路として何らかの機能を果たす素子(FET、ダイオード、サイリスタ、容量素子、抵抗素子、記憶素子など)が形成されている。したがって、これにあわせて、柱状半導体層3の上部、下部(半導体基板1)、側面などに、イオン注入やその他の方法によって、ドーピングが行われたり、その他の必要な膜が設けられたりする。しかし、本実施の形態の説明では、これらを省略している。なお、柱状半導体層3にMISFET(Metal Insulator Semiconductor Field Effect Transistor)が形成される場合については、別の実施形態で詳細に説明する。

10

【0045】

[第2の実施の形態]

次に、本発明の第2の実施の形態について図面を参照して詳細に説明する

図12(a)は、本発明の第2の実施の形態である半導体装置の上面図、図12(b)は、図12(a)のA-A'線に沿った断面図である。また、図13(a)は、本発明の第2の実施の形態である半導体装置の上面図、図13(b)は、図13(a)のA-A'線に沿った断面図である。

本発明の第2の実施の形態は、第1の実施の形態が理想的なものであるのに対して、現実の製造方法の完全でない部分の影響により、一部がずれたり、変形したりしたものである。したがって、第2の実施の形態の製造方法は、第1の実施の形態と同じとする。

20

【0046】

図12は、第1の実施の形態の図10に示すリソグラフィの工程において、リソグラフィの位置ズレにより、コンタクト層7が形成される位置に小さなズレが発生しているものである。このため、図12の場合、シリサイド4の上面右側の一部とコンタクト層7に接触していない部分が発生する。このような場合でも、コンタクト層7が微細な凹部に接触している限り、柱状半導体層3の上部の微細な凹部がない時と比べると、コンタクトの接触面積は増加しており、コンタクト抵抗は低減される。実用上問題ない範囲まで、コンタクト層7が形成される位置のズレが発生してもよい。なお、コンタクトが微細な凹部に接触しない程度にリソグラフィの位置ズレが大きな場合には、レジストを剥離し、もう一度、図10に示すリソグラフィの工程をやり直す。

30

【0047】

図13は、第1の実施の形態の図10に示すリソグラフィ後のエッチング工程において、エッチング形状が垂直にならず、テーパ形状になったものである。このため、コンタクト層7の上面の直径は、柱状半導体層3の直径と同じになっているが、コンタクト層7の下側部分、ストッパー絶縁膜5と同じ高さにある部分の直径は、柱状半導体層3の直径より小さくなっている。このような本実施の形態の場合でも、コンタクト層7が微細な凹部に接触している限り、コンタクトの接触面積が増加し、柱状半導体層3の上部の微細な凹部がない時と比較してコンタクト抵抗は低減される。

40

このように、現実の製造方法の完全でない部分の影響により、図12のようにコンタクトが小さな位置ズレをおこしたり、図13のようにコンタクトの直径が、シリサイド層4の下方でやや小さくなったりしても、柱状半導体層3の上部の微細な凹部がない時と比較すると、本実施の形態のコンタクト抵抗は低減される。ただ、理想的な第1の実施の形態と比較すると、コンタクトの接触面積が若干減少する分、本実施の形態のコンタクト抵抗低減の程度は小さくなる。

【0048】

[発明の第3の実施の形態]

次に、本発明の第3の実施の形態について図面を参照して詳細に説明する

図14(a)は、本発明の第3の実施の形態である半導体装置の上面図、図14(b)は

50

、図14(a)のA-A'線にそった断面図である。

【0049】

本発明の第3の実施の形態の半導体装置の構造は、第1の実施の形態の半導体装置の構造とほとんど同じであるが、第1の実施の形態の半導体装置の場合、柱状半導体層3の上部に凹部が形成されていたのに対し、第3の実施の形態の半導体装置の場合、柱状半導体層3の上部に凸部が形成されている点だけが異なっている。

【0050】

本実施の形態の半導体装置は、基板(半導体基板1)と、半導体基板1上に設けられた、半導体柱状部(柱状半導体層3)と、柱状半導体層3の天面に接するように設けられた、柱状半導体層3と同径以下のコンタクト柱状部(コンタクト層7)と、を有し、この天面に凸部が設けられたものである。

10

図14(b)に示すように、半導体基板1上に柱状半導体層3が形成されるとともに、この柱状半導体層3の天面に凸部が設けられている。さらにこの天面に接するようにコンタクト層7が形成されている。本実施の形態では、この凸部の少なくとも表面はシリサイド化され、柱状半導体層3内にシリサイド層4が形成されていてもよい。そのため、上述の半導体柱状部とは柱状半導体層3とシリサイド層4を含むものとする。シリサイド層4が形成されている場合には、ここで言う天面とは、半導体柱状部の天面とシリサイド層4の天面も含み、特に半導体柱状部の全ての天面部分がシリサイド化されているときは、シリサイド層4の天面とする。

また上述のとおり、天面に凸部が設けられている。そのため、コンタクト層7はこの凸部に接するに形成されている。

20

第3の実施の形態の半導体装置の場合でも、柱状半導体層3の天面に設けられた凸部の分、柱状半導体層3とコンタクト層7との接触面積が増加するので、コンタクト抵抗は低減される。

【0051】

以下に、第3の実施の形態の半導体装置の製造方法について説明する。

本実施の形態の製造方法は、以下の工程を含むものである。

(i)基板(半導体基板1)上に絶縁層を形成し選択的エッチングにより、半導体基板1に達する開口部8を形成する工程。

(i i)半導体基板1に平行な方向の開口部8の直径を W^1 としたとき、 $1/2W^1$ 以上、 W^1 以下の膜厚を有する半導体を半導体基板1上に形成して、開口部8の該半導体上に凹部を形成する工程。

30

(i i i)該凹部を形成する工程の後、該凹部にマスク層を形成し、マスク層をマスクにエッチングして、開口部8に半導体柱状部(柱状半導体層3)を形成するとともに、半導体柱状部の天面に凸部を形成する工程。

(i i i i)柱状半導体層3の天面に接するように、柱状半導体層3と同径以下のコンタクト柱状部(コンタクト層7)を形成する工程。

本実施の形態の製造方法は、上述の第1の実施の形態の製造方法の凹部を形成する工程(工程(i)~(i i))の後、さらに、工程(i i i)、および工程(i i i i)を含むものである。工程(i)~(i i)、(i i i i)は、上述の第1の実施の形態の製造方法と同様であるので、以下の本実施の形態の製造方法の説明では、工程(i i i)についてより詳しく説明する。

40

【0052】

[工程(i)~(i i)]

第3の実施の形態の半導体装置を製造するには、最初に、第1の実施の形態の半導体装置を製造する際と同様に、図2、図3、図4に示す工程をこの順に行う。すなわち、半導体基板1のバルクSi(100)単結晶基板に、絶縁膜2のSi酸化膜を成膜し、その後、リソグラフィとドライエッチング、レジスト剥離を行って、半導体基板1のバルクSi(100)単結晶基板にいたる開口部8を形成し、この開口部8を充填するように、非晶質Si9を成膜する。第3の実施の形態でも、第1の実施の形態と同様に、開口部8に非

50

晶質Siをコンフォーマルに成膜させたときに自然形成される凹部を用いるので、成膜する非晶質Si₉の膜厚を W^1 としたとき、 $1/2W^1$ 以上、 W^1 以下の膜厚とする。

【0053】

[工程(iii)]

図4に示す構造が得られた後、第3の実施の形態では、マスク層11を成膜し、その後、マスク層11の表面を平坦化することで、図15に示す構造が得られる。マスク層11としては、Si酸化膜、Si窒化膜、レジスト、非晶質カーボン膜、水素シルセスキオキサン(Hydrogen Silsesquioxane、HSQ)などを用いる。もしくはこれらの任意の組み合わせでもよい。例えば、プラズマCVD法により、マスク層11としてSi酸化膜を成膜し、その後、CMPによりSi酸化膜の表面を平坦化する。あるいは、図4に示す構造が得られた後、非晶質Si₉上にレジストを塗布する。レジストを塗布する場合、通常通り塗布すれば、流動性があるので凹部に充填され、かつ表面が平坦化される。その後、プリベークすれば、図15に示すようにマスク層11が形成される。マスク層11としてHSQを用いる場合も、レジストと同様にしてマスク層11を形成する。以下では、マスク層11としてレジストを用いた場合について説明する。

10

【0054】

その後、図16に示すように、レジストのエッチングレートがSiに対して十分大きなエッチング条件で、マスク層11のレジストをドライエッチングする。このとき、凹部に充填されたレジスト以外の非晶質Si₉上のレジストを除去した時点で、エッチングを停止する。このようにして、凹部部分のみに、マスク層11のレジストを残存させる。

20

【0055】

続いて、この凹部部分に残存したマスク層11のレジストをマスクにして、Siのエッチングレートがレジストに対して十分大きな条件で、ドライエッチングを行う。このとき、開口部8部分の非晶質Si₉以外の絶縁膜2上の非晶質Si₉が除去された時点で、エッチングを停止する。このようにして、図17に示す構造が得られる。このエッチング後、マスク層11のレジストを除去すると、図18に示すように、凸部を上面に有する非晶質Si₉が開口部8に埋め込まれた形状が得られる。この後、第1の実施の形態の図6に示す工程と同様にて、例えば窒素雰囲気下、温度570度で非晶質Si₉を熱処理し、非晶質Si₉を固相エピタキシャル成長させ、凸部を上面に有する単結晶Siの柱状半導体層3を形成させる(図19)。

30

【0056】

本実施の形態の半導体装置は、図14(b)に示されるように、柱状半導体層3、およびシリサイド層4の天面に、凸部を有する。この凸部は、柱状半導体層3の天面とこの天面に接するコンタクト層7との接触面積が増加するように形成されていれば、特に形状は限定されない。また、基板に平行な方向の柱状半導体層3の直径を W^1 としたとき、この凸部は、 W^1 以下の W^2 の直径を有するものである。以後、直径とは基板に平行な方向の直径を意味するものとする。

さらに、柱状半導体層3の直径の W^1 をリソグラフィで定まる最小加工寸法Fとした場合には、この凸部は、最小加工寸法F以下の直径を有することができる。ここで、本実施の形態の製造方法において、この凸部は、柱状半導体層3の上面に凸部に相当する領域をパターンニングするリソグラフィ工程を行うことなく形成されるものである。

40

また、この凸部は、半導体基板1から柱状半導体層3の天面に向かってテーパ状である。

【0057】

図14(b)に示されるように、さらにこの凸部の天面には凹部を有するものである。この凹部は W^2 以下の直径を有する。また、この凹部は最小加工寸法F以下の直径を有することができる。この凹部は、柱状半導体層3の天面から半導体基板1に向かってテーパ状である。平面視において、この凹部の開口部分の形状は、円形、正方形、長方形、および楕円であってもよく、またこれらの、形状だけに限定されない。断面視において、この凹部は、凹状であればよく、三角形状や台形形状でもよい。

50

【 0 0 5 8 】

以上のように、本実施形態の製造方法でも、柱状半導体層 3 の上面に凸部に相当する領域をパターンニングするリソグラフィ工程を行うことなく、柱状半導体層 3 の天面に凸部を形成することができる。

また、柱状半導体層 3 の天面の中心に 1 個の凸部を形成できる。これにより、凸部の数は、同一基板上に設けられた複数の柱状半導体層 3 のいずれにおいても、同じ数 (1 個) になる。このことは、柱状半導体層 3 の直径が 1 0 0 n m 以下になっても、変わらない。すなわち、本実施の形態の半導体装置の製造方法では、特許文献 2 の半導体装置の製造方法と同様にコンタクト抵抗の低減を実現しながらも、特許文献 2 の半導体装置の製造方法とは異なり、凸凹の局所的な密度のばらつきが生じないので、特許文献 2 の半導体装置の製造方法に比べて、コンタクト抵抗のばらつきを小さくすることができる。

10

【 0 0 5 9 】

コンタクト層 7 の上面の断面形状は、図 1 4 (a) に示すように円形であるが、正方形や長方形、楕円であってもよく、またこれらの形状だけに限定されない。本実施の形態において、コンタクト層 7 と柱状半導体層 3 との、基板に平行な方向の直径は、同じである。もしくは、コンタクト層 7 の直径が、柱状半導体層 3 の直径より小さい。このため、本実施の形態の半導体装置は、柱状半導体層 3 が最密配置されるような状況でも、第 1 の実施の形態と同様に対応可能である。さらに、柱状半導体層 3 とコンタクト層 7 とは同径で、シームレスに形成されてもよい。

【 0 0 6 0 】

20

[工程 (i i i i)]

図 1 9 に示す工程の後には、第 1 の実施の形態の図 7 から図 1 1 に示す同じ工程を行う。その後、金属を開口部 1 0 に埋め込んで、コンタクト層 7 を形成する。具体的には、 Ti と TiN をスパッタして熱処理し、その後、CVD法により W を埋め込んで、CMPを行う。このようにして、柱状半導体層 3 の天面に接するように、柱状半導体層 3 と同径以下のコンタクト柱状部(コンタクト層 7)を形成する。そして、図 1 4 に示す第 3 の実施の形態の半導体装置が得られる。その後、必要に応じて、従来からの方法で配線層や電極パッドがさらに形成される。

【 0 0 6 1 】

第 3 の実施の形態の半導体装置は、マスク層 1 1 をマスクとしてエッチングする際の、エッチングの選択比を大きくすることで、より高さのある凸部を形成することができるので、凸部の側面の面積を増加させ、よりコンタクト抵抗を低減させられる。なお、第 3 の実施の形態の半導体装置の製造方法でも、絶縁膜 2 上の半導体除去と固相エピタキシャル成長の順番については、第 1 の実施の形態の製造方法と同様にする。すなわち、図 1 5 から図 1 9 に示したように、絶縁膜 2 上の半導体除去した後に、固相エピタキシャル成長を行ってもよい。かわりに、図 4 の工程の後、固相エピタキシャル成長を行い、図 1 5 から図 1 8 の工程を行い、図 1 9 の工程をとばしてもよい。また、第 1 の実施の形態の製造方法と同様にして、柱状半導体層 3 として単結晶 Si を多結晶 Si や非晶質 Si に置き換えることも可能である。

30

【 0 0 6 2 】

40

[発明の第 4 の実施の形態]

次に、本発明の第 4 の実施の形態について図面を参照して詳細に説明する。

図 2 0 (a) は、本発明の第 4 の実施の形態である半導体装置の上面図である。図 2 0 (b) は、図 2 0 (a) の A - A ' 線に沿った断面図である。

【 0 0 6 3 】

本発明の第 4 の実施の形態の半導体装置は、第 1 の実施の形態の半導体装置において、柱状半導体層 3 に MISFET が設けられたものである。この MISFET は、n 型または p 型のどちらでもよいが、ここでは、n 型 MISFET を例に以下の説明を行う。

第 4 の実施の形態の半導体装置は、基板(半導体基板 1)上に設けられた半導体柱状部(柱状半導体層 3)と、柱状半導体層 3 の天面に接するように設けられた、柱状半導体層 3

50

と同径以下のコンタクト柱状部(コンタクト層7)と、さらに柱状半導体層3の側面に設けられた絶縁膜(ゲート絶縁膜16)と、ゲート絶縁膜16の上部に柱状半導体層3内に設けられた第一の拡散層(n型拡散層12)と、ゲート絶縁膜16の下部に柱状半導体層3内に設けられた第二の拡散層(n型拡散層12)と、柱状半導体層3の側面上にゲート絶縁膜16を介して設けられたゲート電極15と、を有し、このゲート絶縁膜16、第一の拡散層(n型拡散層12)、第二の拡散層(n型拡散層12)およびゲート電極15により電界効果トランジスタを構成したものである。この天面には、凹部または凸部が設けられている。またこのMISFETは、n型またはp型のどちらでもよい。

【0064】

柱状半導体層3の上部のn型拡散層12(第一の拡散層)および下部のn型拡散層12(第二の拡散層)のうち、一方はソース拡散層であり、他方はドレイン拡散層である。この上部のn型拡散層12に上部電極が形成され、下部のn型拡散層12に下部電極が形成されている。また図20に示すように、半導体基板1に設けられたn型拡散層12が、下部電極のソース拡散層またはドレイン拡散層の一部となっている。また柱状半導体層3の側面の一部にゲート絶縁膜16が形成されている。さらに、ゲート絶縁膜16に接してゲート電極15が形成されている。

この柱状半導体層3の天面には、第1の実施の形態の半導体装置と同様に、凹部が設けられていて、この凹部の表面にシリサイド層4が形成されている。本実施形態において、柱状半導体層3の天面には、第3の実施の形態の半導体装置と同様に、凸部が設けられていてよい。

【0065】

また層間絶縁膜6とストッパー絶縁膜5とを貫くコンタクト層7が、この凹部と接するように形成されている。シリサイド層4は、柱状半導体層3の上部だけでなく、ゲート電極15や半導体基板1にも形成され、それぞれコンタクト層7と接している。柱状半導体層3の側面に接しているPSG13は、MISFETのエクステンション層17を形成するための、n型ドーパントの供給源である。さらに柱状半導体層3の側面とPSG13に接しているNSG14は、MISFETのオフセットスペーサであり、ゲート電極15とエクステンション層17の重なりを調整するものである。

【0066】

半導体基板1、柱状半導体層3、ストッパー絶縁膜5、層間絶縁膜6については、第1の実施の形態の半導体装置と同様のものが用いられる。

ゲート絶縁膜16は、Si酸化膜、Si窒化膜が一般的であるが、Si窒化膜や、 Ta_2O_5 、 Al_2O_3 、 HfO_2 、 ZrO_2 、 $ZrON$ 、 $HfON$ 、 $HfAlON$ 、 $HfSiON$ 、 $HfAlSiON$ などのいわゆるHigh-k膜でも、これらの積層膜でもよい。ゲート電極15は、多結晶Siが一般的であるが、多結晶Siの代わりに、非晶質SiやポリSiGeなどの半導体を用いてもよい。またゲート電極15には、 TaN 、 TiN 、 W 、 WN などの金属や、 $NiSi$ などのフルシリサイド、またはこれらの積層構造などを用いてもよい。

【0067】

次に、第4の実施の形態の半導体装置の製造方法について説明する。

本実施の形態の製造方法は、以下の工程を含むものである。

- (a) 基板(半導体基板1)上に半導体柱状部(柱状半導体層3)を形成する工程。
- (b) 柱状半導体層3の天面に凹部または凸部を形成する工程。
- (c) 柱状半導体層3の側面に絶縁膜(ゲート絶縁膜16)を形成する工程。
- (d) ゲート絶縁膜16の上部で柱状半導体層3内に第一の拡散層(n型拡散層12)を形成する工程。
- (e) ゲート絶縁膜16の下部で柱状半導体層3内に第二の拡散層(n型拡散層12)を形成する工程。
- (f) 柱状半導体層3の側面上にゲート絶縁膜16を介してゲート電極15を形成する工程。

。

10

20

30

40

50

(g)上記天面に接するように、柱状半導体層3と同径以下のコンタクト柱状部(コンタクト層7)を形成する工程。

【0068】

[工程(a)、(b)]

本実施の形態では、半導体基板1、柱状半導体層3、ストッパー絶縁膜5、層間絶縁膜6については、それぞれ順に、p型の単結晶バルクSi(100)基板、単結晶Si、Si窒化膜、Si酸化膜を用いるものとする。また、ゲート絶縁膜16はSi酸窒化膜、ゲート電極15は多結晶Siを用いるものとする。

【0069】

まず、MISFETの下部電極を形成するために、半導体基板1のp型の単結晶バルクSi(100)基板にn型のドーパントをイオン注入する。例えば、1価のPイオンを注入する。その後、酸素が1%程度混入した窒素雰囲気下で、約1050で、目的の温度まで一気に昇温して、維持時間0秒で、降温させるスパイクアニールを行う。これにより、イオン注入されたPを活性化させるとともに、イオン注入された部分のSiの結晶状態を非晶質から単結晶に回復させる。その結果、図21に示すように、半導体基板1の表面にn型拡散層12が形成される。

【0070】

次に図22のように、PSG13、NSG14、Si窒化膜18、NSG14、PSG13を順に成膜する。この後、第1の実施の形態と同様に、リソグラフィとドライエッチングを行い、開口部8を形成し、レジストを剥離する。このようにして、図23に示す構造が得られる。さらに、第1の実施形態と同様に、非晶質Si9を成膜し(図24)、開口部8の外の非晶質Si9をドライエッチングで除去する(図25)。そして、第1の実施形態と同様に、窒素雰囲気下、約520で、非晶質Si9を熱処理し、固相エピタキシャル成長させ、非晶質Si9を単結晶Siの柱状半導体層3に変化させる(図26)。これにより、柱状半導体層3の天面に凹部が形成される。この後、トランジスタのしきい値電圧調整のため、チャンネル注入として、柱状半導体層3全面に1価のボロンをイオン注入する。

【0071】

[工程(c)から(f)]

さらに、リソグラフィ技術により、レジストをマスクにドライエッチングを行って、上側のPSG13、NSG14、Si窒化膜18をパターンニングする。ドライエッチング後は、レジストを剥離する。このようにして、図27に示す構造が得られる。

【0072】

続いて、熱りん酸で、Si窒化膜18を除去する(図28)。Si窒化膜18が除去されると、単結晶Siの柱状半導体層3の側面が露出する。この露出した側面に、ゲート絶縁膜16を形成する。例えば、この露出した側面に、最初に熱酸化し、その後、プラズマ窒化を行うことにより、ゲート絶縁膜16として、酸窒化膜を形成する(図29)。さらに、n型の多結晶Si19を減圧CVD法で成膜し、Si窒化膜18を除去した空間を埋める(図30)。

【0073】

次に、この多結晶Si19をエッチングして、上側のPSG13と下側のNSG14でこのエッチングを停止させる。このとき、上側のPSG13とNSG14とがマスクになって、Si窒化膜18を除去した空間に埋め込まれたn型の多結晶Si19のうちゲート電極15となる予定の部分は、エッチングされずに残存する。このようにゲート電極15を形成して、図31に示す構造が得られる。

【0074】

この後、上述した上部電極作製のため、1価のPイオンをイオン注入する。これにより、柱状半導体層3の上面にn型ドーパント注入層20が形成される(図32)。

【0075】

その後、イオン注入したドーパントを活性化させるため、また、PSG13から柱状半

10

20

30

40

50

導体層 3 に n 型のドーパントの P を拡散させてエクステンション層 17 を形成し、拡散させた P を活性化させるために、スパイクアニールを行う。例えば、わずかに酸素が混入された窒素雰囲気下、約 1050 でスパイクアニールを行う（図 33）。

【0076】

この後、リソグラフィ技術により、レジストをマスクに PSG13 と NSG14 のエッチングを行い、半導体基板 1 に達する開口部 21 とゲート電極 15 に達する開口部 22 を形成し、レジストを除去する。このようにして、図 34 に示す構造が得られる。

【0077】

ここから後の工程は、第 1 の実施の形態の製造方法における図 7 から図 12 に示される工程と同じである。

まず、図 35 に示すように、シリサイド層 4 を形成する（図 35）。例えば、シリサイド層 4 として、Ni シリサイドを形成する。第 1 の実施の形態では、柱状半導体層 3 の上面のみシリサイド層 4 が形成されていたが、第 4 の実施の形態では、開口部 21 の底面の半導体基板 1 や、開口部 22 の底面のゲート電極 15 にもシリサイド層 4 が形成される。

シリサイド層 4 を形成した後、ストッパー絶縁膜 5 として、Si 窒化膜 18 を成膜する。続いて、層間絶縁膜 6 として、Si 酸化膜を成膜し、CMP で平坦化する。これらの工程の後、図 36 に示す構造が得られる。

【0078】

[工程(g)]

最後に、第 1 の実施の形態の製造方法と同様に、コンタクト層 7 を形成する。例えば、Ti と TiN をスパッタして熱処理し、その後、W を CVD 法で埋め込んで、CMP を行うことにより、このコンタクト層 7 を形成する。このようにして、柱状半導体層 3 内のシリサイド層 4 の天面に接するように、柱状半導体層 3 と同径以下のコンタクト柱状部（コンタクト層 7）を形成する。

以上のような工程を経て、図 20 に示す第 4 の実施の形態の半導体装置が得られる。

【0079】

本実施の形態では、第 1 の実施の形態のように、柱状半導体層 3 の上面に、凹部を有する場合について説明したが、第 3 の実施の形態のような、柱状半導体層 3 の上面に、凸部を有する場合も、同様に製造可能である。この場合、第 3 の実施の形態に特有な工程が、図 24 に示す工程の後に挿入される。

【0080】

上記の説明では、n 型 MISFET について説明したが、同様の工程により、p 型 MISFET を製造することができる。p 型 MISFET を製造する場合には、(1) PSG13 を BSG に変更する、(2) しきい値電圧調整用のチャネル注入として、p 型のドーパントをイオン注入していたのを n 型のドーパント（P、As など）に変更する、(3) 下部電極、上部電極の作製のため、n 型のドーパントをイオン注入していたのを p 型のドーパント（B、In など）に変更する、(4) ゲート電極 15 の作製時、n 型の多結晶 Si19 を成膜したが、これを p 型の多結晶 Si に変更する。これにより、上述の p 型 MISFET を製造することが可能である。以上により、本実施の形態では、半導体柱状部とコンタクト柱状部とのコンタクト抵抗が低減している優れた半導体装置が得られる。さらに、柱状半導体層 3 が最密配置された n 型 MISFET または p 型 MISFET を得ることができる。

また、本実施の形態において、同様の工程により、n 型トランジスタと p 型トランジスタとを同一の半導体基板 1 上に備えた半導体装置を得ることができる。この場合には、(1) 下側の PSG13 を成膜した後、リソグラフィとエッチングを行って、p 型 MISFET となる領域の PSG13 を除去し、レジストを剥離する。その後、BSG を成膜し、リソグラフィとエッチングを行って、n 型 MISFET となる領域の BSG を除去し、レジストを剥離する。(2) 上側の PSG13 を成膜した後、リソグラフィとエッチングを行って、p 型 MISFET となる領域の PSG13 を除去し、レジストを剥離する。その後、BSG を成膜し、リソグラフィとエッチングを行って、n 型 MISFET となる領域の

10

20

30

40

50

B S Gを除去し、レジストを剥離する。(3)しきい値電圧調整用のチャネル注入として、リソグラフィを行ってn型M I S F E Tとなる領域にp型のドーパントをイオン注入し、レジストを剥離する。その後、リソグラフィを行って、p型M I S F E Tとなる領域にn型のドーパントをイオン注入し、レジストを剥離する。(4)図30の工程でノンドープの多結晶S i 19を成膜し、リソグラフィを行ってn型M I S F E Tとなる領域にn型のドーパントをイオン注入し、さらにレジストを剥離した後、もう一度リソグラフィを行って、p型M I S F E Tとなる領域にp型のドーパントをイオン注入し、レジストを剥離する。さらにこの後スパイクアニールを行い、多結晶S i 19に注入されたドーパントを拡散させ、ゲート絶縁膜16近傍まで移動させる、(5)(4)の工程により、図32に相当する工程、図33に相当する工程も同時に行われるので、これらの工程を省略する。以上のような変更を行うことにより、n型トランジスタとp型トランジスタとを同一の半導体基板1上に備えた半導体装置を得ることができる。

10

【0081】

柱状半導体層3には、M I S F E Tだけでなく、ダイオード、サイリスタ、容量素子、抵抗素子、記憶素子などが形成されてもよい。その場合には、第1の実施の形態の製造方法、もしくは第3の実施の形態の製造方法に、柱状半導体層3に形成する素子の製造工程を付加すればよい。

以上、上記各実施形態を参照して本発明を説明したが、本発明は上記各実施形態に限定されるものではない。本発明の構成や詳細については、当業者が理解し得るさまざまな変更を加えることができる。また、本発明には、上記各実施形態の構成の一部又は全部を相互に適宜組み合わせさせたものも含まれる。

20

以下、参考形態の例を付記する。

1. 基板と、

前記基板上に設けられた、半導体柱状部と、

前記半導体柱状部の天面に接するように設けられた、前記半導体柱状部と同径以下のコンタクト柱状部と、を有し、

前記天面に凹部または凸部が設けられたことを特徴とする半導体装置。

2. 前記基板に平行な方向の前記半導体柱状部の直径を W^1 としたとき、前記基板に平行な方向の前記凹部または前記凸部の直径は、 W^1 以下の W^2 であることを特徴とする1.に記載の半導体装置。

30

3. 前記天面に、1個の前記凹部または1個の前記凸部が設けられたことを特徴とする1.または2.に記載の半導体装置。

4. 前記凹部または前記凸部の少なくとも表面は、シリサイド化されていることを特徴とする1.から3.のいずれかに記載の半導体装置。

5. 前記半導体柱状部と前記コンタクト柱状部との前記基板と平行な方向の断面形状は、円状であることを特徴とする1.から4.のいずれかに記載の半導体装置。

6. 前記半導体柱状部と前記コンタクト柱状部とは同径で、シームレスに形成されたことを特徴とする1.から5.のいずれかに記載の半導体装置。

7. 1.から6.のいずれかに記載の半導体装置であって、

さらに、前記半導体柱状部の側面に設けられた絶縁膜と、

40

前記絶縁膜の上部に前記半導体柱状部内に設けられた第一の拡散層と、

前記絶縁膜の下部に前記半導体柱状部内に設けられた第二の拡散層と、

前記半導体柱状部の前記側面上に前記絶縁膜を介して設けられたゲート電極と、を有し、

前記絶縁膜、前記第一の拡散層、前記第二の拡散層および前記ゲート電極により電界効果トランジスタを構成したことを特徴とする半導体装置。

8. 前記電界効果トランジスタは、n型またはp型であることを特徴とする7.に記載の半導体装置。

9. 前記n型電界効果トランジスタと前記p型電界効果トランジスタとは同一の前記基板上に設けられたことを特徴とする8.に記載の半導体装置。

50

10 . 前記第一の拡散層および前記第二の拡散層の、一方はソース拡散層であり、他方はドレイン拡散層であることを特徴とする7 . から9 . のいずれかに記載の半導体装置。

【図面の簡単な説明】

【0082】

- 【図1】本発明の第一実施形態に係る半導体装置を示す上面図と断面図である。
 【図2】第一実施形態に係る半導体装置の製造方法を示す上面図と断面図である。
 【図3】第一実施形態に係る半導体装置の製造方法を示す上面図と断面図である。
 【図4】第一実施形態に係る半導体装置の製造方法を示す上面図と断面図である。
 【図5】第一実施形態に係る半導体装置の製造方法を示す上面図と断面図である。
 【図6】第一実施形態に係る半導体装置の製造方法を示す上面図と断面図である。 10
 【図7】第一実施形態に係る半導体装置の製造方法を示す上面図と断面図である。
 【図8】第一実施形態に係る半導体装置の製造方法を示す上面図と断面図である。
 【図9】第一実施形態に係る半導体装置の製造方法を示す上面図と断面図である。
 【図10】第一実施形態に係る半導体装置の製造方法を示す上面図と断面図である。
 【図11】第一実施形態に係る半導体装置の製造方法を示す上面図と断面図である。
 【図12】本発明の第二実施形態に係る半導体装置を示す上面図と断面図である。
 【図13】本発明の第二実施形態に係る半導体装置を示す上面図と断面図である。
 【図14】本発明の第三実施形態に係る半導体装置を示す上面図と断面図である。
 【図15】第三実施形態に係る半導体装置の製造方法を示す上面図と断面図である。
 【図16】第三実施形態に係る半導体装置の製造方法を示す上面図と断面図である。 20
 【図17】第三実施形態に係る半導体装置の製造方法を示す上面図と断面図である。
 【図18】第三実施形態に係る半導体装置の製造方法を示す上面図と断面図である。
 【図19】第三実施形態に係る半導体装置の製造方法を示す上面図と断面図である。
 【図20】本発明の第四実施形態に係る半導体装置を示す上面図と断面図である。
 【図21】第四実施形態に係る半導体装置の製造方法を示す上面図と断面図である。
 【図22】第四実施形態に係る半導体装置の製造方法を示す上面図と断面図である。
 【図23】第四実施形態に係る半導体装置の製造方法を示す上面図と断面図である。
 【図24】第四実施形態に係る半導体装置の製造方法を示す上面図と断面図である。
 【図25】第四実施形態に係る半導体装置の製造方法を示す上面図と断面図である。
 【図26】第四実施形態に係る半導体装置の製造方法を示す上面図と断面図である。 30
 【図27】第四実施形態に係る半導体装置の製造方法を示す上面図と断面図である。
 【図28】第四実施形態に係る半導体装置の製造方法を示す上面図と断面図である。
 【図29】第四実施形態に係る半導体装置の製造方法を示す上面図と断面図である。
 【図30】第四実施形態に係る半導体装置の製造方法を示す上面図と断面図である。
 【図31】第四実施形態に係る半導体装置の製造方法を示す上面図と断面図である。
 【図32】第四実施形態に係る半導体装置の製造方法を示す上面図と断面図である。
 【図33】第四実施形態に係る半導体装置の製造方法を示す上面図と断面図である。
 【図34】第四実施形態に係る半導体装置の製造方法を示す上面図と断面図である。
 【図35】第四実施形態に係る半導体装置の製造方法を示す上面図と断面図である。
 【図36】第四実施形態に係る半導体装置の製造方法を示す上面図と断面図である。 40

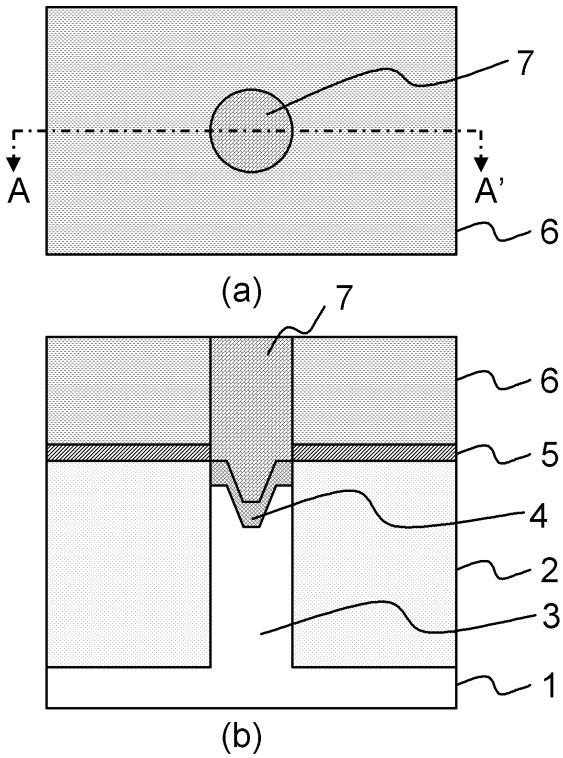
【符号の説明】

【0083】

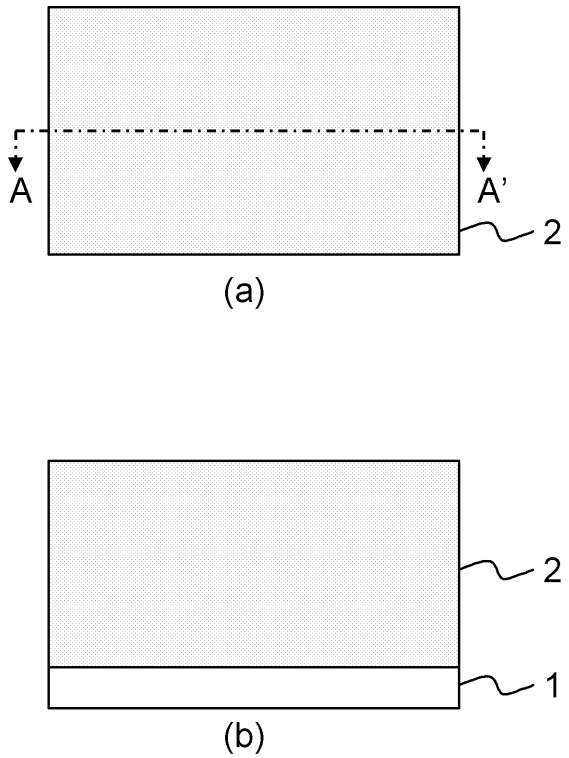
- 1 半導体基板
- 2 絶縁膜
- 3 柱状半導体層
- 4 シリサイド層
- 5 ストッパー絶縁膜
- 6 層間絶縁膜
- 7 コンタクト層
- 8 開口部

- 9 非晶質 S i
- 10 開口部
- 11 マスク層
- 12 n型拡散層
- 13 P S G
- 14 N S G
- 15 ゲート電極
- 16 ゲート絶縁膜
- 17 エクステンション層
- 18 S i 窒化膜
- 19 多結晶 S i
- 20 n型ドーパント注入層
- 21 開口部
- 22 開口部

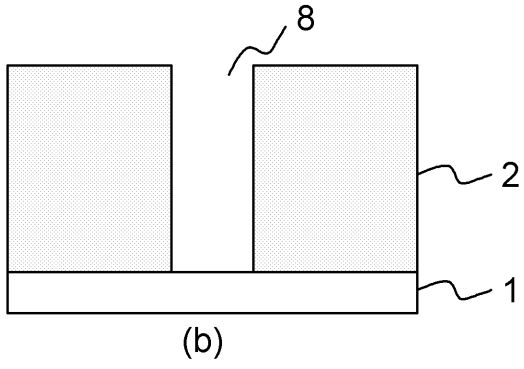
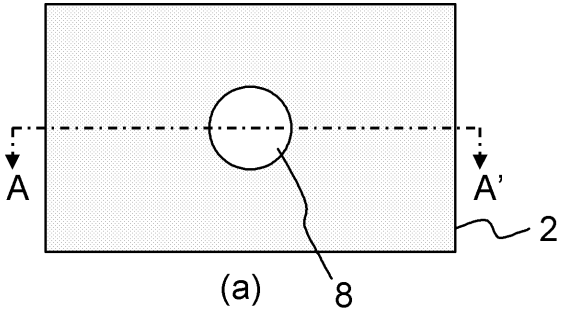
【図1】



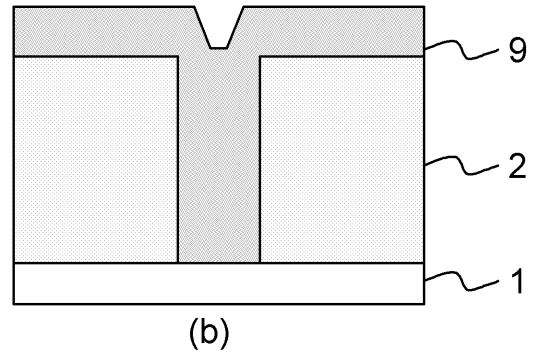
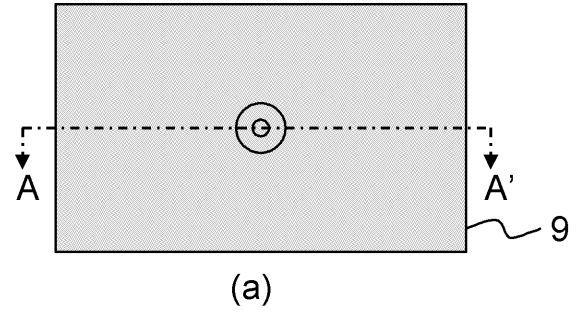
【図2】



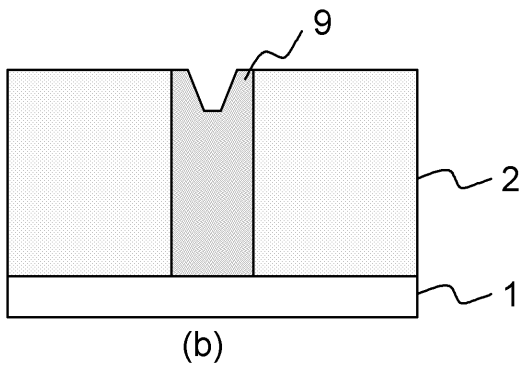
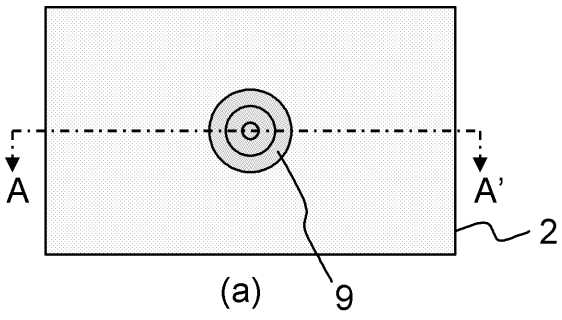
【図3】



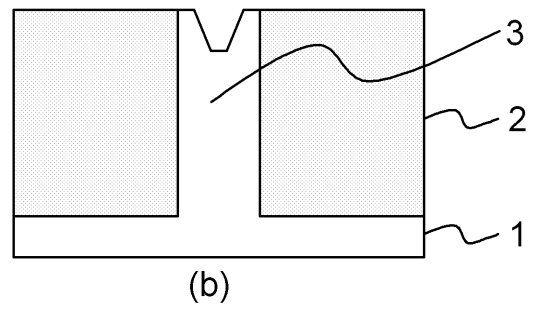
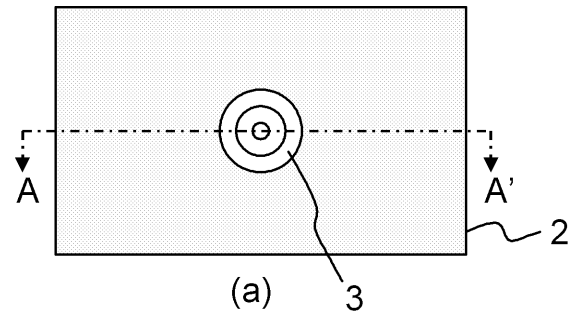
【図4】



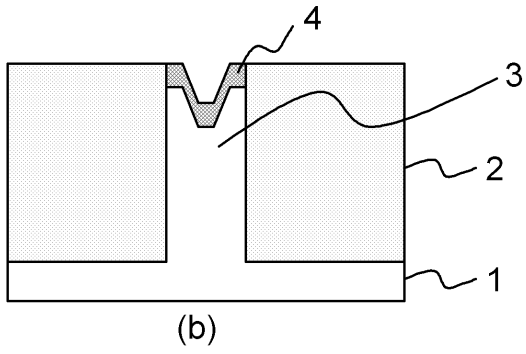
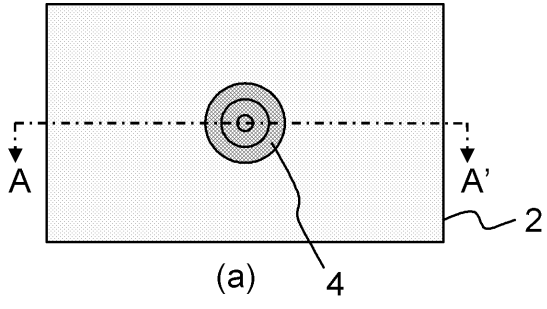
【図5】



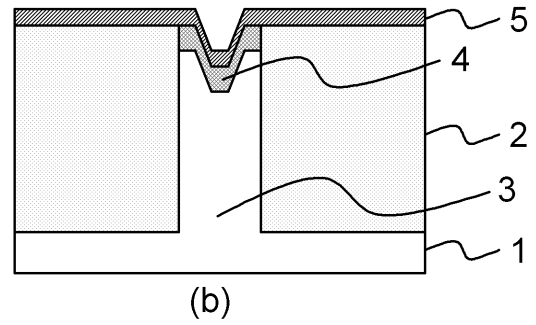
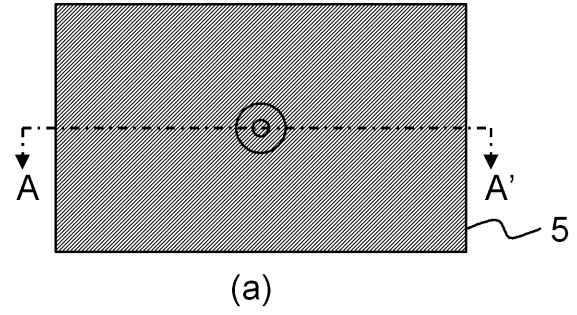
【図6】



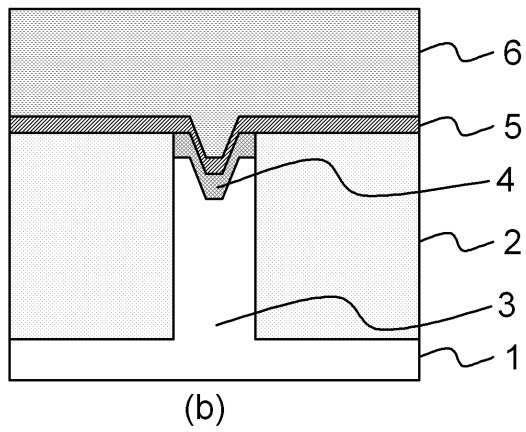
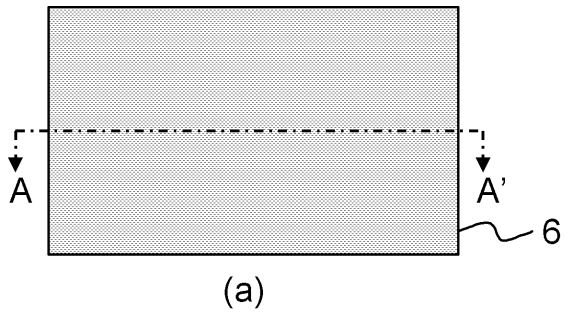
【図 7】



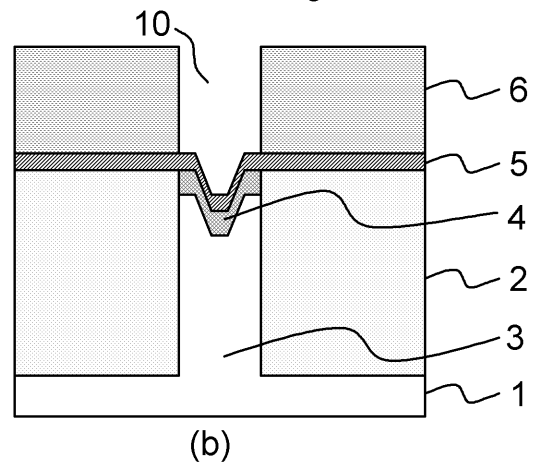
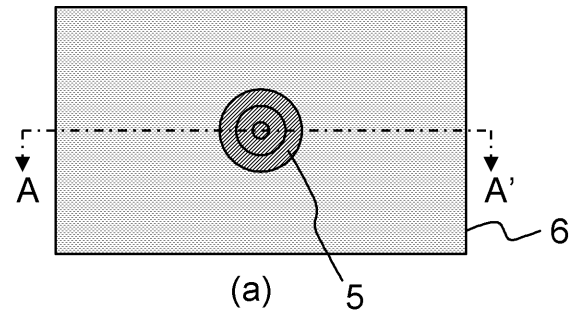
【図 8】



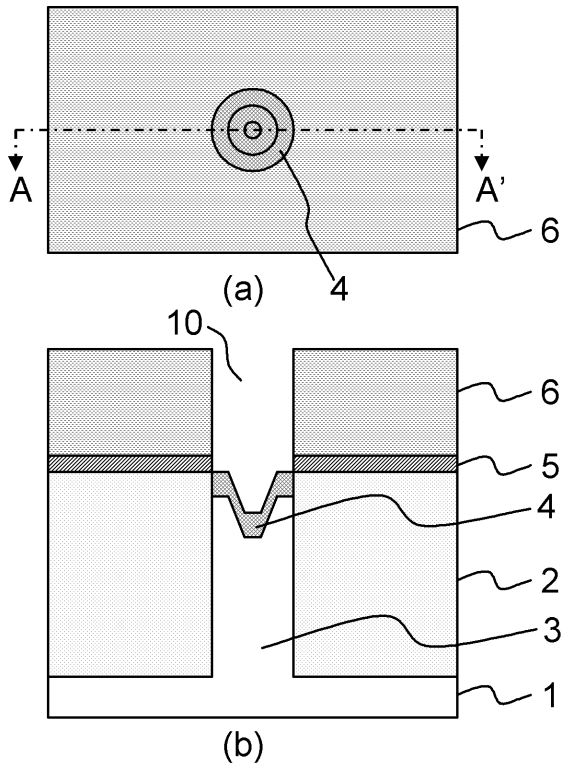
【図 9】



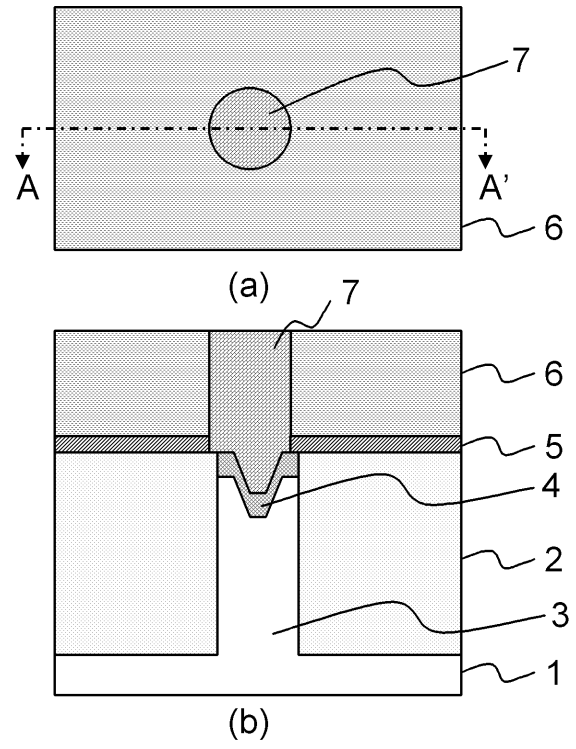
【図 10】



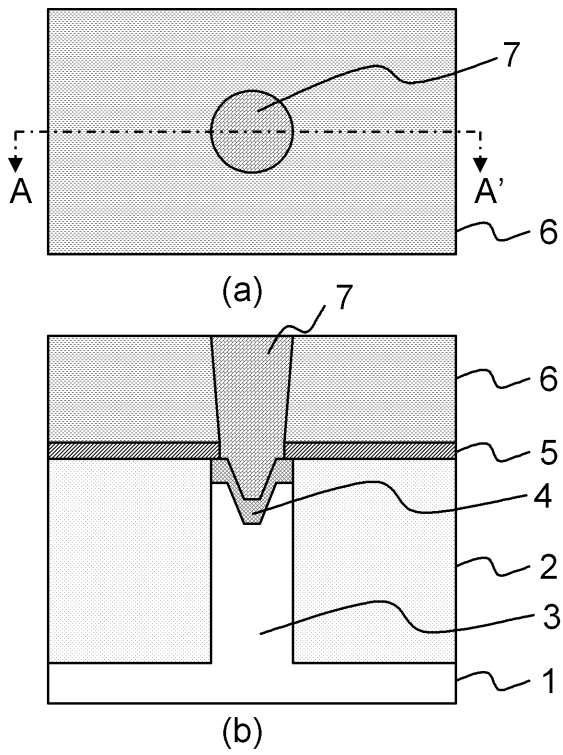
【図 1 1】



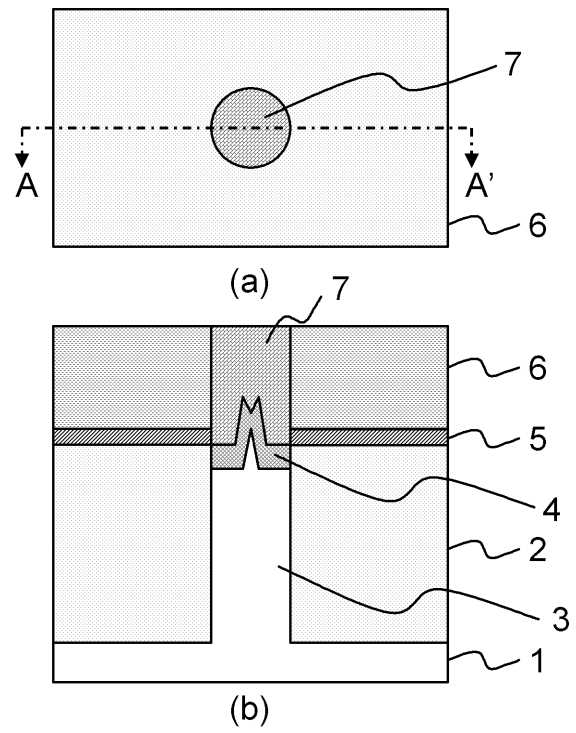
【図 1 2】



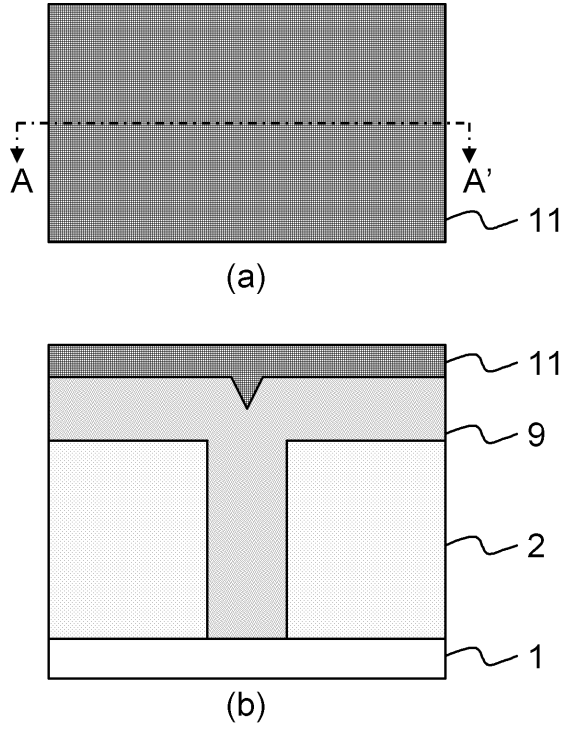
【図 1 3】



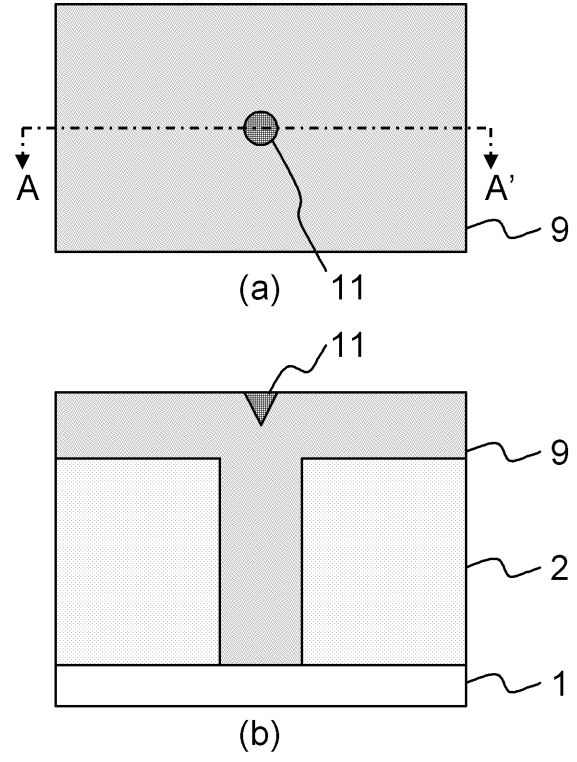
【図 1 4】



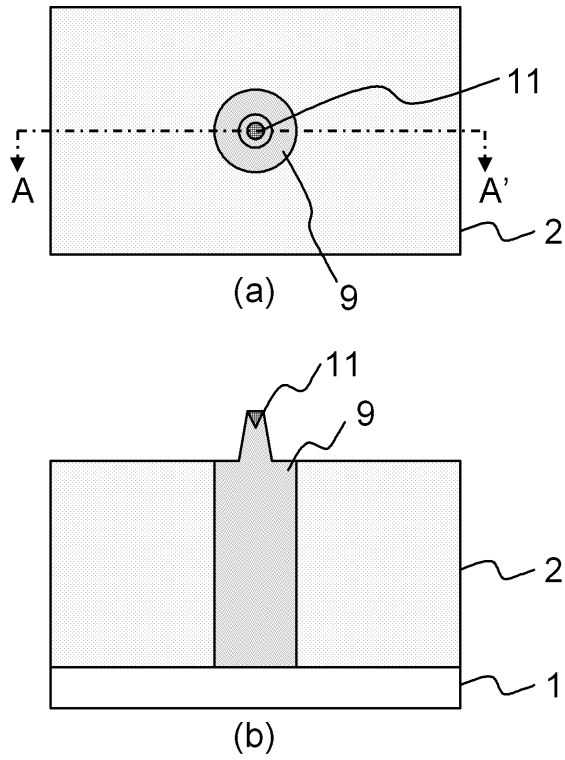
【図 15】



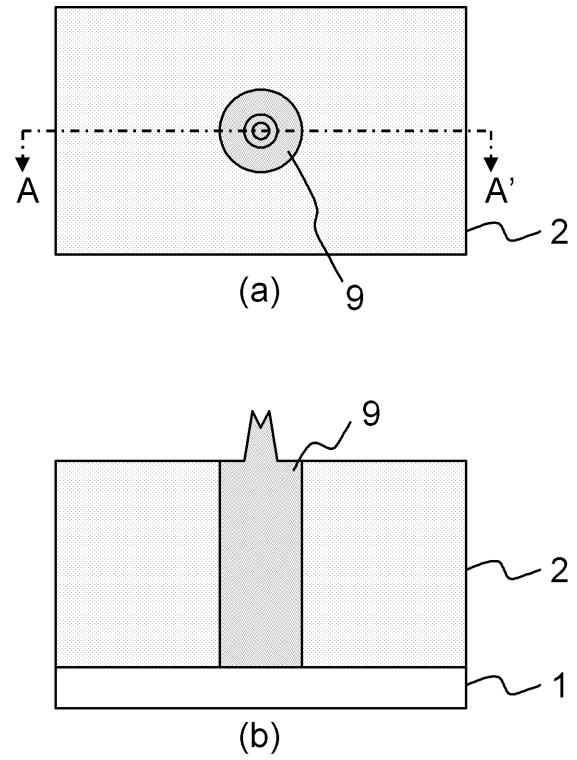
【図 16】



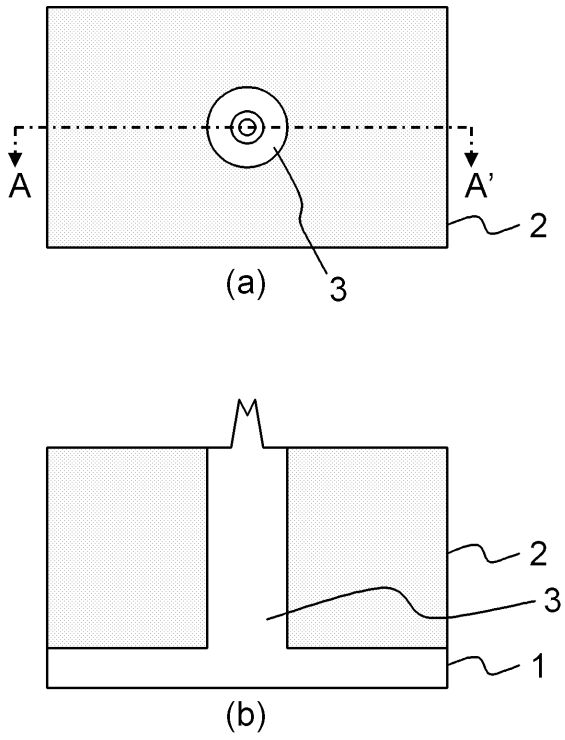
【図 17】



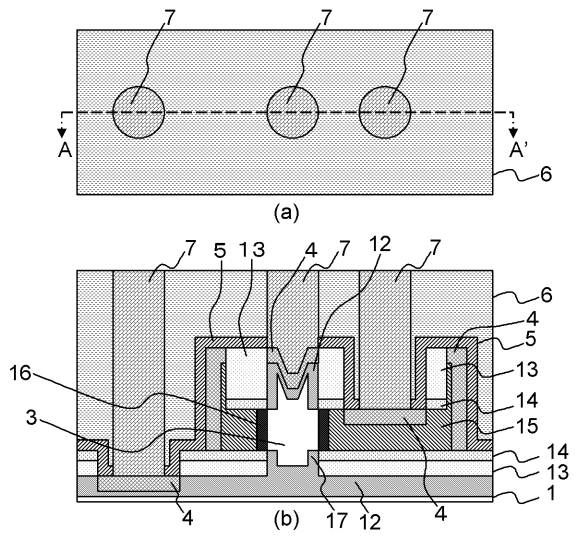
【図 18】



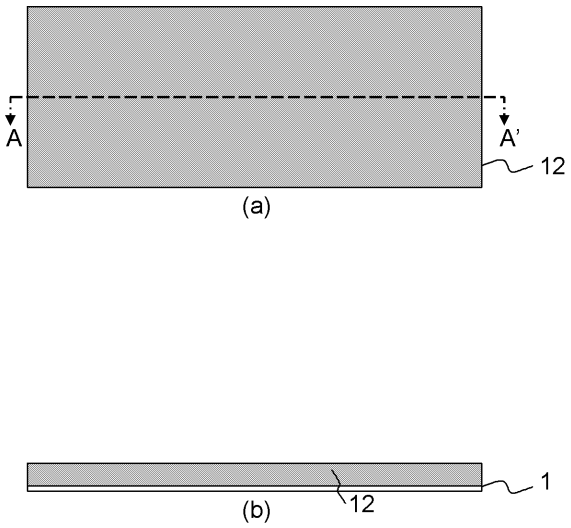
【図 19】



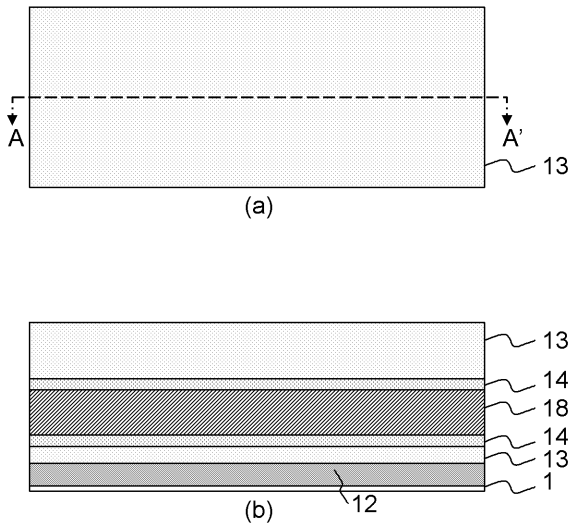
【図 20】



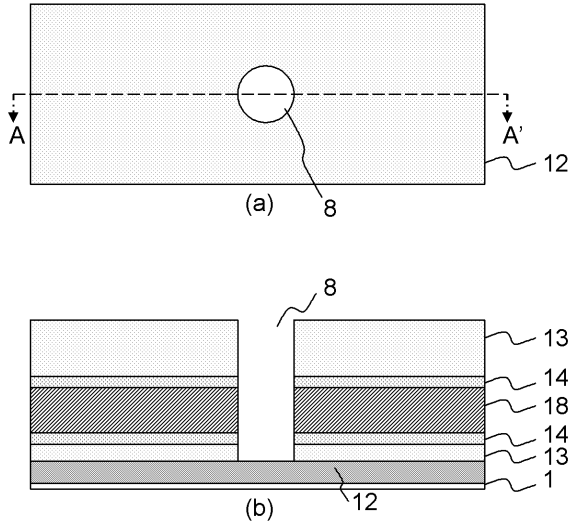
【図 21】



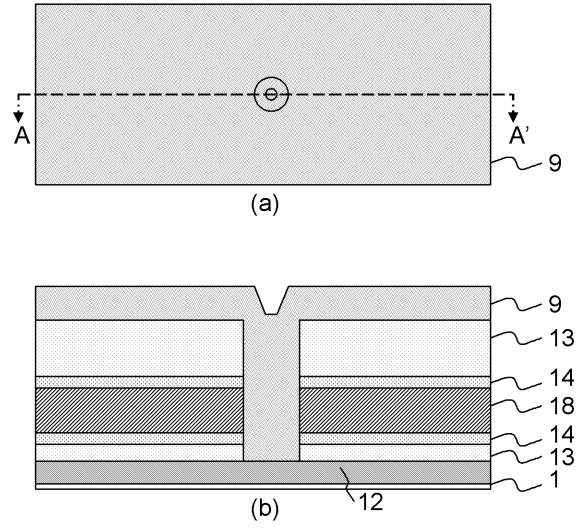
【図 22】



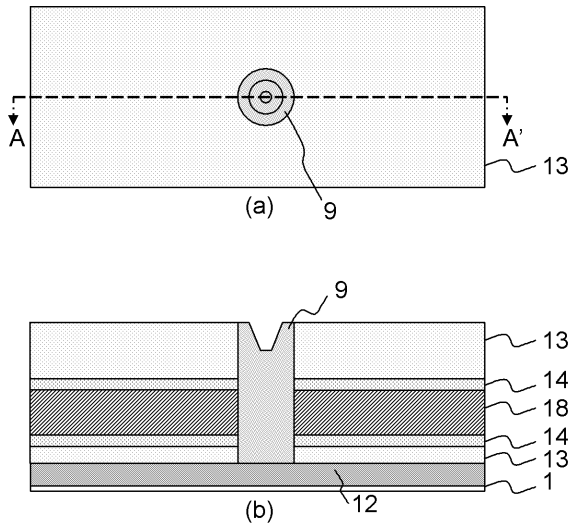
【図 23】



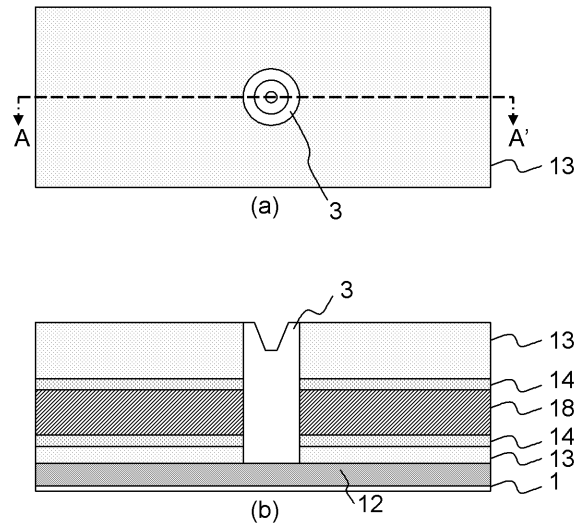
【図 24】



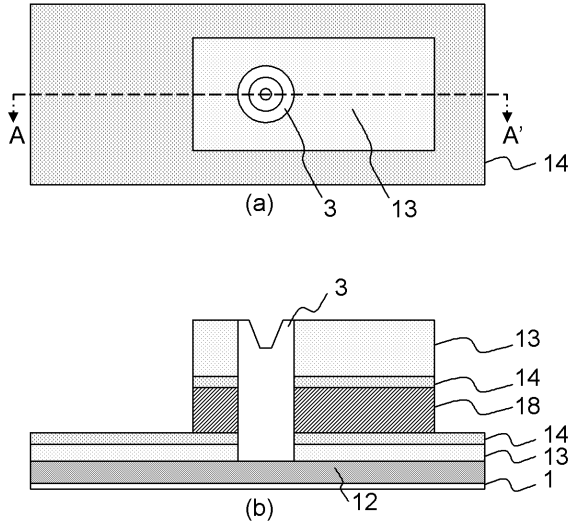
【図 25】



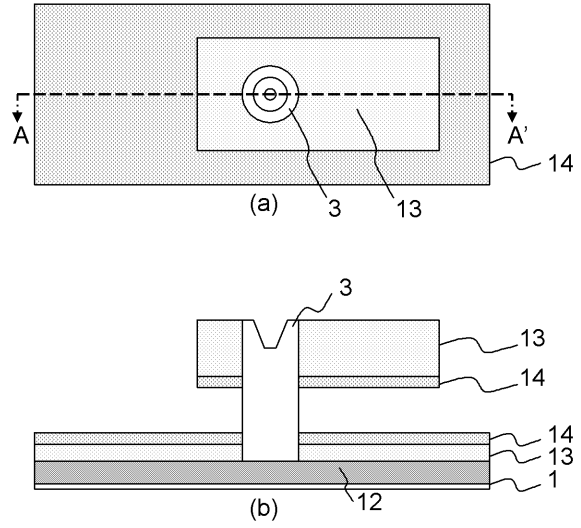
【図 26】



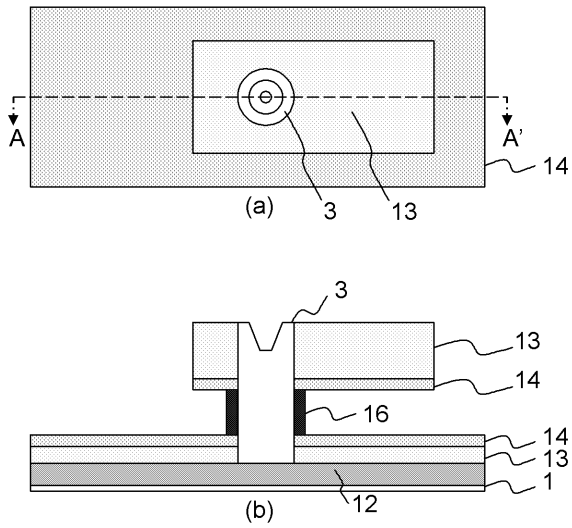
【図 27】



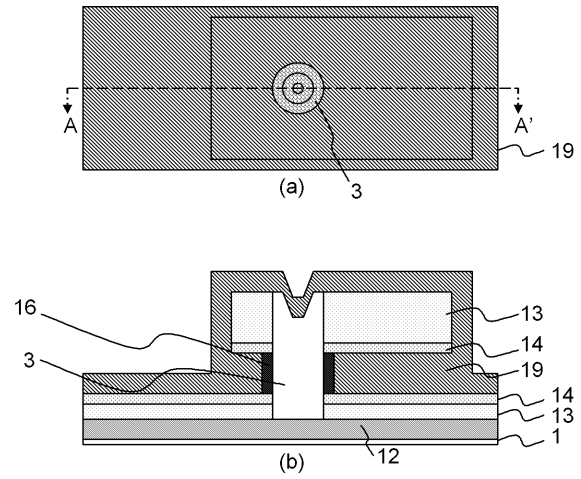
【図 28】



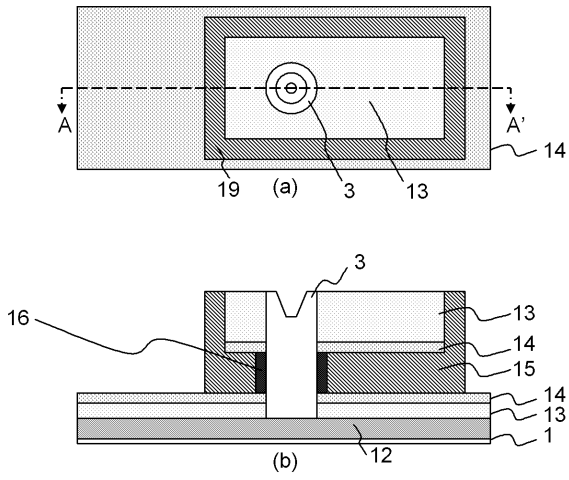
【図 29】



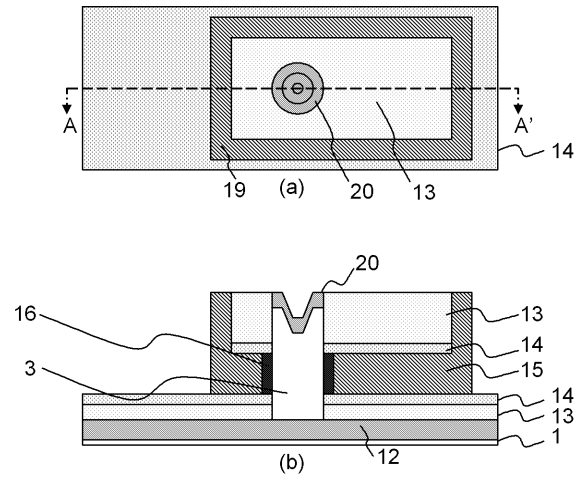
【図 30】



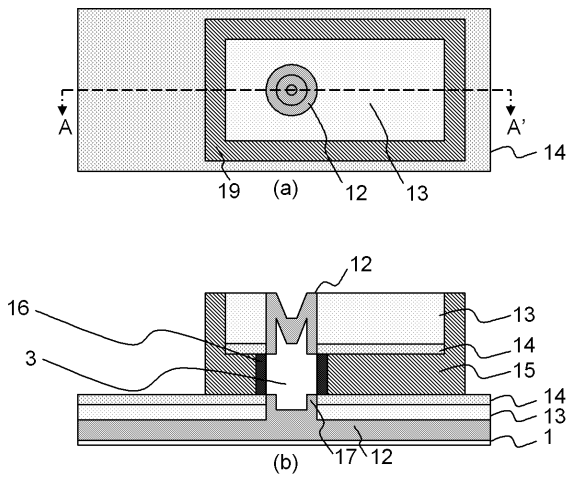
【図 3 1】



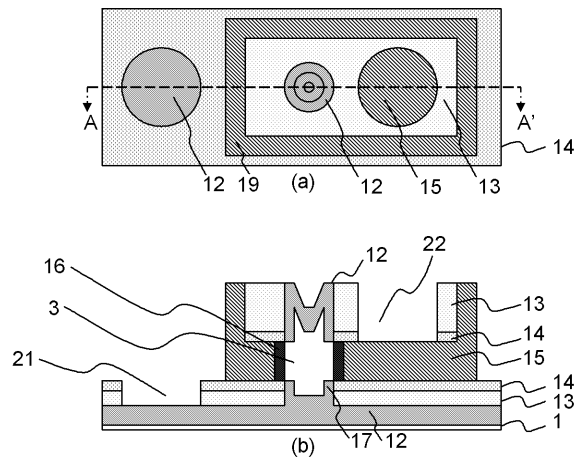
【図 3 2】



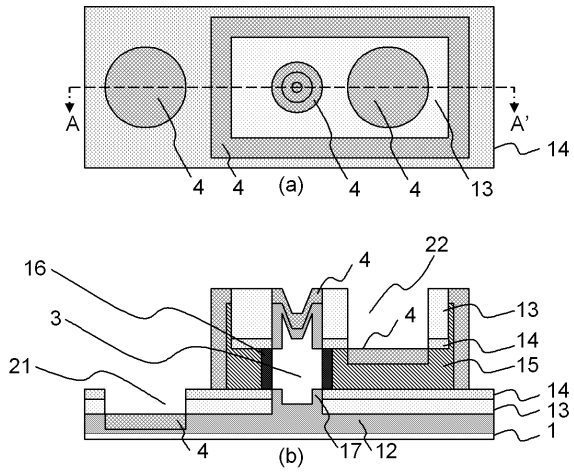
【図 3 3】



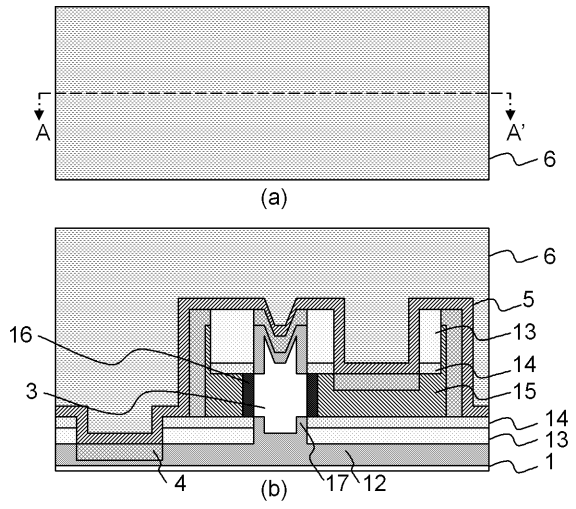
【図 3 4】



【図 35】



【図 36】



フロントページの続き

(51) Int.Cl.		F I		
<i>H 0 1 L</i>	<i>29/78</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>29/78</i> <i>6 1 8 C</i>
<i>H 0 1 L</i>	<i>29/786</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>29/78</i> <i>6 1 6 T</i>
			<i>H 0 1 L</i>	<i>29/78</i> <i>6 2 6 A</i>
			<i>H 0 1 L</i>	<i>29/78</i> <i>6 2 6 Z</i>

(56) 参考文献 特開 2 0 0 8 - 0 2 1 8 0 9 (J P , A)
 米国特許出願公開第 2 0 0 6 / 0 2 2 3 2 6 5 (U S , A 1)
 特開 2 0 0 8 - 2 0 5 1 7 5 (J P , A)
 特開 2 0 0 7 - 1 3 4 5 9 3 (J P , A)
 特開 2 0 0 3 - 1 6 3 2 8 1 (J P , A)
 特開 2 0 0 1 - 2 1 0 7 1 1 (J P , A)
 特開平 0 9 - 2 3 2 4 2 2 (J P , A)
 特開平 0 7 - 0 9 9 3 1 1 (J P , A)
 特開平 0 4 - 0 7 9 3 2 9 (J P , A)

(58) 調査した分野 (Int.Cl. , DB 名)
 H 0 1 L 2 1 / 7 6 8
 H 0 1 L 2 1 / 2 8
 H 0 1 L 2 9 / 4 1 7
 H 0 1 L 2 9 / 4 5
 H 0 1 L 2 9 / 7 8
 H 0 1 L 2 9 / 7 8 6
 H 0 1 L 2 1 / 3 3 6