



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2008년03월03일  
(11) 등록번호 10-0808794  
(24) 등록일자 2008년02월22일

(51) Int. Cl.

H01L 21/768 (2006.01)

(21) 출원번호 10-2001-0078091  
(22) 출원일자 2001년12월11일  
심사청구일자 2006년10월12일  
(65) 공개번호 10-2003-0048220  
(43) 공개일자 2003년06월19일

(56) 선행기술조사문헌  
JP2000164705 A  
(뒷면에 계속)

전체 청구항 수 : 총 7 항

(73) 특허권자

동부일렉트로닉스 주식회사  
서울 강남구 대치동 891-10

(72) 발명자

조경수  
경기도부천시원미구상동사랑마을1609동1001호

(74) 대리인

허용록

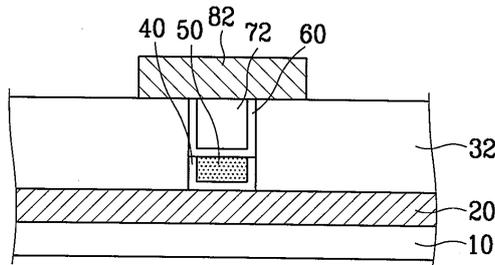
심사관 : 김상걸

(54) 반도체 소자의 제조 방법

(57) 요약

본 발명은 반도체 소자의 제조 방법에 관한 것으로, 비아홀 부분에서의 배선 저항을 감소시키기 위하여, 비아홀에 비아를 형성하기 전에 비아홀의 하부에 활성화 에너지가 큰 배리어 금속층을 형성한다. 본 발명에 따른 반도체 소자의 제조 방법은, 반도체 기판 위에 제1 배선을 형성하는 제1 단계, 제1 배선을 덮는 절연막을 형성하는 제2 단계, 절연막에 제1 배선을 드러내는 비아홀을 형성하는 제3 단계, 비아홀 및 절연막 상에 제1 배리어 금속층 및 비아홀을 덮는 제2 배리어 금속층을 연속 증착하는 제4 단계, 제1 및 제2 배리어 금속층을 절연막이 드러날때까지 제거하여 제1 및 제2 배리어 금속층을 비아홀에 잔류시키는 제5 단계, 비아홀에 잔류된 제1 및 제2 배리어 금속층의 상부를 제거하여, 비아홀의 하부에 제1 및 제2 배리어 금속층을 잔류시키는 제6 단계, 비아홀의 하부에 잔류된 제1 및 제2 배리어 금속층 및 비아홀을 포함하는 기판 상에 제3 배리어 금속층 및 비아홀을 덮는 비아용 금속층을 연속 증착하는 제7 단계, 제3 배리어 금속층 및 비아용 금속층을 절연막이 드러날때까지 제거하는 제8 단계, 절연막 상에 비아용 금속층에 접촉하는 제2 배선을 형성하는 제9 단계를 포함한다.

대표도 - 도1f



(56) 선행기술조사문헌  
KR1019980033882 A  
KR1019980056165 A  
KR1019990025490 A  
KR1020000031041 A

---

**특허청구의 범위**

**청구항 1**

반도체 기판 위에 제1 배선을 형성하는 제1 단계,  
 상기 제1 배선을 덮는 절연막을 형성하는 제2 단계,  
 상기 절연막에 상기 제1 배선을 드러내는 비아홀을 형성하는 제3 단계,  
 상기 비아홀 및 상기 절연막 상에 제1 베리어 금속층 및 상기 비아홀을 덮는 제2 베리어 금속층을 연속 증착하는 제4 단계,  
 상기 제1 및 제2 베리어 금속층을 상기 절연막이 드러날때까지 제거하여 상기 제1 및 제2 베리어 금속층을 상기 비아홀에 잔류시키는 제5 단계,  
 상기 비아홀에 잔류된 제1 및 제2 베리어 금속층의 상부를 제거하여, 상기 비아홀의 하부에 상기 제1 및 제2 베리어 금속층을 잔류시키는 제6 단계,  
 상기 비아홀의 하부에 잔류된 제1 및 제2 베리어 금속층 및 상기 비아홀을 포함하는 기판 상에 제3 베리어 금속층 및 상기 비아홀을 덮는 비아용 금속층을 연속 증착하는 제7 단계,  
 상기 제3 베리어 금속층 및 상기 비아용 금속층을 상기 절연막이 드러날때까지 제거하는 제8 단계,  
 상기 절연막 상에 상기 비아용 금속층에 접촉하는 제2 배선을 형성하는 제9 단계를 포함하는 반도체 소자의 제조 방법.

**청구항 2**

제1항에서,  
 상기 제1, 제2 및 제3 베리어 금속층은 Ti, Ta, Co, TiN 및 TaN으로 이루어지는 금속 물질 중 적어도 하나를 포함하는 반도체 소자의 제조 방법.

**청구항 3**

제1항에서,  
 상기 제6 단계에서, 상기 비아홀의 하부에 잔류된 제1 및 제2 베리어 금속층의 높이는 상기 비아홀 높이의 15~50%가 되는 반도체 소자의 제조 방법.

**청구항 4**

제1항에서,  
 상기 제4 단계 이후에 열처리를 진행하는 단계를 더 포함하는 반도체 소자의 제조 방법.

**청구항 5**

제1항에서,  
 상기 제4 단계에서, 상기 제1 베리어 금속층은 500~1500Å의 두께로 증착하고, 상기 제2 베리어 금속층은 1500~3500Å의 두께로 증착하는 반도체 소자의 제조 방법.

**청구항 6**

제1항에서,  
 상기 제6 단계에서, 상기 제1 및 제2 베리어 금속층의 제거는 BC13, C12 및 C1기 가스 중 적어도 하나를 이용하는 건식 식각법으로 진행하는 반도체 소자의 제조 방법.

**청구항 7**

제1항에서,

상기 제1베리어 금속층 증착전 불활성 기체를 이용하여 플라즈마 상태에서 상기 절연막을 20Å 이상 제거하는 공정을 포함하는 반도체 소자의 제조 방법.

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

- <2> 본 발명은 반도체 소자의 제조 방법에 관한 것으로 특히, 집적 반도체 소자에 있어서, 다층 배선의 형성 방법에 관한 것이다.
- <3> 반도체 소자가 점차 고집적화, 다층화됨에 따라 중요한 기술의 하나로 다층 배선 기술이 등장하게 되었는데, 이와 같은 다층 배선 기술은 금속 배선층과 절연막층을 회로 소자가 형성된 반도체 기판 상부에 교대로 형성되며, 절연막에 의해 분리된 금속 배선층 사이를 비아를 통해 전기적으로 접속함으로써 회로 동작이 이루어지도록 하는 것이다.
- <4> 그리고, 반도체 소자에서 다층 배선 기술을 적용함으로써, 교차 배선이 가능하게 되어 반도체 소자의 회로 설계에 있어서의 자유도와 집적도를 향상시킬 수 있으며, 또한, 배선 길이를 단축할 수 있어 배선이 수반하는 속도의 지연 시간을 짧게 함으로써 반도체 소자의 동작 속도를 향상시킬 수 있다. 또한, 반도체 소자의 미세화에 따라 금속 배선층의 선평이 점차적으로 작아지고 있다.
- <5> 반도체 소자의 다층 배선을 형성하는 종래 기술 중의 하나는 하부 배선을 덮는 절연막에 하부 배선을 드러내는 비아홀을 형성한 후, 이 비아홀에 하부 배선에 접촉하는 상부 배선을 증착하고 평탄화하는 것이다.
- <6> 그런데, 이와 같은 반도체 소자의 제조에 있어서, 절연막에 비아홀을 형성한 후에 금속 배선용 금속층을 증착할 때, 증착 온도에 기인하여 비아홀의 하부에 있는 알루미늄 배선이 비아홀의 상부 부분으로 치고 올라오는 업-익스트루전(UP-EXTRUSION)이 일어난다. 이 경우, 궁극적으로 비아홀 부분에서의 금속 배선의 저항이 증가하는데, 심할 경우에는 비아홀 부분에서 배선간 전류의 정상적인 흐름이 불가능하게 된다.

##### 발명이 이루고자 하는 기술적 과제

- <7> 본 발명은 반도체 소자에 있어서, 비아홀 부분에서의 배선 저항을 감소시키고자 한다.

#### 발명의 구성 및 작용

- <8> 본 발명은 이러한 기술적 과제를 해결하기 위하여, 비아홀에 비아를 형성하기 전에 비아홀의 하부에 활성화 에너지가 큰 베리어 금속층을 형성한다.
- <9> 구체적으로 본 발명에 따른 반도체 소자의 제조 방법은, 반도체 기판 위에 제1 배선을 형성하는 제1 단계, 제1 배선을 덮는 절연막을 형성하는 제2 단계, 절연막에 제1 배선을 드러내는 비아홀을 형성하는 제3 단계, 비아홀 및 절연막 상에 제1 베리어 금속층 및 비아홀을 덮는 제2 베리어 금속층을 연속 증착하는 제4 단계, 제1 및 제2 베리어 금속층을 절연막이 드러날때까지 제거하여 제1 및 제2 베리어 금속층을 비아홀에 잔류시키는 제5 단계, 비아홀에 잔류된 제1 및 제2 베리어 금속층의 상부를 제거하여, 비아홀의 하부에 제1 및 제2 베리어 금속층을 잔류시키는 제6 단계, 비아홀의 하부에 잔류된 제1 및 제2 베리어 금속층 및 비아홀을 포함하는 기판 상에 제3 베리어 금속층 및 비아홀을 덮는 비아용 금속층을 연속 증착하는 제7 단계, 제3 베리어 금속층 및 비아용 금속층을 절연막이 드러날때까지 제거하는 제8 단계, 절연막 상에 비아용 금속층에 접촉하는 제2 배선을 형성하는 제9 단계를 포함한다. 여기서, 제1, 제2 및 제3 베리어 금속층은 고용점 금속 물질로 형성할 수 있다.
- <10> 이 때, 제6 단계에서, 비아홀의 하부에 잔류된 제1 및 제2 베리어 금속층의 높이는 비아홀 높이의 15~50%가 될 수 있으며, 제4 단계 이후에 열처리를 진행하는 단계를 더 포함할 수 있다. 또한, 제4 단계에서, 제1 베리어 금속층은 500~1500Å의 두께로 증착하고, 제2 베리어 금속층은 1500~3500Å의 두께로 증착할 수 있다. 또한, 제6 단계에서, 제1 및 제2 베리어 금속층의 제거는 건식 식각법으로 진행할 수 있다. 또한, 제1베리어 금속층

을 증착하기 전에 불활성 기체를 이용하여 플라즈마 상태에서 절연막을 20Å 이상 제거할 수 있다.

- <11> 이하, 첨부된 도면을 참조하여 본 발명을 상세히 설명한다.
- <12> 도 1a 내지 도 1f는 본 발명의 실시예에 따른 반도체 소자에서의 배선을 형성하기 위한 공정도이다.
- <13> 우선, 도 1a에 도시한 바와 같이, 반도체 기판(10) 위에 알루미늄 또는 알루미늄 합금, 구리 또는 구리 합금으로 이루어진 하부 금속 배선(20)을 형성한다. 여기서, 반도체 기판(10)과 하부 금속 배선(20) 사이에 트랜지스터 등과 같은 반도체 소자를 형성할 수 있다.
- <14> 이어, 하부 금속 배선(20) 상부에 산화막 등의 층간 절연막(32)을 증착한 후, 사진 식각 공정으로 패터닝하여 층간 절연막(32)에 하부 금속 배선(20)을 드러내는 비아홀(H)을 형성한다.
- <15> 이어, 비아홀(H)이 형성된 층간 절연막(32)을 포함하는 기판 전면에 제1 베리어 금속층(40)을 증착한 후, 연속하여 제2 베리어 금속층(50)을 증착한다. 이 때, 제1 베리어 금속층(40)은 층간 절연막(32) 및 비아홀(H)을 따라 얇게 증착하고, 제2 베리어 금속층(50)은 비아홀(H)을 완전히 채우도록 기판 전면에 두텁게 증착한다.
- <16> 여기서, 제1 및 제2 베리어 금속층(40, 50)은 Ti, Ta, Co, TiN, TaN 등과 같이 활성화 에너지가 높고 내구성이 우수한 고용점 금속 물질로 형성하는 것이 바람직하다. 또한, 제1 및 제2 베리어 금속층(40, 50)은 200~450℃의 온도에서 증착할 수 있다. 또한, 제1 베리어 금속층(40)은 500~1500Å의 두께로 증착하고, 제2 베리어 금속층(50)은 1500~3500Å의 두께로 증착할 수 있다.
- <17> 여기서, 제2 베리어 금속층(50)을 증착한 후, 베리어 금속층의 열적 안정성을 위하여 200~450℃의 범위에서 열처리를 진행하는 것이 바람직하다.
- <18> 또한, 제1 베리어 금속층(40)을 증착하기 전에 불활성 기체를 이용하여 플라즈마 상태에서 산화막 등의 층간 절연막(32)을 20Å 이상 제거할 수 있다.
- <19> 다음, 도 1b에 도시한 바와 같이, 화학 기계적 연마법 또는 에치백에 의하여 제2 베리어 금속층(50)과 제1 베리어 금속층(40)을 층간 절연막(32)이 드러날때까지 제거한다. 이 과정에서, 제1 베리어 금속층(40)과 제2 베리어 금속층(50)은 층간 절연막(32)에 형성된 비아홀(H)에 잔류한다.
- <20> 다음, 도 1c에 도시한 바와 같이, 건식 식각법에 의하여 비아홀(H) 내에 잔류하고 있는 제1 및 제2 베리어 금속층(40, 50)의 상부를 제거한다. 이 때, 비아홀(H)에 잔류된 제1 및 제2 베리어 금속층(40, 50)의 높이는 비아홀(H) 높이의 15~50%가 되도록 하는 것이 바람직하다.
- <21> 제1 및 제2 베리어 금속층(40, 50)의 건식 식각에는  $BCl_3$ ,  $Cl_2$  등의 Cl기를 포함하는 가스를 식각용 가스로 사용할 수 있다. 이 경우, 식각 가스가 층간 절연막(32)을 식각할 수 있지만, 제1 및 제2 베리어 금속층(40, 50)과의 식각률 차이가 크므로 문제가 되지 않는다. 이 때, 식각 조건을 제1 및 제2 베리어 금속층(40, 50)에서의 식각률이 층간 절연막(32)에서의 식각률의 5배 이상이 되도록 설정하는 것이 유리하다.
- <22> 다음, 도 1d에 도시한 바와 같이, 비아홀(H)의 하부에 잔류된 제1 및 제2 베리어 금속층(40, 50)을 포함하는 기판의 노출된 전면에 제3 베리어 금속층(60) 및 비아용 금속층(70)을 연속 증착한다.
- <23> 이 때, 제3 베리어 금속층(60)을 비아홀(H)의 하부에 잔류된 제1 및 제2 베리어 금속층(40, 50) 및 층간 절연막(32)을 따라 얇게 증착한 후, 비아용 금속층(70)을 비아홀(H)을 완전히 채울 수 있도록 두텁게 증착한다.
- <24> 여기서, 제3 베리어 금속층(60)은 Ti, Ta, Co, TiN, TaN 등과 같이 활성화 에너지가 높고 내구성이 우수한 고용점 금속 물질로 형성할 수 있다. 또한, 비아용 금속층(70)은 구리 또는 구리 합금, 알루미늄 또는 알루미늄 합금, 텅스텐 또는 텅스텐 합금과 같은 통상의 배선용 금속 물질로 형성할 수 있다.
- <25> 다음, 도 1e에 도시한 바와 같이, 화학 기계적 연마법 또는 에치백에 의하여 제3 베리어 금속층(60)과 비아용 금속층(70)을 층간 절연막(32)을 드러날때까지 제거한다. 이 과정에서, 제3 베리어 금속층(60)이 비아홀(H)의 상부에 제1 및 제2 베리어 금속층(40, 50)의 상단면 및 비아홀(H)의 측면을 따라 위치하고, 비아용 금속층(70)은 비아홀(H)의 상부를 채우는 비아(72)가 된다.
- <26> 다음, 도 1f에 도시한 바와 같이, 비아(72) 및 층간 절연막(32)을 포함하는 기판 전면에 배선용 금속층을 증착한 후, 사진 식각 공정으로 이 배선용 금속층을 사진 식각 공정으로 패터닝하여 비아(72)에 접촉하는 상부 금속 배선(82)을 형성한다. 이 때, 상부 금속 배선(82)은 비아(72), 제1, 제2 및 제3 베리어 금속층(60, 50, 40)을 통하여 하부 금속 배선(20)과 전기적으로 연결된다.

<27> 이러한 구조를 가지는 반도체 소자에서는, 비아홀 형성시에 고용점 금속 물질로 이루어진 베리어 금속층의 상당 부분이 비아홀 하부에 위치하여 하부 금속 배선(20)을 덮고 있기 때문에, 후속 공정에서 고온 작업을 진행하여도 하부 금속 배선(20)을 이루는 금속 물질의 업-익스트루전(UP-EXTRUSION)의 발생을 저지할 수 있다.

**발명의 효과**

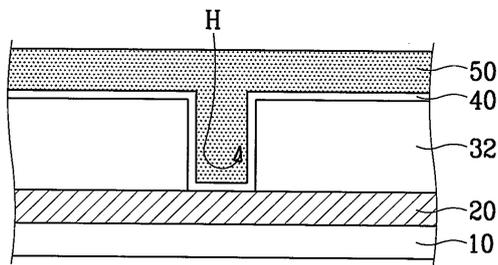
<28> 본 발명은 비아홀에서의 하부 금속 배선의 업-익스트루전(UP-EXTRUSION)의 발생 가능성을 막음으로써, 비아홀에서 접촉하는 두 배선 사이의 배선 저항을 감소시킬 수 있다.

**도면의 간단한 설명**

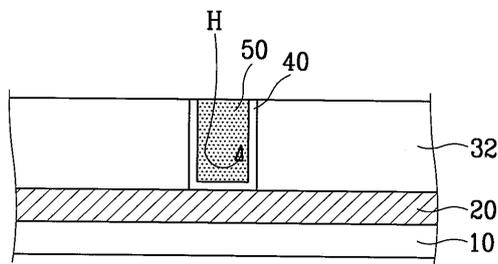
<1> 도 1a 내지 도 1f는 본 발명의 실시예에 따른 반도체 소자의 제조에 있어서, 배선을 형성하기 위한 공정도이다.

**도면**

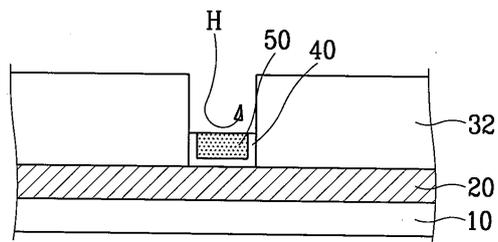
**도면1a**



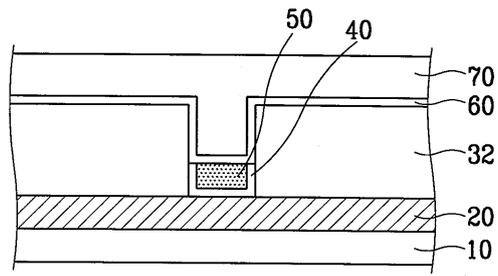
**도면1b**



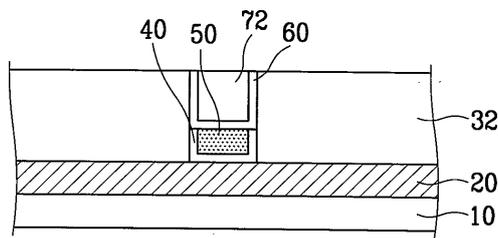
**도면1c**



도면1d



도면1e



도면1f

