



(12) 实用新型专利

(10) 授权公告号 CN 203434954 U

(45) 授权公告日 2014. 02. 12

(21) 申请号 201320455140. 9

(22) 申请日 2013. 07. 29

(73) 专利权人 青岛海信移动通信技术股份有限公司

地址 266071 山东省青岛市市南区江西路 11 号

(72) 发明人 孙洪超 杨在原 任海坤

(74) 专利代理机构 青岛联智专利商标事务有限公司 37101

代理人 邵新华

(51) Int. Cl.

H03K 17/284(2006. 01)

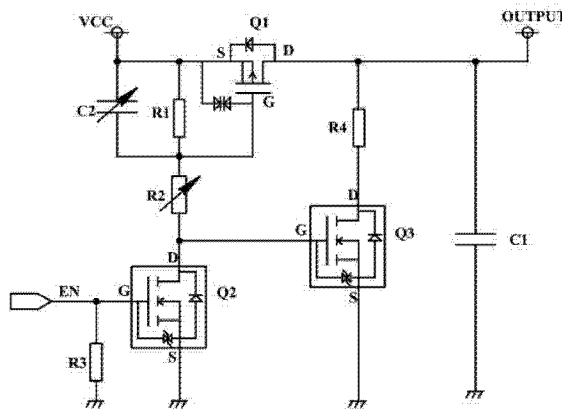
权利要求书1页 说明书5页 附图2页

(54) 实用新型名称

一种上升时间可控的开关电路及数码产品

(57) 摘要

本实用新型公开了一种上升时间可控的开关电路及数码产品,包括一颗P沟道MOS管、两个电阻和两个电容,所述P沟道MOS管的源极连接输入电源,漏极连接电源输出端,并通过第一电容接地,在所述P沟道MOS管的源极与栅极之间分别并联第一电阻和第二电容,且P沟道MOS管的栅极通过第二电阻接地。本实用新型的开关电路无需改变输出端电容的电容值就能灵活地控制输出电源的上升时间,由此有助于减小输出端电容的体积,满足数码产品小型轻薄化的发展要求,并对数码产品的整机成本实现有效地控制。此外,在所述开关电路中设计有放电电路,可以控制输出端电容快速放电,使输出电源的下降沿足够陡峭,更好地满足后级负载的供电要求。



1. 一种上升时间可控的开关电路,其特征在于:包括一颗P沟道MOS管、两个电阻和两个电容,所述P沟道MOS管的源极连接输入电源,漏极连接电源输出端,并通过第一电容接地,在所述P沟道MOS管的源极与栅极之间分别并联第一电阻和第二电容,且P沟道MOS管的栅极通过第二电阻接地。

2. 根据权利要求1所述的上升时间可控的开关电路,其特征在于:所述第一电阻的阻值大于第二电阻阻值的三倍以上。

3. 根据权利要求1所述的上升时间可控的开关电路,其特征在于:所述第二电容的电容值小于等于4.7 μ F。

4. 根据权利要求1至3中任一项所述的上升时间可控的开关电路,其特征在于:所述第二电阻通过一开关元件的开关通路接地,开关元件的控制端接收供电启停控制信号。

5. 根据权利要求4所述的上升时间可控的开关电路,其特征在于:所述开关元件为一颗N沟道MOS管,所述N沟道MOS管的漏极连接第二电阻,源极接地,栅极接收所述的供电启停控制信号。

6. 根据权利要求4所述的上升时间可控的开关电路,其特征在于:在所述第一电容的两端并联有可控放电电路,所述可控放电电路的控制端连接第二电阻与所述开关元件的中间节点,控制第一电容的正极在要求停止供电时接通系统地,对地泄放第一电容中储存的电荷。

7. 根据权利要求6所述的上升时间可控的开关电路,其特征在于:在所述可控放电电路中包含有泄放电阻和一NMOS管,所述泄放电阻连接在所述P沟道MOS管的漏极与NMOS管的漏极之间,所述NMOS管的源极接地,栅极连接第二电阻与所述开关元件的中间节点。

8. 根据权利要求1至3中任一项所述的上升时间可控的开关电路,其特征在于:在所述第一电容的两端并联有可控放电电路,所述可控放电电路接收供电启停控制信号,在要求停止供电时控制第一电容的正极接通系统地,对地泄放第一电容中储存的电荷。

9. 根据权利要求8所述的上升时间可控的开关电路,其特征在于:在所述可控放电电路中包含有泄放电阻和一NMOS管,所述泄放电阻连接在所述P沟道MOS管的漏极与NMOS管的漏极之间,所述NMOS管的源极接地,栅极接收所述的供电启停控制信号。

10. 一种数码产品,其特征在于:在数码产品的内部电路板上设置有如权利要求1至9中任一项权利要求所述的上升时间可控的开关电路。

一种上升时间可控的开关电路及数码产品

技术领域

[0001] 本实用新型属于开关电路技术领域,具体地说,是涉及一种可以对其输出电源的上升时间实现灵活控制的开关电路以及采用所述开关电路设计的数码产品。

背景技术

[0002] 开关电路是一种用于对电源或者信号的传输路径进行通断控制的电子线路,已经被广泛应用在手机、相机等数码产品中,为数码产品中的信号板、LCD 显示屏等众多功能模块的上电时序进行有序控制。目前的开关电路,通常采用两种电路设计:一种是单 MOS 管型的开关电路,如图 1 所示,即采用一颗 PMOS 管 Q4 作为开关元件,源极连接输入电源 VCC,栅极通过限流电阻 R5 连接输入电源 VCC,并接收控制器发出的供电启停控制信号 EN。在 PMOS 管 Q4 的漏极连接去耦电容 C3,当控制器发出低电平有效的供电启停控制信号 EN 时,PMOS 管 Q4 饱和导通,将输入电源 VCC 通过 PMOS 管 Q4 的源极和漏极传输至电源输出端 OUTPUT,为后级电路供电。另外一种是集成功能芯片型的开关电路,参见图 2 所示,即利用一片具有开关作用的集成芯片 IC1 作为开关元件,输入端 VINA2 连接输入电源 VCC,输出端 VOUTA1 连接电源输出端 OUTPUT,并通过去耦电容 C3 接地。将控制器发出的供电启停控制信号 EN 传输至集成芯片 IC1 的控制端 ON,控制集成芯片 IC1 将其输入端 VINA2 与输出端 VOUTA1 连通,进而使输入电源 VCC 能够传输至电源输出端 OUTPUT,通过电源输出端 OUTPUT 为后级电路供电。

[0003] 上述两种开关电路设计方式,第一种设计方式电路结构简单,成本低;第二种设计方式由于需要使用集成芯片,因此电路成本较高。虽然这两种开关电路的结构设计都比较简单,但是只能通过改变连接在电源输出端 OUTPUT 的去耦电容 C3 的电容值来改变通过电源输出端 OUTPUT 输出的供电电源的上升时间。当后级负载要求供电电源的上升时间较长时,去耦电容 C3 的体积就会变得很大,成本也随之增加。但是,对于目前的数码产品来说,都是向着小型轻薄化的方向发展,在这种发展趋势下,大体积的电容元件很难满足产品的设计要求,因此采用增大电容体积来延长开关电路输出电源的上升时间的设计方案在目前的数码电子产品中并不适用,进而导致传统的开关电路很难延长其输出电源的上电时间。

[0004] 此外,通过传统开关电路控制输出的供电电源,当开关元件断开时,储存在去耦电容 C3 中的电荷不能快速泄放,这对于要求供电电源的下降沿陡峭的后级负载来说,也不能满足其供电要求。

发明内容

[0005] 本实用新型的目的在于提供一种上升时间可控的开关电路,解决了传统开关电路无法对输出电源的上升时间进行灵活控制的问题。

[0006] 为解决上述技术问题,本实用新型采用以下技术方案予以实现:

[0007] 一种上升时间可控的开关电路,包括一颗 P 沟道 MOS 管、两个电阻和两个电容,所述 P 沟道 MOS 管的源极连接输入电源,漏极连接电源输出端,并通过第一电容接地,在所述 P

沟道 MOS 管的源极与栅极之间分别并联第一电阻和第二电容,且 P 沟道 MOS 管的栅极通过第二电阻接地。

[0008] 为了尽量减小开关电路工作时 P 沟道 MOS 管的导通电阻,所述第一电阻的阻值最好大于第二电阻阻值的三倍以上。

[0009] 为了避免在 P 沟道 MOS 管的源极与栅极之间引起阻尼震荡,所述第二电容的电容值最好小于等于 4.7 μ F。

[0010] 为了方便对开关电路的开关时刻进行控制,将所述第二电阻通过一开关元件的开关通路接地,开关元件的控制端接收供电启停控制信号,通过控制开关元件通断,控制 P 沟道 MOS 管的工作状态。

[0011] 优选的,所述开关元件为一颗 N 沟道 MOS 管,所述 N 沟道 MOS 管的漏极连接第二电阻,源极接地,栅极接收所述的供电启停控制信号。

[0012] 进一步的,在所述第一电容的两端并联有可控放电电路,所述可控放电电路的控制端连接第二电阻与所述开关元件的中间节点,控制第一电容的正极在要求停止供电时接通系统地,对地泄放第一电容中储存的电荷。

[0013] 优选的,在所述可控放电电路中包含有泄放电阻和一 NMOS 管,所述泄放电阻连接在所述 P 沟道 MOS 管的漏极与 NMOS 管的漏极之间,所述 NMOS 管的源极接地,栅极连接第二电阻与所述开关元件的中间节点。

[0014] 当然,在没有所述开关元件的情况下,为了在要求停止供电时,实现第一电容中电荷的快速泄放,同样也可以在所述第一电容的两端并联可控放电电路,直接通过所述可控放电电路接收供电启停控制信号,在要求停止供电时控制第一电容的正极接通系统地,对地泄放第一电容中储存的电荷。

[0015] 优选的,所述可控放电电路中包含有泄放电阻和一 NMOS 管,所述泄放电阻连接在所述 P 沟道 MOS 管的漏极与 NMOS 管的漏极之间,所述 NMOS 管的源极接地,栅极接收所述的供电启停控制信号。

[0016] 基于上述上升时间可控的开关电路,本实用新型还提供了一种采用所述上升时间可控的开关电路设计的数码产品,包括一颗 P 沟道 MOS 管、两个电阻和两个电容,所述 P 沟道 MOS 管的源极连接输入电源,漏极连接电源输出端,并通过第一电容接地,在所述 P 沟道 MOS 管的源极与栅极之间分别并联第一电阻和第二电容,且 P 沟道 MOS 管的栅极通过第二电阻接地。通过所述开关电路可以对数码产品中各用电负载所需供电电源的上升时间实现灵活控制。

[0017] 与现有技术相比,本实用新型的优点和积极效果是:本实用新型的开关电路无需改变输出端电容的电容值就能灵活地控制输出电源的上升时间,由此有助于减小输出端电容的体积,满足数码产品小型轻薄化的发展要求,并对数码产品的整机成本实现有效地控制。此外,本实用新型通过在开关电路中设计放电电路,当输出电源需要关断时,可以控制输出端电容快速放电,使输出电源的下降沿足够陡峭,更好地满足后级负载的供电要求,特别是在负载较大时,优势更加明显。

[0018] 结合附图阅读本实用新型实施方式的详细描述后,本实用新型的其它特点和优点将变得更加清楚。

附图说明

[0019] 图 1 是现有开关电路的一种实施例的电路原理图；

[0020] 图 2 是现有开关电路的另外一种实施例的电路原理图；

[0021] 图 3 是本实用新型所提出的上升时间可控的开关电路的一种实施例的电路原理图。

具体实施方式

[0022] 下面结合附图对本实用新型的具体实施方式进行详细地描述。

[0023] 目前的很多电子器件对供电电源的上升时间都有严格的要求,为了满足该类电子器件的供电要求,实现电源上升时间的灵活控制,本实施例利用阻容充放电电路的延时作用对 MOS 管的工作状态进行控制,使通过 MOS 管输出的供电电源缓慢建立,进而延长了供电电源的上升时间,解决了传统开关电路对输出电源的上升时间难以控制的问题。

[0024] 参见图 3 所示,本实施例的开关电路主要由 P 沟道 MOS 管 Q1、第一电阻 R1、第二电阻 R2 以及第一电容 C1 和第二电容 C2 等分立元件组成。其中,P 沟道 MOS 管 Q1 用于对输入电源 VCC 的传输通路进行开关控制,具体可以将 P 沟道 MOS 管 Q1 的源极 S 连接输入电源 VCC,漏极 D 连接电源输出端 OUTPUT,并通过第一电容 C1 接地。将电容 C2 和电阻 R2 连接形成充电延时电路,用于对 P 沟道 MOS 管 Q1 的导通时间进行控制。具体来讲,可以将电容 C2 并联在所述 P 沟道 MOS 管 Q1 的源极 S 与栅极 G 之间,并将 P 沟道 MOS 管 Q1 的栅极 G 通过电阻 R2 接地或者通过电阻 R2 连接一开关元件的开关通路,在所述开关元件的控制下,选择接地。为了避免 P 沟道 MOS 管 Q1 的源极 S 与栅极 G 短路,在所述 P 沟道 MOS 管 Q1 的源极 S 与栅极 G 之间进一步并联电阻 R1,配合电阻 R2 和电容 C2,共同实现对 P 沟道 MOS 管 Q1 导通时间的控制。

[0025] 为了方便对所述开关电路的开关时序进行灵活控制,本实施例优选采用将电阻 R2 通过开关元件接地的电路设计方式,参见图 3 所示。其中,所述开关元件可以是 MOS 管、三极管或者二极管等可控元件,将开关元件的控制端连接主芯片等控制单元,接收控制单元输出的供电启停控制信号 EN,通过控制开关元件通断,控制 P 沟道 MOS 管 Q1 的工作状态。

[0026] 本实施例以 N 沟道 MOS 管 Q2 作为所述的开关元件为例进行说明,参见图 3 所示。将所述 N 沟道 MOS 管 Q2 的漏极连接电阻 R2,源极接地,栅极接收所述的供电启停控制信号 EN,并通过下拉电阻 R3 接地。

[0027] 当需要为产品中的电子器件供电时,通过控制单元输出高电平有效的供电启停控制信号 EN 至 N 沟道 MOS 管 Q2 的栅极,控制 N 沟道 MOS 管 Q2 饱和导通,使电阻 R2 接地。此时,输入电源 VCC 开始向电容 C2 充电。在电容 C2 充电开始时,由于电容 C2 两端的电压为零,因此 P 沟道 MOS 管 Q1 的 GS 两端的电压为零,P 沟道 MOS 管 Q1 处于截止状态。随着电容 C2 充电时间的延长,P 沟道 MOS 管 Q1 的 GS 两端的电压不断升高,控制 MOS 管 Q1 逐渐打开。

[0028] 假设 P 沟道 MOS 管 Q1 的开启电压用 V_{th} 表示; V_0 表示 P 沟道 MOS 管 Q1 的 GS 两端的初始电压值; V_u 表示电容 C2 充满电后 MOS 管 Q1 的 GS 两端的电压值; V_{gs} 表示任意时刻 t 时,MOS 管 Q1 的 GS 两端的电压值;由此便可得到如下的计算公式(为方便计算,以下所有变量只表示数值):

[0029] $V_{gs}=V_0+(V_u-V_0)*[1-\exp(-t/RC)]$;

[0030] 由于电容 C2 两端的初始压差为 0, 因此上述公式可以简化为 :

[0031] $V_{gs}=V_u*[1-\exp(-t/RC)]$;

[0032] 其中, $V_u=VCC*R_1/(R_1+R_2)$; $R=R_2$; $C=C_2$, 带入上式得 :

[0033] $V_{gs}=[VCC*R_1/(R_1+R_2)]*[1-\exp(-t/R_2*C_2)]$ ①。

[0034] 由于在 MOS 管 Q1 完全打开前, MOS 管 Q1 的导通电阻 $R_{ds(on)}$ 为 :

[0035] $R_{ds(on)}= \tau * [1/(V_{gs}-V_{th})]/(\mu_n*C_{ox}*W)$ ②,

[0036] 其中, μ_n 为自由电子迁移率 ; C_{ox} 为 MOS 管 Q1 的单位面积的栅极电容量 ; τ 为 MOS 管 Q1 的沟道长度 ; W 为沟道宽度。以上参数只与 MOS 管 Q1 的工艺有关, 选定 MOS 管后, 以上参数都是确定的。

[0037] 由于电源输出端 OUTPUT 的电压值 V_{out} 可以采用以下公式计算出来 :

[0038] $V_{out}=VCC*\{1-\exp[-t/(R_{ds(on)}*C_1)]\}$;

[0039] 所以, 电源输出端 OUTPUT 的电压从 0V 上升到 V_{out} 所需的时间为 :

[0040] $T=R_{ds(on)}*C_1*\ln[VCC/(VCC-V_{OUT})]$ 。

[0041] 当 $V_{out}=10\%VCC$ 时, $t=0.11*R_{ds(on)}*C_1$

[0042] 当 $V_{out}=90\%VCC$ 时, $t=2.30*R_{ds(on)}*C_1$

[0043] 因此, V_{out} 的上升时间 t_r 为 :

[0044] $t_r=(2.30-0.11)*R_{ds(on)}*C_1=2.19*R_{ds(on)}*C_1$ ③。

[0045] 由公式②③得 :

[0046] $t_r=[2.19*\tau *C_1/(\mu_n*C_{ox}*W)]*[1/(V_{gs}-V_{th})]$ 。

[0047] 由上式可知, t_r 与 V_{gs} 负相关, 即 V_{gs} 越小, t_r 越大, 通过电源输出端 OUTPUT 输出的电源的上升时间越长 ;反之, V_{gs} 越大, t_r 越小, 通过电源输出端 OUTPUT 输出的电源的上升时间越短。由于 V_{gs} 的大小与 C_1 、 C_2 、 R_2 、 R_1 有关, 因此, 可以通过改变 C_1 、 C_2 、 R_2 、 R_1 的参数值来改变 t_r 的大小。但是, 由于 C_2 、 R_2 与 t_r 指数相关, 而 C_1 与 t_r 线性相关, 所以, 改变电容 C_2 和电阻 R_2 的参数值, 能够更快地调节输出电源 V_{out} 的上升时间 t_r 。

[0048] 在本实施例中, 如果电容 C_2 的电容值选择得比较大, 当负载电流较大时, 给电容 C_2 充电的电流会被负载部分吸走, 导致在 P 沟道 MOS 管 Q1 的 GS 端可能会引起阻尼震荡, 因此, 电容 C_2 的电容值一般不要超过 4.7 μ F。

[0049] 同时, 为了尽量减小开关电路工作时, P 沟道 MOS 管 Q1 的导通电阻 $R_{ds(on)}$, 最好选择电阻 R_1 的阻值大于电阻 R_2 的阻值的 3 倍以上, 并满足 $VCC*R_1/(R_1+R_2)$ 大于 2~3 倍的 V_{th} 。

[0050] 当要求关闭输出电源 V_{out} 时, 通过控制单元输出低电平的供电启停控制信号 EN, 控制 N 沟道 MOS 管 Q2 关断。此时, 为了使保存在电容 C_1 中的电荷快速泄放, 本实施例在所述开关电路中还设计了可控放电电路, 并联在电容 C_1 的两端, 在要求停止供电时, 控制电容 C_1 的正极接通系统地, 使电容 C_1 中的电荷对地快速泄放, 保证输出电源 V_{out} 的下降沿足够陡峭。

[0051] 作为本实施例的一种优选设计方案, 所述可控放电电路优选采用泄放电阻 R_4 和一颗 NMOS 管 Q3 连接而成, 参见图 3 所示。将 P 沟道 MOS 管 Q1 的漏极 D 通过泄放电阻 R_4 连接 NMOS 管 Q3 的漏极, 将 NMOS 管 Q3 的源极接地, 栅极连接电阻 R_2 与 MOS 管 Q2 的中间节

点。当控制单元输出低电平的供电启停控制信号 EN 时, N 沟道 MOS 管 Q2 关断, NMOS 管 Q3 导通, 电容 C1 中保存的电荷通过电阻 R4 和 NMOS 管 Q3 泄放到地, 使通过电源输出端 OUTPUT 输出的电压快速降低, 迅速关断后级负载的供电电源。

[0052] 对于未设置开关元件(由 MOS 管 Q2 表示的开关元件)的电路设计, 可以直接利用系统控制单元输出的供电启停控制信号 EN 控制所述可控放电电路的工作状态, 仍以泄放电阻 R4 和 NMOS 管 Q3 组成的可控放电电路为例进行说明。将控制单元输出的供电启停控制信号 EN 传输至 NMOS 管 Q3 的栅极, 在需要停止向后级负载供电时, 通过控制单元输出高电平的供电启停控制信号 EN, 控制 NMOS 管 Q3 饱和导通, 实现电容 C1 中储存电荷的快速泄放。

[0053] 当然, 所述可控放电电路也可以采用泄放电阻 R4 与其他开关元件连接而成, 例如三极管、二极管、可控硅等, 本实施例并不仅限于以上举例。

[0054] 本实施例的开关电路结构简单、成本低, 可以满足各种电子器件对供电电源上升时序的不同要求, 尤其适合应用在追求轻薄小型化外观的数码电子产品中。

[0055] 当然, 以上所述仅是本实用新型的一种优选实施方式, 对于本技术领域的普通技术人员来说, 在不脱离本实用新型原理的前提下, 还可以做出若干改进和润饰, 这些改进和润饰也应视为本实用新型的保护范围。

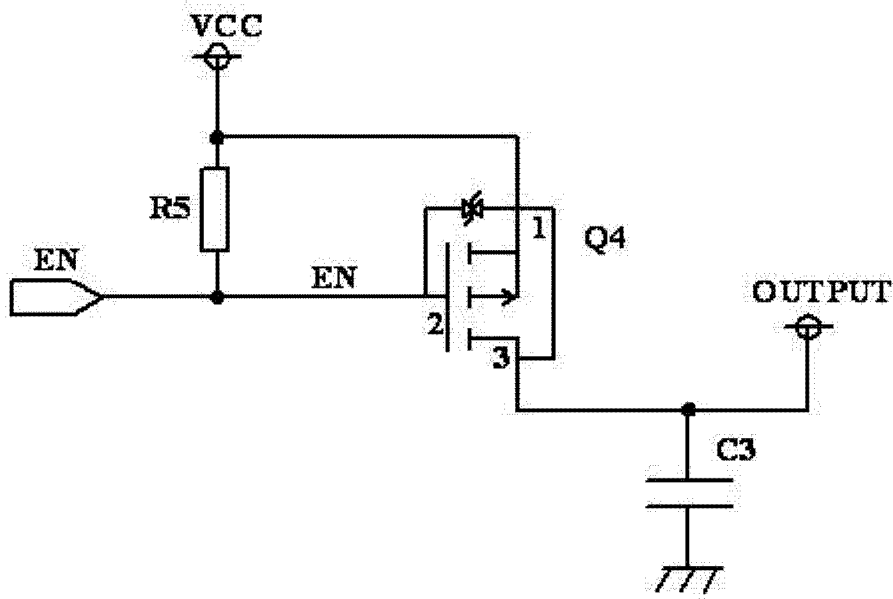


图 1

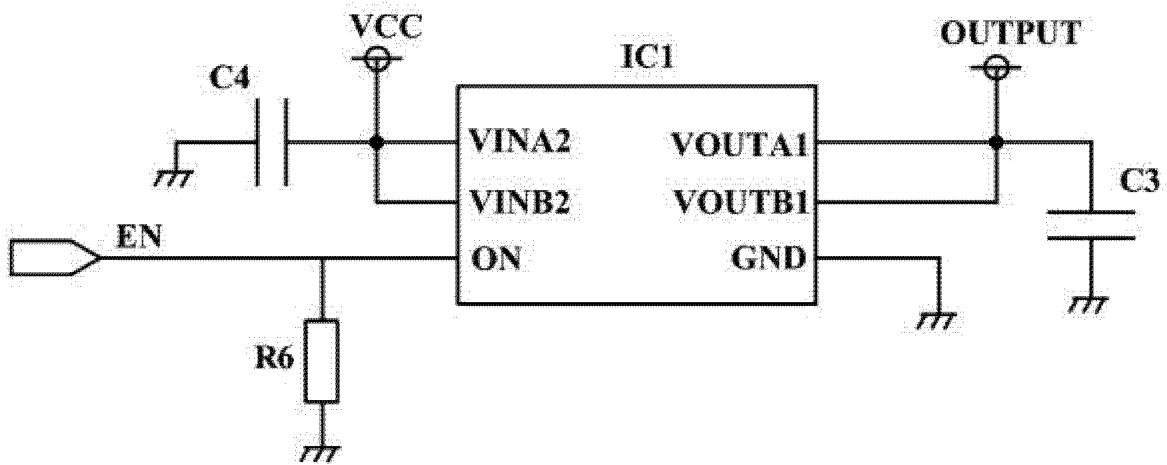


图 2

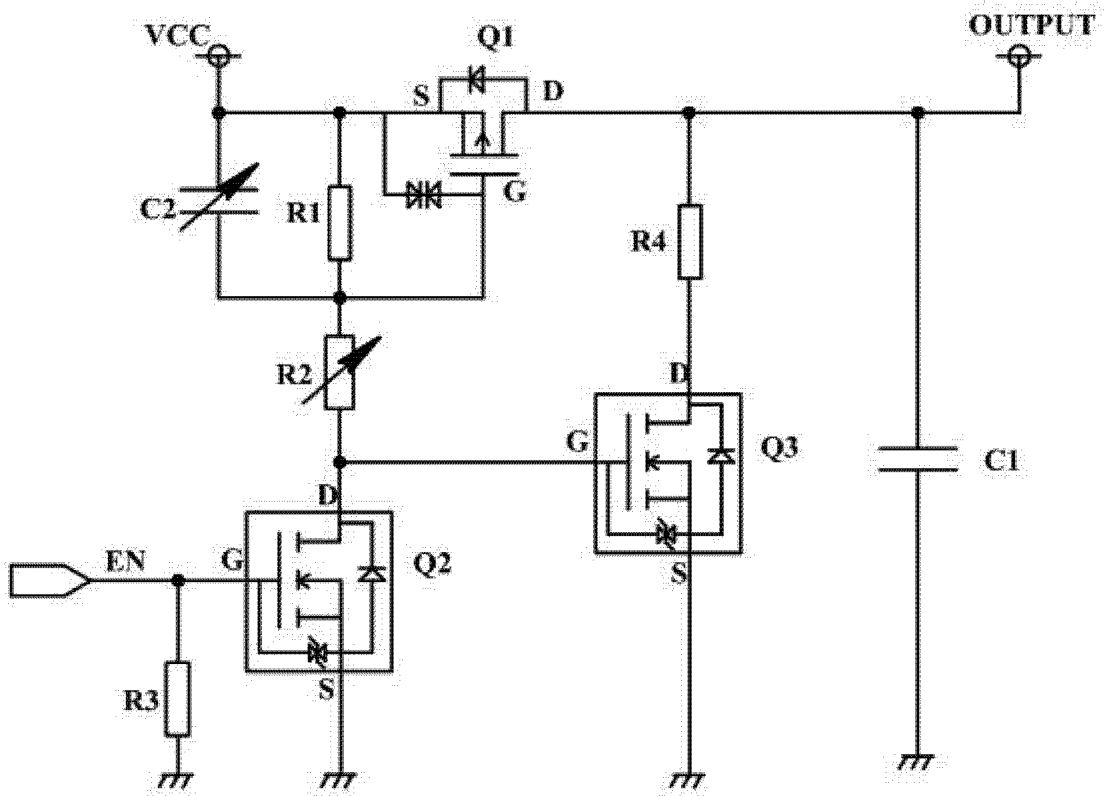


图 3