



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I602181 B

(45)公告日：中華民國 106 (2017) 年 10 月 11 日

(21)申請案號：102106526 (22)申請日：中華民國 102 (2013) 年 02 月 25 日

(51)Int. Cl. : G11C16/06 (2006.01) G11C29/44 (2006.01)

(30)優先權：2012/02/29 美國 61/604,570

2012/10/22 南韓 10-2012-0117458

(71)申請人：三星電子股份有限公司(南韓) SAMSUNG ELECTRONICS CO., LTD. (KR)  
南韓(72)發明人：孫教民 SOHN, KYO MIN (KR)；宋鎬永 SONG, HO YOUNG (KR)；黃祥俊  
HWANG, SANG JOON (KR)；金澈 KIM, CHEOL (KR)；孫東賢 SOHN, DONG  
HYUN (KR)

(74)代理人：詹銘文

(56)參考文獻：

TW 517376

TW I258147BB

JP 2006-186247A

US 5313424

US 6256237B1

US 6542419B2

US 7174477B2

US 2002/0047181A1

US 2006/0064261A1

US 2003/0084386A1A1

審查人員：蕭明椿

申請專利範圍項數：20 項 圖式數：27 共 67 頁

(54)名稱

記憶體系統以及使用測試元件傳輸失效位址至記憶體元件的操作方法

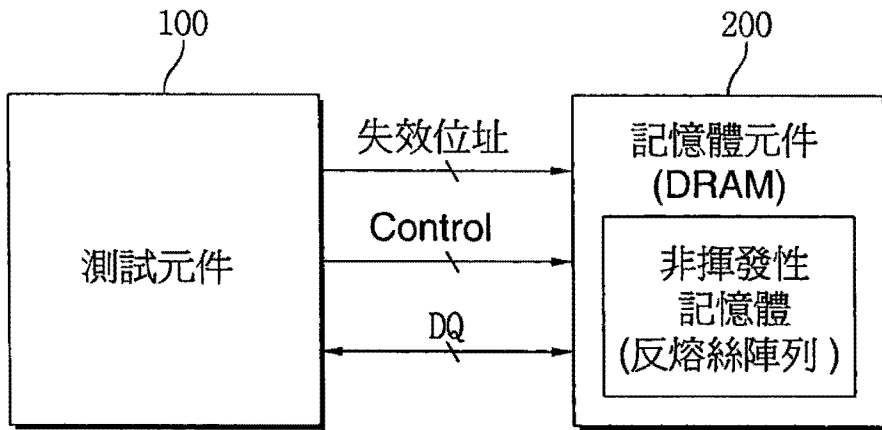
MEMORY SYSTEM AND METHOD FOR OPERATING TEST DEVICE TO TRANSMIT FAIL  
ADDRESS TO MEMORY DEVICE

(57)摘要

提供修復記憶體系統中的記憶胞的方法與裝置。測試元件藉由根據測試命令來測試記憶體元件而偵測失效位址，且暫時將失效位址儲存於失效位址記憶體(FAM)中。根據失效位址傳輸模式將失效位址傳輸至記憶體元件，暫時儲存於記憶體元件的暫時失效位址儲存器中，且接著儲存於反熔絲陣列中，反熔絲陣列為非揮發性儲存元件。為了確保資料的可靠性，讀取所儲存的資料以驗證資料，且經由資料插腳而將驗證結果以串列或並列傳輸至測試元件。

Provided are a method and apparatus for repairing a memory cell in a memory system. A test device detects a fail address by testing a memory device according to a test command, and temporarily stores the fail address in a fail address memory (FAM). The fail address is transmitted to the memory device according to a fail address transmission mode, is temporarily stored in a temporary fail address storage of the memory device, and is then stored in an anti-fuse array which is a non-volatile storage device. To secure the reliability of data, stored data is read to verify the data and a verification result is transmitted in series or in parallel to the test device via a data pin.

指定代表圖：



符號簡單說明：

100 . . . 測試元件

200 . . . 記憶體元件

Control . . . 測試命令

DQ . . . 測試資料

圖1

## 發明摘要

※ 申請案號：102106526

※ 申請日：102/02/25

※IPC 分類：G11C 16/06 (2006.01)  
G11C 29/44 (2006.01)

### 【發明名稱】

記憶體系統以及使用測試元件傳輸失效位址至記憶體元件的操作方法

MEMORY SYSTEM AND METHOD FOR OPERATING TEST DEVICE TO TRANSMIT FAIL ADDRESS TO MEMORY DEVICE

### 【中文】

提供修復記憶體系統中的記憶胞的方法與裝置。測試元件藉由根據測試命令來測試記憶體元件而偵測失效位址，且暫時將失效位址儲存於失效位址記憶體（FAM）中。根據失效位址傳輸模式將失效位址傳輸至記憶體元件，暫時儲存於記憶體元件的暫時失效位址儲存器中，且接著儲存於反熔絲陣列中，反熔絲陣列為非揮發性儲存元件。為了確保資料的可靠性，讀取所儲存的資料以驗證資料，且經由資料插腳而將驗證結果以串列或並列傳輸至測試元件。

### 【英文】

Provided are a method and apparatus for repairing a memory cell in a memory system. A test device detects a fail address by testing

a memory device according to a test command, and temporarily stores the fail address in a fail address memory (FAM). The fail address is transmitted to the memory device according to a fail address transmission mode, is temporarily stored in a temporary fail address storage of the memory device, and is then stored in an anti-fuse array which is a non-volatile storage device. To secure the reliability of data, stored data is read to verify the data and a verification result is transmitted in series or in parallel to the test device via a data pin.

### 【代表圖】

【本案指定代表圖】：圖 1。

【本代表圖之符號簡單說明】：

100：測試元件

200：記憶體元件

Control：測試命令

DQ：測試資料

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】

記憶體系統以及使用測試元件傳輸失效位址至記憶體元件的操作方法

MEMORY SYSTEM AND METHOD FOR OPERATING TEST DEVICE TO TRANSMIT FAIL ADDRESS TO MEMORY DEVICE

## 【技術領域】

【0001】 本發明概念的實施例是關於記憶體系統，且更特定言之，是關於用於藉由使用測試元件來測試包含非揮發性儲存元件的記憶體元件而修復記憶胞的方法與元件，以及包含所述元件的系統。

## 【先前技術】

【0002】 半導體晶片是根據半導體製造程序來製造的，且接著使用測試設備以晶圓、晶粒或封裝的形式來測試。經由測試，可挑選出有缺陷的部分或有缺陷的晶片。在半導體晶片的一些記憶胞有缺陷時，藉由修復此等有缺陷的記憶胞來修理所述半導體晶片。

【0003】 最近，隨著製造諸如動態隨機存取記憶體（dynamic random access memory；DRAM）的半導體晶片的程序變得愈來愈精細，愈加有可能在製造程序期間發生錯誤。且，即使在初始測試時期未偵測到錯誤，在晶片的操作期間仍可能發生錯誤。為解

決此問題，已開發各種測試方法與元件。

### 【發明內容】

【0004】 本發明概念的實施例提供一種用於可靠地修復記憶胞的測試元件。

【0005】 本發明概念的實施例亦提供一種用於可靠地修復記憶胞的測試方法。

【0006】 本發明概念的實施例亦提供一種包含用於可靠地修復記憶胞的測試元件與方法的記憶體系統。

【0007】 本發明概念的技術目標不限於上述揭露內容；對於一般熟習此項技術者而言，基於下文描述，其他目標可變得顯而易見。

【0008】 根據本發明概念的態樣，一種記憶體系統包含：記憶體元件，包含具有至少  $N \times M$  的矩陣陣列結構的非揮發性儲存元件，其中  $N$  以及  $M$  各自表示等於或大於 2 的整數；以及測試元件，經組態以測試所述記憶體元件。由所述測試元件偵測的失效位址被傳輸至所述記憶體元件且儲存於所述非揮發性儲存元件中。

【0009】 在實施例中，所述測試元件可包含半導體晶片。

【0010】 在實施例中，所述半導體晶片可包含錯誤校正碼（error correcting code；ECC）引擎，且所述非揮發性儲存元件可包含具有至少  $N \times M$  的矩陣陣列結構的反熔絲陣列，其中  $N$  以及  $M$  各自表示等於或大於 2 的整數。

【0011】 在實施例中，所述半導體晶片可包含內建式自測試

(built-in self test; BIST) 單元，且所述非揮發性儲存元件可包含具有至少  $N \times M$  的矩陣陣列結構的反熔絲陣列，其中  $N$  以及  $M$  各自表示等於或大於 2 的整數。

【0012】 在實施例中，所述 BIST 單元可連接至 ECC 引擎。

【0013】 在實施例中，所述半導體晶片可包含錯誤校正碼 (ECC) 引擎或內建式自測試 (BIST) 單元，以及經組態以儲存所述失效位址的失效位址記憶體。

【0014】 在實施例中，所述失效位址記憶體可由控制單元控制。

【0015】 在實施例中，所述半導體晶片可包含錯誤校正碼 (ECC) 引擎或內建式自測試 (BIST) 單元、失效位址記憶體、位址輸出單元、控制輸出單元、資料緩衝器以及控制單元。

【0016】 在實施例中，所述控制輸出單元可控制所述 ECC 引擎或所述 BIST 單元、所述失效位址記憶體、所述資料緩衝器以及所述控制單元的操作。

【0017】 在實施例中，所述記憶體晶片可包含於記憶體控制器中且連接至中央處理單元 (CPU)。

【0018】 在實施例中，所述 CPU 可將測試命令供應至所述記憶體元件。

【0019】 在實施例中，所述測試命令可包含測試開始命令、測試退出命令或失效位址傳輸命令。

【0020】 在實施例中，所述測試元件可包含於測試設備中。

【0021】 在實施例中，所述測試設備可包含型樣產生器、探針卡

以及插槽。

【0022】 在實施例中，所述非揮發性儲存元件可包含具有至少  $N \times M$  的矩陣陣列結構的反熔絲陣列，其中  $N$  以及  $M$  各自表示等於或大於 2 的整數。

【0023】 在實施例中，所述記憶體系統可更包含經組態以儲存所述失效位址的暫時失效位址儲存器。

【0024】 在實施例中，所述失效位址可在所述控制單元的控制下儲存於所述反熔絲陣列中。

【0025】 在實施例中，所述控制單元可回應於自解碼單元接收的模式啓用信號而啓動。

【0026】 在實施例中，所述控制單元控制將所述失效位址寫入至所述反熔絲陣列或自所述反熔絲陣列讀取所述失效位址，且控制在所述記憶體元件之外傳輸驗證結果。

【0027】 在實施例中，所述反熔絲陣列可連接至經組態以儲存所述失效位址的修復位址儲存器，所述修復位址儲存器可連接至經組態以比較所述失效位址與外部位址的比較單元，且所述比較單元可連接至經組態以選擇所述失效位址以及所述外部位址中的一者的多工器。

【0028】 根據本發明概念的態樣，一種記憶體元件包含：暫時失效位址儲存器，用於暫時儲存失效位址；非揮發性儲存元件，具有至少  $N \times M$  的矩陣陣列結構以儲存所述失效位址，其中  $N$  以及  $M$  各自表示等於或大於 2 的整數；以及控制單元，經組態以控制儲



存於所述暫時失效位址儲存器中的所述失效位址至所述非揮發性儲存元件的傳輸。

【0029】 在實施例中，所述非揮發性儲存元件可包含反熔絲陣列。

【0030】 在實施例中，為了判定是否準確地寫入所述失效位址，所述控制單元可控制自所述反熔絲陣列讀取所述失效位址，且控制在所述記憶體元件之外傳輸驗證結果。

【0031】 在實施例中，所述控制單元可控制對所述反熔絲陣列進行感測或程式化。

【0032】 在實施例中，所述反熔絲陣列可連接至經組態以儲存所述失效位址的修復位址儲存器，所述修復位址儲存器可連接至經組態以比較所述失效位址與外部位址的比較單元，且所述比較單元可連接至經組態以選擇所述失效位址以及所述外部位址中的一者的多工器。

【0033】 在實施例中，所述暫時失效位址儲存器可連接至經組態以接收外部位址的位址緩衝器。

【0034】 在實施例中，所述控制單元可根據由解碼單元產生的模式啟用信號而啟動。

【0035】 在實施例中，所述解碼單元可連接至所述位址緩衝器以及經組態以接收控制信號的控制緩衝器。

【0036】 根據本發明概念的另一態樣，一種測試元件包含：錯誤校正碼（ECC）電路，經組態以偵測且校正失效位元；失效位址記憶體，經組態以儲存所述失效位元的失效位址；以及控制單元，

經組態以根據測試命令而控制將所述失效位址儲存於所述失效位址記憶體中且傳輸至外部。

【0037】 在實施例中，所述 ECC 電路可連接至經組態以接收所述失效位元的資料緩衝器。

【0038】 在實施例中，所述測試命令可包含測試開始命令、測試退出命令或失效位址傳輸命令。

【0039】 在實施例中，所述 ECC 電路可包含內建式自測試 (BIST) 單元。

【0040】 在實施例中，所述測試元件可包含於記憶體控制器中且連接至中央處理單元 (CPU)。

【0041】 在實施例中，所述測試元件可包含於測試設備中。

【0042】 在實施例中，所述測試設備可更包含型樣產生器、探針卡以及插槽。

【0043】 根據本發明概念的另一態樣，一種操作測試元件以傳輸失效位址的方法包含：使用錯誤校正碼 (ECC) 電路來偵測所述失效位址；將所述失效位址儲存於失效位址記憶體中；根據測試命令而進入失效位址傳輸模式；傳輸包含模式暫存器設定命令的傳輸信號；以及傳輸所述失效位址。

【0044】 在實施例中，所述失效位址可由 ECC 引擎或內建式自測試 (BIST) 單元偵測。

【0045】 在實施例中，所述傳輸信號可更包含寫入命令以及晶片選擇信號。

【0046】 在實施例中，所述測試命令可包含指示開始所述失效位址的傳輸的命令或指示結束所述失效位址的所述傳輸的命令，且所述測試命令是自中央處理單元（CPU）給出。

【0047】 根據本發明概念的另一態樣，一種操作記憶體元件以將失效位址寫入至所述記憶體元件的方法包含：根據模式暫存器設定命令而接收所述失效位址；將所述失效位址儲存於暫時失效位址儲存器中；以及將所述失效位址儲存於具有至少  $N \times M$  的矩陣陣列結構的非揮發性儲存元件中，其中  $N$  以及  $M$  各自表示等於或大於 2 的整數。

【0048】 在實施例中，在所述失效位址儲存於所述非揮發性儲存元件中之前，所述方法可更包含檢查所述非揮發性儲存元件的儲存空間。

【0049】 在實施例中，在所述失效位址儲存於所述非揮發性儲存元件中之後，所述方法可更包含讀取所儲存的失效位址。

【0050】 在實施例中，在讀取所儲存的失效位址之後，所述方法可更包含將指示所讀取的失效位址的狀態的驗證結果串列或並列傳輸至外部。

【0051】 根據本發明概念的另一態樣，一種操作測試元件以將失效位址傳輸至記憶體元件的方法包含：藉由錯誤校正碼（ECC）電路來偵測所述失效位址；將所述失效位址儲存於失效位址記憶體中；根據測試命令而進入失效位址傳輸模式；傳輸包含模式暫存器設定命令的傳輸信號；傳輸所述失效位址；根據所述模式暫

寄存器設定命令而接收所述失效位址；將所述失效位址儲存於暫時失效位址儲存器中；以及將所述失效位址儲存於具有至少  $N \times M$  的矩陣陣列結構的非揮發性儲存元件中，其中  $N$  以及  $M$  各自表示等於或大於 2 的整數。

**【0052】** 在實施例中，在所述失效位址儲存於所述非揮發性儲存元件中之前，所述方法可更包含檢查所述非揮發性儲存元件的儲存空間。

**【0053】** 根據本發明概念的另一態樣，一種記憶體系統包含：測試元件，經組態以將測試資料提供至記憶體元件；以及所述記憶體元件，包含：內建式自測試（BIST）單元，經組態以測試所述記憶體元件；以及非揮發性儲存元件，具有至少  $N \times M$  的矩陣陣列結構，其中  $N$  以及  $M$  各自表示等於或大於 2 的整數。藉由以所述 BIST 單元測試所述記憶體元件而產生的失效位址儲存於所述非揮發性儲存元件中。

**【0054】** 在實施例中，所述非揮發性儲存元件可包含具有至少  $N \times M$  的矩陣陣列結構的反熔絲陣列，其中  $N$  以及  $M$  各自表示等於或大於 2 的整數。

**【0055】** 在實施例中，所述記憶體元件可更包含經組態以暫時儲存所述失效位址的至少兩個失效位址暫存器陣列。

**【0056】** 在實施例中，所述 BIST 單元可根據失效旗標而將所述失效位址傳輸至所述至少兩個失效位址儲存暫存器陣列。

**【0057】** 在實施例中，所述失效產生旗標可替換為預充電命令。

**【圖式簡單說明】****【0058】**

本發明概念的前述及其他特徵與優點將自如附圖所說明的本發明概念的較佳實施例的更特定描述顯而易見，在所述附圖中，相似參考數字在不同視圖中指相同部分。所述圖式未必按照比例繪製，而是著重於說明本發明概念的原理。

圖 1 至圖 4 為根據本發明概念的實施例的記憶體系統的概念圖。

圖 5 說明根據本發明概念的實施例的測試元件的電路方塊圖。

圖 6A 為說明根據本發明概念的實施例的包含測試元件的系統單晶片（SOC）的圖式。

圖 6B 為說明根據本發明概念的實施例的使用測試元件的測試設備的圖式。

圖 7 說明根據本發明概念的實施例的記憶體元件的電路方塊圖。

圖 8 為說明根據本發明概念的實施例的非揮發性儲存元件的圖式。

圖 9 說明根據本發明概念的實施例的模組的結構。

圖 10 及圖 11 為說明根據本發明概念的實施例在傳輸失效位址時的時序的時序圖。

圖 12 為說明根據本發明概念的例示性實施例在並列傳輸驗證結果時的時序的時序圖。

圖 13 為說明根據本發明概念的例示性實施例待並列傳輸的驗證結果的表格。

圖 14 為說明根據本發明概念的例示性實施例在傳輸驗證結果時的時序的時序圖。

圖 15 為說明根據本發明概念的例示性實施例待串列傳輸的驗證結果的表格。

圖 16 及圖 17 為說明根據本發明概念的例示性實施例的操作測試元件的方法的時序圖。

圖 18 為根據本發明概念的另一例示性實施例的記憶體系統的概念圖。

圖 19 說明根據本發明概念的另一例示性實施例的記憶體元件的電路方塊圖。

圖 20 及圖 21 為說明根據本發明概念的例示性實施例的記憶體元件的操作的時序圖。

圖 22 為說明根據本發明概念的例示性實施例的操作記憶體元件的方法的流程圖。

圖 23 為說明根據本發明概念的例示性實施例的記憶體系統的光學鏈路的圖式。

圖 24 說明根據本發明概念的例示性實施例的應用了記憶體系統的矽通孔 (TSV) 堆疊晶片。

圖 25(a)~圖 25(d)說明根據本發明概念的例示性實施例的記憶體系統的各种介面。

圖 26 及圖 27 為說明根據本發明概念的例示性實施例的記憶體系統的系統連接的圖式。

### 【實施方式】

【0059】 現將參看附圖來更全面描述各種實施例，附圖中繪示了一些實施例。然而，本發明概念可按照不同形式來體現且不應解釋為限於本文所闡述的實施例。實情為，提供此等實施例，以使得本揭露將為全面且完整的，且向熟習此項技術者完全傳達本發明概念。在諸圖中，相似參考數字表示相似部件，且為了清楚起見，可能誇示了層以及區域的大小以及相對大小。

【0060】 本文中所使用的術語僅是出於描述特定實施例的目的，且不意欲限制本發明概念。如本文中所使用，單數形式「一個」以及「該」意欲亦包含複數形式，除非上下文另有清楚指示。應進一步理解，術語「包括」在用於本說明書中時指定所敘述的特徵、整體、步驟、操作、部件及/或組件的存在，但不排除一或多個其他特徵、整體、步驟、操作、部件、組件及/或其群組的存在或添加。

【0061】 除非另有定義，否則本文中所使用的所有術語（包含技術以及科學術語）具有與一般熟習本發明概念所屬技術者通常所理解者相同的含義。應進一步理解，術語（諸如，常用字典中所

定義的術語) 應被解釋為具有與其在相關技術背景中的含義一致的含義, 且不應以理想化或過度正式的意義來解釋, 除非本文中明確地如此定義。

**【0062】** 圖 1 至圖 4 為根據本發明概念的實施例的記憶體系統的概念圖。

**【0063】** 參看圖 1, 記憶體系統包含測試元件 100 以及記憶體元件 200。測試元件 100 傳輸控制信號, 所述控制信號包含失效位址、指示操作記憶體元件 200 的命令以及資料 DQ。雖然未繪示, 但測試元件 100 可包含於記憶體控制器或測試設備中。記憶體元件 200 包含動態隨機存取記憶體 (DRAM), 其為揮發性記憶體。或者, 記憶體元件 200 可包含非揮發性記憶體, 例如, 磁阻性 RAM (MRAM)、電阻性 RAM (RRAM)、相變 RAM (PRAM) 或「反及」(NAND) 快閃記憶體。記憶體元件 200 包含非揮發性儲存元件, 其包含反熔絲陣列。非揮發性儲存元件用於儲存失效位址。非揮發性儲存元件可包含 MRAM、RRAM、PRAM、「反及」快閃記憶體或其類似者。記憶體元件 200 根據控制信號而操作, 且將資料 DQ 傳輸至測試元件 100。

**【0064】** 參看圖 2, 測試元件 100 包含錯誤校正碼 (ECC) 引擎。ECC 引擎自接收自記憶體元件 200 的資料 DQ 偵測失效位元以及失效位址, 且校正所述失效位元。記憶體元件 200 包含反熔絲陣列, 且儲存自測試元件 100 接收的失效位址。失效記憶胞是基於所儲存的失效位址來修復。



【0065】參看圖 3，測試元件 100 包含內建式自測試（BIST）單元。BIST 單元對測試元件 100 或記憶體元件 200 進行測試。為了測試記憶體元件 200，產生測試資料且將測試資料傳輸至記憶體元件 200。藉由將測試資料寫入至記憶胞且接著自記憶胞讀取測試資料來偵測失效記憶胞。作為失效記憶胞的位址的失效位址暫時儲存於測試元件 100 中且接著傳輸至記憶體元件 200。所傳輸的失效位址儲存於反熔絲陣列中以便修復失效記憶胞。

【0066】參看圖 4，測試元件 100 包含 BIST 單元以及 ECC 引擎。記憶體元件 200 是使用 BIST 單元來測試，且失效位址儲存於記憶體元件 200 中所包含的反熔絲陣列中。作為在記憶體元件 200 的操作期間發生的失效位元的位址的失效位址是使用 ECC 引擎來偵測，且儲存於記憶體元件 200 的反熔絲陣列中。在記憶體元件 200 不操作時，記憶體元件 200 可根據自中央處理單元（CPU）給出的測試命令使用 BIST 單元來測試。在記憶體元件 200 操作時，失效位址可使用 ECC 引擎來偵測。

【0067】圖 5 說明根據本發明概念的實施例的測試元件 100 的電路方塊圖。

【0068】參看圖 5，測試元件 100 包含失效位址記憶體 110、ECC 引擎（或 BIST 單元）120、控制單元 130、位址輸出緩衝器 140、控制輸出單元 150 以及輸入/輸出（I/O）資料緩衝器 160。失效位址記憶體 110 儲存由 ECC 引擎（或 BIST 單元）120 偵測到的失效位址 ADD 141。失效位址記憶體 110 可被實施為暫存器、靜態隨

機存取記憶體 (SRAM) 或非揮發性記憶體。位址輸出緩衝器 140 連接至失效位址記憶體 110，且將失效位址 ADD 141 傳輸至記憶體元件 200。控制輸出單元 150 將控制信號 151 傳輸至記憶體元件 200，控制信號 151 包含讀取命令、寫入命令、預充電命令、模式暫存器設定命令及其類似者。控制輸出單元 150 連接至控制單元 130 且由控制單元 130 控制。I/O 資料緩衝器 160 由控制單元 130 控制，且接收或傳輸輸入/輸出 (I/O) 資料。I/O 資料可僅包含用於測試記憶體元件 200 的測試資料。自記憶體元件 200 接收的資料經由 I/O 資料緩衝器 160 而傳輸至 ECC 引擎 (或 BIST 單元) 120。控制單元 130 連接至 ECC 引擎 (或 BIST 單元) 120、失效位址記憶體 110、位址輸出單元 140、控制輸出單元 150 以及 I/O 資料緩衝器 160。控制單元 130 自 CPU 接收測試命令。測試命令可包含測試開始命令、測試退出命令、指示開始失效位址 ADD 的傳輸的命令以及指示結束失效位址 ADD 的傳輸的命令。由 ECC 引擎 (或 BIST 單元) 120 偵測到的失效位址 ADD 141 根據所接收的測試命令而受控制，以儲存於失效位址記憶體 110 中。且，失效位址 ADD 141 以及控制信號 151 的傳輸是使用位址輸出單元 140 以及控制輸出單元 150 來控制的。

**【0069】** 圖 6A 為說明根據本發明概念的實施例的包含測試元件 100 的系統單晶片 (SOC) 1100 的圖式。

**【0070】** 參看圖 6A，SOC 1100 包含 CPU 1120、記憶體控制器 1110 以及介面 1130。記憶體控制器 1110 包含測試元件 100。測試元件

100 包含 ECC 引擎 (或 BIST 單元) 120、失效位址記憶體 (FAM) 110、控制單元等，其為圖 5 所說明的測試元件 100 的部件。記憶體控制器 1110 連接至 CPU 1120 以自 CPU 1120 接收測試命令 Com。測試命令 Com 可包含測試開始命令、測試退出命令、指示開始失效位址的傳輸的命令以及指示結束失效位址的傳輸的命令。失效位址、控制信號以及資料經由介面 1130 而傳輸至記憶體元件 200。

**【0071】** 圖 6B 為說明根據本發明概念的實施例的使用測試元件 100 的測試設備 1200 的圖式。

**【0072】** 參看圖 6B，測試設備 1200 包含測試元件 100、型樣產生器 1210、探針卡 1220 以及插槽 1230。型樣產生器 1210 產生各種測試資料來測試記憶體元件 200。探針卡 1220 直接經由探針而接觸記憶體元件 200 的測試襯墊 (test pad)，以便傳輸測試資料。插槽 1230 在記憶體元件 200 的測試期間固定記憶體元件 200。

**【0073】** 圖 7 說明根據本發明概念的實施例的記憶體元件 200 的電路方塊圖。

**【0074】** 參看圖 7，記憶體元件 200 包含位址緩衝器 210、控制緩衝器 220、資料緩衝器 230、解碼單元 240、修復位址暫存器 250、比較單元 251、多工器 (MUX) 252、暫時失效位址儲存器 260、控制單元 270、反熔絲陣列 280 (其為非揮發性儲存元件) 以及記憶胞陣列 290。

**【0075】** 失效位址是經由位址緩衝器 210 而接收且暫時儲存於暫

時失效位址儲存器 260 中。暫時失效位址儲存器 260 可被實施為暫存器陣列、SRAM 或非揮發性記憶體。解碼單元 240 經由控制緩衝器 220 而接收控制信號，執行解碼且產生模式啟用信號。控制信號包含讀取命令、寫入命令、預充電命令、模式暫存器設定信號及其類似者。控制單元 270 根據模式啟用信號而啟動，且將失效位址儲存於反熔絲陣列 280（其為非揮發性記憶體儲存元件）中。控制單元 270 感測所儲存的失效位址以驗證所述失效位址是否被正確地程式化。程式化的結果（驗證結果）經由資料輸出插腳而傳輸至測試元件 100。反熔絲陣列 280（其為非揮發性儲存元件）連接至修復位址暫存器 250，而修復位址暫存器 250 經組態以儲存失效位址。修復位址暫存器 250 連接至比較單元 251，而比較單元 251 經組態以比較失效位址與外部位址。比較單元 251 連接至多工器（MUX）252，而多工器 252 經組態以選擇失效位址以及外部位址中的一者。經由 I/O 資料緩衝器 230 而接收的資料可作用於選擇記憶體模組上的晶片的晶片選擇信號（組件指定）。

**【0076】** 圖 8 為說明根據本發明概念的實施例的非揮發性儲存元件 1000 的圖式。

**【0077】** 參看圖 8，非揮發性儲存元件 1000 包含：熔絲陣列 1100a，熔絲陣列 1100a 上安置了多個熔絲 1110a；位準移位器 1200\_1 至 1200\_m，其產生高電壓以改變多個熔絲 1110a 的電阻狀態；以及感測放大器 1300，其感測/放大儲存於熔絲陣列 1100a 中的資訊。非揮發性儲存元件 1000 更包含第一暫存器單元 1400 以

及第二暫存器單元 1500 以儲存在讀取儲存於反熔絲陣列 1100a 中的資訊時產生的熔絲資料。第一暫存器單元 1400 以及第二暫存器單元 1500 中的每一者可被實施為包含多個暫存器的移位暫存器。

**【0078】** 熔絲陣列 1100a 包含多個熔絲 1110a，熔絲 1110a 中儲存了資訊。熔絲陣列 1100a 可包含雷射熔絲（其連接是經由雷射輻射來控制）或可包含電熔絲（其連接是根據電信號來控制）。另外，熔絲陣列 1100a 可包含反熔絲，其狀態根據電信號（例如，高電壓信號）而自高電阻狀態改變至低電阻狀態。熔絲陣列 1100a 可包含上述各種類型的熔絲中的任何類型的熔絲。在以下實施例中，假設熔絲陣列 1100a 為包含反熔絲的反熔絲陣列。且，下文中，儲存於反熔絲中的資訊或自反熔絲讀取的資料將稱為熔絲資料。

**【0079】** 反熔絲陣列 1100a 具有一種陣列結構，在所述陣列結構中，多個熔絲 1110a 安置於多個列以及多個行的交叉處。舉例而言，若反熔絲陣列 1100a 包含  $m$  個列 (row) 以及  $n$  個行 (column)，則反熔絲陣列 1100a 包含  $m \times n$  個反熔絲 1110a。反熔絲陣列 1100a 包含  $m$  條字元線 WL1 至 WL $m$  以及  $n$  條位元線 BL1 至 BL $n$ ，所述  $m$  條字元線 WL1 至 WL $m$  用於存取安置於  $m$  個列中的反熔絲，且所述  $n$  條位元線 BL1 至 BL $n$  對應於  $n$  個行而安置以便遞送自多個反熔絲 1110a 讀取的資訊。

**【0080】** 反熔絲陣列 1100a 儲存與非揮發性儲存元件 1000 的操作相關的各種資訊。舉例而言，反熔絲陣列 1100a 可儲存用於設定

非揮發性儲存元件 1000 的操作環境的多段設定資訊。所述多段設定資訊是藉由將自位準移位器 1200\_1 至 1200\_m 提供的電壓信號 WLP1 至 WLPm 供應至反熔絲陣列 1100a 來改變多個反熔絲 1110a 的狀態而程式化。不同於一般熔絲電路（例如，雷射熔絲電路或電熔絲電路），資訊是藉由將多個反熔絲 1110a 自高電阻狀態程式化至低電阻狀態而儲存於多個反熔絲 1110a 中。多個反熔絲 1110a 可具有介電質層安置於兩個導電層之間的結構（亦即，電容器結構）。多個反熔絲 1110a 是藉由在兩個導電層之間施加高電壓來使介電質層崩潰而程式化。

**【0081】** 在對反熔絲陣列 1100a 進行程式化之後，對反熔絲陣列 1100a 執行讀取操作，同時開始非揮發性儲存元件 1000 的驅動。可與反熔絲陣列 1100a 的驅動同時或在非揮發性儲存元件 1000 的驅動之後的預定設定時間，對反熔絲陣列 1100a 執行讀取操作。在反熔絲陣列 1100a 中，經由字元線 WL1 至 WLn 而提供字元線選擇信號，且將儲存於選定的反熔絲 1110a 中的資訊經由位元線 BL1 至 BLn 而提供至感測放大器 1300。根據陣列結構的特性，可藉由驅動字元線 WL1 至 WLn 以及位元線 BL1 至 BLn 來隨機存取儲存於反熔絲陣列 1100a 中的資訊。

**【0082】** 舉例而言，因為依序驅動字元線 WL1 至 WLn，所以在反熔絲陣列 1100a 中自第一列至第 m 列依序存取多個反熔絲 1110a。自多個反熔絲 1110a 依序存取的資訊被提供至感測放大器 1300。感測放大器 1300 包含一或多個感測放大器電路。舉例而言，

在反熔絲陣列 1100a 包含  $n$  個行時，感測放大器 1300 包含對應於  $n$  個行的  $n$  個感測放大器電路。 $n$  個感測放大器電路分別連接至  $n$  條位元線 BL1 至 BL $n$ 。圖 8 說明兩個感測放大器電路對應於  $n$  條位元線 BL1 至 BL $n$  中的每一者而安置的狀況。舉例而言，奇數感測放大器電路以及偶數感測放大器電路對應於第一位元線 BL1 而安置。奇數感測放大器電路感測/放大且輸出儲存於連接至奇數字元線 WL1、WL3、WL5、……的反熔絲 1110a 中的資訊。偶數感測放大器電路感測/放大且輸出儲存於連接至偶數字元線 WL2、WL4、WL6、……的反熔絲 1110a 中的資訊。然而，本發明概念不限於此，且感測放大器電路可按照各種形狀中的任一者而配置。舉例而言，僅一個感測放大器電路可對應於一條位元線而配置，或三個或三個以上感測放大器電路可對應於一條位元線而配置。

**【0083】** 感測放大器 1300 感測/放大且輸出自反熔絲陣列 1100a 存取的資訊。所感測/所放大的資訊為熔絲資料 OUT1 至 OUT $n$ ，其實際上用於設定非揮發性儲存元件 1000 的操作環境。如上所述，由於圖 8 說明兩個感測放大器電路對應於每一位元線而安置的狀況，因此，實際上一段熔絲資料（例如，第一熔絲資料 OUT1）可包含奇數段熔絲資料以及偶數段熔絲資料。

**【0084】** 自感測放大器 1300 輸出的熔絲資料 OUT1 至 OUT $n$  被提供至第一暫存器單元 1400。第一暫存器單元 1400 可被實施為移位暫存器，在所述移位暫存器中，多個暫存器串聯連接以依序遞送

信號。且，包含於第一暫存器單元 1400 中的暫存器的數目小於包含於反熔絲陣列 1100a 中的多個反熔絲 1110a 的數目。且，包含於第一暫存器單元 1400 中的暫存器的數目可基於包含於反熔絲陣列 1100a 中的行的數目來判定。舉例而言，在反熔絲陣列 1100a 包含  $n$  個行時，第一暫存器單元 1400 可包含  $n$  個暫存器。另外，如上所述，在兩個感測放大器電路對應於每一位元線而配置時，第一暫存器單元 1400 可包含  $2 \times n$  個暫存器。

**【0085】** 第一暫存器單元 1400 以反熔絲陣列 1100a 中的列為單位來接收熔絲資料 OUT1 至 OUTn。舉例而言，在自反熔絲陣列 1100a 中的列選擇一個列時，將儲存於連接至選定的列的字元線的反熔絲 1110a 中的熔絲資料 OUT1 至 OUTn 並列提供至第一暫存器單元 1400。第一暫存器單元 1400 藉由以位元為單位來移位所提供的熔絲資料 OUT1 至 OUTn 而將熔絲資料 OUT1 至 OUTn 提供至第二暫存器單元 1500。第二暫存器單元 1500 可被實施為移位暫存器，在所述移位暫存器中，多個暫存器串聯連接以依序遞送信號。包含於第二暫存器單元 1500 中的暫存器的數目可等於包含於反熔絲陣列 1100a 中的多個反熔絲 1110a 的數目。儲存於第二暫存器單元 1500 中的熔絲資料 OUT1 至 OUTn 可用作用於設定非揮發性儲存元件 1000 的操作環境的資訊。舉例而言，儲存於第二暫存器單元 1500 中的熔絲資料 OUT1 至 OUTn 中的一些可用作用於將包含於非揮發性儲存元件 1000 中的記憶胞（未繪示）替換為冗餘記憶胞的資訊 Info\_FA，且熔絲資料 OUT1 至 OUTn 中的一些可用作用



於調整產生於非揮發性儲存元件 1000 中的電壓的修整資訊 Info\_DC。

【0086】 爲了儲存來自反熔絲陣列 1100a 的熔絲資料 OUT1 至 OUTn，需要如下暫存器：連接至感測放大器 1300 以便暫時儲存熔絲資料 OUT1 至 OUTn 的暫存器；以及鄰近於使用熔絲資料 OUT1 至 OUTn 的非揮發性儲存元件 1000 的各種電路區塊(例如，列解碼器及行解碼器或直流 (DC) 電壓產生器) 而安置以便將熔絲資料 OUT1 至 OUTn 提供至電路區塊的暫存器。

【0087】 根據本發明概念的例示性實施例，第一暫存器單元 1400 自感測放大器 1300 接收熔絲資料 OUT1 至 OUTn，且將熔絲資料 OUT1 至 OUTn 傳輸至鄰近於此等電路區塊而安置的第二暫存器單元 1500。特定言之，反熔絲陣列 1100a 具有陣列結構，且第一暫存器單元 1400 包含暫存器，其數目對應於包含於反熔絲陣列 1100a 中的行的數目。因此，包含於第一暫存器單元 1400 中的暫存器的數目小於包含於反熔絲陣列 1100a 中的多個反熔絲 1110a 的數目。舉例而言，在一個感測放大器電路對應於每一位元線而配置時，第一暫存器單元 1400 包含 n 個感測放大器電路。因此，與熔絲資料 OUT1 至 OUTn 相關的第一暫存器單元 1400 中的暫存器的數目不需爲  $m \times n$ ，且因此可爲 n。特定言之，即使大數目的反熔絲 1110a 包含於反熔絲陣列 1100a 中，但根據反熔絲陣列 1100a 的結構，包含於第一暫存器單元 1400 中的暫存器的數目可限於 n。因此，可防止包含於第一暫存器單元 1400 中的暫存器的數目

成比例地增大。

【0088】 圖 9 說明根據本發明概念的實施例的模組 2200 的結構。

【0089】 參看圖 9，模組 2200 包含記憶體，所述記憶體包含根據本發明概念的例示性實施例的記憶體元件。舉例而言，模組 2200 包含八個 DRAM。DRAM 中的每一者包含反熔絲陣列（其為非揮發性儲存元件）。在失效位址儲存於 DRAM5 中時，記憶體控制器可藉由將資料「0」僅傳輸至 DRAM5 來選擇 DRAM5。包含於 DRAM 中的每一者中的反熔絲陣列用於將所產生的失效位址儲存於所述 DRAM 中。命令以及位址由八個 DRAM 共用。

【0090】 圖 10 及圖 11 為說明根據本發明概念的實施例在傳輸失效位址時的時序的時序圖。

【0091】 參看圖 10，經由命令線 CMD 而接收模式暫存器設定命令 MRS、作用命令 ACT、讀取命令 RD 以及寫入命令 WR。經由位址線 ADD 而接收列失效位址 F-RA 以及行失效位址 F-CA。在圖 9 的模組 2200 中，可藉由經由資料插腳 DQ 來僅接收資料「0」（邏輯低）而在八個 DRAM 中選擇 DRAM5。由於經由資料插腳 DQ0 至 DQ7 而接收的資料全部變為邏輯「低」，因此失效位址儲存於反熔絲陣列（其為包含於 DRAM5 中的非揮發性儲存元件）中。在依序輸入模式暫存器設定命令 MRS、作用命令 ACT 以及寫入命令 WR 且輸入列失效位址 F-RA 以及行失效位址 F-CA 之後，經由資料插腳 DQ 而將資料「0」作為最終晶片選擇資料來供應，且將失效位址儲存於反熔絲陣列中。此區段為失效位址傳送區段。驗

證區段為介於當根據讀取命令 RD 而讀取經程式化的失效位址且當接收另一模式暫存器設定命令 MRS 兩者之間的區段。當在接收到讀取命令之後輸入另一模式暫存器設定命令 MRS 時，完成驗證程序。

【0092】圖 11 的時序圖類似於圖 10 的時序圖，不同之處在於藉由經由位址線 ADD 而僅接收列失效位址 F-RA 來修復對應於失效位址的記憶胞。且，在執行驗證程序以再次讀取失效位址時，根據預充電命令而完成驗證程序，並退出當前模式。

【0093】圖 12 為說明根據本發明概念的例示性實施例在並列傳輸驗證結果時的時序的時序圖。

【0094】參看圖 12，在經由命令線 CMD 而輸入模式暫存器設定命令 MRS、作用命令 ACT 以及寫入命令 WR 時，將列失效位址 F-RA 以及行失效位址 F-CA 儲存於反熔絲陣列（其為非揮發性記憶體元件）中。接著，藉由讀取列失效位址 F-RA 以及行失效位址 F-CA 而檢查所儲存的列失效位址 F-RA 以及行失效位址 F-CA 的狀態以對其進行驗證，且經由資料插腳 DQ0、DQ1 以及 DQ2 而將所得驗證結果傳輸至測試元件 100。舉例而言，經由資料插腳 DQ0、DQ1 以及 DQ2 而並列傳輸邏輯低（「L」）的驗證結果。傳輸至其他資料插腳 DQ3、……、DQ7 的值未由記憶體控制器辨識。

【0095】圖 13 為說明根據本發明概念的例示性實施例待並列傳輸的（be transmitted in parallel）驗證結果的表格。

【0096】參看圖 13，藉由讀取儲存於反熔絲陣列（其為非揮發性

記憶體) 中的驗證結果而檢查驗證結果的狀態。經由資料插腳 DQ0、DQ1 以及 DQ2 而傳輸的驗證結果全部為邏輯低(狀況 1) 意謂程式化正常完成且失效位元替換為列冗餘記憶胞。經由資料插腳 DQ0、DQ1 以及 DQ2 而傳輸的驗證結果分別為邏輯低、低以及高(狀況 2) 意謂程式化正常完成且失效位元替換為行冗餘記憶胞。經由資料插腳 DQ0、DQ1 以及 DQ2 而傳輸的驗證結果分別為邏輯低、高以及低(狀況 3) 意謂程式化正常完成且失效位元替換為單個冗餘記憶胞。經由資料插腳 DQ0、DQ1 以及 DQ2 而傳輸的驗證結果分別為邏輯低、高以及高(狀況 4) 意謂未針對未來使用給出具體含義。狀況 5 至 8 各自表示不完全地執行程式化。經由資料插腳 DQ0、DQ1 以及 DQ2 而傳輸的驗證結果分別為邏輯高、低以及低(狀況 5) 意謂對記憶胞執行的破裂(rupture) 程序有問題。經由資料插腳 DQ0、DQ1 以及 DQ2 而傳輸的驗證結果分別為邏輯高、低以及高(狀況 6) 意謂破裂程序仍在進行中。在此狀況下, 可暫時延遲驗證, 且接著根據讀取命令 RD 而請求驗證。經由資料插腳 DQ0、DQ1 以及 DQ2 而傳輸的驗證結果分別為邏輯高、高以及低(狀況 7) 意謂無可用冗餘記憶胞。因此, 失效位元無法修復, 且因此應替換為另一記憶胞。經由資料插腳 DQ0、DQ1 以及 DQ2 而傳輸的驗證結果全部為邏輯高(狀況 8) 意謂未選擇當前晶片。經由資料插腳 DQ0、DQ1 以及 DQ2 而將驗證結果並列傳輸至測試元件 100。

**【0097】** 圖 14 為說明根據本發明概念的例示性實施例在傳輸驗證

結果時的時序的時序圖。

【0098】 參看圖 14，串列傳輸圖 13 所說明的驗證結果。舉例而言，經由資料插腳 DQ0 而串列傳輸 3 位元驗證結果。可經由資料插腳 DQ7 而將相同 3 位元驗證結果傳輸至測試元件 100。

【0099】 圖 15 為說明根據本發明概念的例示性實施例待串列傳輸的 (be transmitted in series) 驗證結果的表格。

【0100】 參看圖 15，狀況 1 (LLL) 表示失效位元替換為列冗餘記憶胞。舉例而言，經由一個資料插腳 DQ 而將 3 位元驗證結果串列傳輸至測試元件 100。狀況 6 (HLH) 表示破裂程序仍在進行中，其中經由資料插腳 DQ0、DQ1、DQ2 以及 DQ3 而將 3 位元驗證結果串列傳輸至測試元件 100。

【0101】 圖 16 及圖 17 為說明根據本發明概念的例示性實施例的操作測試元件的方法的時序圖。

【0102】 參看圖 16，測試元件如下所述而執行失效位址偵測以及傳輸。首先，使用 ECC 引擎或 BIST 單元來偵測失效位址 (操作 S100)。接著，將所偵測的失效位址儲存於失效位址記憶體 (FAM) 中 (操作 S105)。接著，根據自 CPU 給出的測試命令而進入失效位址傳輸模式 (操作 S110)。測試命令包含測試開始命令、測試退出命令、指示開始失效位址的傳輸的命令以及指示結束失效位址的傳輸的命令。接著，傳輸模式暫存器設定命令、晶片選擇信號以及失效位址 (操作 S120)。

【0103】 參看圖 17，記憶體元件接收模式暫存器設定命令、寫入

命令、晶片選擇信號以及失效位址（操作 S130）。接著，將失效位址儲存於暫時失效位址儲存器中（操作 S140）。接著，進入對非揮發性儲存元件進行程式化的模式（操作 S150）。接著，檢查反熔絲陣列（其為非揮發性儲存元件）的儲存空間（操作 S160）。接著，對反熔絲陣列（其為非揮發性儲存元件）進行程式化（操作 S170）。接著，讀取經程式化的資料以驗證所儲存的失效位址（操作 S180）。接著，檢查所儲存的資料的狀態，且接著將驗證結果傳輸至外部（操作 S190）。最終，將失效位元替換為另一記憶胞（操作 S200）。

**【0104】** 圖 18 為根據本發明概念的另一例示性實施例的記憶體系統的概念圖。

**【0105】** 參看圖 18，記憶體系統包含測試元件 100 以及記憶體元件 200。測試元件 100 傳輸失效位址、控制信號以及資料 DQ。記憶體元件 200 包含 BIST 單元以及反熔絲陣列（其為非揮發性記憶體元件）。BIST 單元經由測試元件 100 根據自測試元件 100 接收的測試命令來測試記憶體元件 200，且將失效位址儲存於反熔絲陣列（其為非揮發性記憶體元件）中。

**【0106】** 圖 19 說明根據本發明概念的另一例示性實施例的記憶體元件 300 的電路方塊圖。

**【0107】** 參看圖 19，記憶體元件 300 包含：熔絲陣列 340，其為經建構以將失效位址作為程式化資料來儲存的非揮發性記憶體；暫時失效位址記憶體（FAM）330；熔絲陣列資訊儲存器 350，其

經組態以儲存關於熔絲的資訊；控制單元 360，其經組態以控制熔絲陣列 340 以及熔絲陣列資訊儲存器 350；BIST 單元 310，其經組態以偵測失效位址；以及記憶體陣列 320。BIST 單元 310 自測試元件接收測試命令 Control 以及測試資料 DQ，且藉由以下方式來偵測失效位址：將測試資料 DQ 寫入至記憶體陣列 320 且接著自記憶體陣列 320 讀取測試資料 DQ。在出現失效位元時，對應於失效位元的失效旗標以及失效位址傳輸至 FAM 330。FAM 330 可被實施為包含多個失效位址陣列 FAM1、……、FAMn 的暫存器。控制單元 360 可使用熔絲陣列資訊儲存器 350 來檢查熔絲陣列 340 的空間。控制單元 360 亦可控制待儲存於熔絲陣列 340（其為非揮發性儲存元件）中的程式化命令以及程式化位址。根據控制信號將測試命令供應至測試元件，且因此啟動 BIST 單元 310。並且，根據控制信號將儲存於 FAM 330 中的失效位址傳輸至熔絲陣列 340。

**【0108】** 圖 20 及圖 21 為說明根據本發明概念的例示性實施例的記憶體元件的操作的時序圖。

**【0109】** 參看圖 20，經由命令線 CMD 而輸入作用命令 ACT 以及讀取命令 RD。經由資料插腳 DQ 而輸入測試資料 EDQ。將測試資料 EDQ 寫入至記憶體陣列，且藉由根據讀取命令 RD 來讀取儲存於記憶體陣列中的測試資料 EDQ 而產生讀取資料 RDQ。在失效旗標信號自邏輯高改變至邏輯低時，將第 N 列位址寫入至失效位址記憶體 FAM #1。在再次出現失效旗標時，將第 N+1 列位址寫入至

失效位址記憶體 FAM #2。與時脈信號 CLK 同步而輸入此命令以及資料，且亦與時脈信號 CLK 同步而輸入時脈啓用信號 CKE 以及晶片選擇信號。

**【0110】** 參看圖 21，經由命令線 CMD 而輸入作用命令 ACT、讀取命令 RD 以及預充電命令 Pre。圖 21 的時序圖實質上類似於圖 20 的時序圖，不同之處在於，在輸入預充電命令 Pre 時，將第 N 列位址傳輸至失效位址記憶體 FAM #1，且在再次輸入預充電命令 Pre 時，將第 N+1 列位址傳輸至失效位址記憶體 FAM #2。圖 19 的 FAM 330 可被實施為暫存器、SRAM 或其類似者。

**【0111】** 圖 22 為說明根據本發明概念的例示性實施例的操作記憶體元件的方法的流程圖。

**【0112】** 參看圖 22，記憶體元件自測試元件接收作用命令、寫入命令以及讀取命令（操作 S300）。接著，根據命令而啓動記憶體元件的 BIST 單元（操作 S310）。接著，偵測失效位址，產生失效旗標或接收預充電命令（操作 S320）。接著，根據失效旗標或預充電命令而將失效位址儲存於失效位址記憶體中（操作 S330）。接著，熔絲陣列進入對失效位址進行程式化的程式化模式（操作 S340）。接著，檢查熔絲記憶體的容量（操作 S350）。接著，對熔絲陣列進行程式化（操作 S360）。此後，修復失效位元（操作 S370）。

**【0113】** 圖 23 為說明根據本發明概念的例示性實施例的記憶體系統的光學鏈路的圖式。

**【0114】** 參看圖 23，記憶體系統包含控制器 8100 以及記憶體元件



8200。控制器 8100 包含控制單元 8110、控制器傳輸器 8121 以及控制器接收器 8122。控制單元 8110 包含 ECC 引擎或 BIST 單元。控制器傳輸器 8121 包含將電信號轉換為光信號的元件 E/O。控制器接收器 8122 包含將光信號轉換為電信號的元件 O/E。記憶體元件 8200 包含反熔絲陣列 8221（其為非揮發性儲存元件）、BIST 單元 8222、DRAM 核心 8223、傳輸器 8312 以及接收器 8211。傳輸器 8312 包含將電信號轉換為光信號的元件 E/O。接收器 8211 包含將光信號轉換為電信號的元件 O/E。控制器 8100 以及記憶體元件 8200 經由光學鏈路 8500 以及光學鏈路 8501 而連接以傳輸且接收資料。根據本發明概念的另一例示性實施例，可經由一個光學鏈路來傳輸以及接收資料。控制器 8100 的 I/O 電路 8120 以及記憶體元件 8200 的 I/O 電路 8210 經由光學鏈路 8500 以及光學鏈路 8501 而連接。

**【0115】** 圖 24 說明根據本發明概念的例示性實施例的應用了記憶體系統的矽通孔（through-silicon-via；TSV）堆疊晶片。

**【0116】** 參看圖 24，介面晶片 3100 作為最下層而安置，且記憶體晶片 3200、3300、3400 以及 3500 依序安置於介面晶片 3100 上。介面晶片 3100 可包含 ECC 引擎或 BIST 單元、記憶體控制器以及 CPU。記憶體晶片 3200、3300、3400 以及 3500 包含反熔絲陣列 3601、3602、3603 以及 3604（其為非揮發性儲存元件）與 BIST 單元 3801、3802、3803 以及 3804。記憶體晶片的失效位址是使用介面晶片 3100 的測試元件（未繪示）來偵測的，且儲存於記憶體

晶片的反熔絲陣列中。此等晶片經由其中形成的微凸塊 uBump 以及 TSV (3701、3702、3703 以及 3704) 而連接。舉例而言，堆疊晶片的數目可為一或多個。

【0117】 圖 25(a)~圖 25(d)說明根據本發明概念的例示性實施例的記憶體系統的各种介面。

【0118】 參看圖 25(a)，記憶體系統包含控制器 4000 以及記憶體元件 5000。控制器 4000 包含控制單元 4100 以及 I/O 電路 4200。控制單元 4100 可包含 ECC 引擎或 BIST 單元。記憶體元件 5000 包含 DRAM 核心 5300、反熔絲陣列 5100 (其為非揮發性儲存元件)、BIST 單元 5400 以及 I/O 電路 5200。控制器 4000 的 I/O 電路 4200 包含藉以將命令、控制信號、位址以及資料選通 DQS 傳輸至記憶體元件 5000 且將資料 DQ 傳輸至記憶體元件 5000 以及自記憶體元件 5000 接收資料 DQ 的介面。失效位址是經由所述介面而傳輸。

【0119】 參看圖 25(b)，控制器 4000 的 I/O 電路 4200 包含藉以使用一個封包而將晶片選擇信號 CS 以及位址傳輸至記憶體元件 5000 且將資料 DQ 傳輸至記憶體元件 5000 以及自記憶體元件 5000 接收資料 DQ 的介面。失效位址是經由所述介面而傳輸。

【0120】 參看圖 25(c)，控制器 4000 的 I/O 電路 4200 包含藉以使用一個封包而將晶片選擇信號 CS、位址以及寫入資料 wData 傳輸至記憶體元件 5000 且自記憶體元件 5000 接收讀取資料 rData 的介面。失效位址是經由所述介面而傳輸。

【0121】參看圖 25(d)，控制器 4000 的 I/O 電路 4200 包含藉以將命令、位址以及資料 DQ 傳輸至記憶體元件 5000 以及自記憶體元件 5000 接收命令、位址以及資料 DQ 且自記憶體元件 5000 接收晶片選擇信號 CS 的介面。失效位址是經由所述介面而傳輸。

【0122】圖 26 及圖 27 為說明根據本發明概念的例示性實施例的記憶體系統的系統連接的圖式。

【0123】參看圖 26，記憶體 7300 包含反熔絲陣列 7301（其為非揮發性記憶體）以及 BIST 單元 730。CPU 7100 包含 BIST 單元或 ECC 引擎 7101。記憶體 7300、CPU 7100 以及使用者介面 7200 經由系統匯流排 7110 而連接。

【0124】參看圖 27，記憶體系統 6500 包含記憶體 6520（其包含反熔絲陣列以及 BIST 單元）以及記憶體控制器 6510（其包含 BIST 或 ECC 引擎）。記憶體系統 6500、CPU 6100、隨機存取記憶體（RAM）6200、使用者介面 6300 以及數據機 6400 經由系統匯流排 6110 而連接。

【0125】根據本發明概念的例示性實施例的記憶體測試元件、方法以及系統可偵測記憶體元件中所包含的失效記憶胞的失效位址且藉由修復所述失效記憶胞來修理所述失效記憶胞。即使在晶片的操作期間或在執行晶片封裝之後，亦可使用測試元件來測試並修復記憶體元件。因此，可減少因失效記憶胞所致的記憶體元件的故障，藉此改良記憶體元件的操作可靠性。

【0126】前述內容說明實施例，且並不解釋為限制實施例。雖然，

已描述幾個實施例，但熟習此項技術者將容易瞭解，可對實施例進行許多修改，而不會實質上偏離新穎教示及優勢。因此，所有此等修改意欲包含於如申請專利範圍所界定的本發明概念的範疇內。在申請專利範圍中，構件加功能子句意欲涵蓋本文中描述為執行所述功能的結構，且不僅涵蓋結構等效物，亦涵蓋等效結構。因此，應理解，前述內容說明各種實施例，且並不解釋為限於所揭露的具體實施例，且對所揭露的實施例的修改以及其他實施例意欲包含於隨附申請專利範圍的範疇內。

## 【符號說明】

### 【0127】

100：測試元件

110、FAM #1、FAM #2：失效位址記憶體

120、7101：ECC 引擎（或 BIST 單元）

130、270、360、4100、8110：控制單元

140：位址輸出緩衝器

141：失效位址 ADD

150：控制輸出單元

151：控制信號

160：輸入/輸出（I/O）資料緩衝器

200、5000、8200：記憶體元件

210：位址緩衝器

- 220：控制緩衝器
- 230：資料緩衝器
- 240：解碼單元
- 250：修復位址暫存器
- 251：比較單元
- 252：多工器
- 260：暫時失效位址儲存器
- 280、3601~3604、5100、7301、8221：反熔絲陣列
- 290、320：記憶胞陣列
- 300：記憶體元件
- 310、3801~3804、5400、7302、8222：BIST 單元
- 330：暫時失效位址記憶體（FAM）
- 340：熔絲陣列
- 350：熔絲陣列資訊儲存器
- 360、4100：控制單元
- 1000：非揮發性儲存元件
- 1100：熔絲陣列/系統單晶片（SOC）
- 1110、6510：記憶體控制器
- 1120、6100、7100：CPU
- 1130：介面
- 1200：測試設備
- 1200\_1 至 1200\_m：位準移位器

- 1210：型樣產生器
- 1220：探針卡
- 1230：插槽
- 1300：感測放大器
- 1400：第一暫存器單元
- 1500：第二暫存器單元
- 2200：模組
- 3100：介面晶片
- 3200、3300、3400、3500：記憶體晶片
- 3701~3704：微凸塊 uBump 以及 TSV
- 4000、8100：控制器
- 4200、5200：I/O 電路
- 5300：DRAM 核心
- 6110、7110：系統匯流排
- 6200：隨機存取記憶體（RAM）
- 6300、7200：使用者介面
- 6400：數據機
- 6500：記憶體系統
- 6520、7300：記憶體
- 8120：I/O 電路
- 8121：控制器傳輸
- 8122：控制器接收器

8210 : I/O 電路

8211 : 接收器

8223 : DRAM 核心

8500、8501 : 光學鏈路

ACT : 作用命令

ADD : 失效位址

BL1 至 BLn : 位元線

CKE : 輸入時脈啓用信號

CLK : 時脈信號

CMD : 命令線

CS : 晶片選擇信號

com、Control : 測試命令

DQ : 測試資料

DQ0 至 DQ7 : 資料插腳

DQS : 資料選通

E/O : 將電信號轉換為光信號的元件

EDQ : 測試資料

F-CA : 行失效位址

F-RA : 列失效位址

FAM1 至 FAMn : 失效位址陣列

Info\_FA、Info\_DC : 資訊

MRS : 模式暫存器設定命令

O/E：將光信號轉換為電信號的元件

OUT1 至 OUTn：熔絲資料

Pre：預充電命令

rData、RDQ：讀取資料

RD：讀取命令

S100、S105、S110、S120、S130、S140、S150、S160、S170、  
S180、S190、S200、S300、S310、S320、S330、S340、S350、  
S360、S370：操作

wData：寫入資料

WL1 至 WLn：字元線

WLP1 至 WLPm：電壓信號

WR：寫入命令



## 申請專利範圍

1. 一種操作動態隨機存取記憶體(DRAM)裝置的方法，所述動態隨機存取記憶體裝置具有記憶胞陣列、非揮發性記憶體(NVM)儲存陣列以及失效位址記憶體(FAM)，所述方法包括：

接收第一模式暫存器設定命令以進入修復模式；

接收啟用命令以及列失效位址，所述列失效位址指出包括至少一有缺陷的記憶胞的所述記憶胞陣列的一列；

儲存所述列失效位址於所述失效位址記憶體中；

程式化所述列失效位址於所述非揮發性記憶體儲存體陣列中；

在程式化所述列失效位址後，接收預充電命令；以及

在執行預充電操作後，根據所述預充電命令接收第二模式暫存器設定命令以退出所述修復模式。

2. 如申請專利範圍第 1 項所述的方法，其中所述非揮發性記憶體儲存陣列包括反熔絲陣列，所述反熔絲陣列為  $M \times N$  陣列，其中  $N$  以及  $M$  各自表示等於或大於 2 的整數。

3. 如申請專利範圍第 1 項所述的方法，其中所述 DRAM 裝置更包括控制單元經配置以控制於所述失效位址記憶體中儲存所述列失效位址以及從所述失效位址記憶體輸出所述列失效位址至所述 DRAM 裝置，以程式化所述列失效位址於所述非揮發性記憶體儲存陣列中。

4. 如申請專利範圍第 1 項所述的方法，其中所述方法更包括

檢查所述程式化的列失效位址是否正確地程式化於所述非揮發記憶體儲存陣列中。

5. 如申請專利範圍第 4 項所述的方法，其中所述檢查所述程式化的列失效位址包括從所述非揮發記憶體儲存陣列中讀取所述程式化的列失效位址，並比較所述程式化的列失效位址與所述接收的列失效位址。

6. 如申請專利範圍第 5 項所述的方法，其中執行所述檢查所述程式化的列失效位址是在程式化所述列失效位址之後，並在接收所述預充電命令之前。

7. 一種操作動態隨機存取記憶體(DRAM)裝置的方法，所述動態隨機存取記憶體裝置具有記憶體陣列、非揮發性記憶體(NVM)儲存陣列以及失效位址記憶體(FAM)，所述方法包括：

接收第一模式暫存器設定命令以進入修復模式；

接收啟用命令以及列失效位址，所述列失效位址指出包括至少一有缺陷的記憶胞的所述記憶體陣列的一列；

接收寫入命令以及行失效位址，所述行失效位址指出包括至少一有缺陷的記憶胞的所述記憶體陣列的一行；

儲存所述列失效位址以及所述行失效位址於所述失效位址記憶體中；

程式化所述列失效位址以及所述行失效位址於所述非揮發性記憶體儲存體陣列中；

在程式化所述列失效位址以及所述行失效位址後，接收預充

電命令；以及

在執行預充電操作後，根據所述預充電命令接收第二模式暫存器設定命令以退出所述修復模式。

8. 如申請專利範圍第 7 項所述的方法，其中所述非揮發性記憶體儲存陣列包括反熔絲陣列，所述反熔絲陣列為  $M \times N$  陣列，其中  $N$  以及  $M$  各自表示等於或大於 2 的整數。

9. 如申請專利範圍第 7 項所述的方法，其中所述 DRAM 裝置更包括：控制單元，經配置以控制於所述失效位址記憶體中儲存所述列失效位址以及從所述失效位址記憶體輸出所述列失效位址至所述 DRAM 裝置，以程式化所述列失效位址於所述非揮發性記憶體儲存陣列中。

10. 如申請專利範圍第 7 項所述的方法，其中所述方法更包括檢查所述程式化的列失效位址與所述程式化的行失效位址是否正確地程式化於所述非揮發記憶體儲存陣列中。

11. 如申請專利範圍第 10 項所述的方法，其中所述檢查所述程式化的列失效位址與所述程式化的行失效位址包括：從所述非揮發記憶體儲存陣列中讀取所述程式化的列失效位址與與所述程式化的行失效位址，並分別地比較所述程式化的列失效位址以及所述程式化的行失效位址與所述接收的列失效位址。

12. 如申請專利範圍第 11 項所述的方法，其中執行所述檢查所述程式化的列失效位址與所述程式化的行失效位址是在程式化所述列失效位址與所述行失效位址之後，並在接收所述預充電命

令之前。

13. 一種記憶體系統，包括：

記憶體控制器，經配置以傳輸第一模式暫存器設定命令以及啟用命令合併於列失效位址、預充電命令以及第二模式暫存器設定命令；以及

動態隨機存取記憶體(DRAM)裝置，所述動態隨機存取記憶體裝置具有記憶胞陣列、非揮發性記憶體(NVM)儲存陣列以及失效位址記憶體(FAM)，並經配置以：

接收第一模式暫存器設定命令以進入修復模式；

接收所述啟用命令以及所述列失效位址，所述列失效位址指出包括至少一有缺陷的記憶胞的所述記憶胞陣列的一列；

儲存所述列失效位址於所述失效位址記憶體中；

程式化所述列失效位址於所述非揮發性記憶體儲存體陣列中；

在程式化所述列失效位址後，接收所述預充電命令；以及

在執行預充電操作後，根據所述預充電命令接收第二模式暫存器設定命令以退出所述修復模式。

14. 如申請專利範圍第 13 項所述的記憶體系統，其中所述非揮發性記憶體儲存陣列包括反熔絲陣列，所述反熔絲陣列為  $M \times N$  陣列，其中  $N$  以及  $M$  各自表示等於或大於 2 的整數。

15. 如申請專利範圍第 13 項所述的記憶體系統，其中所述

DRAM裝置更包括：控制單元，經配置以控制於所述失效位址記憶體中儲存所述列失效位址以及從所述失效位址記憶體輸出所述列失效位址至所述 DRAM 裝置，以程式化所述列失效位址於所述非揮發性記憶體儲存陣列中。

16. 如申請專利範圍第 13 項所述的記憶體系統，其中所述 DRAM裝置更經配置以檢查所述程式化的列失效位址是否正確地程式化於所述非揮發記憶體儲存陣列中。

17. 如申請專利範圍第 16 項所述的記憶體系統，其中所述 DRAM裝置經配置以在檢查所述程式化的列失效位址的期間，從所述非揮發記憶體儲存陣列中讀取所述程式化的列失效位址，並比較所述程式化的列失效位址與所述接收的列失效位址。

18. 如申請專利範圍第 17 項所述的記憶體系統，其中所述 DRAM裝置經配置以執行所述檢查所述程式化的列失效位址在程式化所述列失效位址之後，並在接收所述預充電命令之前。

19. 如申請專利範圍第 13 項所述的記憶體系統，其中所述記憶體控制器更包括於所述記憶體裝置中的內建式自測試(BIST)單元以偵測所述列失效位址。

20. 如申請專利範圍第 13 項所述的記憶體系統，其中所述記憶體控制器更包括錯誤校正碼(ECC)電路以決定所述列失效位址。

# 圖式

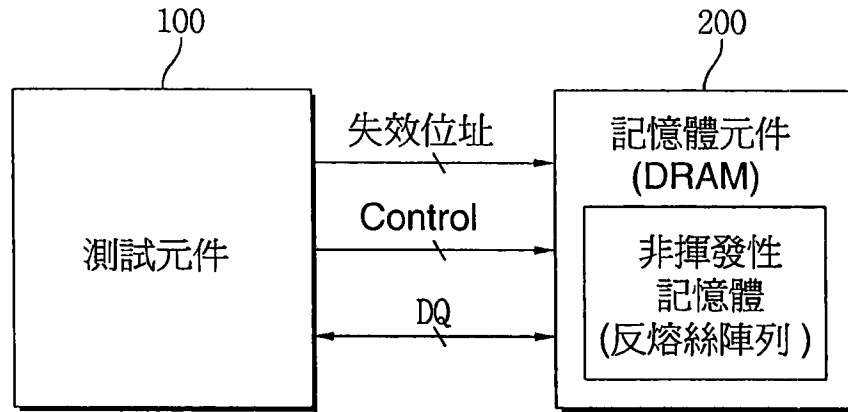


圖1

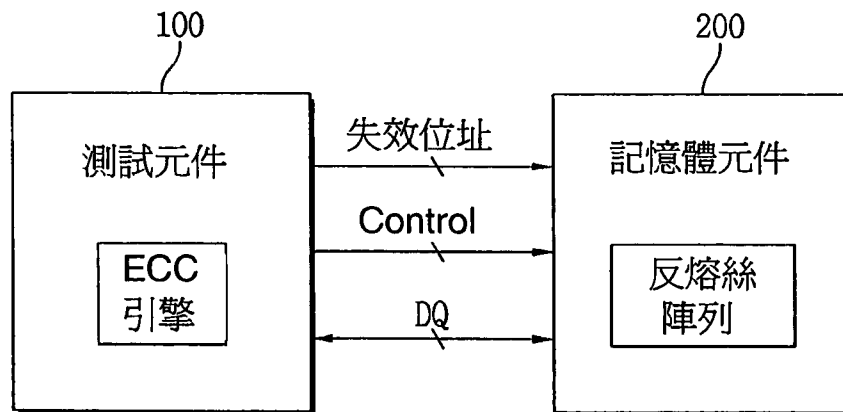


圖2

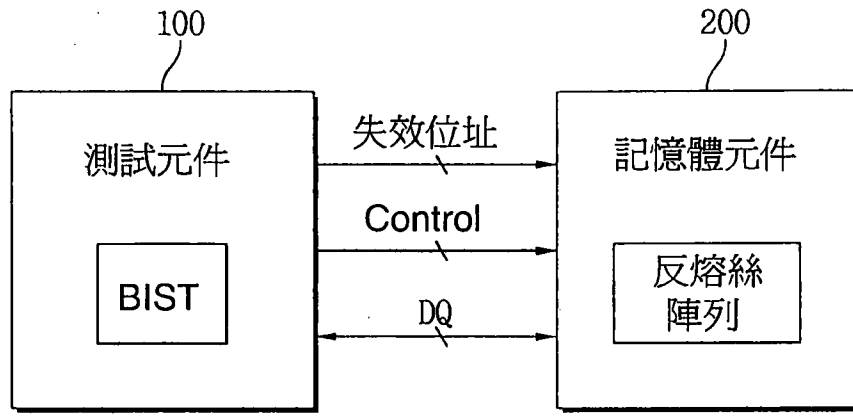


圖3

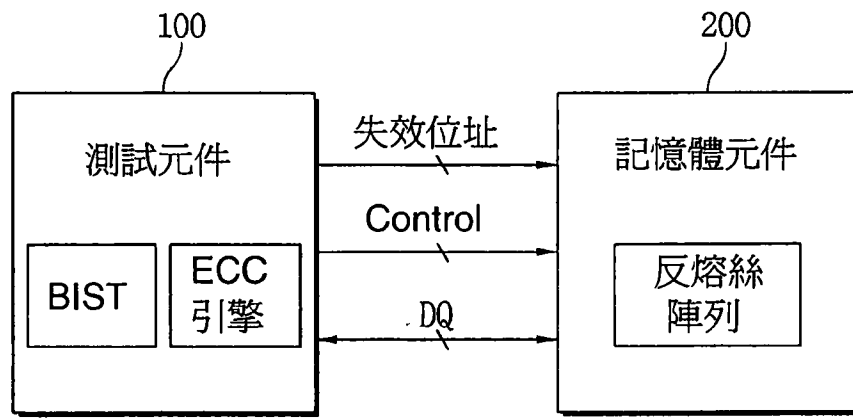


圖4

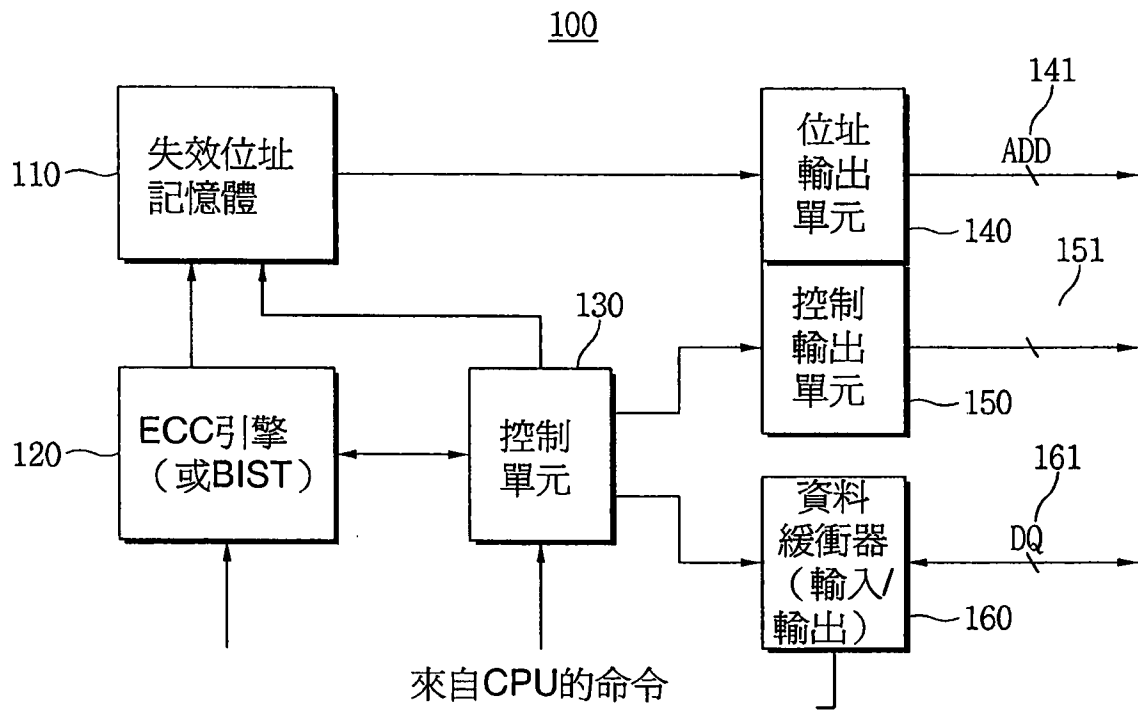


圖5



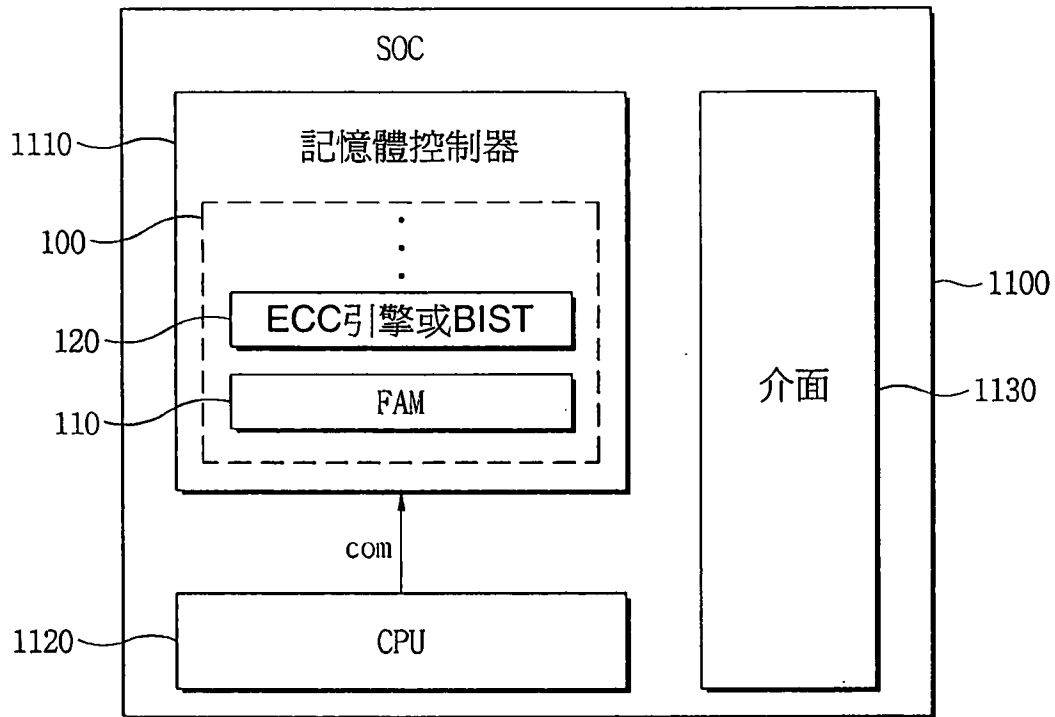


圖6A

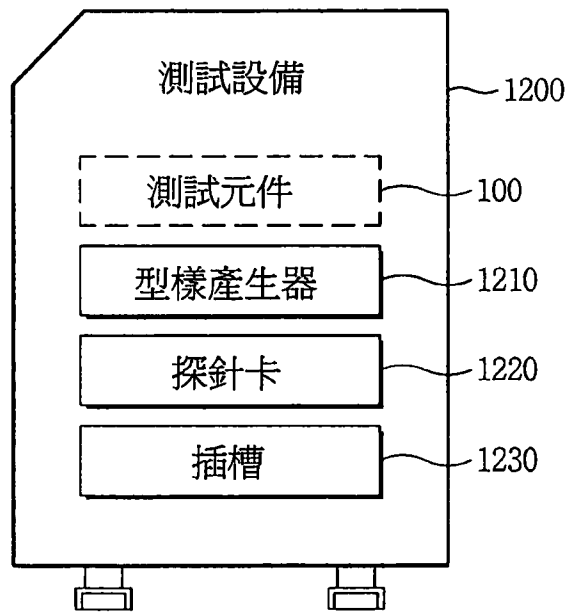


圖6B

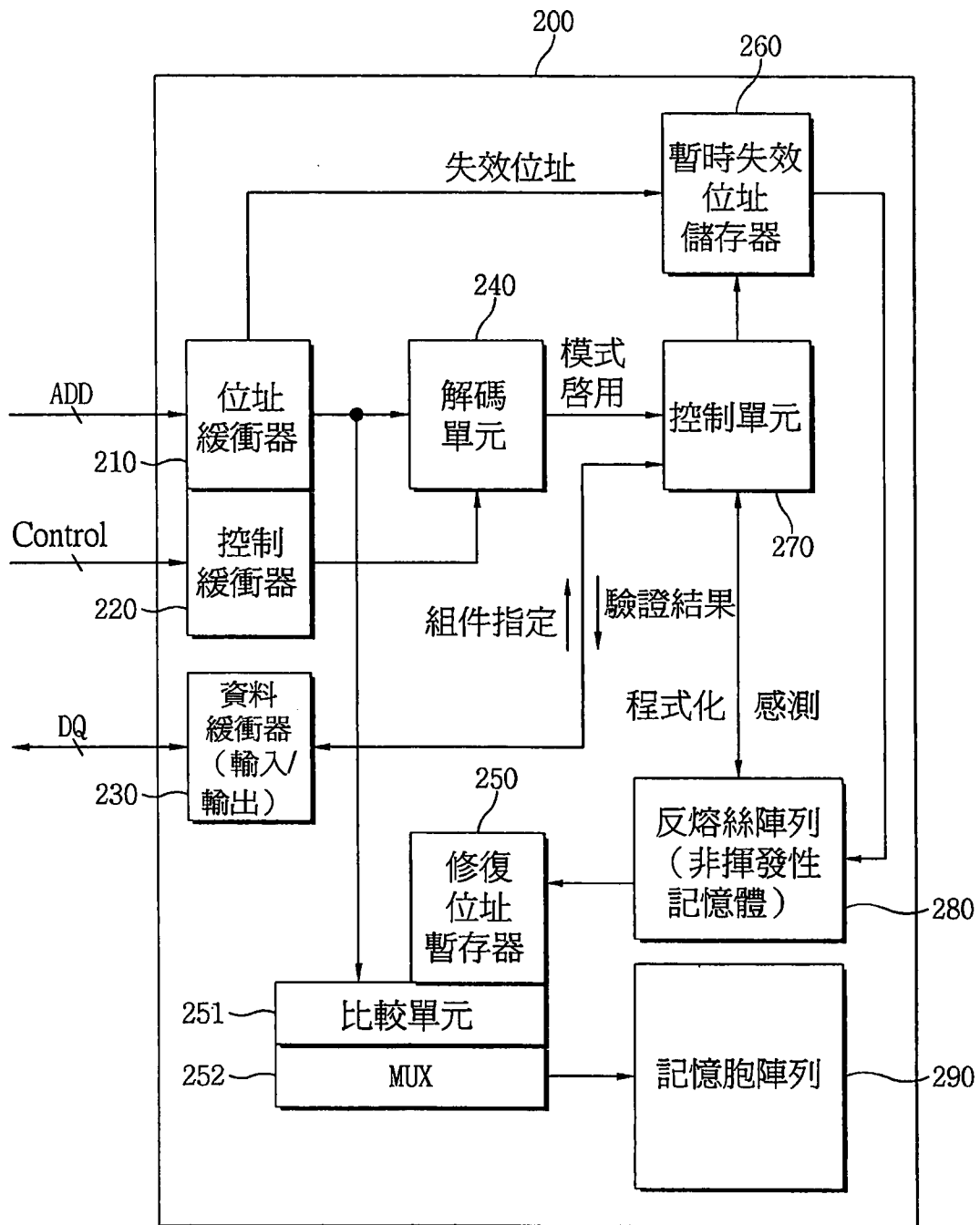


圖7

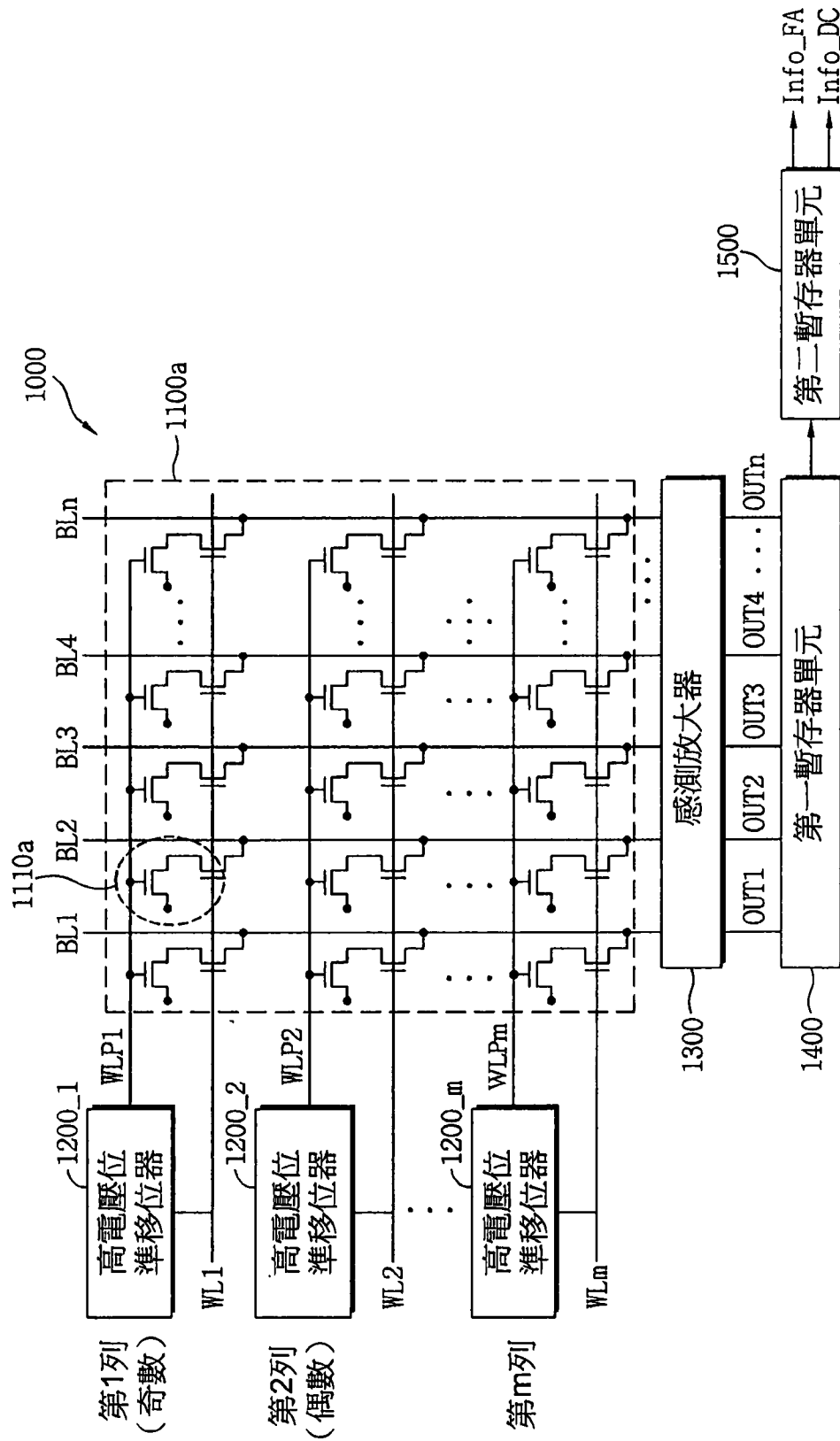


圖8

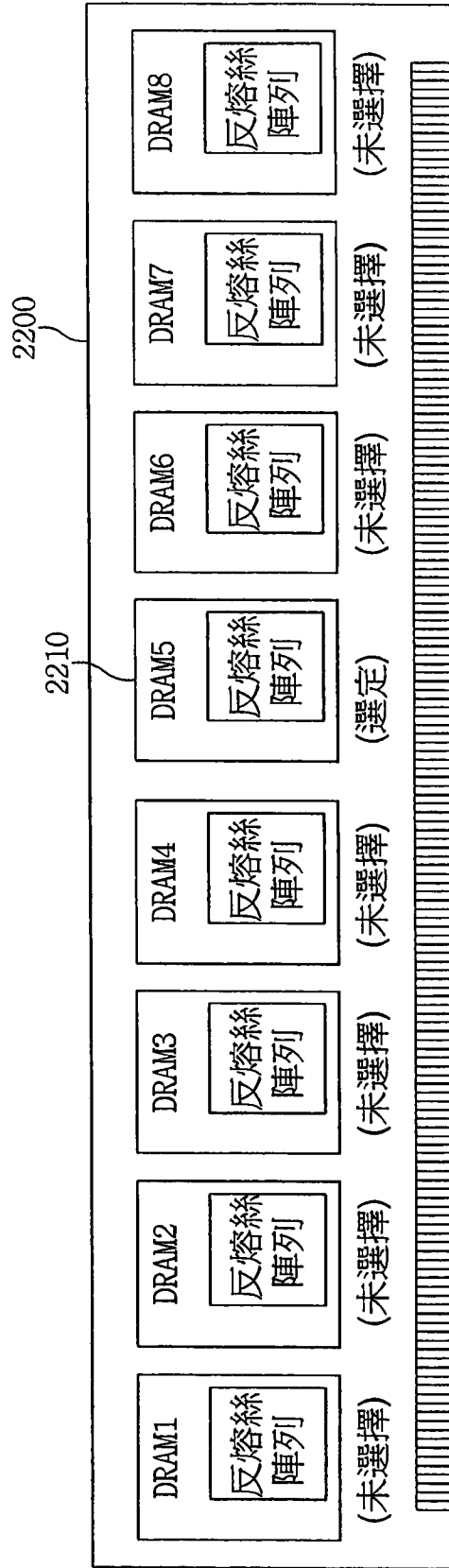


圖9

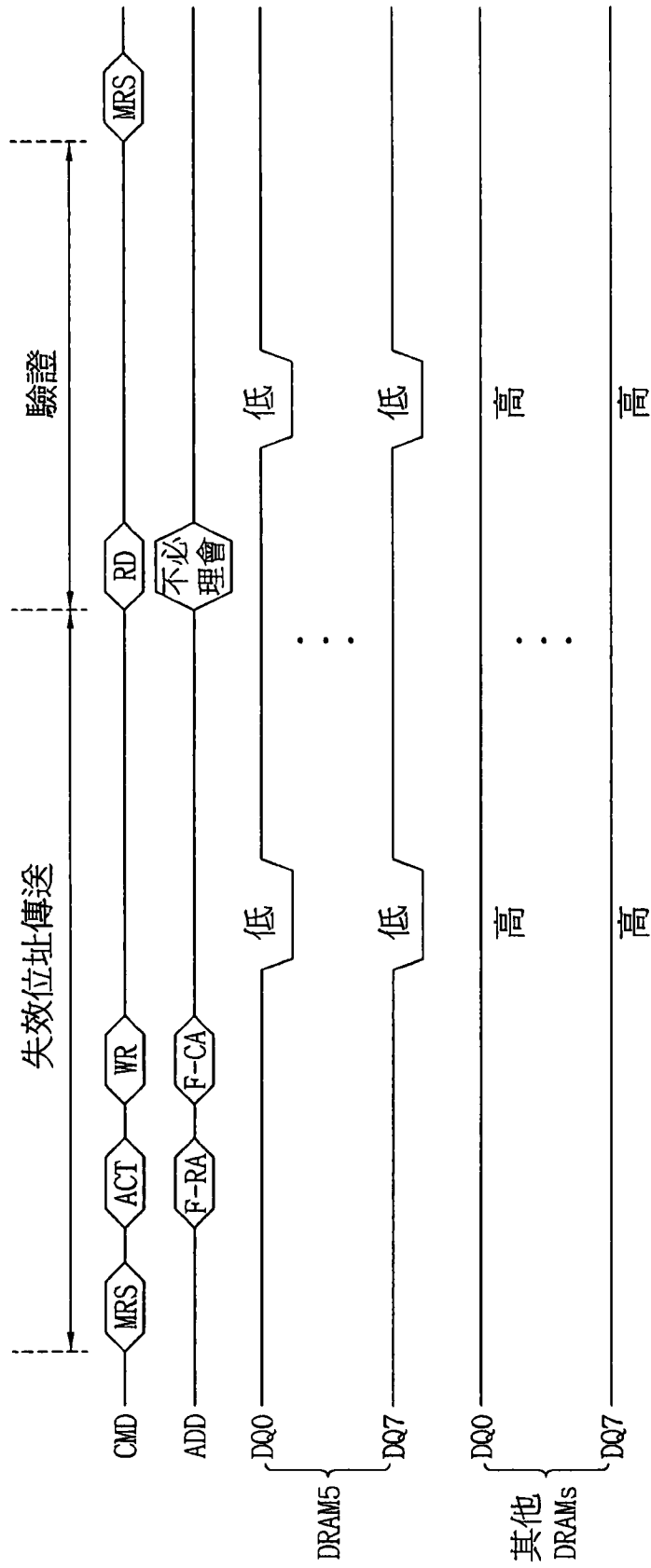


圖10

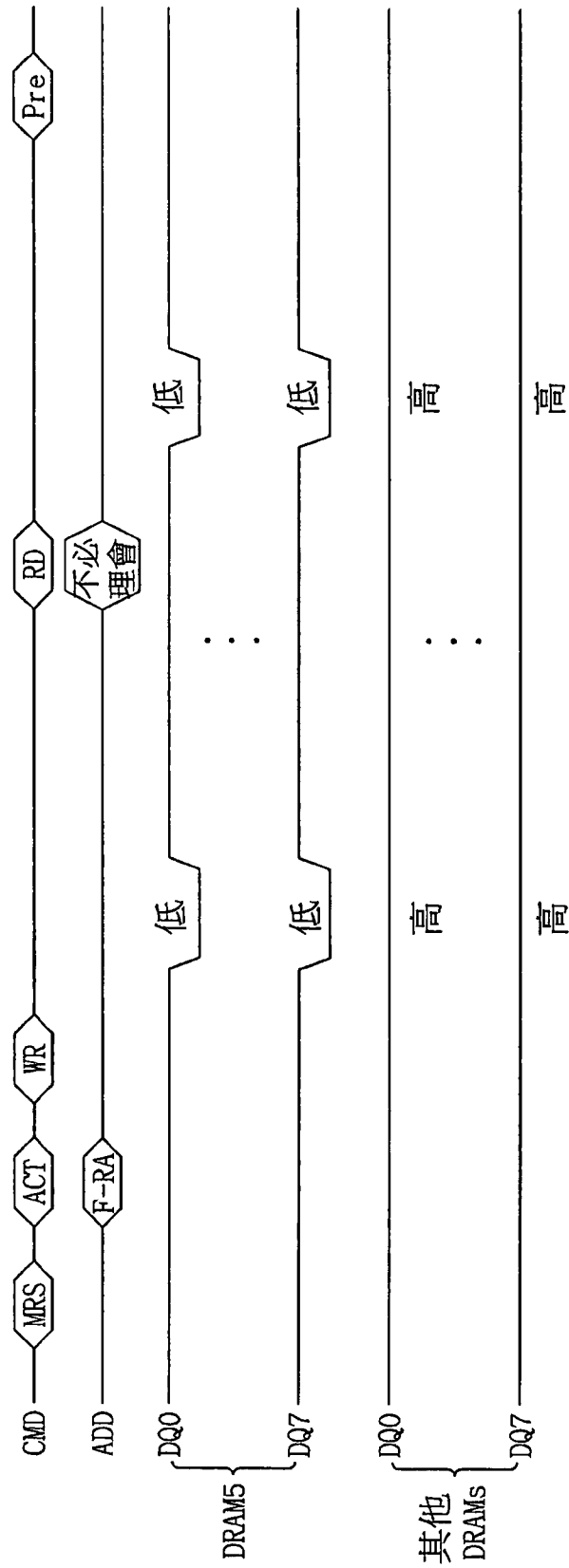


圖11

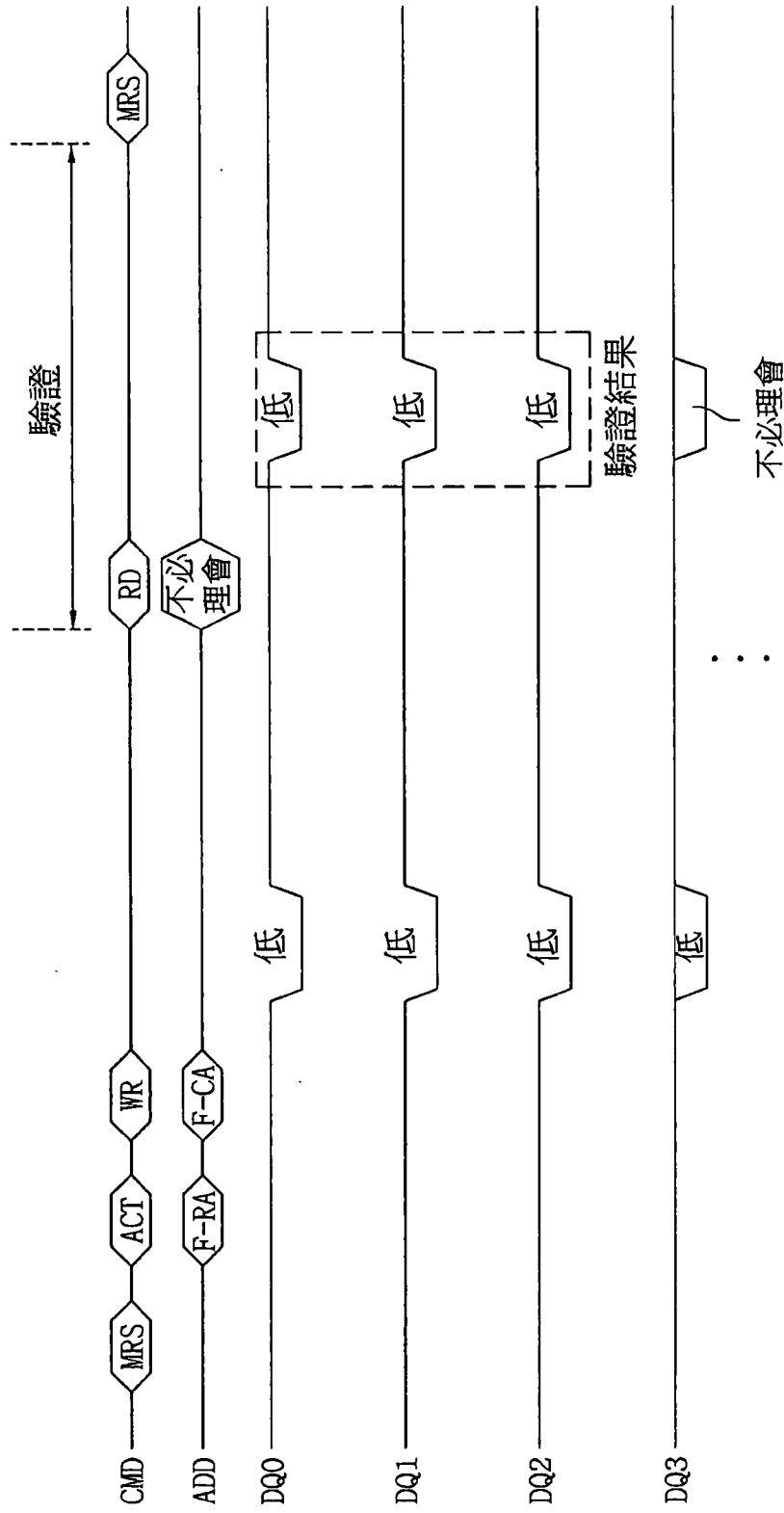


圖12

狀況	驗證結果			驗證結果
	DQ0	DQ1	DQ2	
1	低	低	低	可以（失效位元替換為列冗餘記憶體）
2	低	低	高	可以（失效位元替換為行冗餘記憶體）
3	低	高	低	可以（失效位元替換為單個冗餘記憶體）
4	低	高	高	保留供未來使用
5	高	低	低	失效（破裂程序有一些問題）
6	高	低	高	失效（破裂程序仍在進行中）
7	高	高	低	失效（無可用冗餘記憶體）
8	高	高	高	未選擇此晶片進行修復程序

圖13



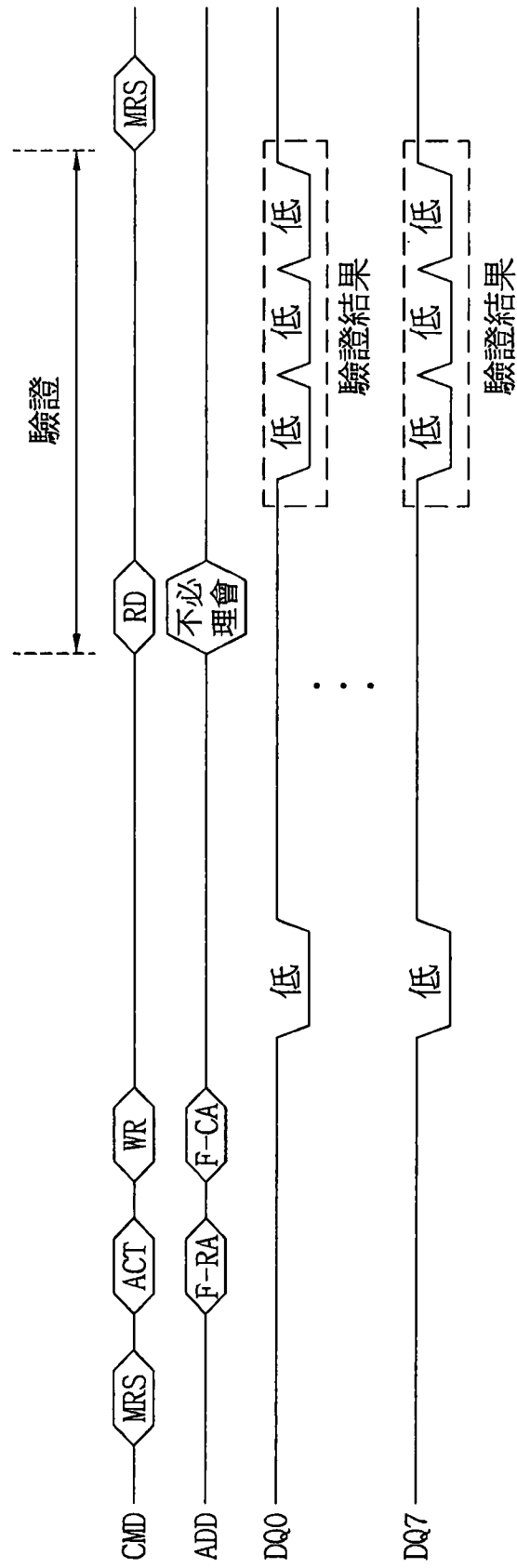


圖14

狀況1 (LLL) : 可以 (失效位元替換為列冗餘記憶胞)

	第1	第2	第3	第4	第5	第6	第7	第8
DQ0	低	低	低	高	高	高	高	高
DQ1	低	低	低	高	高	高	高	高
DQ2	低	低	低	高	高	高	高	高
DQ3	低	低	低	高	高	高	高	高

狀況6 (HLH) : 失效 (破裂程序仍在進行中)

	第1	第2	第3	第4	第5	第6	第7	第8
DQ0	高	低	高	高	高	高	高	高
DQ1	高	低	高	高	高	高	高	高
DQ2	高	低	高	高	高	高	高	高
DQ3	高	低	高	高	高	高	高	高

圖15

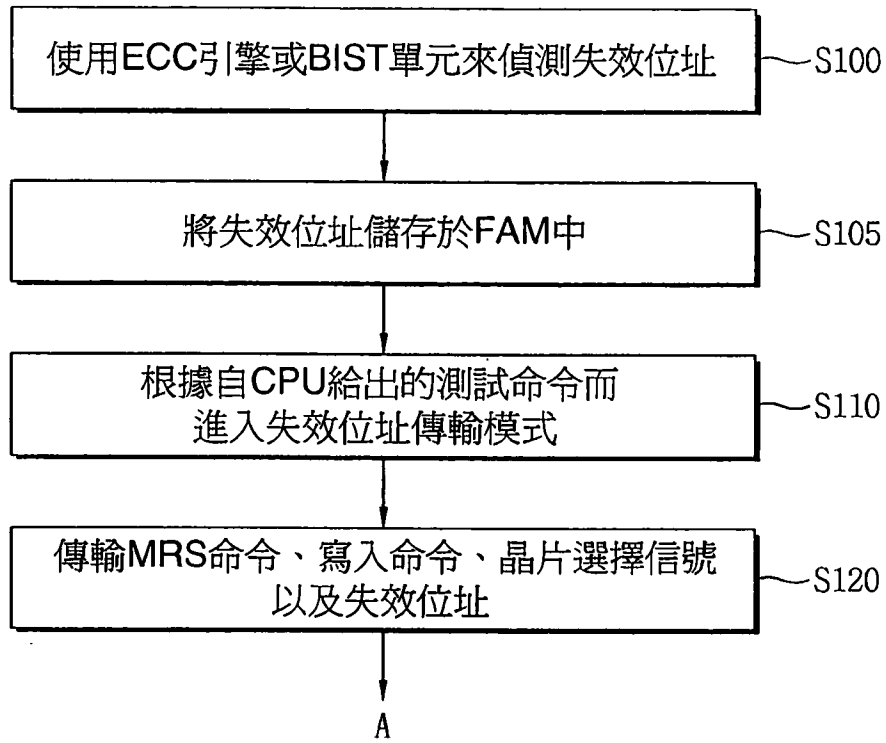


圖16

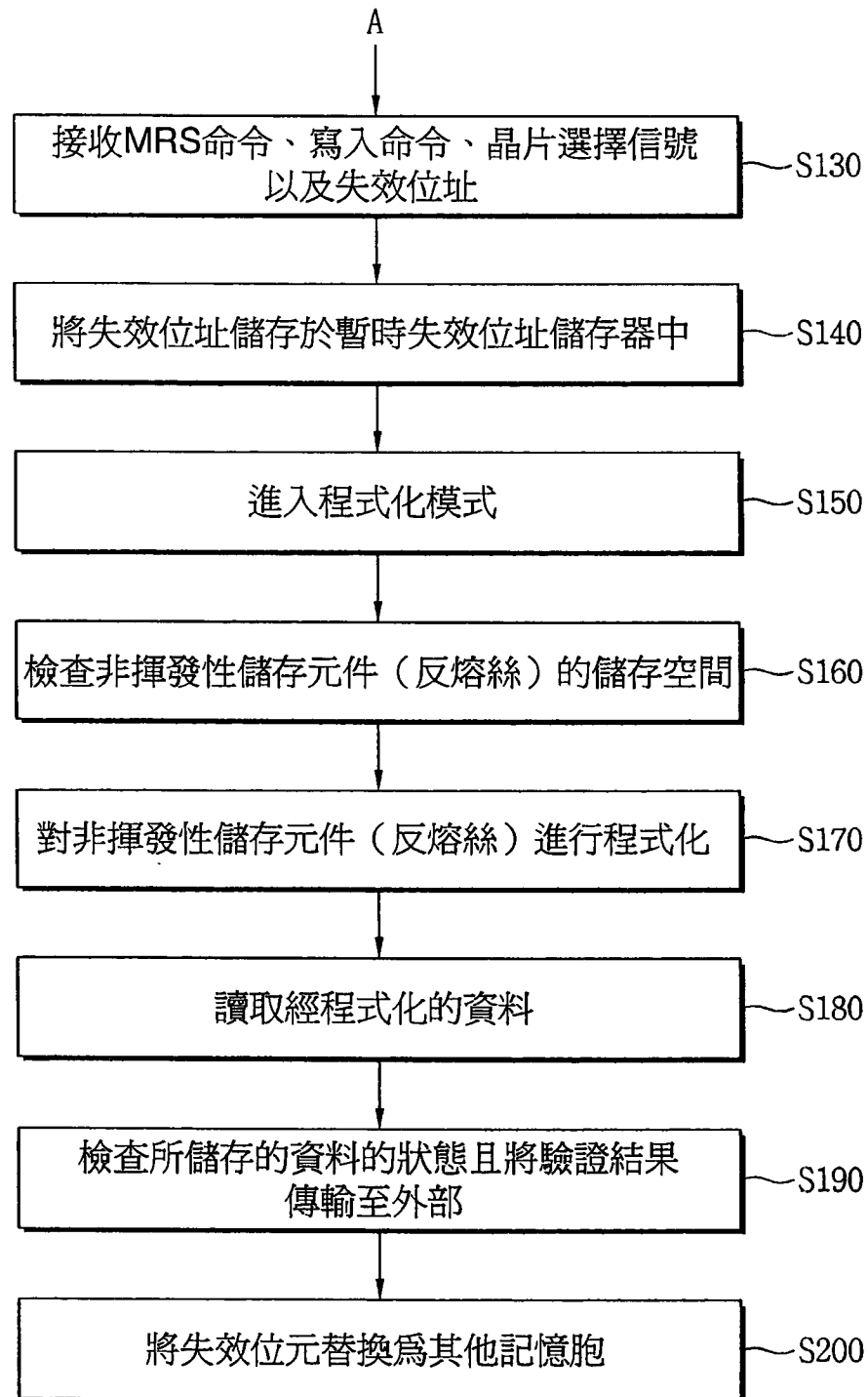


圖17

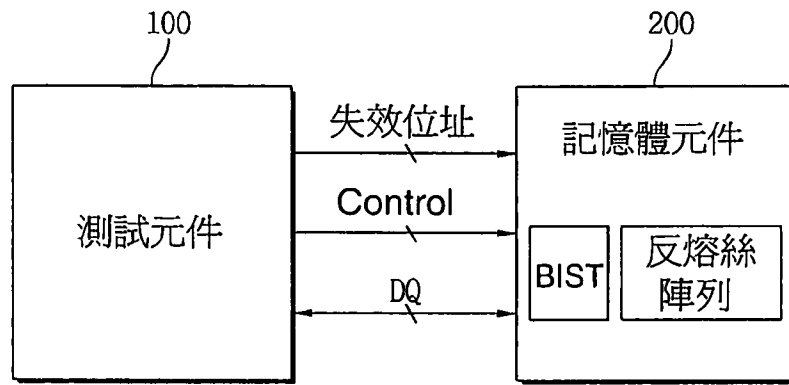


圖18

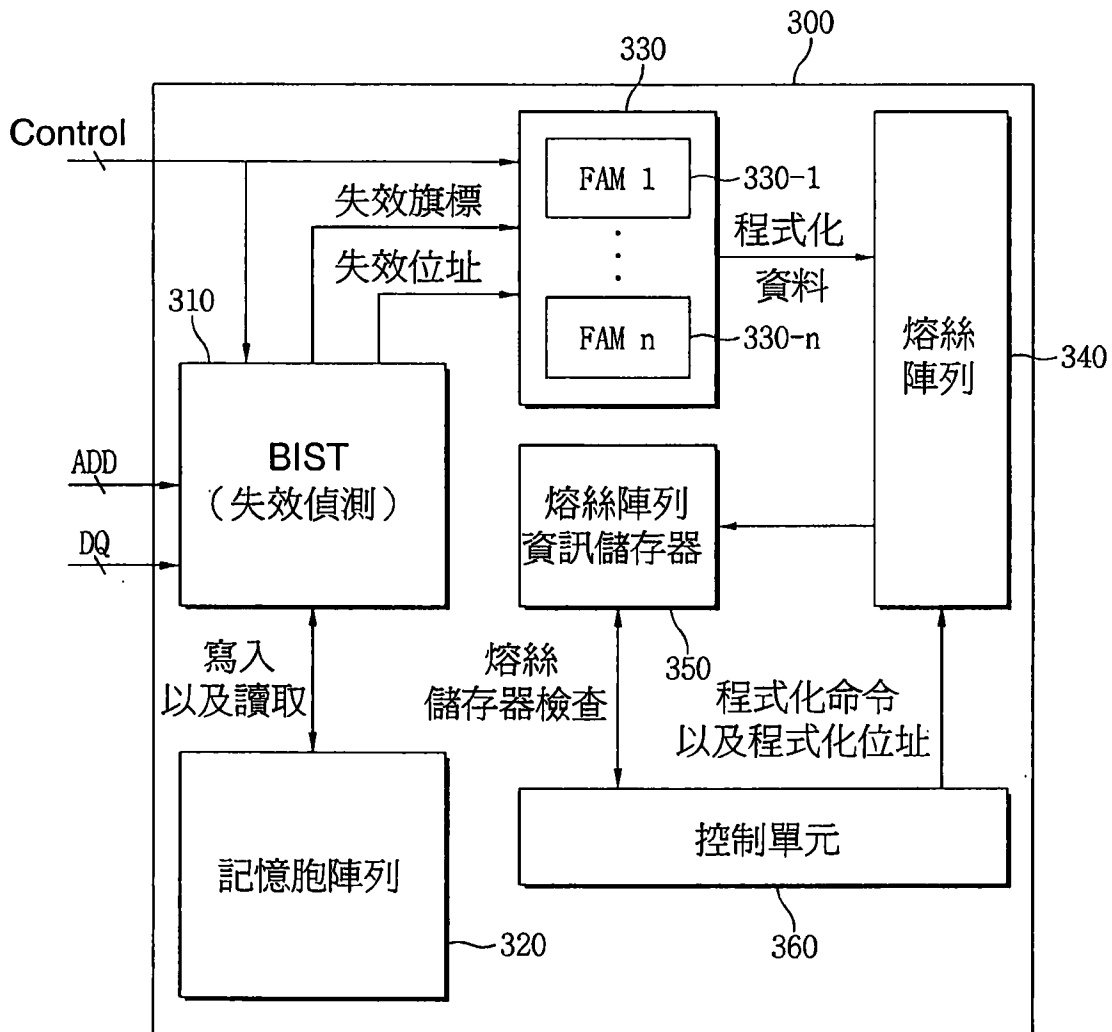


圖19

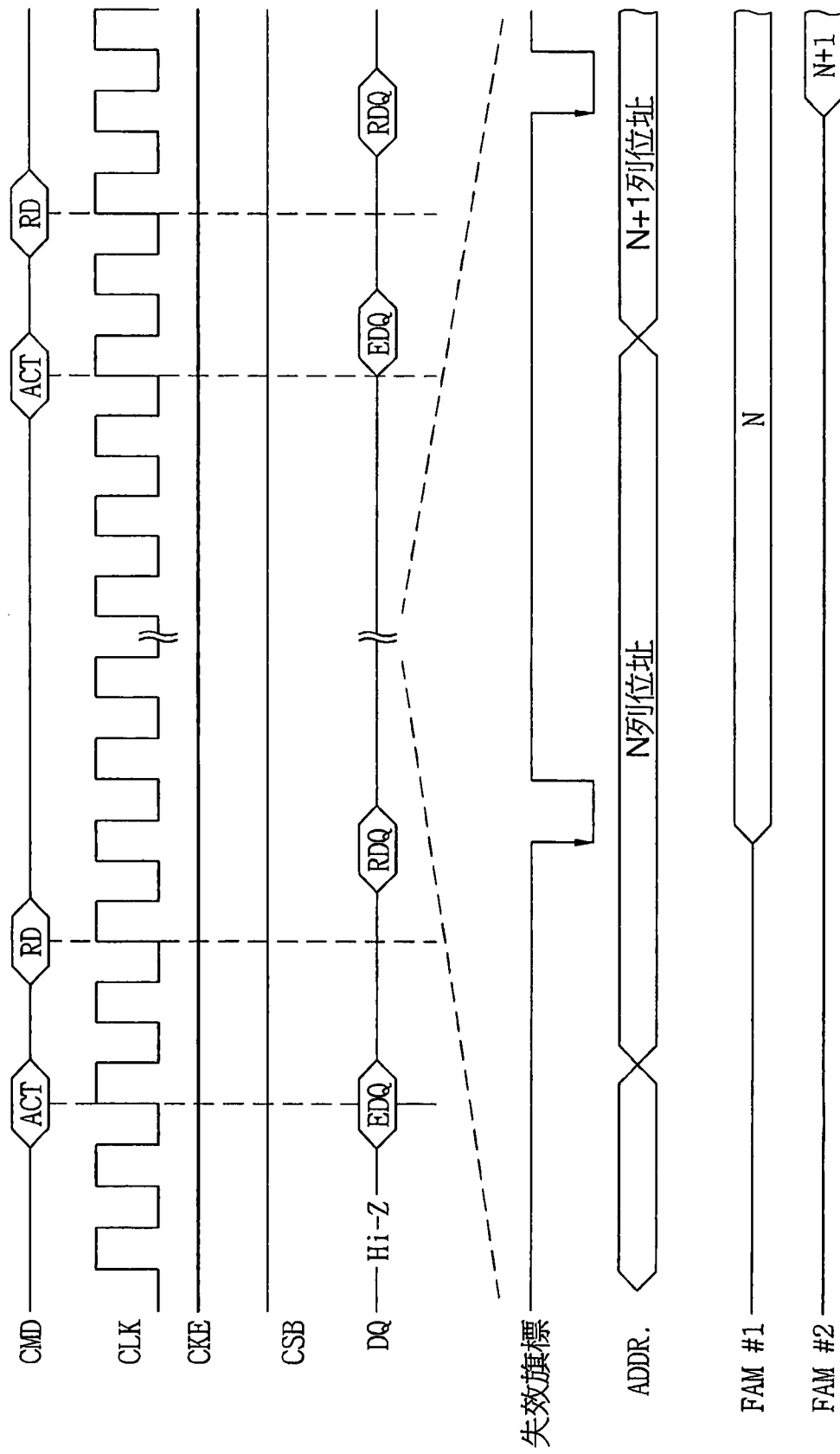


圖20

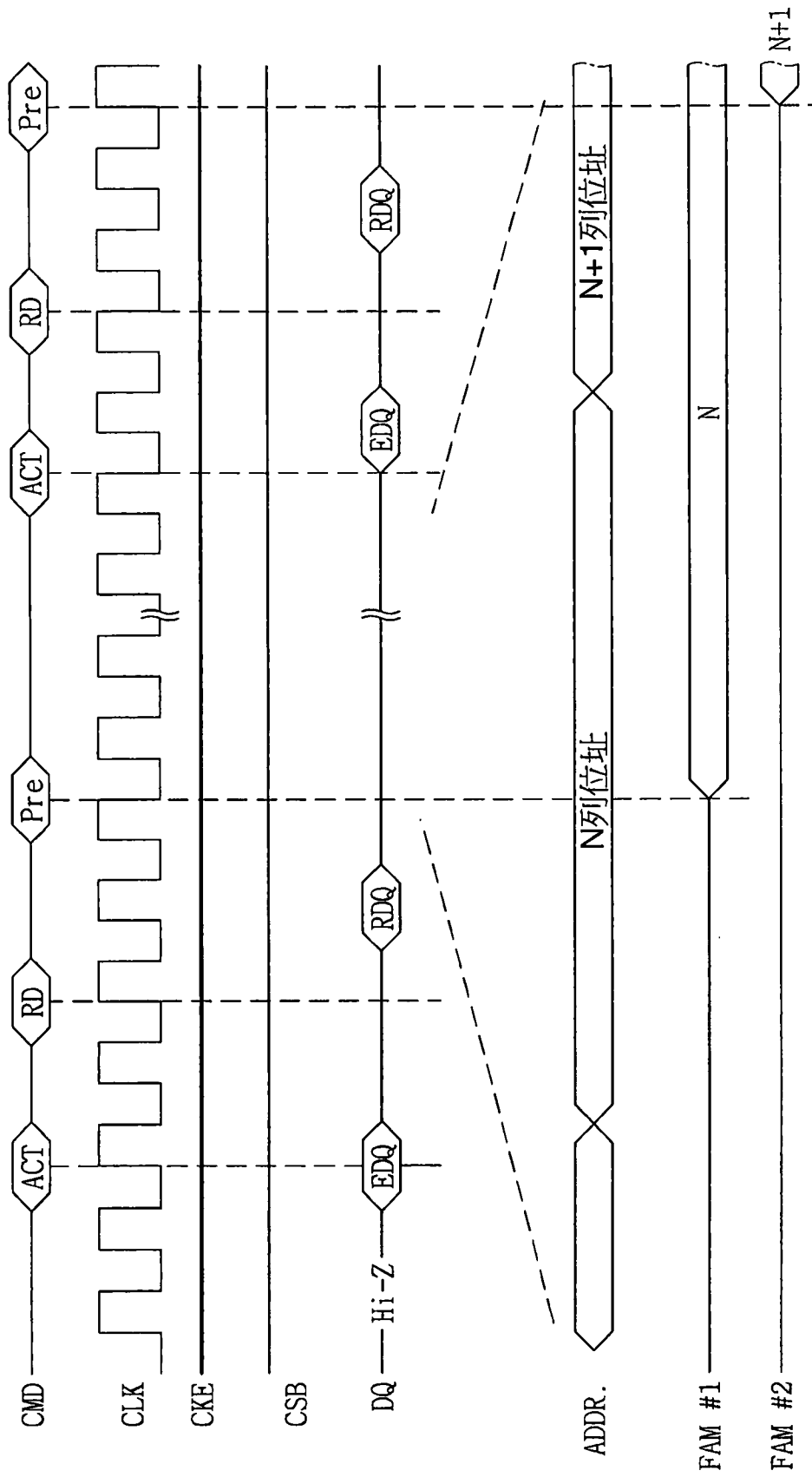


圖21

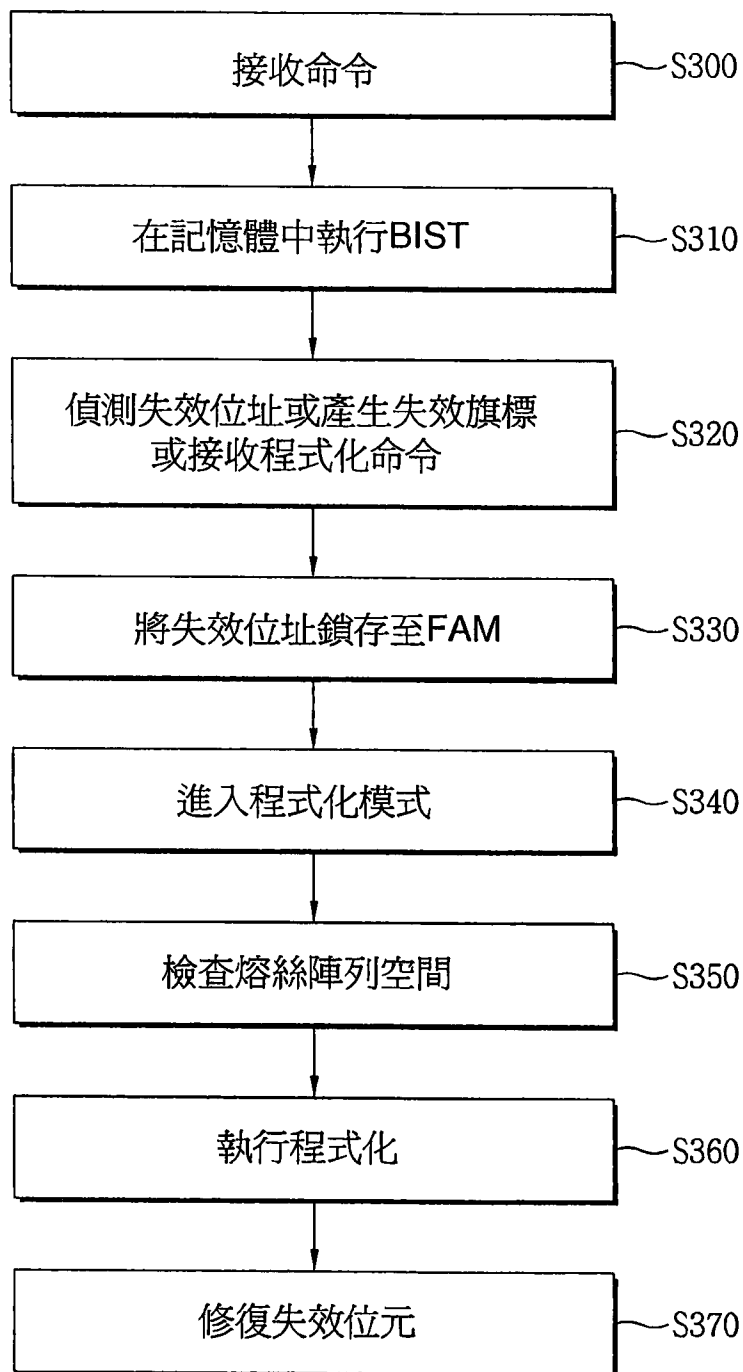


圖22



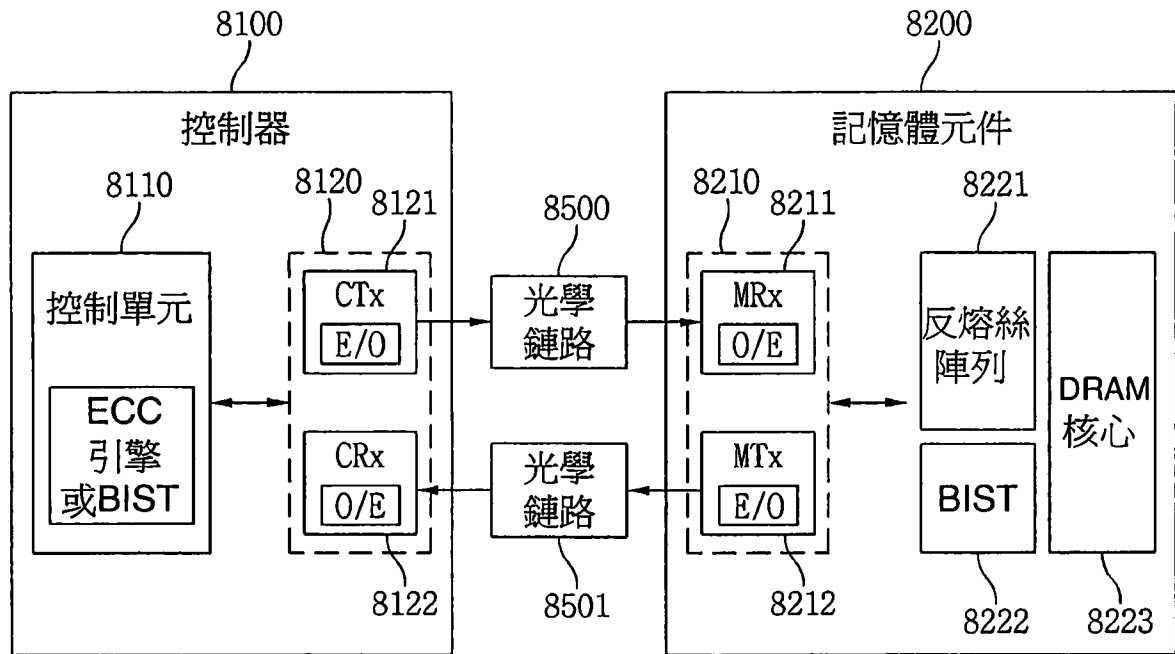


圖23

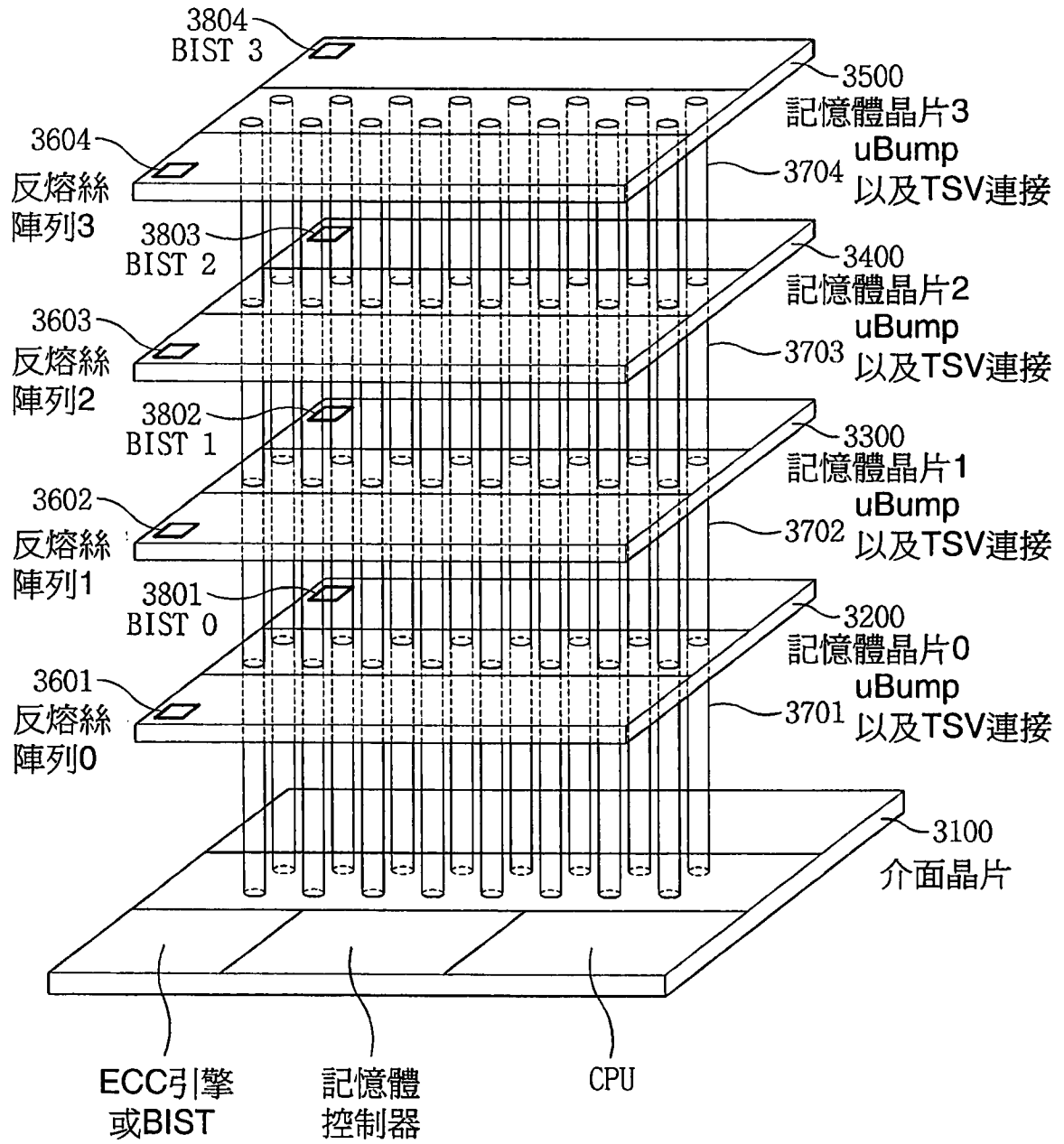


圖24

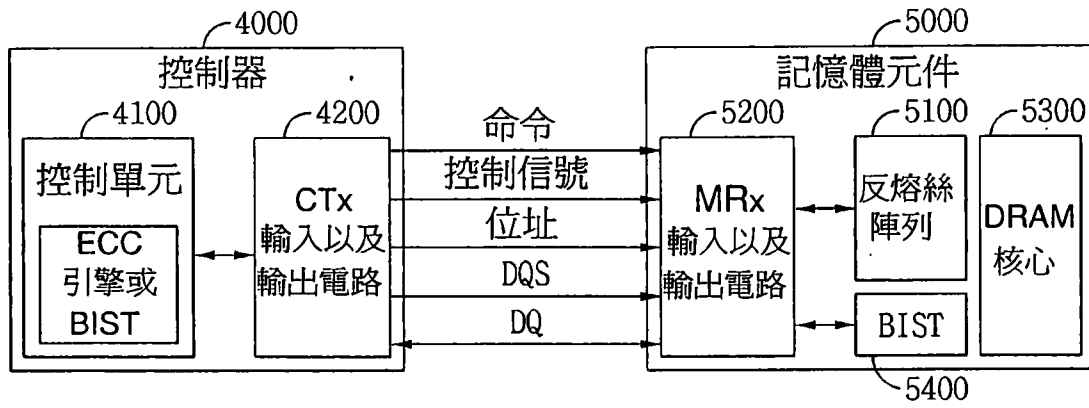


圖25(a)

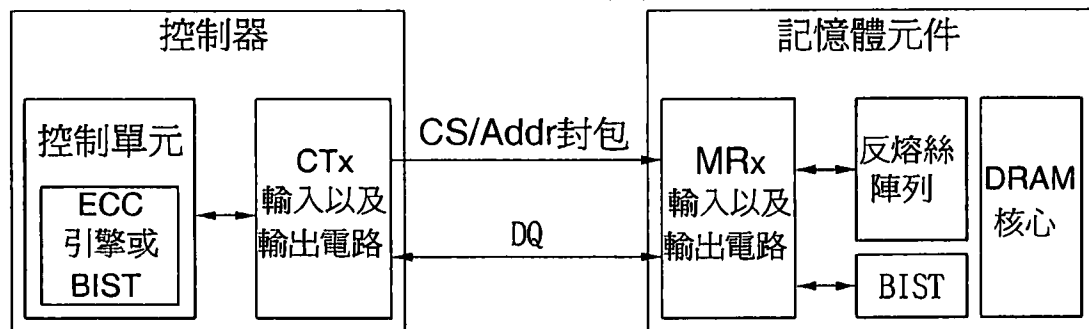


圖25(b)

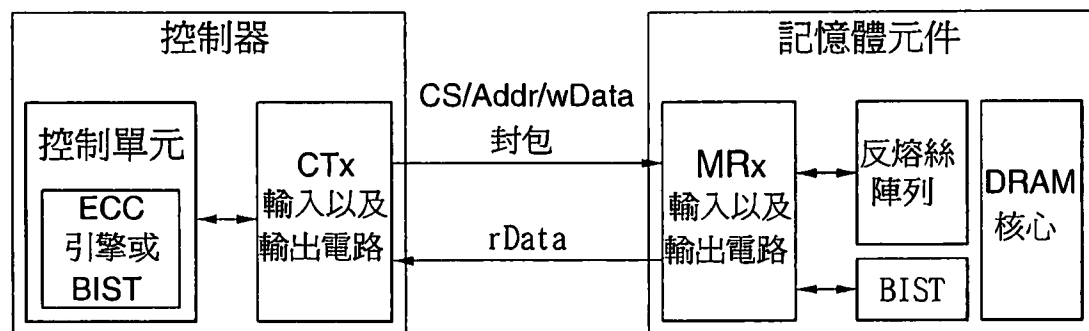


圖25(c)

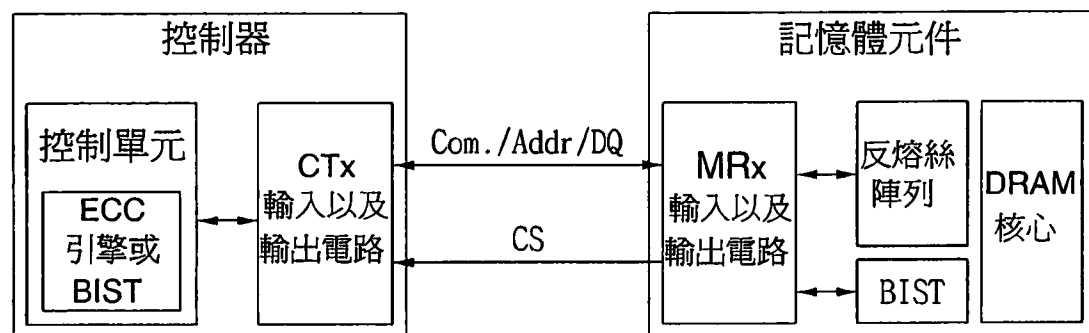


圖25(d)

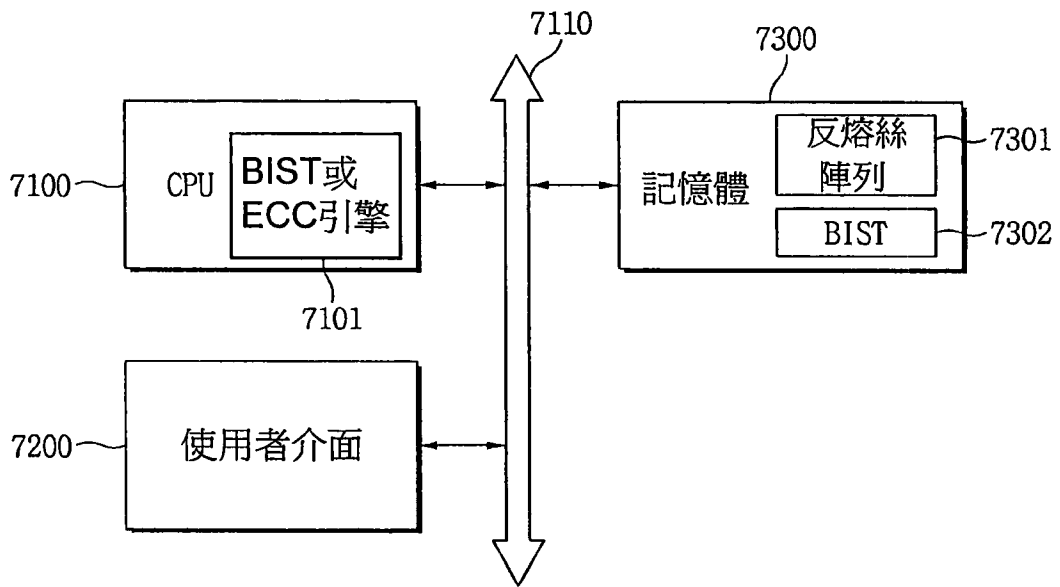


圖26

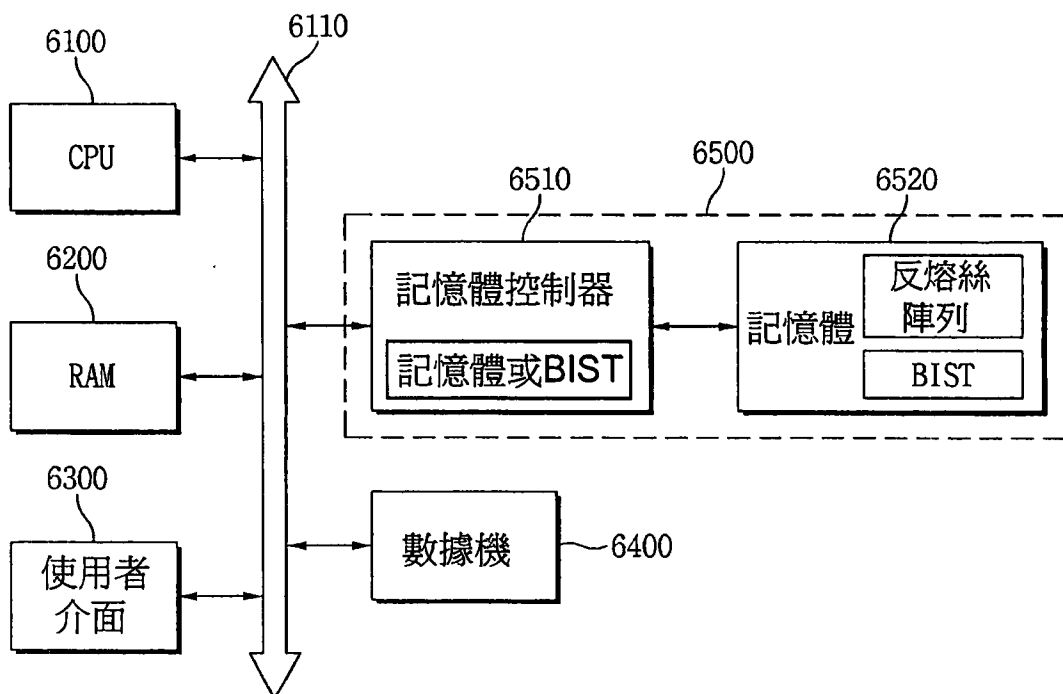


圖27