

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4187084号
(P4187084)

(45) 発行日 平成20年11月26日(2008.11.26)

(24) 登録日 平成20年9月19日(2008.9.19)

(51) Int. Cl.		F I			
G 1 1 C	11/406	(2006.01)	G 1 1 C	11/34	3 6 3 Z
G 1 1 C	11/401	(2006.01)	G 1 1 C	11/34	3 7 1 D
G 1 1 C	11/403	(2006.01)	G 1 1 C	11/34	3 6 3 M
G 1 1 C	29/04	(2006.01)	G 1 1 C	29/00	6 0 3 Z
			G 1 1 C	11/34	3 7 1 J

請求項の数 17 (全 26 頁)

(21) 出願番号	特願2001-230751 (P2001-230751)	(73) 特許権者	503121103 株式会社ルネサステクノロジ 東京都千代田区大手町二丁目6番2号
(22) 出願日	平成13年7月31日(2001.7.31)	(74) 代理人	100081938 弁理士 徳若 光政
(65) 公開番号	特開2003-45178 (P2003-45178A)	(72) 発明者	堀口 真志 東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体グループ内
(43) 公開日	平成15年2月14日(2003.2.14)	(72) 発明者	上田 茂樹 東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体グループ内
審査請求日	平成16年12月13日(2004.12.13)	(72) 発明者	矢幡 秀治 東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体グループ内

最終頁に続く

(54) 【発明の名称】 半導体メモリ

(57) 【特許請求の範囲】

【請求項1】

複数の正規ワード線と、
冗長ワード線と、
複数のビット線と、

上記複数の正規ワード線と上記複数のビット線との所定の交点に設けられた正規メモリセルと、

上記冗長ワード線と上記複数のビット線との所定の交点に設けられた冗長メモリセルと

、
内部アドレス信号を発生するアドレス入力回路と、

上記内部アドレス信号を受けて該アドレスが上記複数の正規ワード線のうち不良ワード線のアドレスに該当するか否かを判定し、不良ワード線のアドレスに相当する場合は冗長ワード線活性化信号を生成する冗長判定回路と、

上記複数の正規ワード線と上記冗長ワード線とを順次リフレッシュするためのリフレッシュアドレス信号を発生するアドレスカウンタとを有し、

リフレッシュ時には、上記冗長判定回路を動作停止し、

上記アドレスカウンタは、上記複数の正規ワード線の数に対応したビット数の計数出力を有し、全ての上記正規ワード線を選択するためのアドレス信号を形成した後に冗長用イネーブル信号を発生して上記冗長ワード線の数に対応した計数動作を行い冗長ワード線活性化信号を形成し、

上記内部アドレス信号に基づいた上記複数の正規ワード線を活性化するための信号と上記リフレッシュアドレス信号に基づいた上記複数の正規ワード線を活性化するための信号とを選択する第1のセレクタと、上記冗長ワード線活性化信号と上記リフレッシュアドレス信号に基づいた上記冗長ワード線を活性化するための信号とを選択する第2のセレクタとを更に有することを特徴とする半導体メモリ。

【請求項2】

請求項1において、

上記内部アドレス信号を受けて上記複数の正規ワード線を活性化するための信号を生成する第1のプリデコーダと、

上記リフレッシュアドレス信号と冗長用イネーブル信号とを受けてリフレッシュ動作時に上記複数の正規ワード線を活性化するための信号と上記冗長ワード線を活性化するための信号を生成する第2のプリデコーダと、

上記第1のセレクタの出力を受けて上記複数の正規ワード線から活性化されるべき正規ワード線を選択するデコーダとを有することを特徴とする半導体メモリ。

【請求項3】

請求項2において、

上記冗長判定回路は、上記内部アドレス信号を受けて該アドレスが上記複数の正規ワード線のうち不良ワード線のアドレスに相当する場合に不良アドレス判定信号を上記第1のプリデコーダへ出力し、

上記第1のプリデコーダは、上記不良アドレス判定信号を受けた場合に上記複数の正規ワード線を活性化するための信号を生成しないことを特徴とする半導体メモリ。

【請求項4】

請求項1ないし3のいずれかにおいて、

上記正規メモリセル及び冗長メモリセルは、アドレス選択用MOSFETと情報記憶用キャパシタとからなるダイナミック型メモリセルであり、

リフレッシュ動作を実行すべき時間間隔を計測してリフレッシュ要求信号を出力するタイマと、上記リフレッシュ要求とアクセス要求とを調停する調停回路とを更に有することを特徴とする半導体メモリ。

【請求項5】

請求項4において、

上記半導体メモリが形成された第1半導体チップと、

上記第1半導体チップに対して積層構造にされ第2半導体チップとを更に備えてなることを特徴とする半導体メモリ。

【請求項6】

請求項5において、

上記第2半導体チップには、不揮発性メモリが搭載されるものであることを特徴とする半導体メモリ。

【請求項7】

複数の正規ワード線と、

上記複数の正規ワード線に結合されリフレッシュ動作が必要な複数の正規メモリセルと

冗長ワード線と、

上記冗長ワード線に結合されリフレッシュ動作が必要な複数の冗長メモリセルと、

外部アドレス信号を受けて該アドレスが上記複数の正規ワード線のうち不良ワード線のアドレスに該当するか否かを判定し、不良ワード線のアドレスに相当する場合は冗長ワード線活性化信号を生成する冗長判定回路と、

上記複数の正規ワード線と上記冗長ワード線とを順次リフレッシュするためのリフレッシュアドレス信号を生成するリフレッシュアドレス信号発生回路とを含み、

リフレッシュ期間とアクセス期間に基づいて各サイクルが規定される半導体メモリであって、

10

20

30

40

50

上記リフレッシュアドレス信号発生回路は、上記複数の正規ワード線の数に対応したビット数の計数出力を有し、全ての上記正規ワード線を選択するためのアドレス信号を形成した後に冗長用イネーブル信号を発生して上記冗長ワード線の数に対応した計数動作を行い冗長ワード線活性化信号を形成し、

上記内部アドレス信号に基づいた上記複数の正規ワード線を活性化するための信号と上記リフレッシュアドレス信号に基づいた上記複数の正規ワード線を活性化するための信号とを選択する第1のセクタと、上記冗長ワード線活性化信号と上記リフレッシュアドレス信号に基づいた上記冗長ワード線を活性化するための信号とを選択する第2のセクタとを更に有し、

上記リフレッシュアドレス信号発生回路は、上記複数の正規ワード線及び上記冗長ワード線とを順次アクセスするリフレッシュアドレス信号を出力し、

上記各サイクル期間の上記各リフレッシュ期間において、上記複数の正規ワード線及び上記冗長ワード線は、上記リフレッシュアドレス信号に基づいて順次アクセスされることを特徴とする半導体メモリ。

【請求項8】

請求項7において、

上記複数の正規メモリセル及び上記複数の冗長メモリセルは、ダイナミック型メモリセルであって、

上記半導体メモリは、擬似スタティック・ランダム・アクセス・メモリであることを特徴とする半導体メモリ。

【請求項9】

請求項7において、

上記複数の正規メモリセル及び上記複数の冗長メモリセルは、ダイナミック型メモリセルであって、

上記半導体メモリは、半導体メモリの外部からリフレッシュ指示を必要としないリフレッシュ隠蔽メモリであることを特徴とする半導体メモリ。

【請求項10】

請求項7において、

上記リフレッシュアドレス信号発生回路は、上記複数の正規ワード線と上記冗長ワード線とを順次リフレッシュするための上記リフレッシュアドレス信号を発生するアドレスカウンタを含むことを特徴とする半導体メモリ。

【請求項11】

請求項7において、

正規アドレス信号を受け、上記正規アドレス信号が上記複数の正規ワード線のうちの1つを指示しているか或いは上記冗長ワード線を指示しているかを判定する判定回路を更に含み、

上記判定回路は、上記アクセス期間に動作することを特徴とする半導体メモリ。

【請求項12】

請求項11において、

上記判定回路は、上記リフレッシュ期間に非動作であることを特徴とする半導体メモリ

【請求項13】

複数の正規ワード線と、

上記複数の正規ワード線に結合された複数の正規ダイナミック型メモリセルと、

複数の冗長ワード線と、

上記複数の冗長ワード線に結合された複数の冗長ダイナミック型メモリセルと、

外部アドレス信号を受けて該アドレスが上記複数の正規ワード線のうち不良ワード線のアドレスに該当するか否かを判定し、不良ワード線のアドレスに相当する場合は冗長ワード線活性化信号を生成する冗長判定回路と、

上記複数の正規ワード線と上記冗長ワード線とを順次リフレッシュするためのリフレッ

10

20

30

40

50

シユアドレス信号を生成するリフレッシュアドレス制御回路とを含み、

上記複数の正規ダイナミック型メモリセル及び上記複数の冗長ダイナミック型メモリセルは、リフレッシュ動作を必要とし、

リフレッシュ期間とアクセス期間との和に基づいて各サイクルが規定される半導体メモリであって、

上記リフレッシュアドレス信号発生回路は、上記複数の正規ワード線の数に対応したビット数の計数出力を有し、全ての上記正規ワード線を選択するためのアドレス信号を形成した後に冗長用イネーブル信号を発生して上記冗長ワード線の数に対応した計数動作を行い冗長ワード線活性化信号を形成し、

上記内部アドレス信号に基づいた上記複数の正規ワード線を活性化するための信号と上記リフレッシュアドレス信号に基づいた上記複数の正規ワード線を活性化するための信号とを選択する第1のセレクタと、上記冗長ワード線活性化信号と上記リフレッシュアドレス信号に基づいた上記冗長ワード線を活性化するための信号とを選択する第2のセレクタとを更に有し、

10

上記リフレッシュアドレス制御回路は、上記複数の正規ワード線及び上記複数の冗長ワード線とを順次アクセスすることを制御し、

上記各サイクル期間の上記各リフレッシュ期間において、上記複数の正規ワード線及び上記複数の冗長ワード線は、上記リフレッシュアドレス制御回路の出力信号に基づいて順次アクセスされることを特徴とする半導体メモリ。

【請求項14】

20

請求項13において、

複数のアクセス期間内の複数のリフレッシュ期間によって、全ての正規ワード線及び全ての冗長ワード線がアクセスされることを特徴とする半導体メモリ。

【請求項15】

請求項13において、

1つのアクセス期間内の1つのリフレッシュ期間において、1つの正規ワード線又は1つの冗長ワード線がアクセスされることを特徴とする半導体メモリ。

【請求項16】

請求項13において、

上記半導体メモリは、擬似スタティック・ランダム・アクセス・メモリであることを特徴とする半導体メモリ。

30

【請求項17】

請求項13において、

上記半導体メモリは、半導体メモリの外部からリフレッシュ指示を必要としないリフレッシュ隠蔽メモリであることを特徴とする半導体メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はダイナミック型メモリセルを用いた半導体メモリに関し、特に冗長回路を有する半導体メモリの高速化および低消費電力化に利用して有効な技術に関するものである。

40

【0002】

【従来の技術】

各種電子装置に用いられる記憶素子として、ダイナミック・ランダム・アクセス・メモリ（以下、DRAMという）、集積度が高くビットコストが安いという利点があるが、記憶情報保持のためには定期的なリフレッシュを必要とする。そこで、リフレッシュコマンド発行機能を有するメモリコントローラと共に用いられるのが普通であり、携帯電話のような小規模なシステムには不向きである。小規模なシステム用の記憶素子としては、現在はスタティック・ランダム・アクセス・メモリ（以下、単にSRAMという）が主として用いられている。しかし、携帯機器の高機能化に伴い、より大容量の記憶素子の需要が増加してきており、SRAMではコストが見合わなくなってきている。

50

【 0 0 0 3 】

D R A Mを外部からのリフレッシュを不必要とする方法が特開昭 6 1 - 7 1 4 9 4 号に開示されている。これは1サイクルを2つの時間帯に分け、前半でリフレッシュを、後半で読み出しまたは書き込み動作を行うという方法である。このようにすれば、リフレッシュ動作を外部から隠蔽でき、ビットコストの安いD R A MをS R A Mと同様(擬似S R A Mとして)に使用することができる。

【 0 0 0 4 】

【発明が解決しようとする課題】

上記従来技術の問題点は、読み出し/書き込み要求が来たときにメモリがリフレッシュ中だった場合、リフレッシュ動作が終了するまで読み出し/書き込みを開始できないことである。いつ読み出し/書き込み要求が来るかはあらかじめ予測できない。最悪の場合として、リフレッシュ動作を開始した直後に読み出し/書き込み要求が来たとすると、リフレッシュサイクル時間の分だけアクセス時間が長くなってしまふ。このアクセス時間の増加を最小限に抑えるためには、リフレッシュサイクル時間をできるだけ短縮することが望ましい。

10

【 0 0 0 5 】

本発明の目的は、リフレッシュサイクル時間を短縮でき、しかもリフレッシュ時の消費電力を低減できる半導体メモリを提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【 0 0 0 6 】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、内部アドレス信号を発生するアドレス入力回路と、上記内部アドレス信号を受けて該アドレスが複数の正規ワード線のうち不良ワード線のアドレスに該当するか否かを判定する冗長判定回路と、複数の正規ワード線と冗長ワード線とを順次リフレッシュするためのリフレッシュアドレス信号を発生するアドレスカウンタとを有し、リフレッシュ時には上記冗長判定回路を動作停止にする。

20

【 0 0 0 7 】

【発明の実施の形態】

図1には、本発明に係るD R A Mの一実施例の概略ブロック図が示されている。A Bは、アドレス入力回路であり、外部アドレス信号 A_i ($i = 0 \sim k$)を受け取り、内部ロウアドレス信号 $B X_i _N$ を生成する。R Jは、冗長判定回路であり、内部ロウアドレス信号 $B X_i _N$ が不良ワード線のアドレスに該当するか否かを判定する。P D $_N$ はプリデコードであり、内部ロウアドレス信号 $B X_i _N$ をデコードしてプリデコード信号 $A X_i j _N$ を生成する。上記アドレス入力回路A B、冗長判定回路R J及びプリデコードP D $_N$ は、読み出しまたは書き込み動作のときに用いられる。したがって、 $_N$ は通常動作に対応したノーマル系の回路ないし信号を表している。

30

【 0 0 0 8 】

A C 1は、リフレッシュアドレスカウンタであり、リフレッシュすべきワード線のリフレッシュアドレス信号 $B X_i _R$ を生成する。P D $_R$ は、プリデコードであり、上記リフレッシュアドレス信号 $B X_i _R$ をデコードして、プリデコード信号 $A X_i j _R$ を生成する。上記リフレッシュアドレスカウンタA C 1及びプリデコードP D $_R$ は、リフレッシュ動作のときに用いられる。したがって、 $_R$ はリフレッシュ動作に対応したリフレッシュ系の回路ないし信号を表している。

40

【 0 0 0 9 】

S E L 1, S E L 2は、セレクトタであり、リフレッシュモード信号R m o d eに従って2つの入力のうちいずれかを選択して出力する。すなわち、読み出し/書き込み時(ノーマルモード)には、上記信号R m o d eの一方のレベルに対応して前記信号 $A X_i j _N$ 、冗長判定信号R W 0 $_N$ 、R W 1 $_N$ が選択され、リフレッシュ(リフレッシュモード)時には前記信号 $A X_i j _R$ 、R W 0 $_R$ 、R W 1 $_R$ が選択されて、それぞれに対応し

50

た信号 AX_{ij} 、 RW_0 、 RW_1 を出力する。

【0010】

XD は、ロウデコーダである。 MA はメモリアレーであり、その中には正規のワード線 $W_0 \sim W_n$ 、冗長ワード線 RW_0 、 RW_1 が配置されている。図には記載を省略してあるが、ワード線と直交してビット線が配置されており、ワード線とビット線との交点にはメモリセルが配置されている。なお、図には本発明に係るロウ（ワード線）関係の回路のみを示し、カラム（ビット線）関係の回路やデータ入出力回路などは記載を省略してある。

【0011】

次に読み出し／書き込み時の動作を説明する。アドレス入力回路 AB は、外部アドレス信号 A_i ($i = 0 \sim k$) から内部ロウアドレス信号 BX_{i_N} を生成する。この内部アドレス信号 BX_{i_N} が、冗長判定回路 RJ によって不良ワード線のアドレスであるか否か判定される。不良ワード線でない場合は信号 XDE が "1"（例えばハイレベル）になり、冗長ワード線活性化信号 RW_{0_N} 、 RW_{1_N} は "0"（例えばロウレベル）になる。

10

【0012】

プリデコーダ PD_N は、信号 XDE によってイネーブルされ、 BX_{i_N} をデコードしてプリデコード信号 AX_{ij_N} を生成する。これがセクタ SEL_1 によって選択され、信号 AX_{ij} としてロウデコーダ XD に送られる。ロウデコーダ XD はこれをさらにデコードし、必要ならば電圧レベルの変換を行って、正規のワード線のうちの1本を活性化する。一方、セクタ SEL_2 によって信号 RW_{0_N} 、 RW_{1_N} が選択されるが、い

20

【0013】

内部アドレス信号 BX_{i_N} が不良ワード線のアドレスに該当していた場合は、信号 XED が "0" になり、上記信号 RW_{0_N} 、 RW_{1_N} のいずれか一方が "1" になる。これによりプリデコーダ PD_N がディスエーブルされるため、正規のワード線は活性化されない。一方、上記信号 RW_{0_N} もしくは RW_{1_N} のいずれかが "1" であるため、冗長ワード線 RW_0 もしくは RW_1 のいずれかが正規のワード線の代替として活性化される。

【0014】

次にリフレッシュ時の動作を説明する。リフレッシュアドレスカウンタ AC_1 によって生成されたアドレス信号 BX_{i_R} および冗長イネーブル信号 RE_R が、プリデコーダ PD_R に入力される。プリデコーダ PD_R は、これを受けて、プリデコード信号 AX_{ij_R} および冗長ワード線活性化信号 RW_{0_R} 、 RW_{1_R} を生成する。上記冗長イネーブル信号 RE_R が "0" のときはプリデコード信号 AX_{ij_R} のいずれかが "1" になり、信号 RW_{0_R} 、 RW_{1_R} は "0" になる。

30

【0015】

アドレス信号 AX_{ij_R} はセクタ SEL_1 によって選択されて、信号 AX_{ij} としてロウデコーダ XD に送られる。ロウデコーダ XD は、これをさらにデコードし、必要ならば電圧レベルの変換を行って、正規のワード線のうちの1本を活性化する。一方、セクタ SEL_2 によって RW_{0_R} 、 RW_{1_R} が選択されるが、いずれも "0" であるため、冗長ワード線 RW_0 、 RW_1 は活性化されない。冗長イネーブル信号 RE_R が "0" のときは、信号 AX_{ij_R} は生成されないため、正規のワード線は活性化されない。一方、信号 RW_{0_R} もしくは RW_{1_R} "1" であるため、冗長ワード線 RW_0 もしくは RW_1 が活性化される。

40

【0016】

本実施例の特徴は、読み出し／書き込み用の回路とリフレッシュ用の回路とを別々に設け、読み出し／書き込み用にのみ冗長判定回路を設けたことである。すなわち、リフレッシュ用の回路は冗長判定回路を有しない。したがって、読み出し／書き込み時には冗長判定は行われるが、リフレッシュ時には冗長判定は行われない。これにより、リフレッシュ動作を冗長判定回路の動作時間分だけ高速化でき、さらに冗長判定回路分の消費電力を低減

50

することができる。消費電力の低減のためには、リフレッシュ時には読み出し/書き込み用の回路は一切動作しないようにすることが望ましい。そのためにはたとえば、アドレスバッファの出力信号 BX_{i_N} を固定しておけばよい。

【0017】

この実施例の第2の特徴は、リフレッシュアドレスカウンタ $AC1$ が冗長イネーブル信号 RE_R を出力することである。これにより、冗長判定を行わなくても、冗長ワード線に接続されたメモリセルも、正規のワード線に接続されたメモリセルと同様にリフレッシュすることが可能になる。次に図1のDRAMを構成する主要な回路について、以下に図面を用いて詳しく説明する。

【0018】

図2には、前記図1のリフレッシュアドレスカウンタ $AC1$ の一実施例の回路図が示されている。このリフレッシュアドレスカウンタ $AC1$ は、 $(k+2)$ 個のT型フリップフロップ TF と若干の論理ゲートから成る。信号 \overline{RF} は、リフレッシュ信号であり(ここで、信号名の前の $\overline{}$ は負論理の信号であることを示す)、リフレッシュ動作開始時に $"0"$ になり、リフレッシュ動作が終了すると $"1"$ になる。これが各フリップフロップのクロックとして用いられる。各フリップフロップの出力 Q は、T入力が $"1"$ のときは \overline{RF} の立下りで変化し、T入力が $"0"$ のときは変化しない。リフレッシュアドレス出力 $BX_{0_R} \sim BX_{k_R}$ はフリップフロップの出力よりも半サイクル早く、すなわち、信号 \overline{RF} の立上り時に変化する。次にこの回路の動作を説明する。

【0019】

図3には、前記図2のリフレッシュアドレスカウンタ $AC1$ の動作を説明する動作波形図が示されている。簡単のため、 $k=3$ の場合を示している。初期状態では各Tフリップフロップの出力 $Q_0 \sim Q_3$ はすべて $"0"$ 、リフレッシュアドレス出力 $BX_{0_R} \sim BX_{3_R}$ もすべて $"0"$ である。この状態では、アドレス $"0000"$ のワード線 W_0 のリフレッシュが実行されている。

【0020】

時刻 t_0 において、信号 \overline{RF} が立ち上がると、まずリフレッシュアドレス信号 BX_{0_R} が $"1"$ (ハイレベル) になり、時刻 t_1 において信号 \overline{RF} が立ち下がると、リフレッシュアドレスカウンタ $AC1$ の計数出力 Q_0 が $"1"$ になる。したがって、時刻 t_1 から t_2 まではアドレス $"0001"$ のワード線 W_1 のリフレッシュが実行される。

【0021】

時刻 t_2 において、信号 \overline{RF} が立ち上がるとリフレッシュアドレス信号 BX_{0_R} が $"0"$ に、 BX_{1_R} が $"1"$ になり、時刻 t_3 において信号 \overline{RF} が立ち下がると、リフレッシュアドレスカウンタ $AC1$ の計数出力 Q_0 が $"0"$ に、 Q_1 が $"1"$ になる。したがって、時刻 t_3 から t_4 まではアドレス $"0010"$ のワード線 W_2 のリフレッシュが実行される。以下同様にしてアドレスが進み、時刻 t_29 から t_30 まではアドレス $"1111"$ のワード線 W_{15} のリフレッシュが実行される。

【0022】

時刻 t_30 において、信号 \overline{RF} が立ち上がると、リフレッシュアドレス信号 $BX_{0_R} \sim BX_{3_R}$ がすべて $"0"$ になるとともに、冗長イネーブル信号 RE_R が $"1"$ になる。これにより、時刻 t_31 から t_32 までは冗長ワード線 RW_0 のリフレッシュが実行される。時刻 t_32 において、信号 \overline{RF} が立ち上がると、リフレッシュアドレス信号 BX_{0_R} が $"1"$ になる。冗長イネーブル信号 RE_R は $"1"$ のままである。したがって、時刻 t_33 から t_34 までは冗長ワード線 RW_1 のリフレッシュが実行される。時刻 t_34 において、信号 \overline{RF} が立ち上がると、リフレッシュアドレス信号 BX_{0_R} と BX_{1_R} が $"0"$ になり、時刻 t_35 からは再びアドレス $"0000"$ のワード線 W_0 のリフレッシュが実行される。以上をまとめると図4の関係図のようになる。

【0023】

つまり、時刻 $t_0 \sim t_34$ により規定される18期間での冗長イネーブル信号 RE_R 、リフレッシュアドレス信号 $BX_{3_R} \sim BX_{0_R}$ 、及びリフレッシュされるワード線 W

10

20

30

40

50

0 ~ RW1は、図4のような関係となる。

【0024】

この実施例のリフレッシュアドレスカウンタAC1の特徴は、正規のワード線W0 ~ W15に対応するアドレスだけでなく、冗長ワード線RW0, RW1に対応するアドレスをも出力することである。すなわち冗長イネーブル信号RE_R = "1"であることが冗長ワード線が選択されるべきであることを示し、そのときのリフレッシュアドレス信号BX0_Rがどの冗長線を選択すべきかを示す。

【0025】

従来のDRAMに用いられているリフレッシュアドレスカウンタは、正規のワード線に対応するアドレスのみを出力するものであった。正規のワード線の本数は普通2のべき乗であるから、リフレッシュアドレスカウンタも2のべき乗サイクルを周期として動作するのが普通であった。それに対してこのリフレッシュカウンタは、正規のワード線数と冗長ワード線数の合計を周期として動作する。たとえば、図3、図4の例では $16 + 2 = 18$ サイクルを周期として動作する。これにより、リフレッシュ時に冗長判定を行わなくても、冗長ワード線を正規のワード線と同様にリフレッシュすることが可能になる。

【0026】

なお、この例では冗長ワード線が2本であるため、どの冗長ワード線が選択されるべきかを示す信号はリフレッシュアドレス信号BX0_Rの1ビットだけでもよいが、冗長ワード線数が2本よりも多いときは他のビットも用いられればよい。たとえば、冗長ワード線数が4本のときはリフレッシュアドレス信号BX0_RとBX1_Rの2ビットを用いられればよい。この場合はリフレッシュアドレスカウンタの周期は $16 + 4 = 20$ サイクルとなる。

【0027】

図5には、前記図1のリフレッシュアドレスカウンタAC1の他の一実施例の回路図が示されている。この実施例回路では $(k + 3)$ 個のTフリップフロップTFF若干の論理ゲートから成る。簡単のため、 $k = 3$ の場合を示している。図6には、その動作波形図が示され、図7には各サイクルにおけるカウンタの出力とリフレッシュされるワード線との関係図が示されている。この実施例においては、リフレッシュアドレスカウンタAC1は、いわゆるグレーコードカウンタであり、1サイクルの間では1つの出力しか変化しないのが特徴である。これは図7を見れば明らかであろう。そのため、出力信号BX0_R ~ BX3_Rの充放電による消費電力が低減できる。

【0028】

上記のようなグレーコードカウンタの採用によって、リフレッシュアドレス信号BX3_R ~ BX0_Rの変化順序が変わり、それをデコードするデコーダにおいては、選択ワード線の順序が前記図2の実施例と異なるものとなるが、それぞれの動作のそのものは前記同様であるので、その説明を省略する。

【0029】

図8には、この前記リフレッシュアドレスカウンタAC1に用いられるフリップフロップTFFの一実施例の回路図が示されている。この実施例のフリップフロップTFFは、前記図2の実施例のようなバイナリーカウンタ、あるいは前記図5の実施例のようなグレーコードカウンタに用いることができる。つまり、入力Tが"1"のときはクロックCKの立ち下りで出力Qが変化し、入力Tが"0"のときは出力Qは変化しない。出力BXi_Rは、上記出力Qよりも半サイクル早く、すなわちクロックCKの立ち上りで変化する。

【0030】

図9には、前記図1の冗長判定回路RJの一実施例の回路図が示されている。同図において、CMPはアドレス比較回路であり、内部アドレス信号BXi_N(0ないしk)と回路内に記憶されている不良ワード線のアドレスとを比較する。不良アドレスの記憶のために、各アドレス比較回路CMPは、プログラム可能な揮発メモリを有する。これはたとえばレーザで切断されるヒューズ、電氣的に切断されるヒューズ、あるいはアンチヒューズなどの素子により実現できる。その実現方法は周知であるのでここでは省略する。

【0031】

10

20

30

40

50

この実施例では、代表として2個のアドレス比較回路が示されており、上記内部アドレス信号 BX_i_N ($i = 0 \sim k$) は、2組の不良ワード線アドレスとの比較が同時に行われる。なお、内部アドレス信号は、前記では簡単のため BX_i_N と記載していたが、実際にはここに示すように BX_iT_N と BX_iB_N の1対の相補信号である。外部アドレス信号 A_i が "0" のときは BX_iT_N が "0" で、 BX_iB_N が "1" であり、外部アドレス信号 A_i が "1" のときは BX_iT_N が "1" で、 BX_iB_N が "0" である。ただし待機時は両方とも "1" である。

【0032】

信号 XE_N は、読み出し/書き込み時にワード線を立ち上げるタイミングを決定するタイミング信号であり、所定のタイミングで "0" から "1" になる。アドレス比較回路の出力 MIS_0 、 MIS_1 は、待機時はいずれも "0" であり、比較結果が「不一致」のときは "0" から "1" になり、「一致」のときは "0" にとどまる。したがって、2個のアドレス比較回路の比較結果がいずれも「不一致」のときは信号 XDE が "1" になり、信号 $RW0_N$ と $RW1_N$ は "0" のままである。いずれかが「一致」のときは信号 $RW0_N$ 又は $RW1_N$ が "1" になり、信号 XDE は "0" のままである。

【0033】

図10には、前記図1の読み出し/書き込み動作用プリデコーダ PD_N の一実施例の回路図が示されている。この実施例では、 $k = 7$ 場合が示されている。つまり、内部アドレス信号 BX_i_N は、 $BX0_N \sim BX7_N$ の8ビットからなる相補アドレス信号とされる。

【0034】

この実施例プリデコーダ回路は、3組のプリデコーダ $PD1_N$ 、 $PD2_N$ 及び $PD3_N$ から成る。 $PD2_N$ の構成は、代表として例示的に示されている $PD1_N$ と同一であるので記載を省略し、ブラックボックスとして示されている。

【0035】

プリデコーダ $PD1_N$ は、アドレス信号の下位3ビットの相補アドレス信号 $BX0T_N$ 、 $BX0B_N$ ないし $BX2T_N$ 、 $BX2B_N$ をプリデコードして8通りのプリデコード信号 $AX00_N \sim AX07_N$ を生成する。待機時は上記入力信号 $BX0T_N$ 、 $BX0B_N$ ないし $BX2T_N$ 、 $BX2B_N$ がすべて "1" であるので、プリデコード信号 $AX00_N \sim AX07_N$ はすべて "0" である。

【0036】

読み出し/書き込み動作に入ると、前述のように内部アドレス信号 BX_iT_N 又は BX_iB_N の一方が "0" になるので、プリデコード信号 $AX00_N \sim AX07_N$ のうちの1つだけが "1" になる。プリデコーダ $PD2_N$ についても同様である。

【0037】

プリデコーダ $PD3_N$ は、アドレス信号の上位2ビットの相補アドレス信号 $BX6T_N$ / $BX6B_N$ と $BX7T_N$ / $BX7B_N$ をプリデコードする回路であるが、信号 XDE が入力されている点が他の2つのプリデコーダ $PD1_N$ 、 $PD2_N$ と異なる。前述の冗長判定回路における比較結果が「不一致」のときは、信号 XDE が "1" になるので、プリデコード信号 $AX60_N \sim AX63_N$ のうちの1つだけが "1" になる。これにより、正規のワード線のうちの1本が活性化される。比較結果が「一致」のときは信号 XDE が "0" にとどまるため、プリデコード信号 $AX60_N \sim AX63_N$ はすべて "0" のままである。したがって、正規のワード線は活性化されない。

【0038】

図11には、前記図1のリフレッシュ動作用プリデコーダ PD_R の一実施例の回路図が示されている。この実施例においても、前記図10と同様にて $k = 7$ 場合が示されている。この実施例回路は4組のプリデコーダ $PD1_R$ 、 $PD2_R$ 、 $PD3_R$ 及び $PD4_R$ から成る。プリデコーダ $PD1_R$ 、 $PD2_R$ は、それぞれアドレスの下位3ビット ($BX0_R \sim BX2_R$)、中位3ビット ($BX3_R \sim BX5_R$) をデコードする回路である。これらは前記図10のプリデコーダ $PD1_N$ 、 $PD2_N$ のような周知の

10

20

30

40

50

3ビットデコーダで実現できるので、構成の記載は省略し、ブラックボックスで示されている。

【0039】

プリデコーダPD3_Rは、リフレッシュアドレスの上位2ビット(BX6_R, BX7_R)をプリデコードする回路であるが、信号RE_R、XE_Rが入力されている点が上記の2つのプリデコーダPD1_R, PD2_Rの2つと異なる。信号RE_Rは、前述のようにリフレッシュアドレスカウンタの出力である冗長イネーブル信号である。

【0040】

XE_Rはリフレッシュ時にワード線を立ち上げるタイミングを決定するタイミング信号であり、所定のタイミングで"0"から"1"になる。このタイミングは前述の信号XE_Nよりも早い。この実施例では、リフレッシュ時は冗長判定を行わないので、その判定に費やす時間分だけ選択すべきワード線を早く決定できるからである。信号RE_Rが"0"のときは、信号XE_Rが"1"になるタイミングでプリデコード信号AX60_R~AX63_Rのうちの1つだけが"1"になる。これにより、正規のワード線のうちの1本が活性化される。信号RE_Rが"1"のときは、プリデコード信号AX60_R~AC63_Rはすべて"0"のままである。したがって、正規のワード線は活性化されない。

【0041】

プリデコーダPD4_Rはリフレッシュアドレス信号BX0_Rと信号RE_Rを受けて冗長ワード線活性化信号RW0_R, RW1_Rを生成するための回路である。信号RE_Rが"0"のときは、冗長ワード線活性化信号RW0_R, RW1_Rは、両方とも"0"のままである。したがって、冗長ワード線は活性化されない。信号RE_Rが"1"でリフレッシュアドレス信号BX0_Rが"0"のときは、信号XE_Rが"1"になるタイミングで冗長ワード線活性化信号RW0_Rが"1"になる。これにより、冗長ワード線RW0が活性化される。信号RE_Rが"1"でリフレッシュアドレス信号BX0_Rが"1"のときは、信号XE_Rが"1"になるタイミングで冗長ワード線活性化信号RW1_Rになる。これにより、冗長ワード線RW1が活性化される。

【0042】

図12には、本発明に係るDRAMの他の一実施例の概略ブロック図が示されている。同図において、前記図1の実施例と同一の符号は、同一または相当部分を示す。前記図1の実施例との相違点は、冗長ワード線選択用のセクタSEL2が1個しかないこと、および冗長ワード線選択用のデコーダRXDが設けられていることである。セクタSEL2からデコーダRXDに送られる冗長ワード線活性化信号は、RWの1本だけである。2本の冗長ワード線RW0, RW1のうち、どちらを活性化すべきかの識別には、プリデコード信号AX00, AX01を流用している。冗長ワード線デコーダRXDは、信号RWとプリデコード信号AX00が"1"のときは冗長ワード線RW0を、信号RWとプリデコード信号AX01が"1"のときは冗長ワード線RW1を活性化する。

【0043】

本実施例の特徴は、冗長ワード線活性化信号が1本でよいことである。図1の実施例では、冗長ワード線活性化信号はRW0, RW1の2本であった。これは冗長ワード線RW0, RW1の2本あるからである。それに対して本実施例では、この配線は冗長ワード線数が2本であるにもかかわらず1本でよい。この例では簡単のため冗長ワード線は2本としているが、冗長ワード線数が多数ある場合は、配線本数の低減はチップ面積低減に大きく寄与する。以上の変更に伴い、冗長判定回路やプリデコーダにも多少の変更がある。

【0044】

図13には、冗長判定回路RJの他の一実施例の回路図が示されている。前記図9の実施例回路との相違点は次の通りである。第1の相違点は、冗長ワード線活性化信号RW0_N, RW1_Nのかわりに、それらのオア(OR)信号RW_Nを出力することである。この信号RW_Nは、冗長ワード線RW0, RW1のいずれか一方が活性化されるべきときに"1"になる。

10

20

30

40

50

【 0 0 4 5 】

第2の相違点は、アドレス比較回路CMPの比較結果が「一致」であったことを示す信号HIT0, HIT1を出力することである。上記信号HIT0, HIT1は、待機時は両方とも"0"である。比較結果が「一致」のときはHIT0またはHIT1のいずれか一方が信号XENのタイミングで"1"になる。比較結果がいずれも「不一致」のときは両方とも"0"のままである。

【 0 0 4 6 】

第3の相違点は冗長イネーブル信号RENを出力することである。冗長イネーブル信号RENは、待機時は"1"であり、アドレス比較回路CMPの比較結果の一方が「一致」のときは"1"のままであり、比較結果がいずれも「不一致」のときは"0"になる。信号RW_NはセクタSEL2を通過して冗長ワード線の選択に用いられ、信号HIT0, HIT1, RENは、次に述べるプリデコーダPD_Nで用いられる。

10

【 0 0 4 7 】

図14には、読み出し/書き込み動作プリデコーダPD_Nの他の一実施例の回路図が示されている。この実施例でもk=7の場合である。この回路は3組のプリデコーダPD1_N, PD2_N, PD3_Nから成る。プリデコーダPD2_NおよびPD3_Nの構成は前記図10の場合と同一であるので記載を省略し、ブラックボックスで表している。

【 0 0 4 8 】

プリデコーダPD1_Nの動作を次に説明する。前記のようなアドレス比較回路CMPの比較結果がいずれも「不一致」のときは、信号RENが"0"、HIT0, HIT1が"0"であるから、前記図10の場合と同様に、アドレスの下位3ビットがプリデコードされてプリデコード信号AX00_N~AX07_Nが生成される。アドレス比較回路CMPの比較結果が「一致」の場合は、信号RENが"1"、HIT0, HIT1の一方が"1"になる。

20

【 0 0 4 9 】

したがって、アドレス入力信号BXiT_N, BXiB_N(i=0~2)にかかわらず、信号HIT0が"1"のときはプリデコード信号AX00_Nが"1"になり、信号HIT1が"1"のときはプリデコード信号AX01_Nが"1"になる。他のプリデコード信号AX02_N~AX07_Nは"0"のままである。プリデコーダPD2_NおよびPD3_Nの動作は前記図10の場合と同じであるので、説明は省略する。なお、リフレッシュ動作プリデコーダPD_Rは図11と同様なので説明は省略する。ただし、冗長ワード線活性化信号RW0_R, RW1_Rを生成するプリデコーダPD4_Rは不要である。

30

【 0 0 5 0 】

図15には、本発明本発明に係るDRAMの更に他の一実施例の概略ブロック図が示されている。同図において、前記図1、図12の実施例と同一の符号は、同一または相当部分を示す。本実施例の第1の特徴は、リフレッシュアドレスカウンタとしてシフトレジスタ方式の回路AC2を採用したことである。図1、図12に示した実施例は、リフレッシュアドレスカウンタAC1でリフレッシュアドレス信号BXi_Rを発生し、それをプリデコーダPD_Rでプリデコードしてプリデコード信号AXij_Rを発生するという方式であった。

40

【 0 0 5 1 】

本実施例は、プリデコードされた信号AXij_Rを直接発生する(正確に言えば、プリデコードされた信号CXij_Rとタイミング信号XEN_RのANDをとってAXij_Rとする)。これにより、プリデコーダPD_Rが不要になるので、回路規模が低減できると共に、消費電力も低減できる。

【 0 0 5 2 】

本実施例の第2の特徴は、ワード線の置き換え単位をワード線4本(図1、図12の実施例ではワード線1本)としたことである。すなわち、冗長ワード線はRW0~RW7の8

50

本あるが、冗長ワード線RW0～RW3、及びRW4～RW7はそれぞれ同時に正規のワード線と置き換えられる。これによる第1の利点は、ワード線同士のショートのように隣接したワード線が同時に不良になる場合に対処しやすいことである。第2の利点は、階層ワード線方式に適することである。次に本実施例のDRAMを構成する主要な回路について図面を用いて詳しく説明する。

【0053】

図16には、リフレッシュアドレスカウンタAC2の一実施例の回路図が示されている。同図においても $k=7$ の場合である。この回路は21個のDフリップフロップDFFと若干の論理ゲートから成る。ノRFはリフレッシュ信号であり、リフレッシュ動作開始時に"0"になり、リフレッシュ動作が終了すると"1"になる。図の最上段の8個のフリップフロップDFFはリング状に接続されており、出力信号CX30_R～CX37_Rを発生する。2段目の4個のフリップフロップDFFもやはりリング状に接続されていて、出力CX60_R～CX63_Rを発生する。3段目の1個のフリップフロップDFFは冗長イネーブル信号RE_Rを発生する。最下段の8個のフリップフロップDFFはリング状に接続されており、CX00_R～CX07_Rを発生する。

10

【0054】

図17には、図16のフリップフロップDFFの一実施例の回路図が示されている。出力QはクロックCKの立ち下りに変化し、出力CXij_Rは上記出力Qよりも半サイクル早く、すなわちクロックCKの立ち上りで変化する。

【0055】

図18には、前記図16のリフレッシュアドレスカウンタを説明するための動作波形図が示されている。初期状態では出力CX30_R、CX60_R及びCX00_Rのみがそれぞれ"1"になり、他は"0"になっている。この状態ではアドレス"000"(8進表示)のワード線W0のリフレッシュが実行されている。

20

【0056】

時刻 t_0 において、信号ノRFが立ち上がると、信号CX30_Rが"0"に、CX31_Rが"1"になる。CX60_R、CX00_Rは"1"のままである。したがって、時刻 t_1 から t_2 まではアドレス"010"のワード線W8のリフレッシュが実行される。

【0057】

時刻 t_2 において、信号ノRFが立ち上がるとCX31_Rが"0"に、CX32_Rが"1"になる。したがって、時刻 t_3 から t_4 ではアドレス"020"のワード線W16のリフレッシュが実行される。以下同様にしてアドレスが進み、 t_{13} から t_{14} まではアドレス"070"のワード線W56のリフレッシュが実行される。

30

【0058】

時刻 t_{14} において、信号ノRFが立ち上がると、CX37_Rが"0"に、CX30_Rが"1"になるとともに、CX60_Rが"0"に、CX61_Rが"1"になる。したがって、時刻 t_{15} から t_{16} まではアドレス"100"のワード線W64のリフレッシュが実行される。以下同様にしてアドレスが進み、正規のワード線が8本おきにリフレッシュされる。時刻 t_{61} から t_{62} まではアドレス"370"のワード線W248のリフレッシュが実行される。

40

【0059】

時刻 t_{62} において、信号ノRFが立ち上がると、CX30_R～CX37_R、およびCX60_R～CX63_Rがすべて"0"になるとともに、冗長イネーブル信号RE_Rが"1"になる。これにより、時刻 t_{63} から t_{64} までは冗長ワード線RW0のリフレッシュが実行される。

【0060】

時刻 t_{64} において、ノRFが立ち上がると、信号RE_Rが"0"になるとともに、CX30_R、CX60_Rが"1"に、CX00_Rが"0"に、CX01_Rが"1"になる。したがって、時刻 t_{65} から t_{66} まではアドレス"001"のワード線W1の

50

リフレッシュが実行され、再び上と同様に8本おきに正規のワード線がリフレッシュされる。以上をまとめると図19の関係図のようになる。本実施例に用いる冗長判定回路R_J2は前記図13に示した回路と同じでよいので、説明は省略する。

【0061】

図20には、本発明に係る読み出し/書き込み動作プリデコーダPD_Nの更に他の一実施例の回路図が示されている。この実施例でもk=7の場合である。この回路は3組のプリデコーダPD₁_N、PD₂_N、PD₃_Nから成るが、そのうちのプリデコーダPD₂_NおよびPD₃_Nは前記図14の実施例と同一であるので記載を省略している。

【0062】

プリデコーダPD₁_Nの動作を次に説明する。前記のようなアドレス比較回路CMPの比較結果がいずれも「不一致」のときは、信号RE_Nが"0"、信号HIT₀、HIT₁が"0"であるから、前記図10の場合と同様に、アドレスの下位3ビットがプリデコードされてプリデコード信号AX₀₀_N~AX₀₇_Nが生成される。アドレス比較回路CMPの比較結果が「一致」の場合は、信号RE_Nが"1"、信号HIT₀、HIT₁の一方が"1"になる。

【0063】

上記信号HIT₀が"1"のときは、アドレス入力信号BX_iT_N、BX_iB_N(i=0,1)によって、AX₀₀_N~AX₀₃_Nのいずれか1つが"1"に、他は"0"になる。たとえば、アドレス信号BX₀B_N、BX₁B_Nが"1"のときはAX₀₀_Nが"1"になる。上記信号HIT₁が"1"のときはアドレス入力信号BX_iT_N、BX_iB_N(i=0,1)によって、AX₀₄_N~AX₀₇_Nのいずれか1つが"1"に、他は"0"になる。たとえば、アドレス信号BX₀B_N、BX₁B_Nが"1"のときはAX₀₄_Nが"1"になる。いずれの場合もアドレス入力信号BX₂T_N、BX₂B_Nは無視される。

【0064】

本実施例も、前記図12の実施例2と同様、冗長ワード線活性化信号が1本だけであり配線本数が少ないという利点がある。8本の冗長ワード線のうち、どれを活性化すべきかの識別には、プリデコード信号AX₀₀~AX₀₇を流用している。

【0065】

図21には、本発明に係るDRAMの更に他の一実施例の概略ブロック図が示されている。同図において、前記図1、図12等の実施例と同一の符号は、同一または相当部分を示す。この実施例では、セクタSEL₄をプリデコーダの前段に挿入していることである。すなわち、セクタSEL₄はプリデコード前のアドレス信号BX_i_N、BX_i_Rを選択する。一般にプリデコード前の信号の方がプリデコード後の信号よりも本数が少ないから、セクタの回路規模を小さくできる。

【0066】

上記セクタによって選択されたアドレス信号BX_iは、冗長判定回路R_J4に送られる。ただし、冗長判定回路R_J4は、リフレッシュモードのとき(信号R_{mode}が"1"のとき)は判定動作を行わない。これにより、リフレッシュ動作を冗長判定回路の動作時間分だけ高速化でき、さらに冗長判定回路分の消費電力を低減することができる。

【0067】

図22には、前記図21の冗長判定回路R_J4の一実施例の回路図が示されている。前記図9の実施例回路との第1の相違点は、アドレス信号BX_iT_N、BX_iB_N(i=0~k)の入力部にリフレッシュモード信号R_{mode}とのオア(OR)をとるためのゲートが設けられていることである。リフレッシュモードのときは信号R_{mode}が"1"であるから、アドレス比較回路CMPの入力は"1"に固定され、アドレス比較回路CMPは動作しない。これにより、リフレッシュ時はアドレス比較回路CMPに要する消費電力が不要になる。

【0068】

10

20

30

40

50

前記図9の実施例回路との第2の相違点は、信号XDEの発生方法にある。読み出し/書き込み時には信号XE_Rが"0"であるから、信号XDEの発生は図9の実施例回路の場合と同じである。すなわち、アドレス比較回路CMPの比較結果がいずれも「不一致」のとき、信号XE_Nが"0"から"1"になるタイミングで"1"になる。

【0069】

リフレッシュ時には、信号XE_Nは"0"で、信号XE_Rが所定のタイミングで"0"から"1"になる。このタイミングは前述の信号XE_Nよりも早い。リフレッシュ時は冗長判定を行わないので、その判定に費やされる時間分だけ選択すべきワード線が早く決定できるからである。信号RE_Rが"0"のときは、信号XE_Rが"1"になるタイミングでXDEが"1"になる。これにより、正規のワード線のうちの1本が活性化される。信号RE_Rが"1"のときは、信号XDEは"0"のままである。したがって、正規のワード線は活性化されない。

10

【0070】

本実施例ではリフレッシュ時にアドレス比較回路CMPを動作しないようにするのに、入力信号を固定するという方法をとっているが、他の方法も可能である。たとえば、アドレス比較回路CMPの電源をオフするという方法でもよい。

【0071】

図23には、本発明に係るDRAMの更に他の一実施例の概略ブロック図が示されている。同図において前記図1、図12等の実施例と同一の符号は、同一または相当部分を示す。本方式の特徴は、リフレッシュ時にワード線を選択するのにシフトレジスタSRを用いていることである。シフトレジスタSRは、正規のワード線活性化信号RW0~RWnおよび冗長ワード線活性化信号RW0, RW1を直接出力する。

20

【0072】

リフレッシュ時は正規ワード線活性化信号W0~Wn及び冗長ワード線活性化信号RW0, RW1のうち1つだけが"1"になる。リフレッシュ信号/RFはシフトレジスタSRをシフトするのに用いられる。信号/RFが立ち上るごとに、正規ワード線活性化信号W0~Wn、冗長ワード線活性化信号RW0, RW1が順に"1"になり、正規のワード線W0~Wnと冗長ワード線RW0, RW1が順にリフレッシュされる。

【0073】

本実施例においても、リフレッシュ時には冗長判定は行われぬ。これにより、リフレッシュ動作を冗長判定回路の動作時間分だけ高速化でき、さらに冗長判定回路分の消費電力を低減することができる。また、シフトレジスタSRが冗長ワード線活性化信号を出力するので、冗長判定を行わなくても、冗長ワード線に接続されたメモリセルも、正規のワード線に接続されたメモリセルと同様にリフレッシュすることができる。

30

【0074】

図24には、本発明に係るDRAMの更に他の一実施例の概略ブロック図が示されている。この実施例のDRAMは、SRAMインタフェースを有するDRAM、いわゆる擬似SRAMに向けられている。RCは、本発明によるロウ(ワード線)選択制御回路であり、その中には冗長判定回路、プリデコーダ、リフレッシュアドレスカウンタ、セクタなどが含まれる。

40

【0075】

ABはアドレス入力回路であり、外部アドレス信号Aiを受け取り、内部ロウアドレス信号BXi_Nおよび内部カラムアドレス信号BYiを生成する。ATDはアドレス遷移検知回路であり、内部アドレス信号が変化したことを検出してアクセス要求信号NRQを出力する。RTはリフレッシュタイマであり、定期的に(たとえば数μsごと)リフレッシュ要求信号RRQを出力する。

【0076】

MCは主制御回路であり、信号NRQ、RRQ、チップセレクト信号/CS、書き込みイネーブル信号/WE、出力イネーブル信号/OEなどの信号(コマンド)を受けて、読み出し/書き込みとリフレッシュの実行順序を調停する。上記主制御回路MCはリフレッシュ

50

ュモード信号 $Rmode$ 、リフレッシュ信号 $/RF$ 、タイミング信号 XE_N 、 XE_R を出力する。これらの信号は前述のように、ロウ選択制御回路 RC 内で用いられる。

【0077】

XD はロウデコーダ、 RXD は冗長ワード線デコーダである。 MA はメモリアレーであり、ワード線 $W0 \sim Wn$ および冗長ワード線 $RW0$ 、 $RW1$ とビット線 $B0 \sim Bm$ との交点に周知の1トランジスタ型ダイナミックメモリセル（記憶キャパシタとアドレス選択 $MOSFET$ ）が配置されている。なお、この図では省略してあるが、必要に応じて冗長ビット線を設けてもよい。

【0078】

SA はビット線上に読み出された信号を増幅するセンスアンプ、 YD はカラムアドレス信号 BYi を受けて1本のビット線を選択するカラムデコーダ、 MUX は選択されたビット線を入出力データ線 I/O に接続するためのマルチプレクサ、 MA はメインアンプ、 $Dout$ はデータ出力バッファ、 Din はデータ入力バッファ、 WB は書き込みバッファ、 DQ はデータ入出力端子である。なお、 I/O 、 MA 、 $Dout$ 、 Din 、 WB 、 DQ は図では1個しか記載されていないが、もちろん複数個（たとえば4～16個）あってもよい。

【0079】

信号 NRQ が RRQ よりも先に出力された場合は、読み出しまたは書き込みが先に実行され、終了後にリフレッシュが実行される。読み出しの場合は、カラムデコーダによって選択されたビット線上のデータがマルチプレクサ MUX を通じて I/O 上に読み出され、メインアンプ MA 、データ出力バッファ $Dout$ を通じてデータ入出力端子 DQ に出力される。書き込み時には、データ入出力端子 DQ から入力されたデータがデータ入力バッファ Din 、書き込みバッファ WB 、 I/O 、マルチプレクサ MUX 、さらに選択されたビット線を通してメモリセルに書きこまれる。

【0080】

逆に、信号 RRQ が NRQ よりも先に出力された場合は、リフレッシュが先に実行され、終了後に読み出しまたは書き込みが実行される。リフレッシュ時にはセンスアンプは動作するが、カラムデコーダやデータ入出力関係の回路は動作しない。以上のような動作により、外部からリフレッシュ動作を隠蔽することができる。

【0081】

図25には、本発明に係る $DRAM$ の更に他の一実施例の簡略ブロック図が示されている。この実施例の $DRAM$ は、前記図24と同様な擬似 $SRAM$ に向けられている。メモリ回路 $MACLL$ は、複数のビット線と複数のワード線に対応して設けられ、周期的に記憶情報の保持のためのリフレッシュ動作を必要とする複数のメモリセルを含む。このメモリセルは、例えば情報記憶用キャパシタとアドレス選択 $MOSFET$ から構成される。アドレス選択用 $MOSFET$ のゲートは上記ワード線に接続され、ソース、ドレイン経路の一方は上記ビット線に接続され、ソース、ドレイン経路の他方は上記記憶用キャパシタの記憶ノードに接続される。

【0082】

上記ビット線は対とされて、差動ラッチ回路からなるセンスアンプの入出力ノードに結合される。ワード線の選択動作によりビット線対の一方にメモリセルが接続され、他方のビット線にはメモリセルが接続されない。センスアンプは、上記メモリセルが接続されないビット線のプリチャージ電圧を参照電圧とし、メモリセルが接続されたビット線に読み出された読み出し信号との微小電位差をハイレベルとロウレベルに増幅して、ワード線の選択動作によって失われかかった記憶キャパシタの電荷の状態をもとの記憶状態に戻すという再書き込み（又はリフレッシュ動作）を実施する。このような構成は、周知のダイナミック型 RAM のそれと同一のものを用いることができる。

【0083】

上記メモリ回路 $MACLL$ のワード線及びビット線選択のために、ローアドレス遷移検出回路 $ATDR$ とカラムアドレス遷移検出回路 $ATDC$ とが設けられる。ローアドレス遷移

10

20

30

40

50

検出回路には、ロー系アドレス信号 A D R が供給され、カラムアドレス遷移検出回路には、カラム系アドレス信号 A D C が供給される。データ信号 D T は、メモリ回路 M A C L L に入力される書き込みデータと、メモリ回路 M A C L L から出力される読み出しデータである。信号 C T は、書き込み / 読み出し制御動作や、チップ選択信号等の制御信号である。

【 0 0 8 4 】

上記ローアドレス遷移検出回路 A T D R の出力信号はロー系コントロール回路 C T L R に入力され、ロー系パスのタイミングおよびカラム系始動タイミングを生成する。上記カラムアドレス遷移検出回路 A T D C の出力信号はカラム系コントロール回路 C T L C に入力され、カラム系パスのタイミングを生成する。上記コントロール回路 C T L R、C T L C で生成されたタイミングによりメモリ回路 M C A L L へのアクセスが実施される。これにより、カラムアドレス信号 A D C のみが遷移した場合、カラム系の独立制御が可能となり、それ以前のロー系アドレス選択動作によって選択されたワード線に対してページモードでの入出力ができる。

10

【 0 0 8 5 】

上記のようなダイナミック型メモリセルは、記憶キャパシタに保持された情報電荷が時間の経過とともに失われしまう。そこで、ダイナミック型メモリセルでは、かかる情報電荷が失われる前に読み出し動作を行ない、もとの電荷の状態に戻すというリフレッシュ動作を必要とする。リフレッシュタイマー R E F T I M は、上記メモリセルの情報保持能力に対応した一定時間信号を形成する。このリフレッシュタイマー R E F T I M の出力信号は、上記ロー系コントロール回路 C T L R に入力され、リフレッシュアドレスカウンタ A C N T で指定されたアドレスのリフレッシュを実行する。また、上記リフレッシュアドレスカウンタ A C N T のカウントアップも実施する。

20

【 0 0 8 6 】

上記ロー系コントロール回路 C T L R は、外部のローアドレス信号 A D R の遷移、つまり、ローアドレス遷移検出回路 A T D R の出力信号と内部のリフレッシュタイマー R E F T I M の出力信号のうち早いほうを検出して、通常メモリアクセスかリフレッシュ動作のどちらかを実行させ、実行後は未実行動作を実行させる制御をしている。これにより、内部リフレッシュ動作と外部からのアクセスがぶつかり合っても不具合を生じないため、外部からのリフレッシュ要求を不要にできる。

30

【 0 0 8 7 】

図 2 6 には、上記図 2 5 の実施例の動作の一例を説明するための簡略タイミングチャート図が示されている。同図においては、アドレス信号 A R の遷移よりも内部リフレッシュ要求が早く検出された場合の例が示されている。リフレッシュ動作後、つまりリフレッシュ動作 (Refresh) によるワード線 W L の選択及びセンスアンプの動作によってビット線対 B L , B L B がメモリセルの記憶情報に従ってハイレベルとロウレベルに変化し、前記のようなリフレッシュ動作が実施された後に、ワード線 W L がいったんロウレベルの非選択状態となり、ビット線 B L , B L B がリセット (プリチャージ) される。そして、アドレス信号 A R (0) に対応したワード線 W L の選択動作 (Read) が行われてアドレス信号 A C (0) に対応してカラム選択信号 Y S (A C (0)) が形成される。

40

【 0 0 8 8 】

このようなリフレッシュ動作とリード動作開始とが 1 サイクル (t R C) 内に実行される。この結果、外部からは内部リフレッシュ動作が見えない。よって、外部からのリフレッシュ要求は不要となり、上記のようなダイナミック型メモリセルにより構成されたメモリ回路 M A C L L を用いつつ、S R A M インターフェイス互換を実現できる。

【 0 0 8 9 】

上記 1 サイクル (t R C) 後に上記カラムアドレス信号 A C (0) に対応したカラム選択信号 Y S (A C (0)) による読み出し信号 D o u t (0) が出力され、カラムアドレス信号 (A C) のみが変化した場合 (A C (0) A C (1))、ワード線 W L は活性化 (選択状態) されたまま、ページアドレスに対応したカラム選択信号 Y S (A C (1)) が形

50

成され、データDout(01)が読み出される。その後、再びカラムアドレス信号ACのみが変化した場合(AC(1) AC(2))は、同様に、カラム選択信号YS(AC(2))が形成されDout(02)が読み出される。

【0090】

続いて、ローアドレス信号ARが変化した場合(AR(0) AR(1))は、ローアドレス信号AR(0)に対応したワード線WLは非活性となり、ローアドレス信号AR(1)に対応したワード線WLが活性化される。このように、カラムアドレス信号ACのみが変化している期間は、カラム選択信号YSへのアクセスとカラム選択信号YSからの読み出し時間でサイクルが決まるため、ワード線の選択動作やセンスアンプの増幅動作を含む上記1サイクルtRCよりも高速に読み出しが可能となる。

10

【0091】

リフレッシュ要求がアドレス遷移検出回路ATDRの出力信号よりも遅れた場合は、当該サイクル(ページモード期間含む)の終了後、ワード線WLが非活性になった後に、リフレッシュアドレスによるワード線WLの選択が行われてリフレッシュが実行される。この場合、リフレッシュ動作が次サイクルにかかるが、1サイクルtRC内にリフレッシュとリード動作を実行できるので問題は無い。また、ライト動作のときでも上記リード動作と同様に時間的に振り分けられて内部でリフレッシュ動作を実施することができる。

【0092】

以上、本発明を擬似SRAMに適用した例について説明したが、本発明は擬似SRAMだけでなく、通常のDRAMにも適用可能である。ただ、擬似SRAMの方がリフレッシュサイクル時間の短縮がアクセス時間の短縮に直結するだけに、本発明を適用する効果が大きい。

20

【0093】

図27に本発明による擬似SRAMの実装形態の一実施例の構成図が示されている。同図(a)は平面部分が示され、(b)は断面部分が示されている。この実施例の半導体メモリは、これはスタックTCS P(Chip Size Package)と言われている実装形態であり、基板Bの上にフラッシュメモリFと擬似SRAM(PS)とを構成する2つの半導体チップを重ねて実装しているのが特徴である。Tはハンダボールなどの外部端子である。簡単のためボンディングワイヤは記載を省略している。

【0094】

アドレス信号および入出力データ信号については、フラッシュメモリFと擬似SRAM(PS)とで共通の端子に接続されている。一方、コマンド信号については、フラッシュメモリと擬似SRAMとで別々の端子に接続されている。これにより、フラッシュメモリと擬似SRAMの一方のみを動作させることが可能になる。このような2つのメモリを1つの半導体メモリとして構成することより、電源遮断に対してデータの揮発化を必要とするデータはフラッシュメモリFに記憶させ、それ以外は擬似SRAMに記憶させるという使い分け、あるいは電源遮断前に擬似SRAMに記憶されたデータの揮発化を必要とするものをフラッシュメモリに転送して保持させるようにすることもできる。

30

【0095】

上記の実施例から得られる作用効果は、下記の通りである。

40

(1) 内部アドレス信号を発生するアドレス入力回路と、上記内部アドレス信号を受けて該アドレスが複数の正規ワード線のうち不良ワード線のアドレスに該当するか否かを判定する冗長判定回路と、複数の正規ワード線と冗長ワード線とを順次リフレッシュするためのリフレッシュアドレス信号を発生するアドレスカウンタとを有し、リフレッシュ時には上記冗長判定回路を動作停止にすることにより、リフレッシュサイクル時間を短縮でき、しかもリフレッシュ時の消費電力を低減できるという効果が得られる。

【0096】

(2) 上記に加えて、上記正規メモリセル及び冗長メモリセルは、アドレス選択用MOSFETと情報記憶用キャパシタとからなるダイナミック型メモリセルで構成することにより、大記憶容量化が実現でき、ビットコストを安くできるという効果が得られる。

50

【 0 0 9 7 】

(3) 上記に加えて、上記アドレスカウンタを、正規ワード線の数に対応したビット数の計数出力を有し、全ての正規ワード線を選択するためのアドレス信号を形成した後に冗長用イネーブル信号を発生して上記冗長ワード線の数に対応した計数動作を行うようにすることにより、簡単な構成で正規ワード線及び冗長ワード線を選択信号を形成することができるという効果が得られる。

【 0 0 9 8 】

(4) 上記に加えて、上記内部アドレス信号と上記リフレッシュアドレス信号とを選択する第 1 のセクタと、上記冗長イネーブル信号と上記リフレッシュ用冗長イネーブル信号とを選択する第 2 のセクタとを更に設けることにより、セクタの簡素化を図ることができるという効果が得られる。

10

【 0 0 9 9 】

(5) 上記に加えて、リフレッシュ動作を実行すべき時間間隔を計測してリフレッシュ要求信号を出力するタイマと、上記リフレッシュ要求とアクセス要求とを調停する調停回路とをさらに有することにより、リフレッシュ動作を意識しないで書き込み / 読み出し動作を行うことができるのでスタティック型 R A M と同等に使用できるという効果が得られる。

【 0 1 0 0 】

(6) 上記に加えて、上記半導体メモリが形成された第 1 半導体チップ対して積層構造にされ第 2 半導体チップとを更に設けることにより、多機能化を図った半導体メモリを得ることができるという効果が得られる。

20

【 0 1 0 1 】

(7) 上記に加えて、第 2 半導体チップには不揮発性メモリが搭載することにより、必要なデータの揮発性が可能になるという効果が得られる。

【 0 1 0 2 】

以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、メモリアレイは、ビット線方向及びワード線方向に複数に分割し、かかる分割されたメモリセルアレイに対応して、そのアドレス選択回路を複数設けるようにするものであってもよい。ワード線やビット線は、メインワード線とローカルワード線のような階層ワード線方式、ビット線もローカルビット線及びメインビット線等のように階層ビット線方式を採用するものであってもよい。

30

【 0 1 0 3 】

つまり、公知のダイナミック型 R A M に採用されている素子構造、回路レイアウト技術を利用して、前記メモリセルアレイ及びそのアドレス選択回路を構成することができる。この実施例のようにリフレッシュ隠蔽 + ページモードを有する同期式擬似 S R A M、リフレッシュ隠蔽 + D R A M インターフェイス (アドレスマルチおよび R A S ・ C A S 制御) を構成することもできる。

【 0 1 0 4 】

携帯電話等のような電子装置の高機能化に伴い、大容量ワーク R A M の需要が急増している。通常、ワーク R A M は非同期 S R A M で作られているが大容量化に向かない。その代替メモリとして大容量の D R A M が注目されているがリフレッシュが必要であり使い勝手が悪い。この発明に係る半導体メモリは、非同期 S R A M との互換性を保つことができ、前記フラッシュメモリと一体化した構成とすることにより、電源遮断時での不揮発情報機能を持つフラッシュメモリとの組み合わせによって種々のメモリ動作を発揮することができる。この発明は、このように D R A M 回路を利用しつつ、外部からは S R A M と同等に扱うことができる半導体メモリとして広く利用できる。

40

【 0 1 0 5 】

【 発明の効果 】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれ

50

ば、下記の通りである。内部アドレス信号を発生するアドレス入力回路と、上記内部アドレス信号を受けて該アドレスが複数の正規ワード線のうち不良ワード線のアドレスに該当するか否かを判定する冗長判定回路と、複数の正規ワード線と冗長ワード線とを順次リフレッシュするためのリフレッシュアドレス信号を発生するアドレスカウンタとを有し、リフレッシュ時には上記冗長判定回路を動作停止にすることにより、リフレッシュサイクル時間を短縮でき、しかもリフレッシュ時の消費電力を低減できる。

【図面の簡単な説明】

【図 1】本発明に係る D R A M の一実施例を示す概略ブロック図である。

【図 2】図 1 のリフレッシュアドレスカウンタ A C 1 の一実施例を示す回路図である。

【図 3】図 2 のリフレッシュアドレスカウンタ A C 1 の動作を説明する動作波形図である

10

。【図 4】図 2 のリフレッシュアドレスカウンタ A C 1 の動作を説明するための信号関係図である。

【図 5】図 1 のリフレッシュアドレスカウンタ A C 1 の他の一実施例を示す回路図である。

。【図 6】図 5 のリフレッシュアドレスカウンタ A C 1 の動作を説明する動作波形図である。

。【図 7】図 5 のリフレッシュアドレスカウンタ A C 1 の動作を説明するための信号関係図である。

【図 8】図 2、図 5 のリフレッシュアドレスカウンタ A C 1 に用いられるフリップフロップ T F F の一実施例を示す回路図である。

20

【図 9】図 1 の冗長判定回路 R J の一実施例を示す回路図である。

【図 10】図 1 の読み出し / 書き込み動作用プリデコーダ P D _ N の一実施例を示す回路図である。

【図 11】図 1 のリフレッシュ動作用プリデコーダ P D _ R の一実施例を示す回路図である。

【図 12】本発明に係る D R A M の他の一実施例を示す概略ブロック図である。

【図 13】冗長判定回路 R J の他の一実施例を示す回路図である。

【図 14】読み出し / 書き込み動作用プリデコーダ P D _ N の他の一実施例を示す回路図である。

30

【図 15】本発明に係る D R A M の更に他の一実施例を示す概略ブロック図である。

。【図 16】図 15 のリフレッシュアドレスカウンタ A C 2 の一実施例を示す回路図である。

。【図 17】図 16 のフリップフロップ D F F の一実施例を示す回路図である。

【図 18】図 16 のリフレッシュアドレスカウンタを説明するための動作波形図である。

【図 19】図 16 のリフレッシュアドレスカウンタの動作を説明するための信号関係図である。

【図 20】本発明に係る読み出し / 書き込み動作用プリデコーダ P D _ N の更に他の一実施例を示す回路図である。

40

【図 21】本発明に係る D R A M の更に他の一実施例を示す概略ブロック図である。

【図 22】図 21 の冗長判定回路 R J 4 の一実施例を示す回路図である。

【図 23】本発明に係る D R A M の更に他の一実施例を示す概略ブロック図である。

【図 24】本発明に係る D R A M の更に他の一実施例を示す概略ブロック図である。

【図 25】本発明に係る D R A M の更に他の一実施例を示す簡略ブロック図である。

【図 26】図 25 の実施例の動作の一例を説明するための簡略タイミングチャート図である。

【図 27】本発明による擬似 S R A M の実装形態の一実施例の構成図である。

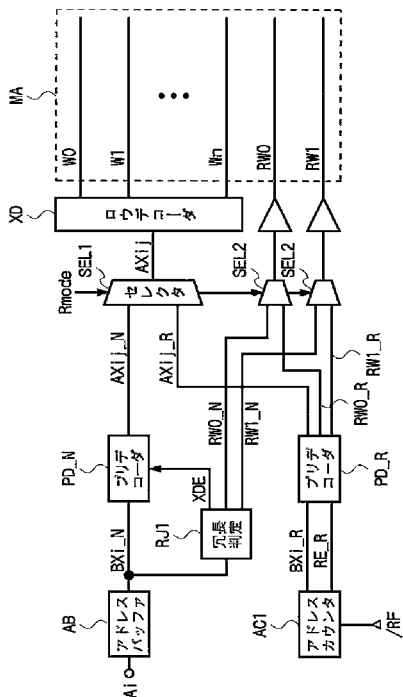
【符号の説明】

A B ... アドレス入力回路、 A C 1 , A C 2 ... リフレッシュアドレスカウンタ R J 1 , R

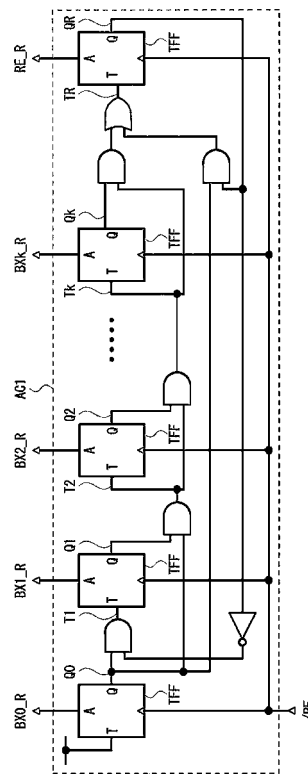
50

J 2 , R J 4 ...冗長判定回路、 P D _ N ...通常動作プリデコーダ P D _ R ...リフレッシュ動作プリデコーダ、 S E L 1 , S E L 2 , S E L 4 ...セレクタ、 X D ...ロウデコーダ、 R X D ...冗長ワード線デコーダ、 S R ...シフトレジスタ、 M A ...メモリアレー、 W 0 ~ W n ...正規のワード線、 R W 0 , R W 1 ...冗長ワード線、 A T D R ...ローアドレス遷移検出回路、 A T D C ...カラムアドレス遷移検出回路、 C T L R ...ロー系コントロール回路、 C T L C ...カラム系コントロール回路、 M A C L L ...メモリ回路、 R E F T I M ...リフレッシュタイマー、 A C N T ...リフレッシュアドレスカウンタ。

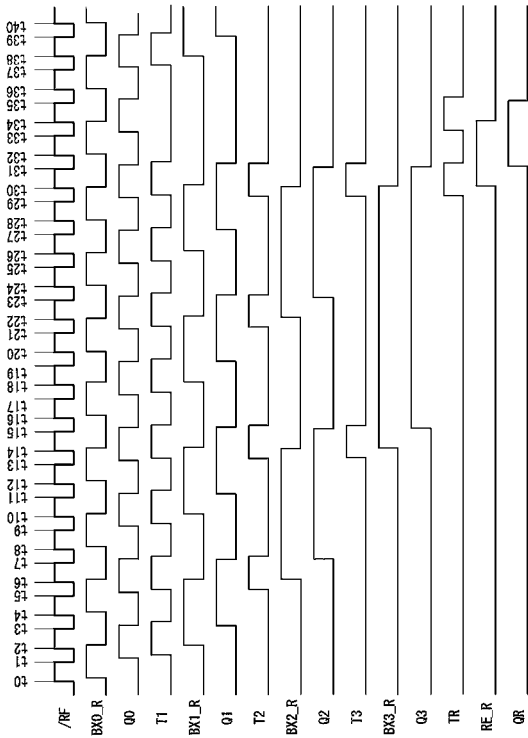
【 図 1 】



【 図 2 】



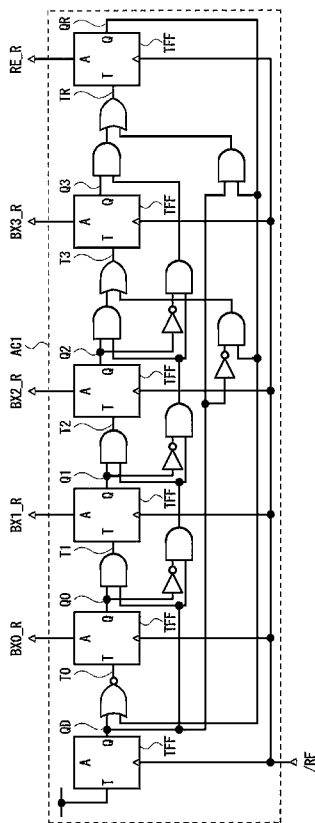
【 図 3 】



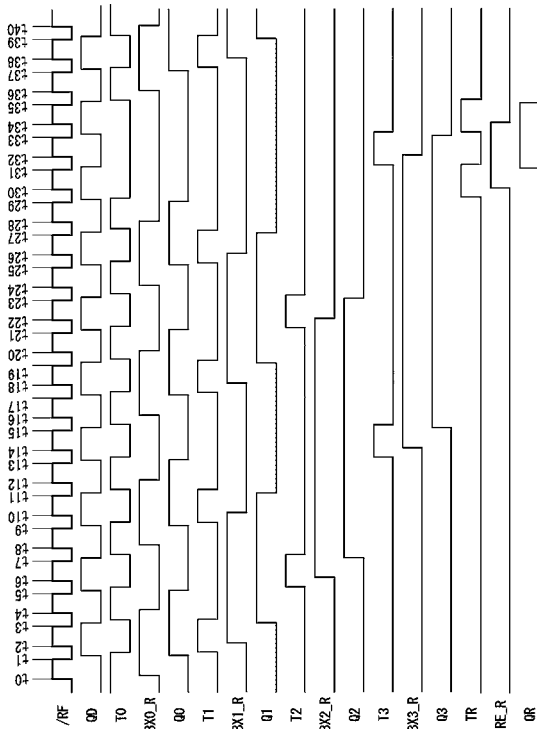
【 図 4 】

期間	RE_R	BX3_R	BX2_R	BX1_R	BX0_R	リフレッシュされるワード線
~t0	0	0	0	0	0	W0
t1~t2	0	0	0	0	1	W1
t3~t4	0	0	0	1	0	W2
t5~t6	0	0	0	1	1	W3
t7~t8	0	0	1	0	0	W4
t9~t10	0	0	1	0	1	W5
t11~t12	0	0	1	1	0	W6
t13~t14	0	0	1	1	1	W7
t15~t16	0	1	0	0	0	W8
t17~t18	0	1	0	0	1	W9
t19~t20	0	1	0	1	0	W10
t21~t22	0	1	0	1	1	W11
t23~t24	0	1	1	0	0	W12
t25~t26	0	1	1	0	1	W13
t27~t28	0	1	1	1	0	W14
t29~t30	0	1	1	1	1	W15
t31~t32	1	0	0	0	0	RWD
t33~t34	1	0	0	0	1	RW1

【 図 5 】



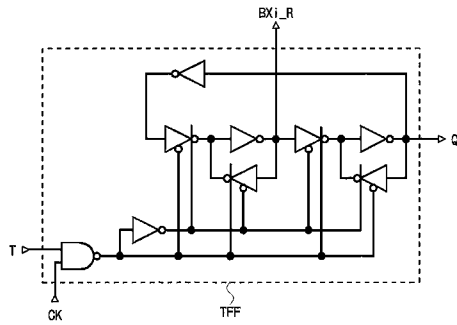
【 図 6 】



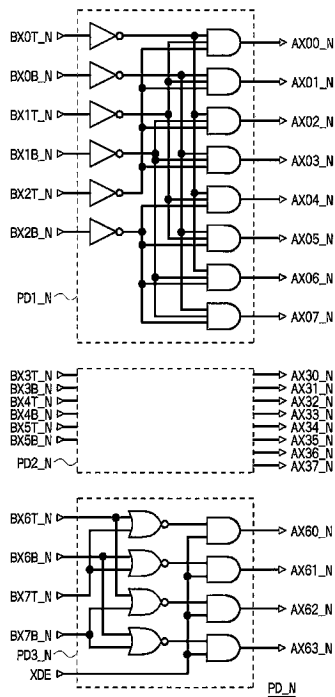
【図 7】

期間	RE_R	BX3_R	BX2_R	BX1_R	BX0_R	リフレッシュされるワード線
~t0	0	0	0	0	0	W0
t1~t2	0	0	0	0	1	W1
t3~t4	0	0	0	1	1	W3
t5~t6	0	0	0	1	0	W2
t7~t8	0	0	1	1	0	W6
t9~t10	0	0	1	1	1	W7
t11~t12	0	0	1	0	1	W5
t13~t14	0	0	1	0	0	W4
t15~t16	0	1	1	0	0	W12
t17~t18	0	1	1	0	1	W13
t19~t20	0	1	1	1	1	W15
t21~t22	0	1	1	1	0	W14
t23~t24	0	1	0	1	0	W10
t25~t26	0	1	0	1	1	W11
t27~t28	0	1	0	0	1	W9
t29~t30	0	1	0	0	0	W8
t31~t32	1	1	0	0	0	RW1
t33~t34	1	0	0	0	0	RW0

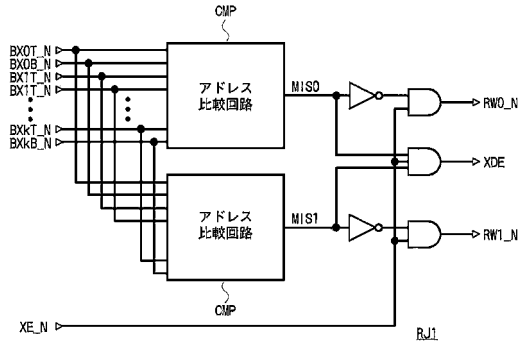
【図 8】



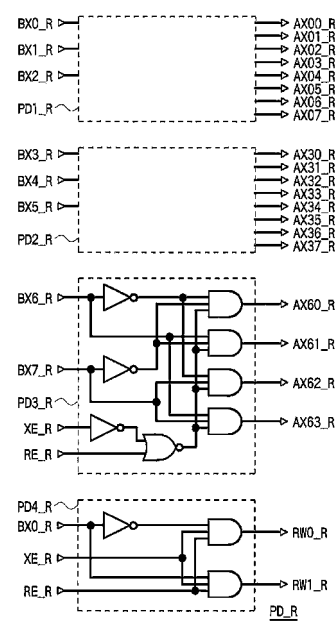
【図 10】



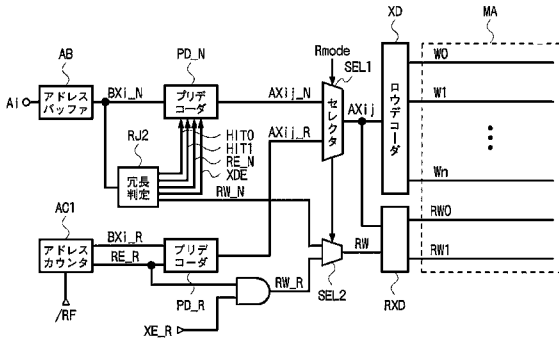
【図 9】



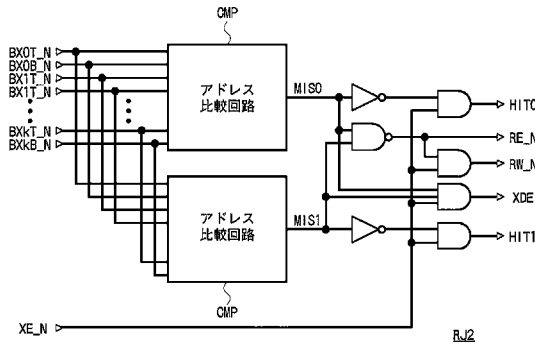
【図 11】



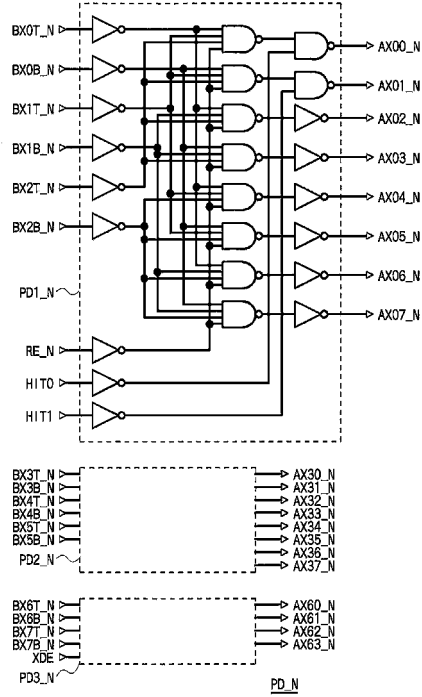
【図12】



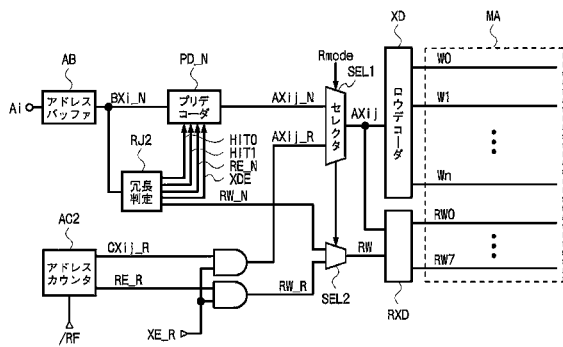
【図13】



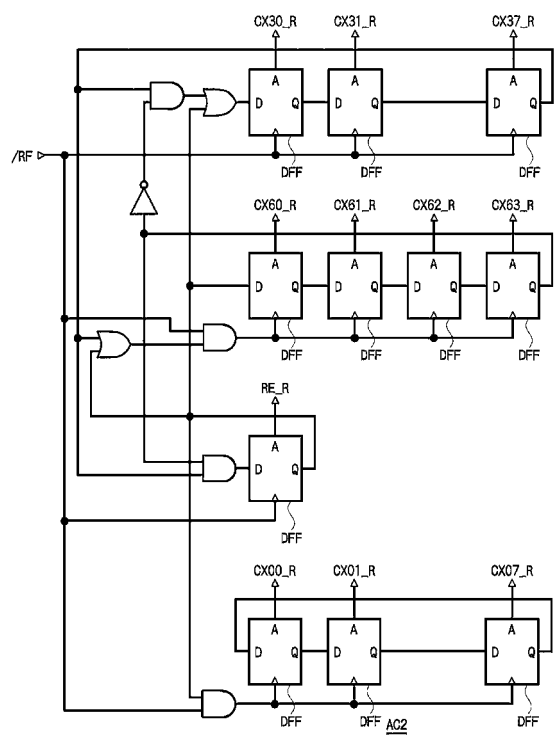
【図14】



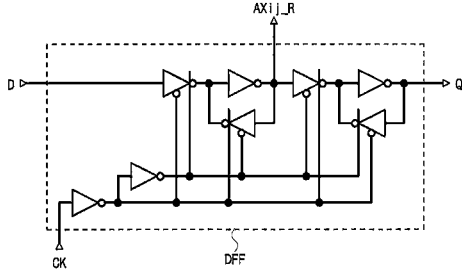
【図15】



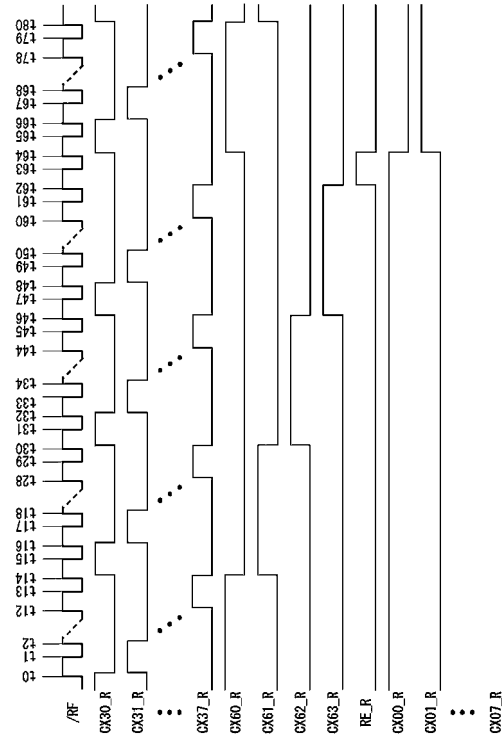
【図16】



【図 17】



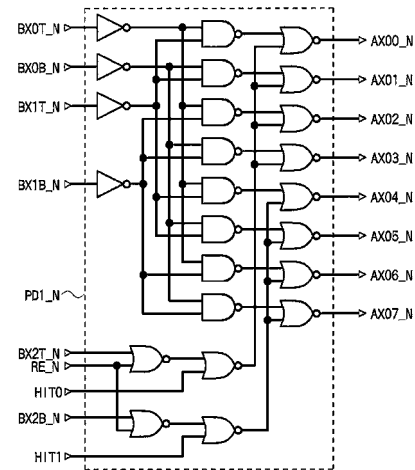
【図 18】



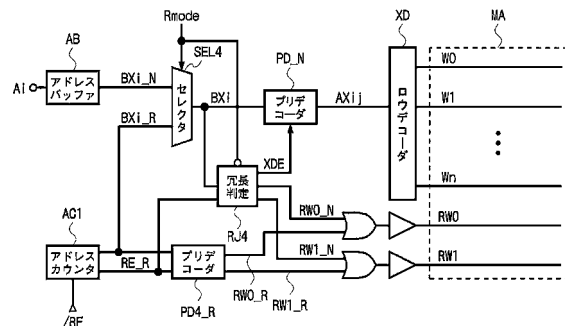
【図 19】

期間	CK30_R	CK31_R	...	CK37_R	CK60_R	CK61_R	CK62_R	CK63_R	RE_R	CK00_R	...	CK03_R	リフレッシュされるワード線
~t0	1	0	...	0	1	0	0	0	0	1	0	...	W0
t1~t2	0	1	...	0	1	0	0	0	0	1	0	...	W8
...
t13~t14	0	0	...	1	1	0	0	0	0	1	0	...	W56
t15~t16	1	0	...	0	0	1	0	0	0	1	0	...	W64
t17~t18	0	1	...	0	0	1	0	0	0	1	0	...	W72
...
t29~t30	0	0	...	1	0	1	0	0	0	1	0	...	W120
t31~t32	1	0	...	0	0	0	1	0	0	1	0	...	W128
t33~t34	0	1	...	0	0	0	1	0	0	1	0	...	W136
...
t45~t46	0	0	...	1	0	0	1	0	0	1	0	...	W184
t47~t48	1	0	...	0	0	0	0	1	0	1	0	...	W192
t49~t50	0	1	...	0	0	0	0	1	0	1	0	...	W200
...
t61~t62	0	0	...	1	0	0	0	1	0	1	0	...	W248
t63~t64	0	0	...	0	0	0	0	0	1	1	0	...	RW0
t65~t66	1	0	...	0	1	0	0	0	0	0	1	...	W1
t67~t68	0	1	...	0	1	0	0	0	0	0	1	...	W9
...
t79~t80	0	1	...	0	1	0	0	0	0	1	W57
...

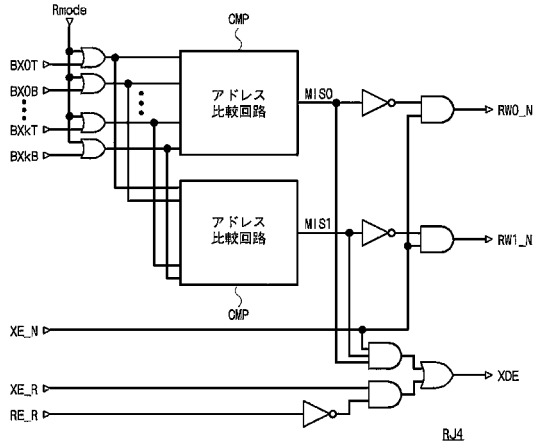
【図 20】



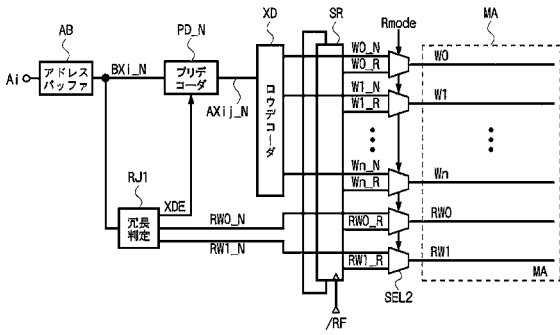
【図 21】



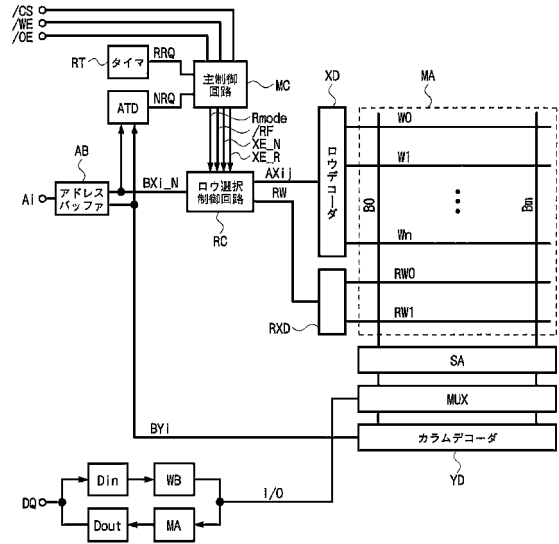
【図 2 2】



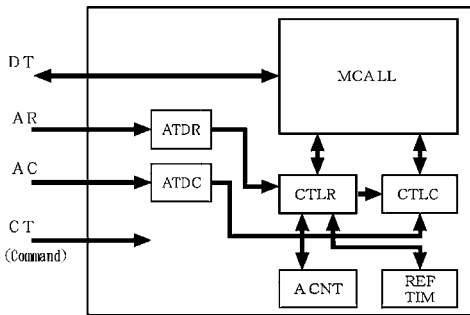
【図 2 3】



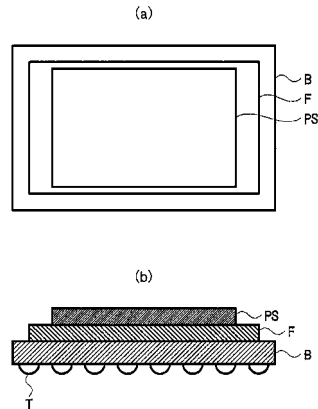
【図 2 4】



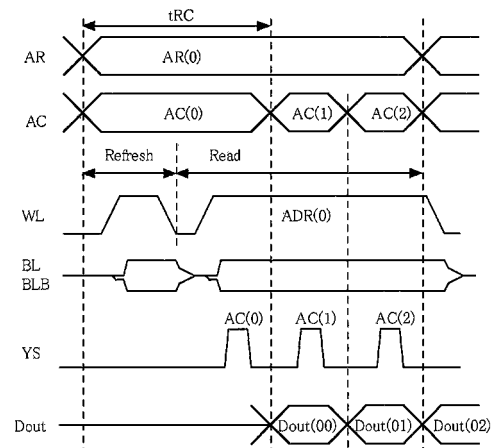
【図 2 5】



【図 2 7】



【図 2 6】



フロントページの続き

審査官 園田 康弘

- (56)参考文献 特開平 1 1 - 2 8 3 3 6 1 (J P , A)
特開昭 6 1 - 2 2 7 2 9 3 (J P , A)
特開平 1 1 - 1 7 6 1 9 0 (J P , A)
特開平 0 1 - 2 6 7 8 9 5 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G11C 11/406
G11C 11/401
G11C 11/403
G11C 29/04