

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6544120号  
(P6544120)

(45) 発行日 令和1年7月17日(2019.7.17)

(24) 登録日 令和1年6月28日(2019.6.28)

(51) Int.Cl. F I  
**HO2M 3/28 (2006.01)** HO2M 3/28 H

請求項の数 18 (全 30 頁)

(21) 出願番号	特願2015-151798 (P2015-151798)	(73) 特許権者	000005234
(22) 出願日	平成27年7月31日 (2015.7.31)		富士電機株式会社
(65) 公開番号	特開2017-34828 (P2017-34828A)		神奈川県川崎市川崎区田辺新田1番1号
(43) 公開日	平成29年2月9日 (2017.2.9)	(74) 代理人	110002918
審査請求日	平成30年5月14日 (2018.5.14)		特許業務法人扶桑国際特許事務所
		(72) 発明者	西島 健一
			神奈川県川崎市川崎区田辺新田1番1号
			富士電機株式会社内
		審査官	栗栖 正和

最終頁に続く

(54) 【発明の名称】 スイッチング電源装置の制御回路およびスイッチング電源装置

(57) 【特許請求の範囲】

【請求項1】

入力電圧源に接続されたスイッチング素子をスイッチングすることにより所定の直流電圧を生成して負荷に出力するように制御するときに、前記負荷が重負荷から軽負荷に移行するに従ってスイッチングの動作周波数を低減するように制御するスイッチング電源装置の制御回路において、

前記負荷の大きさに応じた所定の電流をコンデンサに充電または前記コンデンサを放電するように切り換えることにより前記負荷の大きさに応じた前記動作周波数を決定する発振手段と、

前記発振手段に設けられてカウンタのビット数に応じた変調周波数で前記動作周波数を  
 変調することにより周波数拡散を行うジッタ制御手段と、

を備え、

異なる複数の前記ビット数に対しそれぞれ求めた前記動作周波数に対する伝導電磁妨害の低減効果を示す複数のカーブが交差する場合、前記ジッタ制御手段は、前記カーブが交差する前記動作周波数のポイントで前記カウンタの前記ビット数を切り換えることを特徴とするスイッチング電源装置の制御回路。

【請求項2】

前記ビット数の切り換えは、前記負荷に応じて前記動作周波数を決めるフィードバック信号が前記カーブの交差するポイントの前記動作周波数に相当する値のときに実施されることを特徴とする請求項1記載のスイッチング電源装置の制御回路。

10

20

## 【請求項 3】

前記負荷に応じて変化する前記動作周波数が 25 kHz - 65 kHz であるとき、前記カーブの交差するポイントの前記動作周波数が 40 kHz であり、前記カウンタの前記ビット数は、前記動作周波数が前記カーブの交差するポイント以上のとき、8ビットとし、前記カーブの交差するポイントより低いとき、7ビットとすることを特徴とする請求項 2 記載のスイッチング電源装置の制御回路。

## 【請求項 4】

前記カウンタのビット数が  $n$  ビットであるとき、前記ジッタ制御手段における  $n$  ビットから  $(n - 1)$  ビットへの切り換えは、前記カウンタの出力の 1 つを無効にすることによって行うことを特徴とする請求項 3 記載のスイッチング電源装置の制御回路。

10

## 【請求項 5】

前記カウンタの出力を無効にするビットは、最下位ビットであることを特徴とする請求項 4 記載のスイッチング電源装置の制御回路。

## 【請求項 6】

前記カウンタの出力を無効にするビットは、最上位ビットであることを特徴とする請求項 4 記載のスイッチング電源装置の制御回路。

## 【請求項 7】

前記カウンタの出力を無効にするビットは、最下位ビットおよび最上位ビットを除く任意の 1 つのビットであることを特徴とする請求項 4 記載のスイッチング電源装置の制御回路。

20

## 【請求項 8】

前記ジッタ制御手段は、前記フィードバック信号と前記カーブの交差するポイントの前記動作周波数に相当する値を有する基準電圧とを比較するコンパレータと、前記コンパレータの出力に応じて前記カウンタを構成する 8 つの D フリップフロップのうち、無効にしようとする D フリップフロップへのクロック信号と無効にしようとする D フリップフロップの反転出力信号のいずれかを選択して次段の D フリップフロップへクロック信号を供給する選択回路とを有していることを特徴とする請求項 4 記載のスイッチング電源装置の制御回路。

## 【請求項 9】

前記ジッタ制御手段は、前記フィードバック信号と前記カーブの交差するポイントの前記動作周波数に相当する値を有する基準電圧とを比較するコンパレータと、前記カウンタを構成する D フリップフロップのうち、無効にしようとするビットの出力によってオン・オフ動作される第 1 のトランジスタに直列に接続されて前記コンパレータの出力に応じてオン・オフ動作される第 2 のトランジスタとを有していることを特徴とする請求項 4 記載のスイッチング電源装置の制御回路。

30

## 【請求項 10】

前記負荷に応じて変化する前記動作周波数が 25 kHz - 100 kHz であるとき、前記カーブの交差するポイントの前記動作周波数が 40 kHz および 70 kHz であり、前記カウンタの前記ビット数は、前記動作周波数が 70 kHz 以上のとき、9ビットとし、前記動作周波数が 40 kHz 以上で 70 kHz 未満のとき、8ビットとし、前記動作周波数が 40 kHz 未満のとき、7ビットとすることを特徴とする請求項 2 記載のスイッチング電源装置の制御回路。

40

## 【請求項 11】

前記カウンタのビット数が  $n$  ビットであるとき、前記ジッタ制御手段における  $n$  ビットから  $(n - 1)$  ビット、さらには  $(n - 2)$  ビットへの切り換えは、前記カウンタの出力の 1 つまたは 2 つを無効にすることによって行うことを特徴とする請求項 10 記載のスイッチング電源装置の制御回路。

## 【請求項 12】

前記カウンタの出力を無効にするビットは、下位 2 ビットであることを特徴とする請求項 11 記載のスイッチング電源装置の制御回路。

50

## 【請求項 13】

前記カウンタの出力を無効にするビットは、上位 2 ビットであることを特徴とする請求項 11 記載のスイッチング電源装置の制御回路。

## 【請求項 14】

前記カウンタの出力を無効にするビットは、最下位ビットおよび最上位ビットを除く任意の 2 ビットであることを特徴とする請求項 11 記載のスイッチング電源装置の制御回路。

## 【請求項 15】

前記ジッタ制御手段は、前記フィードバック信号と前記カーブの交差する 2 つのポイントの前記動作周波数に相当する値を有する第 1 および第 2 の基準電圧とをそれぞれ比較する第 1 および第 2 のコンパレータと、前記第 1 のコンパレータの出力に応じて前記カウンタを構成する 9 つの D フリップフロップのうち、無効にしようとする 2 つの D フリップフロップへのクロック信号と無効にしようとする D フリップフロップの反転出力信号のいずれかを選択してそれぞれバイパスしてそれぞれ次段の D フリップフロップへクロック信号を供給したり前記クロック信号を遮断したりする第 1 および第 2 のトライステートバッファおよび無効にしようとする D フリップフロップの反転出力信号をそれぞれ次段の D フリップフロップへ供給する第 1 および第 2 の選択回路とを有していることを特徴とする請求項 11 記載のスイッチング電源装置の制御回路。

10

## 【請求項 16】

前記ジッタ制御手段は、前記フィードバック信号と前記カーブの交差する 2 つのポイントの前記動作周波数に相当する値を有する第 1 および第 2 の基準電圧とをそれぞれ比較する第 1 および第 2 のコンパレータと、前記カウンタを構成する 9 つの D フリップフロップのうち、それぞれ無効にしようとするビットの出力によってオン・オフ動作される第 1 および第 2 のトランジスタにそれぞれ直列に接続されて前記第 1 および第 2 のコンパレータの出力に応じてオン・オフ動作される第 3 および第 4 のトランジスタとを有していることを特徴とする請求項 11 記載のスイッチング電源装置の制御回路。

20

## 【請求項 17】

前記カウンタの出力に応じて前記動作周波数を三角波状に変調させることを特徴とする請求項 1 ないし 16 のいずれか 1 項に記載のスイッチング電源装置の制御回路。

## 【請求項 18】

入力電圧源に接続されたスイッチング素子をスイッチングすることにより所定の直流電圧を生成して負荷に出力するように制御するときに、前記負荷が重負荷から軽負荷に移行するに従ってスイッチングの動作周波数を低減するように制御する制御回路を備えたスイッチング電源装置において、

30

前記制御回路は、

前記負荷の大きさに応じた所定の電流をコンデンサに充電または前記コンデンサを放電するように切り換えることにより前記負荷の大きさに応じた前記動作周波数を決定する発振手段と、

前記発振手段に設けられてカウンタのビット数に応じた変調周波数で前記動作周波数を変調することにより周波数拡散を行うジッタ制御手段と、

40

を備え、

異なる複数の前記ビット数に対しそれぞれ求めた前記動作周波数に対する伝導電磁妨害の低減効果を示す複数のカーブが交差する場合、前記ジッタ制御手段は、前記カーブが交差する前記動作周波数のポイントで前記カウンタの前記ビット数を切り換えることを特徴とするスイッチング電源装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明はスイッチング電源装置の制御回路およびスイッチング電源装置に関し、特にス

50

スイッチング周波数にジッタ（周波数拡散）を与えてノイズの発生を低減するときの効果を最適化したスイッチング電源装置の制御回路およびスイッチング電源装置に関する。

【背景技術】

【0002】

スイッチング電源装置は、商用の交流電圧を任意の直流電圧に変換して出力することができ、部品点数が少なく、広い入力電圧範囲に対しても対応可能である。たとえば、出力電圧が商用電源とは絶縁されている方式のフライバック式のものが知られている。

【0003】

図22はフライバック式のスイッチング電源装置の代表的な構成例を示す回路図である。

このフライバック式のスイッチング電源装置100は、PWM（Pulse Width Modulation）制御用の制御回路である制御IC8を有し、少なくとも図中のトランスT、ダイオード19、コンデンサ20およびスイッチング素子を備えている。スイッチング素子としては、ここでは、MOSFET（Metal Oxide Semiconductor Field Effect Transistor）17を用いている。

【0004】

商用の交流電源1は、入力のノイズフィルタを構成するコモンモードチョークコイル2およびXコンデンサ3を介して、ダイオードブリッジ4に供給され、このダイオードブリッジ4によって全波整流される。

【0005】

コンデンサ5は、ダイオードブリッジ4と接地との間に設けられて、出力に安定してエネルギーを供給するための入力電圧を保持する機能、およびMOSFET17によるスイッチング動作によって発生されるスイッチングノイズを吸収する機能を有している。また、ダイオード6は、交流電源1を半波整流し、電流制限抵抗7を介して制御IC8のVH端子に供給し、起動時における制御IC8の電源電圧を確保している。この電流制限抵抗7は、VH端子へ供給される入力電流の制限をしている。

【0006】

制御IC8には、そのLAT端子にサーミスタ9が接続され、制御IC8に過熱ラッチ保護をかけるようにしている。また、制御IC8のCS端子には、コンデンサ10および抵抗11からなるノイズフィルタを介してセンス抵抗12の電圧が入力されている。

【0007】

制御IC8のVCC端子は、コンデンサ13の一端と接続されるとともに、ダイオード14を介してトランスTの補助巻き線15と接続されている。このコンデンサ13は、PWM制御動作時に制御IC8へ供給される電源電圧を保持する。また、ダイオード14は、起動後に補助巻き線15からVCC端子に電圧を供給するためのものである。

【0008】

トランスTの一次巻き線16は、一端がコンデンサ5に接続され、他端がMOSFET17のドレイン端子に接続される。また、MOSFET17のソース端子は、センス抵抗12を介して接地され、センス抵抗12によってMOSFET17を流れるドレイン電流 $I_{ds}$ が検出される。すなわち、センス抵抗12では、MOSFET17のオン電流が、それに比例した大きさの電圧信号に変換され、この電圧信号（電流検出信号）がノイズフィルタを介して制御IC8のCS端子に入力される。

【0009】

トランスTの二次巻き線18は、一端がダイオード19と接続され、さらにコンデンサ20を介して接地されている。コンデンサ20の電圧は、負荷25に供給される出力電圧であり、この電圧に関する情報がフォトカプラ21によって二次側から一次側へ送られる。フォトカプラ21は、シャントレギュレータ22と直列に接続され、シャントレギュレータ22には、出力電圧を分圧する抵抗23、24の接続点が接続され、シャントレギュレータ22により出力電圧の分圧値と内蔵の基準電圧とが比較される。二次側の出力電圧の基準電圧に対する誤差情報がシャントレギュレータ22により電流信号に変換され、こ

10

20

30

40

50

の電流信号がフォトカプラ 21 を構成する LED (Light Emitting Diode) に流れて光信号に変換され、この光信号がフォトカプラ 21 を構成するフォトトランジスタに伝えられる。このようにして、二次側の出力電圧の情報、すなわち、負荷情報が一次側へ送られる。

#### 【 0 0 1 0 】

PWM制御用の制御 IC 8 を用いて構成されたスイッチング電源装置 100 では、MOSFET 17 のスイッチング動作を制御することにより、交流入力電圧の整流電圧がトランス T を介して所定の直流電圧に変換される。

#### 【 0 0 1 1 】

IC回路により構成される制御 IC 8 では、トランス T の二次側の負荷 25 に出力される負荷情報を、上記のようにシャントレギュレータ 22、フォトカプラ 21 を介して制御 IC 8 の FB 端子にフィードバックして検出している。

#### 【 0 0 1 2 】

また、MOSFET 17 のドレイン電流  $I_{ds}$  は、センス抵抗 12 にて電圧に変換され、この電圧を制御 IC 8 は、CS 端子で検出している。制御 IC 8 は、FB 端子電圧と CS 端子電圧とを直接または間接的に比較して OUT 端子からの出力信号を決定している。この出力信号が MOSFET 17 のオン幅を可変制御することで、スイッチング電源を PWM 制御することができ、これにより二次側の負荷 25 への供給電力を調整することができる。

#### 【 0 0 1 3 】

図 23 は制御 IC の回路構成の例を示すブロック図である。

制御 IC 8 において、起動回路 31 は、起動時に VH 端子から VCC 端子へ電流を供給するものであって、交流電源 1 が印加されると、制御 IC 8 では、VH 端子から起動回路 31 を通して VCC 端子へ電流が流れる。これにより、VCC 端子に外部接続されたコンデンサ 13 が充電されて、その電圧値が上昇する。

#### 【 0 0 1 4 】

低電圧誤動作防止回路 (UVLO) 32 は、VCC 端子と基準電源 V1 とに接続されている。この低電圧誤動作防止回路 32 では、VCC 端子の電圧値が基準電源 V1 以上になると、低電圧誤動作防止回路 32 の出力である UVLO 信号が L (Low) レベルとなり、内部電源回路 33 が起動して、制御 IC 8 内の各回路に電源供給が行われる。反対に VCC 端子電圧が低い間、低電圧誤動作防止回路 32 は、UVLO 信号を H (High) レベルにして制御 IC 8 の動作を停止する。

#### 【 0 0 1 5 】

発振器 (OSC) 34 は、FB 端子と接続され、MOSFET 17 のスイッチング動作で発生する EMI (Electromagnetic Interference: 電磁妨害) ノイズ低減のために周波数拡散を行う周波数変調機能が内蔵されている。この発振器 34 は、制御 IC 8 による MOSFET 17 の動作周波数を決めるものであって、上記の周波数変調機能とは別に軽負荷時には発振周波数を低下させる可変周波数機能も有し、発振信号 (デューティマックス信号) Dmax を出力する。

#### 【 0 0 1 6 】

この発振信号 Dmax は、H レベルの時間が長く、周期毎に短時間だけ L レベルになる信号であって、その周期がスイッチング電源のスイッチング周期となる。その周期と周期中の H レベルの時間との比がスイッチング電源の最大時比率 (デューティマックス) を与える。また、スロープ補償回路 35 は、CS 端子と接続され、後述のサブハーモニック発振を防止する機能を備えている。

#### 【 0 0 1 7 】

FB コンパレータ 36 の入力端子は、FB 端子と基準電源 V2 とに接続されている。FB 端子電圧が基準電源 V2 より低下したとき、FB コンパレータ 36 は、負荷電力が小さいと判断して、FB コンパレータ 36 から後段のワンショット回路 37 にクリア信号 CLR を出力し、スイッチング動作を停止させる。また、FB 端子電圧が基準電源 V2 より高

10

20

30

40

50

くなつたとき、FBコンパレータ36は、スイッチング動作を開始させる。これにより、FBコンパレータ36は、軽負荷時にスイッチング動作を一時的に停止させるバースト動作を実現させている。

**【0018】**

ワンショット回路37は、発振器34の発振信号Dmaxの立ち上がりでトリガされて後段のRSフリップフロップ38に対するセットパルスを生成する。また、このセットパルスは、MOSFET17のターンオン時にCS端子に発生するノイズにより、MOSFET17が誤ってターンオフしてしまうことを防ぐブランキング信号ともなっている。ワンショット回路37は、Hレベルのクリア信号CLRが入力されている間、RSフリップフロップ38に対するセットパルスを出力しない。

10

**【0019】**

RSフリップフロップ38は、オアゲート39およびアンドゲート40とともにPWM信号を生成している。すなわち、オアゲート39では、入力されているワンショット回路37の出力信号とRSフリップフロップ38の出力信号より、2つの出力信号の論理和(OR)信号を生成する。

**【0020】**

基本的には、このオアゲート39の出力信号がPWM信号となるが、さらに、発振器34の発振信号Dmaxに基づきアンドゲート40でPWM信号の最大デューティを決めている。

**【0021】**

20

低電圧誤動作防止回路32から出力されたUVLO信号は、オアゲート41を介してドライブ回路(OUTPUT)42に供給されてドライブ回路42の動作を許可するか否かを制御する。ドライブ回路42は、ドライブ回路42からOUT端子を介して出力されるスイッチ信号Soutにより、MOSFET17のスイッチングを制御している。すなわち、VCC端子電圧が低くてUVLO信号がHレベルとなっているときは、ドライブ回路42の出力をオフさせる(MOSFET17をオフさせる信号を出力する)。反対に、VCC端子電圧が高くてUVLO信号がLレベル、かつラッチ回路49の出力信号がLレベルとなっているときは、アンドゲート40の出力信号に従い、ドライブ回路42がMOSFET17のスイッチングを制御する。

**【0022】**

30

レベルシフト回路43は、FB端子の電圧をCSコンパレータ44に入力可能な電圧範囲にレベルシフトする機能を有し、その出力信号がCSコンパレータ44の反転入力端子(-)に供給される。CSコンパレータ44の非反転入力端子(+)にはスローブ補償回路35の出力信号が供給されている。なお、FB端子には、内部電源電圧が抵抗R0を介して接続され、この抵抗R0がフォトカプラ21を構成するフォトランジスタの負荷抵抗(プルアップ抵抗)となっている。これにより、抵抗R0による内部電源回路33からの電圧ドロップにより、スイッチング電源装置100に接続されている負荷25に印加されている電圧と基準電圧との差を増幅した誤差信号の大きさが検知される。なお、誤差信号(FB端子の電圧)は、その値が大きいほど負荷がより重いことを示している信号である。

40

**【0023】**

CSコンパレータ44では、後述のサブハーモニック発振を防ぐためのスローブ補償が施されたCS端子電圧とレベルシフトされたFB端子電圧とが比較され、MOSFET17のオフのタイミングを決めている。

**【0024】**

また、制御IC8のCS端子には、MOSFET17の過電流検出レベルを決めるOCPコンパレータ45が接続されている。OCPコンパレータ45では、その非反転入力端子(+)がCS端子に、反転入力端子(-)が基準電源V3にそれぞれ接続され、MOSFET17の過電流検出レベルを決めている。

**【0025】**

50

そして、CSコンパレータ44からのオフ信号と、遅延時間制御回路50によって遅延時間が調整された後のOCPコンパレータ45からのオフ信号とは、いずれもオアゲート46を介してRSフリップフロップ38のリセット端子に供給されている。

【0026】

なお、サーミスタ9には、LAT端子を介して電流源47から電流が供給される。LATコンパレータ48は、LAT端子と基準電源V4とに接続され、LAT端子の電圧(すなわち、サーミスタ9の電圧)が基準電源V4の電圧以下に低下したことを検出すると、過熱状態であると判断してラッチ回路49に対するセット信号を出力する。

【0027】

ラッチ回路49は、LATコンパレータ48のセット信号を受けて、Hレベルのラッチ信号L a t c hをオアゲート41およびオアゲート51に出力する。これにより、ドライブ回路42がオフ、起動回路31がオンにされる。また、ラッチ回路49のリセット端子には、低電圧誤動作防止回路32のUVLO信号が供給されていて、VCC端子の電位が低下するとラッチ状態が解除される。

【0028】

内部電源回路33が起動して内部回路に電源が供給されると、抵抗R0およびFB端子を介してフォトカプラ21を構成するフォトランジスタに電圧が印加されて、FB端子電圧が上昇する。

【0029】

FB端子の電圧信号が一定電圧値以上になると、発振器34から発振信号D m a xが出力され、発振信号D m a xの立ち上がりでトリガされるワンショット回路37からRSフリップフロップ38に対するセットパルスが出力される。

【0030】

このセットパルスは、RSフリップフロップ38の出力信号とともにオアゲート39に入力される。そして、オアゲート39の出力信号がPWM信号としてアンドゲート40およびドライブ回路42を通じて、OUT端子からMOSFET17のゲート端子に出力され、スイッチ信号S o u tとなってMOSFET17を駆動する。

【0031】

これにより、発振信号D m a xの立ち上がりでMOSFET17がターンオンすることになる。なお、RSフリップフロップ38の出力信号と、ワンショット回路37からのセットパルスとの論理和をとるのは、MOSFET17のターンオン時にCS端子に発生するノイズによりRSフリップフロップ38がリセットされてMOSFET17がターンオン直後にターンオフすることを防ぐためである。

【0032】

MOSFET17がターンオンすると、センス抵抗12にドレイン電流I d sが流れるから、制御IC8のCS端子の電圧が上昇する。そして、制御IC8のスロープ補償回路35によってスロープ補償されたCS端子の電圧が、FB端子電圧をレベルシフト回路43によってレベルシフトした電圧に達すると、CSコンパレータ44からオアゲート46を介してRSフリップフロップ38にリセット信号が出力される。

【0033】

RSフリップフロップ38がリセットされることで、オアゲート39の出力がLレベルとなり(通常動作では、この時点でワンショット回路37からのセットパルスはLレベルになっている。)、これによりアンドゲート40の出力もLレベルとなるため、スイッチ信号S o u tによりMOSFET17はターンオフする。

【0034】

また、スイッチング電源装置に接続される負荷25が極端に重くなり、制御IC8のFB端子にフィードバックされる電圧値が(高電圧側の)制御範囲外になっても、MOSFET17をターンオフすることができる。すなわち、OCPコンパレータ45がCS端子の電圧値と基準電源V3の値とを比較し、CS端子の電圧値が基準電源V3の値以上になった場合に、MOSFET17は、ターンオフされる。

10

20

30

40

50

## 【 0 0 3 5 】

C Sコンパレータ44でF B端子電圧をレベルシフトした電圧を、C S端子の電圧と比較する前に、C S端子の電圧に対し、スローブ補償回路35によってM O S F E T 17のオン幅に比例したスローブ補償電圧を加算するスローブ補償がなされている。

## 【 0 0 3 6 】

一般に、定常状態でM O S F E T 17が動作していれば、それぞれのスイッチング周期の最初にM O S F E T 17に流れる電流の大きさが一定となる。ところが、M O S F E T 17のデューティ(オン時比率=オン幅/スイッチング周期)が大きくなりすぎると、電流の大きさが一定ではなくなると、スイッチング周期毎にM O S F E T 17に流れる電流の状態が変動する。この現象が生じると、M O S F E T 17に流れる電流は、スイッチング周波数の信号に低周波の信号が重畳した状態となる。

10

## 【 0 0 3 7 】

こうした低周波数での発振は、サブハーモニック発振として知られているものであるが、このサブハーモニック発振にはそれが生じる条件がある。サブハーモニック発振は、C S端子の電圧に単調増加する信号を重畳するスローブ補償によりこの条件が成立しないようにして防止できる。

## 【 0 0 3 8 】

ここで、スイッチング電源装置100では、制御I C 8の発振器34がM O S F E T 17をスイッチング動作させるための発振信号D m a xを生成しており、代表的には、65kHz、25kHzおよびこれらの間の周波数が用いられている。すなわち、負荷25が重負荷のとき、スイッチング周波数は、65kHz固定で動作し、負荷25が軽負荷になるに従って周波数を65kHzから25kHzまで可変する。周波数が25kHzまで低下すると、周波数を25kHzに固定し、トランスTの音鳴りの原因となる可聴周波数まで低下しないようにしている。このように、軽負荷になるに従って、動作周波数を低減させることで、スイッチング電源装置100の効率を上げることができる。

20

## 【 0 0 3 9 】

ここで、スイッチング周波数がたとえば65kHzで固定されている場合、65kHzを基本波とする高次の高調波が同時に発生し、この高次の高調波が放射E M Iおよび伝導E M Iとしてスイッチング電源装置100の外に放出される。このようなE M Iノイズは、他の電子機器の動作に悪影響を与えるために一定量以上出さないように要求リミットの基準が定められている。以下、ケーブルや基板配線を経由して伝わる伝導E M Iノイズについて議論する。

30

## 【 0 0 4 0 】

スイッチング電源装置100のようなパワーエレクトロニクス分野では、伝導E M Iノイズを低減する方法としてジッタ(周波数拡散)が用いられている(たとえば、特許文献1、特許文献2、非特許文献1参照)。

## 【 0 0 4 1 】

図24はジッタの有無によるノイズエネルギーの違いを示す図、図25は変調周波数の説明図である。なお、図24において、横軸はスイッチング周波数、縦軸がノイズエネルギーを示し、右側の図はジッタなしの動作周波数 $f_c$ を中心として周波数を $\pm f/2$ の範囲に拡散したセンタ拡散の場合を示している。

40

## 【 0 0 4 2 】

図24の左側に示すジッタなしの場合、動作周波数 $f_c$ の位置にてノイズエネルギーが集中して高いピークとなる。これに対し、動作周波数 $f_c$ を中心として $\pm f/2$ の範囲に周波数を拡散するとノイズエネルギーが分散し、ノイズエネルギーの平均値およびピーク値が低減する。これにより、ジッタなしでピークが要求リミットを超えていたとしても、ジッタありでは、ピークを要求リミット以下にすることができる。ここで、周波数拡散は、動作周波数 $f_c$ を変調周波数 $f_m$ で変調することによって行われるが、その変調周波数 $f_m$ の波形(変調周波数 $f_m$ で変調されている動作周波数 $f_c$ もしくは動作周波数 $f_c$ に対応する信号の、時間変化を示す波形。以下同様。)は複数ビットのデジタル信号によって形

50

成され、当該複数ビットとしてカウンタの出力をそのまま適用する場合、変調周波数  $f_m$  の波形は階段状に変化する。

【 0 0 4 3 】

図 2 6 はスイッチング周波数を拡散させたときのノイズレベルの減衰効果を示す図である。この図 2 6 において、横軸は拡散幅を、縦軸は減衰量をそれぞれ示しており、基本波の動作周波数  $f_c$  が 65 kHz で、測定周波数幅である分解能帯域幅  $R B W$  が 9 kHz のときのノイズの減衰量を示している。

【 0 0 4 4 】

この図 2 6 によれば、減衰量  $S$  は、拡散幅を広げれば広げるほど大きくなり、ノイズレベルの減衰効果が大きくなる傾向を有していることを示している。

ところで、現行の伝導  $E M I$  の規格では、 $E M I$  ノイズの測定周波数範囲は、150 kHz から 30 MHz までと決められているので、減衰効果は、150 kHz 以上の高調波について考慮すればよい。図 2 6 からは、3 dB 以上の減衰量を得るには、拡散幅 ( $f$ ) として 20 kHz 以上を確保することが必要になる。ここで、基本となるスイッチング動作の動作周波数  $f_c$  が 65 kHz および 25 kHz に対して拡散幅が一定の比率 (たとえば、ここでは、 $\pm 7\%$  とする) で決まっている場合について説明する。つまり、スイッチング電源装置 100 は、重負荷のとき、65 kHz  $\pm$  4.55 kHz で動作し、軽負荷のときは、25 kHz  $\pm$  1.75 kHz で動作する。

【 0 0 4 5 】

65 kHz  $\pm$  4.55 kHz の 150 kHz 以上の高調波は、次数  $n = 3$  が該当し、この第 3 次高調波の周波数は、 $3 \times (65 \text{ kHz} \pm 4.55 \text{ kHz}) = 195 \text{ kHz} \pm 13.65 \text{ kHz}$  で、拡散幅は、27.3 kHz となる。なお、高調波は、次数が高くなればなるほどエネルギーが小さくなるので、第 3 次高調波が  $E M I$  リミットを下回っていれば、第 4 次以上の高調波の減衰量については、 $D C M$  (電流不連続モード) 時のリングングなどの現象を除けば、考慮する必要はない。

【 0 0 4 6 】

25 kHz  $\pm$  1.75 kHz の 150 kHz 以上の高調波は、次数  $n = 6$  が該当し、この第 6 次高調波の周波数は、 $6 \times (25 \text{ kHz} \pm 1.75 \text{ kHz}) = 150 \text{ kHz} \pm 10.5 \text{ kHz}$  で、拡散幅は、21 kHz となる。

【 0 0 4 7 】

このことから、スイッチング動作の動作周波数  $f_c$  が 65 kHz および 25 kHz に対して拡散幅を  $\pm 7\%$  にすることで、 $E M I$  ノイズの測定周波数範囲では、20 kHz 以上の拡散幅を確保でき、3 dB 以上の減衰量を得ることができる。

【 0 0 4 8 】

図 2 7 は周波数拡散を行うジッタ制御回路を有する発振器の構成例を示す回路図、図 2 8 はジッタ制御回路 70 の構成例を示す回路図である。

発振器 34 は、図 2 7 に示したように、フィードバック電圧  $F B$  を検出するバッファアンプ 61 と、このバッファアンプ 61 の出力に応じてトランジスタ ( $n$  チャネル型の  $M O S F E T$ )  $N 1$  に流れる電流を制御する増幅器 62 とを備える。トランジスタ  $N 1$  は、トランジスタ ( $p$  チャネル型の  $M O S F E T$ )  $P 1$  ,  $P 2$  からなるカレントミラー回路に接続されて、トランジスタ  $N 1$  に流れる電流がこのカレントミラー回路の第 1 の入力電流となる。また、トランジスタ  $P 1$  のドレイン端子と接地との間に電流源が接続されているので電流源の電流がこのカレントミラー回路の第 2 の入力電流となる。このカレントミラー回路の出力電流は、カレントミラー回路の出力端であるトランジスタ  $P 2$  のドレイン端子に接続されるトランジスタ  $N 2$  に与えられ、トランジスタ  $N 5$  に流れる電流の制御に用いられる。さらには、カレントミラー回路の出力電流は、トランジスタ  $N 3$  およびトランジスタ  $P 3$  を介してトランジスタ  $P 4$  に流れる電流の制御に用いられる。

【 0 0 4 9 】

なお、トランジスタ  $P 4$  ,  $N 5$  は、相補的にオン・オフ制御されるトランジスタ  $P 5$  ,  $N 4$  を介して直列に接続されている。そしてトランジスタ  $P 5$  ,  $N 4$  の直列接続点には、

10

20

30

40

50

コンデンサCが接続されている。トランジスタP5は、そのオン動作時にトランジスタP4に流れる電流にてコンデンサCを充電する役割を担う。またトランジスタN4は、そのオン動作時にトランジスタN5に流れる電流にてコンデンサCを放電する役割を担う。なお、トランジスタN2, N3, N5は第2のカレントミラー回路を構成し、トランジスタP3, P4は第3のカレントミラー回路を構成している。

【0050】

ヒステリシスコンパレータ63は、コンデンサCの充放電電圧と所定の基準電圧Vrefとを比較し、インバータ64はヒステリシスコンパレータ63の出力を反転してMOSFET17をオン・オフ駆動するための発振信号Dmaxを生成する。なお、コンデンサCの充放電電圧と比較される基準電圧Vrefは、ヒステリシスコンパレータ63がヒステリシス特性を有するコンパレータなので、実際には、ハイ側の基準電圧VrefHとロー側の基準電圧VrefLの2つの基準電圧からなっている。また、同時に、ヒステリシスコンパレータ63の出力は、トランジスタP5, N4を相補的にオン・オフ駆動する制御信号、およびジッタ制御回路70の動作を規定するクロック信号として用いられる。

10

【0051】

ジッタ制御回路70は、図28に示したように、トランジスタP1との間で並列的にカレントミラー回路を形成する複数(4個)のトランジスタP11, P12, P13, P14を備えている。これらのトランジスタP11, P12, P13, P14には、トランジスタP15, P16, P17, P18がそれぞれ直列に接続されている。トランジスタP15, P16, P17, P18は、分周器兼カウンタ71の出力Q0, Q1, Q2, Q3を受けてオン・オフ制御され、トランジスタP11, P12, P13, P14に流れる電流を選択的に取り出してトランジスタN2のドレイン電流に加える役割を担う。

20

【0052】

なお、各トランジスタP11, P12, P13, P14にそれぞれ流れる電流は、たとえば、 $I_1$ ,  $I_2 (= 2 \cdot I_1)$ ,  $I_3 (= 2 \cdot I_2 = 4 \cdot I_1)$ ,  $I_4 (= 2 \cdot I_3 = 4 \cdot I_2 = 8 \cdot I_1)$ として設定される。これらの電流比は、トランジスタP1との間でそれぞれカレントミラー回路を形成するトランジスタP11, P12, P13, P14のゲート幅/ゲート長を変えることにより設定される。

【0053】

ちなみに分周器兼カウンタ71は、ヒステリシスコンパレータ63の出力を分周して計数動作する。そして分周器兼カウンタ71は、その計数値をカウントし、その出力Q0, Q1, Q2, Q3を、たとえば[0000] - [1111]の範囲で順に変化させる。これにより、トランジスタP15, P16, P17, P18が選択的にオン・オフ制御される。そしてトランジスタP15, P16, P17, P18の選択的なオン動作により、トランジスタP11, P12, P13, P14に流れる電流が選択的に出力される。

30

【0054】

この結果、ジッタ制御回路70の出力電流bが階段状に、ここでは、分周器兼カウンタ71の出力が4ビットなので、16段階に変化し、この出力電流bがトランジスタN2に加えられる。そしてコンデンサCを充電する電流に階段状の変化が与えられ、コンデンサCを基準電圧Vrefまで充電する時間に周期的な変化が与えられる。この結果、ヒステリシスコンパレータ63を介して出力されるパルス信号の周波数に、一定幅の周期的な揺らぎが与えられる。このような発振周波数の制御が、MOSFET17を駆動するスイッチング周波数のジッタ制御である。そしてこのジッタ制御により、MOSFET17のスイッチングに伴って発生するEMIノイズが周波数拡散され、これによってEMIノイズが低減される。

40

【先行技術文献】

【特許文献】

【0055】

【特許文献1】国際公開第2006/019196号

【特許文献2】特開2003-150660号公報

50

## 【非特許文献】

【0056】

【非特許文献1】山田智紀、今里雅治、吉永孝司、「スペクトラム拡散クロックによる不要電磁放射抑制効果の推定」、電子情報通信学会技術研究報告：信学技報、一般社団法人電子情報通信学会、2001年12月21日、第101巻、第530号、p.37-42

## 【発明の概要】

【発明が解決しようとする課題】

【0057】

ところで、現状の伝導EMI規格（測定周波数範囲は150kHz超）に対し、EMIノイズの測定周波数範囲を150kHz以下の低域に拡大して、より低い測定周波数範囲においても伝導EMIノイズを発生しないように規定することが検討されている。測定周波数範囲が広がると、スイッチング動作の動作周波数、すなわち、ノイズエネルギーの最も大きな基本波の周波数が測定周波数範囲に入ってしまう、スイッチング周波数の基本波（例：65kHz）からノイズ対策をすることが必要になる。これをEMIフィルタで抑えようとする、低域であるためにインダクタおよびコンデンサの定数が大きくなり、これに伴い、部品サイズも大きくなり、スイッチング電源装置のサイズが大きくなり、ひいてはコストが高くなるおそれがあるという問題点がある。

10

【0058】

本発明はこのような点に鑑みてなされたものであり、パワーエレクトロニクス分野の伝導EMI規格の改定により拡大される低周波領域においてもノイズ対策が可能なスイッチング電源装置の制御回路およびスイッチング電源装置を提供することを目的とする。

20

【課題を解決するための手段】

【0059】

本発明では、上記の課題を解決するために、入力電圧源に接続されたスイッチング素子をスイッチングすることにより所定の直流電圧を生成して負荷に出力するように制御するときに、負荷が重負荷から軽負荷に移行するに従ってスイッチングの動作周波数を低減するように制御するスイッチング電源装置の制御回路が提供される。このスイッチング電源装置の制御回路は、負荷の大きさに応じた所定の電流をコンデンサに充電またはコンデンサを放電するように切り換えることにより負荷の大きさに応じた動作周波数を決定する発振手段と、この発振手段に設けられてカウンタのビット数に応じた変調周波数で動作周波数を変調することにより周波数拡散を行うジッタ制御手段と、を備えている。異なる複数のビット数に対しそれぞれ求めた動作周波数に対する伝導電磁妨害の低減効果を示す複数のカーブが交差する場合、ジッタ制御手段は、カーブが交差する動作周波数のポイントでカウンタのビット数を切り換えることを特徴とする。

30

【0060】

また、本発明では、入力電圧源に接続されたスイッチング素子をスイッチングすることにより所定の直流電圧を生成して負荷に出力するように制御するときに、負荷が重負荷から軽負荷に移行するに従ってスイッチングの動作周波数を低減するように制御する制御回路を備えたスイッチング電源装置が提供される。このスイッチング電源装置によれば、制御回路は、負荷の大きさに応じた所定の電流をコンデンサに充電またはコンデンサを放電するように切り換えることにより負荷の大きさに応じた動作周波数を決定する発振手段と、発振手段に設けられてカウンタのビット数に応じた変調周波数で動作周波数を変調することにより周波数拡散を行うジッタ制御手段と、を備えている。ここで、異なる複数のビット数に対しそれぞれ求めた動作周波数に対する伝導電磁妨害の低減効果を示す複数のカーブが交差する場合、ジッタ制御手段は、カーブが交差する動作周波数のポイントでカウンタのビット数を切り換えることを特徴とする。

40

【発明の効果】

【0061】

上記の構成によれば、周波数拡散機能を最適化したことで、動作周波数の全周波数にわたって低減効果を最大にできることから、追加のフィルタを不要または軽減することがで

50

き、装置のサイズおよびコストアップを最小化できるという利点がある。

【図面の簡単な説明】

【0062】

【図1】電磁妨害低減効果の計算値および測定値を示す図である。

【図2】計算値および測定値の電磁妨害低減効果差分を示す図である。

【図3】ベッセル関数を用いた低減効果を示す図である。

【図4】ベッセル関数を用いた低減効果計算例を示す図である。

【図5】25kHz - 65kHzの動作周波数に対する変調周波数の変化を示す図である。

【図6】変調周波数の波形例を示す図である。

10

【図7】低減効果の動作周波数依存（補正なし）を示す図である。

【図8】低減効果の動作周波数依存（補正あり）を示す図である。

【図9】変調周波数の動作周波数依存を示す図である。

【図10】第1の実施の形態に係るスイッチング電源装置の制御ICに設けられる発振器の概略構成を示す図である。

【図11】図10の発振器内のジッタ制御回路の概略構成を示す図である。

【図12】図11のジッタ制御回路内のカウンタの概略構成を示す図である。

【図13】トライステートバッファの例を示す図であって、(A)はトライステートバッファの一構成例を示し、(B)はトライステートバッファの別の構成例を示している。

【図14】第2の実施の形態に係るスイッチング電源装置の制御ICに設けられる発振器内のジッタ制御回路の概略構成を示す図である。

20

【図15】図14のジッタ制御回路内のカウンタの概略構成を示す図である。

【図16】動作周波数を100kHzまで拡大したときの低減効果の動作周波数依存（補正なし）を示す図である。

【図17】低減効果の動作周波数依存（補正あり）を示す図である。

【図18】変調周波数の動作周波数依存を示す図である。

【図19】第3の実施の形態に係るスイッチング電源装置の制御ICに設けられる発振器内のジッタ制御回路の概略構成を示す図である。

【図20】図19のジッタ制御回路内のカウンタの概略構成を示す図である。

【図21】第4の実施の形態に係るスイッチング電源装置の制御ICに設けられる発振器内のジッタ制御回路の概略構成を示す図である。

30

【図22】フライバック式のスイッチング電源装置の代表的な構成例を示す回路図である。

【図23】制御ICの回路構成の例を示すブロック図である。

【図24】ジッタの有無によるノイズエネルギーの違いを示す図である。

【図25】変調周波数の説明図である。

【図26】スイッチング周波数を拡散させたときのノイズレベルの減衰効果を示す図である。

【図27】周波数拡散を行うジッタ制御回路を有する発振器の構成例を示す回路図である。

40

【図28】ジッタ制御回路の構成例を示す回路図である。

【発明を実施するための形態】

【0063】

以下、本発明の実施の形態について、図面を参照して詳細に説明する。なお、以下の説明において、スイッチング電源装置の全体的な構成は、上述の図22と同じであり、制御ICの全体的な回路構成は、上述の図23と同じであるので、それらの説明では、図22および図23を参照し、対応する構成要素は同じ参照符号を用いる。また、以下の説明では、端子名とその端子における電圧、信号等は、同じ符号を用いることがある。

【0064】

本発明は、伝導EMI規格が測定周波数範囲を150kHz - 30MHzから9kHz

50

- 30 MHz へと低域側に拡大することが検討されていることに対してなされたものであり、150 kHz 以下の伝導 EMI の低減に最大効果を得ようとするものである。まず、本発明の考え方について説明する。

【0065】

図1は電磁妨害低減効果の計算値および測定値を示す図、図2は計算値および測定値の電磁妨害低減効果差分を示す図である。図1において、横軸は、変調周波数  $f_m$  を示し、縦軸は、電磁妨害の低減効果を示している。図2においては、横軸は、変調周波数  $f_m$  を示し、縦軸は、電磁妨害低減の効果差を示している。

【0066】

この図1および図2は、スペクトラム拡散クロックによる放射 EMI の低減に関する非特許文献1に開示されているもので、分解能帯域幅  $RBW$  が 100 kHz における電磁妨害の低減効果および効果差を示している。

10

【0067】

図1によれば、変調周波数  $f_m$  が分解能帯域幅  $RBW$  より大きいとしたとき ( $f_m > RBW$ ) の低減効果は、破線のカーブで示したように、変調周波数  $f_m$  が低いほど大きくなっている。この破線のカーブの値は、周波数変調の理論式(ベッセル関数)を用いた計算で求めることができる。低減効果の計算値が測定器の分解能帯域幅  $RBW$  による影響を考慮していないのに対し、 $f_m < \text{分解能帯域幅 } RBW = 100 \text{ kHz}$  の領域では  $f_m$  が小さくなるにつれて分解能帯域幅  $RBW$  による影響が次第に大きくなるため、測定値は実線のカーブで示したようになる。このときの低減効果は、変調周波数  $f_m$  が低いほど小さくな

20

【0068】

この図1における計算値と測定値との差分は、図2にグラフで示される。このグラフは、分解能帯域幅  $RBW = 100 \text{ kHz}$  で測定した場合の計算値に対する補正量を表している。

【0069】

非特許文献1に開示された以上のような電磁妨害の低減効果に関しては、特許文献1および特許文献2においても同様な記載がある。これらの先行技術では、周波数変調の理論式(ベッセル関数)を用いた計算値を実験値との差分(補正)として活用し、新規設計時に低減効果を見積もる際には、その差分(補正)を用いることで、効果度合いを定量化し

30

【0070】

次に、150 kHz 以下の伝導 EMI の低減について説明する。この150 kHz 以下の測定器の分解能帯域幅  $RBW$  は、200 Hz にすることが決められており、この場合、変調周波数  $f_m$  も 200 Hz が最適となる。これは、電磁妨害の低減効果が最大となるのは、変調周波数  $f_m$  が測定器の分解能帯域幅  $RBW$  と概ね等しい周波数となる時に現れることによる(特許文献1参照)。

【0071】

図3はベッセル関数を用いた低減効果を示す図である。この図3では、動作周波数  $f_c = 65 \text{ kHz}$ 、拡散率  $= \pm 8\%$ 、変調周波数  $f_m = 200 \text{ Hz}$ 、ベッセル関数の変数  $x = (f/2)/f_m = 0.08 \times 65 \text{ k} / 200 = 26$  の条件での変調前後のスペクトルを示している。

40

【0072】

この図3には、ベッセル関数で数値計算される変調時のスペクトラム(破線で示した計算値1)と非変調時のスペクトラム(計算値2)とが記載されている。変調時のスペクトラムは、周波数変調することで周波数帯域が広がっていることを示している。一方、非変調時のスペクトラムは、スペクトラム拡散クロック技術を適用する前のスペクトラムに対応する。また、この非変調時のスペクトラムの振幅を基準値の 0 dB としてある。

50

## 【 0 0 7 3 】

ここで、変調時のスペクトラムから求めた最大値と非変調時のスペクトラムの振幅との差を低減効果と定義する。図3の例では、12.9 dBの低減効果が得られている。

図4はベッセル関数を用いた低減効果計算例を示す図である。この計算例では、ベッセル関数を用いた計算結果および特許文献1および図3に示す低減効果の定義から求めた低減効果に加え、変調周波数 $f_m$ が分解能帯域幅 $R B W$ 以下となる領域での低減効果は計算値を実験値との差分で補正する手法を参考に行っている。具体的には、 $f_m > R B W$  ( $= 200 \text{ Hz}$ )では、ベッセル関数で数値計算された結果および上記低減効果の定義をそのまま適用( $R B W$ を考慮した補正はしない)している。また、 $f_m < R B W$ の補正ありの領域では、補正なしの計算値を $f_m = 200 \text{ Hz}$ のときの最大効果である12.9 dBの水平ラインに対して線対称に折り返すことで、補正ありの計算値に行っている。この操作は、図1の $f_m < R B W$ の領域における計算値(破線)と実測値(実線)のグラフが、 $f_m = R B W$ のときの低減効果を示す水平線に対しほぼ線対象となっている現象を反映させたものである。

10

## 【 0 0 7 4 】

図5は25 kHz - 65 kHzの動作周波数に対する変調周波数の変化を示す図、図6は変調周波数の波形例を示す図、図7は低減効果の動作周波数依存(補正なし)を示す図、図8は低減効果の動作周波数依存(補正あり)を示す図、図9は変調周波数の動作周波数依存を示す図である。

## 【 0 0 7 5 】

スイッチング電源装置においては、スイッチングを行う動作周波数 $f_c$ が25 kHz - 65 kHzの範囲で動作するため、変調周波数 $f_m$ の波形は、その動作範囲にて動作周波数 $f_c$ に応じた周期の三角波となる。この三角波は、詳しくは、発振信号 $D_{max}$ (の反転信号)をカウントする複数ビットのカウンタによって生成されるので、そのカウンタのビット数に応じた段数で階段状に形成される(図6参照)。

20

## 【 0 0 7 6 】

たとえば、カウンタが7ビットの場合、7ビットで表される段数は、 $2^7 = 128$ であるので、変調周期は発振信号 $D_{max}$ 128周期分の長さとなり、変調周波数 $f_m$ は、 $f_m = f_c / 128$ となる。

30

## 【 0 0 7 7 】

ここで、動作周波数 $f_c$ が65 kHzでは、 $f_m = 65 \text{ kHz} / 128 = 508 \text{ Hz}$ となり、動作周波数 $f_c$ が25 kHzでは、 $f_m = 25 \text{ kHz} / 128 = 195 \text{ Hz}$ となる。したがって、動作周波数 $f_c$ が25 kHz - 65 kHzの範囲では、図5に示したように、変調周波数 $f_m$ は、508 Hz - 195 Hzの範囲で変化する。

## 【 0 0 7 8 】

一方、カウンタが8ビットの場合、8ビットで表される段数は、 $2^8 = 256$ になる。この場合、動作周波数 $f_c$ が65 kHzでは、 $f_m = 65 \text{ kHz} / 256 = 254 \text{ Hz}$ となり、動作周波数 $f_c$ が25 kHzでは、 $f_m = 25 \text{ kHz} / 256 = 97 \text{ Hz}$ となる。したがって、動作周波数 $f_c$ が25 kHz - 65 kHzの範囲では、変調周波数 $f_m$ は、254 Hz - 97 Hzの範囲で変化する。

40

## 【 0 0 7 9 】

このようにして得られた変調周波数 $f_m$ を使って、周波数変調の理論式(ベッセル関数を用いた計算式)により求めた動作周波数 $f_c$ に対する低減効果を図7に示す。図7に示したように、7ビットの場合、約10 dB、8ビットの場合、約12 dBと、動作周波数 $f_c$ に対し一定の低減効果があることが分かる。ただし、この図7のグラフは、分解能帯域幅 $R B W$ による影響を考慮していない補正なしの場合(図4の計算値(補正なし)のグラフを用いて導いた場合)であるので、分解能帯域幅 $R B W$ を考慮した補正ありの場合(図4の計算値(補正あり)のグラフを用いて導いた場合)の低減効果は、図8に示した形になる。すなわち、7ビットの場合、動作周波数 $f_c$ が25 kHzで9 dBの低減効果が

50

あり、動作周波数  $f_c$  が  $30\text{ kHz} - 65\text{ kHz}$  の範囲では  $10\text{ dB}$  で一定の低減効果を示している。一方、8ビットの場合、動作周波数  $f_c$  が  $25\text{ kHz} - 50\text{ kHz}$  の範囲で  $6\text{ dB} - 12\text{ dB}$  の低減効果があり、動作周波数  $f_c$  が  $50\text{ kHz} - 65\text{ kHz}$  の範囲では、低減効果が  $12\text{ dB}$  で一定である。

#### 【0080】

この図8からは、7ビットのカーブと8ビットのカーブとが交わる動作周波数 ( $f_c = 40\text{ kHz}$ ) を境にして低周波数側では、変調周波数  $f_m$  を7ビットで動作させ、高周波数側では、8ビットで動作させると、全周波数で低減効果を最大にできることを示している。図8では、 $f_c = 40\text{ kHz}$  のポイントでビット切り換えを行うことにより、丸印で示したように、それぞれの動作周波数  $f_c$  において、常に最大の低減効果が得られるようになり、低減効果の最適化を図ることができる。

10

#### 【0081】

この最適化を表す図8の丸印を図5のグラフに適用したのが図9である。すなわち、スイッチング電源装置が重負荷で動作していて動作周波数  $f_c$  が  $65\text{ kHz}$  のとき、変調周波数  $f_m$  は、8ビットで生成される。負荷が軽くなって、動作周波数  $f_c$  が  $40\text{ kHz}$  のポイントまで低下すると、変調周波数  $f_m$  を生成するビットは、8ビットから7ビットに切り換えられ、この切り換えポイントよりも軽負荷では、変調周波数  $f_m$  を7ビットで生成することになる。

#### 【0082】

以上のことから、変調周波数  $f_m$  を複数ビットのカウンタで生成する場合、所定の負荷 (動作周波数  $f_c$ ) のポイントで、ビットの切り換えを行うことにより、伝導EMIノイズの低減効果を全動作周波数にわたって最適化できると説明できる。具体的には、変調周波数  $f_m$  を生成するカウンタを、動作周波数  $f_c$  が  $40\text{ kHz}$  のポイントで7ビットおよび8ビットのビット切り換えを行えばよいことが分かる。以下に、動作周波数  $f_c$  が  $40\text{ kHz}$  のポイントでビット切り換えを実現する回路例について説明する。

20

#### 〔第1の実施の形態〕

図10は第1の実施の形態に係るスイッチング電源装置の制御ICに設けられる発振器の概略構成を示す図、図11は図10の発振器内のジッタ制御回路70aの概略構成を示す図、図12は図11のジッタ制御回路70a内のカウンタ72の概略構成を示す図である。図13はトライステートバッファの例を示す図であって、(A)はトライステートバッファの一構成例を示し、(B)はトライステートバッファの別の構成例を示している。

30

#### 【0083】

発振器34は、内部電源回路33 (図23参照) から出力された電圧を受ける端子  $V_{dd}(2.5\text{ V})$  および  $V_{dd}(5\text{ V})$ 、負荷の重さを電圧に変換した誤差信号に相当するフィードバック電圧を受けるフィードバック端子  $F_B$ 、およびタイミング抵抗接続端子  $R_T$  を有している。タイミング抵抗接続端子  $R_T$  は、この制御IC8の外付け部品となっているタイミング抵抗  $R_{RT}$  が接続されている。

#### 【0084】

フィードバック端子  $F_B$  は、増幅器  $F_B\_A$  に接続されている。この増幅器  $F_B\_A$  の出力電圧は、 $(F_B + (F_B - 1.06\text{ V}) \times R_{12} / R_{11})$  となり、抵抗  $R_{11}$ 、 $R_{12}$  によって増幅率  $= R_{12} / R_{11}$  が決められ、たとえば増幅率が10の増幅器を構成している。なお、フィードバック端子  $F_B$  の電圧  $F_B$  が  $1.06\text{ V}$  より小さくなると増幅器  $F_B\_A$  の出力は  $F_B$  より小さくなるが、増幅器  $F_B\_A$  の低電位側電源電圧が接地電位であるので、増幅器  $F_B\_A$  の最小出力はゼロとなる。

40

#### 【0085】

多入力増幅器  $R_T\_A$  は、2つの反転入力端子のうち入力電圧が低い方の端子を選択して非反転入力端子と仮想短絡させる増幅器である。たとえば非軽負荷時は、フィードバック電圧  $F_B$  が高く、増幅器  $F_B\_A$  の出力が  $V_{dd}(2.5\text{ V})$  の  $2.5\text{ V}$  以上であるとき、多入力増幅器  $R_T\_A$  の非反転入力端子の電圧は、 $2.5\text{ V}$  となる。

#### 【0086】

50

一方、フィードバック電圧  $F B$  が低くなる軽負荷時には、フィードバック電圧  $F B$  の変化量の 10 倍の変化が増幅器  $F B\_A$  の出力に生じるため、 $V d d ( 2 . 5 V )$  以下になる。したがって、多入力増幅器  $R T\_A$  の非反転入力端子の電圧は、増幅器  $F B\_A$  の出力と等しくなり、 $V d d ( 2 . 5 V )$  以下になる。

【 0 0 8 7 】

多入力増幅器  $R T\_A$  の出力は、トランジスタ  $P 2 1$  ,  $P 2 2$  のゲートに接続される。トランジスタ  $P 2 2$  ,  $P 2 1$ 、トランジスタ  $N 2 1$  ,  $N 2 2$ 、トランジスタ  $P 2 3$  ,  $P 2 4$ 、トランジスタ  $N 2 3$  ,  $N 2 4$  ,  $N 2 6$ 、およびトランジスタ  $P 2 5$  ,  $P 2 6$  は、それぞれカレントミラー回路を構成している。トランジスタ  $P 2 2$  ,  $P 2 1$  からなるカレントミラー回路の出力電流は、トランジスタ  $N 2 1$  ,  $N 2 2$  からなるカレントミラー回路の入力電流となっている。トランジスタ  $N 2 1$  ,  $N 2 2$  からなるカレントミラー回路の出力電流は、トランジスタ  $P 2 3$  ,  $P 2 4$  からなるカレントミラー回路の入力電流となっている。トランジスタ  $P 2 3$  ,  $P 2 4$  からなるカレントミラー回路の出力電流は、トランジスタ  $N 2 3$  ,  $N 2 4$  ,  $N 2 6$  からなるカレントミラー回路の入力電流となっている。そして、トランジスタ  $N 2 3$  ,  $N 2 4$  ,  $N 2 6$  からなるカレントミラー回路の出力電流 (トランジスタ  $N 2 4$  のドレイン電流) は、トランジスタ  $P 2 5$  ,  $P 2 6$  からなるカレントミラー回路の入力電流となっている。

10

【 0 0 8 8 】

また、トランジスタ  $P 2 5$  ,  $N 2 4$  の後段に接続されるトランジスタ  $P 2 6$  ,  $N 2 6$  は、電流源を構成し、トランジスタ  $P 2 7$  ,  $N 2 5$  は、コンデンサ  $C$  に対する充放電の切り換えを行うスイッチを構成している。このスイッチを構成するトランジスタ  $P 2 7$  ,  $N 2 5$  のゲートは、三角波発振波形の上下限值を設定する抵抗  $R 1$  ,  $R 2$  ,  $R 3$  と、コンパレータ  $C P 1$  ,  $C P 2$  と、 $R S$  フリップフロップ  $R S F F$  とからなる回路に接続されている。なお、この場合、前述のハイ側の基準電圧  $V r e f H$  は、 $V r e f H = 5 \times ( R 2 + R 3 ) / ( R 1 + R 2 + R 3 )$  となり、ロー側の基準電圧  $V r e f L$  は、 $V r e f L = 5 \times R 3 / ( R 1 + R 2 + R 3 )$  となる。また、コンパレータ  $C P 1$  ,  $C P 2$  の出力を受ける  $R S$  フリップフロップ  $R S F F$  は、発振信号  $D m a x$  を出力する。なお、トランジスタ  $P 2 1$  には、これと並列に定電流源  $I 0$  が接続されており、フィードバック電圧  $F B$  が小さくなって増幅器  $F B\_A$  の出力がゼロになると、コンデンサ  $C$  の充放電がなくなって発振が停止してしまうのを防止している。

20

30

【 0 0 8 9 】

また、多入力増幅器  $R T\_A$  の出力は、トランジスタ  $P 2 2$  のゲートへの入力なので、タイミング抵抗  $R\_R T$  に流れる電流を制御する。このとき、タイミング抵抗接続端子  $R T$  に現れる端子電圧を  $V r t$  とする。この多入力増幅器  $R T\_A$  はオペアンプにより構成されているので、オペアンプの入力端子間の仮想短絡によりタイミング抵抗接続端子  $R T$  の電圧  $V r t$  の値は、 $V d d ( 2 . 5 V )$  が増幅器  $F B\_A$  の出力電圧のうち、低い方と同じ電圧になる。したがって、トランジスタ  $P 2 2$  を流れる電流は、(電圧  $V r t$  / タイミング抵抗  $R\_R T$  の抵抗値) となる。そして、トランジスタ  $P 2 2$  ,  $P 2 1$  がカレントミラー回路を構成しているので、トランジスタ  $P 2 1$  に流れる電流は、トランジスタ  $P 2 2$  に流れる電流に等しい、または比例したものになる。

40

【 0 0 9 0 】

後述のジッタ制御回路  $7 0 a$  がない場合の発振器  $3 4$  の基本動作は以下のとおりである。すなわち、トランジスタ  $P 2 1$  を流れる電流と定電流源  $I 0$  を加算した電流が複数のカレントミラー回路で折り返されて、トランジスタ  $P 2 5$  ,  $P 2 6$  ,  $N 2 4$  ,  $N 2 6$  には、この加算した電流と同じ電流または比例した電流が流れる。ここで、トランジスタ  $P 2 7$  ,  $N 2 5$  は、 $R S$  フリップフロップ  $R S F F$  の電圧により切り換えられ、コンデンサ  $C$  に対する充放電の切り換えを行う。

【 0 0 9 1 】

以上の動作により、フィードバック端子  $F B$  の端子電圧が高い重負荷のとき、多入力増幅器  $R T\_A$  は、入力として固定値の  $V d d ( 2 . 5 V )$  を選択し、タイミング抵抗接続

50

端子RTの電圧 $V_{rt}$ を $V_{rt} = 2.5V$ となるよう制御するため、発振周波数は一定に保たれることになる。一方、フィードバック端子FBの端子電圧が低下して $2.5V$ 以下に下がると、多入力増幅器RT\_Aは入力として増幅器FB\_Aの出力を選択し、タイミング抵抗接続端子RTの電圧 $V_{rt}$ が負荷レベルに応じてリニアに変化する。これにより、フィードバック端子FBの端子電圧が $2.5V$ 以下に下がると、コンデンサCを充放電する電流が減ることになり、この結果、発振周波数が下がる。このように、軽負荷時に、タイミング抵抗接続端子RTの電圧 $V_{rt}$ を上記の様に変化させることで、負荷に応じて発振周波数を下げることが実現されている。

#### 【0092】

発振器34は、さらに、上記基本動作によるコンデンサCの充放電による三角波発振波形に対して揺らぎを与えるジッタ制御回路70aを有している。このジッタ制御回路70aは、図11に示したように、8ビットカウンタ72と、並列接続されたトランジスタP31 - P38と、8ビットカウンタ72の出力Q0 - Q7に接続されたトランジスタP41 - P48と、コンパレータCP11とを備えている。

10

#### 【0093】

トランジスタP41 - P48のドレイン端子は共通接続されて、図10のトランジスタN23に出力電流bを供給する。トランジスタN23には、トランジスタP24からの電流にこの出力電流bが加算された電流が流れる。その結果、トランジスタP26, N26には、トランジスタP24の電流と出力電流bとが加算された電流に等しいまたは比例する電流が流れる。これにより、発振周波数には、出力電流bによる揺らぎが与えられ、周波数拡散がなされる。なお、途中のカレントミラーを構成するトランジスタのサイズを変えて、トランジスタN26の電流 > トランジスタP26の電流とすることが多い。

20

#### 【0094】

8ビットカウンタ72のクロック端子CLKには、発振信号Dmaxの反転信号が入力されている。これにより、8ビットカウンタ72は、発振信号Dmaxの反転信号のパルスが入力されるたびにカウントアップし、最大値になったら0に戻って再びカウントアップを続けるという動作を行う。

#### 【0095】

トランジスタP31 - P38は、ゲートがトランジスタP23のゲートに接続され、トランジスタP23との間でカレントミラー回路を構成している。トランジスタP31 - P38のサイズは同一ではなく、トランジスタP31の電流 < トランジスタP32の電流 < . . . < トランジスタP37の電流 < トランジスタP38の電流、となるようにしている。トランジスタP31 - P38は、トランジスタP41 - P48とそれぞれ直列に接続されている。

30

#### 【0096】

コンパレータCP11は、その非反転入力にフィードバック電圧FBまたはフィードバック電圧FBを増幅する増幅器FB\_Aの出力が接続され(図10は、増幅器FB\_Aの出力を適用した例を示す。)、反転入力に基準電圧Vref1が入力されている。基準電圧Vref1は、図8にて7ビットのカーブと8ビットのカーブとが交わるときの動作周波数( $f_c = 40kHz$ )の増幅器FB\_Aの出力電圧に対応する。このため、増幅器FB\_Aの出力電圧をVfbとしたとき、 $V_{ref1} < V_{fb}$ の場合、8ビットカウンタ72は、8ビットのカウンタ動作を行い、 $V_{ref1} > V_{fb}$ の場合、8ビットカウンタ72は、7ビットのカウンタ動作を行うように切り換えられる。

40

#### 【0097】

8ビットカウンタ72は、図12に示したように、8つのDフリップフロップD51, D52, . . . , D58を直列に接続して構成されている。すなわち、DフリップフロップD51は、そのクロック入力に8ビットカウンタ72のクロック端子CLKに接続され、出力Qが8ビットカウンタ72の最下位ビットの出力Q0に接続され、反転出力XQがデータ入力Dに接続されている。DフリップフロップD51は、また、イネーブル端子ENを有し、このイネーブル端子ENには、インバータ73の出力が接続され、インバータ

50

73の入力には、コンパレータCP11の出力が接続されている。DフリップフロップD52は、そのクロック入力 $CLK$ がトライステートバッファ74を介して8ビットカウンタ72のクロック端子 $CLK$ に接続され、トライステートバッファ75を介してDフリップフロップD51の反転出力 $XQ$ に接続されている。トライステートバッファ74のイネーブル端子は、コンパレータCP11の出力に接続され、トライステートバッファ75のイネーブル端子は、インバータ73の出力に接続されている。DフリップフロップD52の出力 $Q$ は、8ビットカウンタ72の出力 $Q1$ に接続され、反転出力 $XQ$ は、自身のデータ入力 $D$ と、次段のDフリップフロップのクロック端子とに接続される。このDフリップフロップD52は、同様の接続方法にて、最上位ビットのDフリップフロップD58まで直列に接続され、全体として8ビットのカウントを構成している。ここで、トライステートバッファ74およびトライステートバッファ75は、互いに排他的にイネーブルされて、DフリップフロップD51へのクロック入力(クロック信号 $CLK$ )もしくはDフリップフロップD51の反転出力 $XQ$ のいずれかを、DフリップフロップD52へのクロック入力として選択する選択回路を構成している。

10

**【0098】**

トライステートバッファ74, 75は、図13の(A)に示したように、2段のCMOS(Complementary Metal Oxide Semiconductor)インバータとスイッチとを備えている。すなわち、トライステートバッファ74, 75では、トランジスタP51, N51を有する1段目のCMOSインバータと、トランジスタP52, N52を有する2段目のCMOSインバータとを直列に接続してバッファを構成している。そして、バッファの出力側には、トランジスタP53が直列に接続されてスイッチを構成している。

20

**【0099】**

このトライステートバッファ74, 75は、イネーブル端子ENにLレベルの信号が入力されると、トランジスタP53がオンして出力端子OUTには、入力端子INに入力されたレベルと同じレベルの信号が出力される。イネーブル端子ENにHレベルの信号が入力されると、トランジスタP53がオフして出力端子OUTがハイインピーダンス状態になり、入力端子INから出力端子OUTへの信号伝達はない。

**【0100】**

なお、トライステートバッファ74, 75の出力に配置されたスイッチは、図13の(B)に示したように、トランジスタP53に代えてトランスファゲート76およびインバータ76aにしてもよい。この場合、トランスファゲート76は、そのイネーブル端子ENにLレベルの信号が入力されると、入出力が導通し、イネーブル端子ENにHレベルの信号が入力されると、出力がハイインピーダンス状態になる。

30

**【0101】**

図12に示した8ビットカウンタ72によれば、増幅器FB\_Aの出力電圧 $V_{fb}$ が基準電圧 $V_{ref1}$ 以上、すなわち、動作周波数 $f_c$ が40kHz以上するとき、コンパレータCP11の出力は、Hレベル、インバータ73の出力は、Lレベルとなる。これにより、トライステートバッファ74は動作が無効になり、トライステートバッファ75は動作が有効になって、最下位ビットのDフリップフロップD51の出力が次段のDフリップフロップD52に伝わるようになる。つまり、8ビットカウンタ72は、本来の8ビットカウンタとして動作する。

40

**【0102】**

次に、負荷が軽くなって増幅器FB\_Aの出力電圧 $V_{fb}$ が基準電圧 $V_{ref1}$ より低く、すなわち、動作周波数 $f_c$ が40kHzより低くなると、コンパレータCP11の出力は、Lレベル、インバータ73の出力は、Hレベルとなる。これによりトライステートバッファ74は動作が有効になり、トライステートバッファ75は動作が無効になって、最下位ビットのDフリップフロップD51は、動作無効状態となる。つまり、8ビットカウンタ72に入力されたクロック信号 $CLK$ は、トライステートバッファ74を介して、直接、DフリップフロップD52のクロック端子に入力され、8ビットカウンタ72は、7ビットカウンタとして動作する。

50

〔第2の実施の形態〕

図14は第2の実施の形態に係るスイッチング電源装置の制御ICに設けられる発振器内のジッタ制御回路70bの概略構成を示す図、図15は図14のジッタ制御回路70b内のカウンタ77の概略構成を示す図である。この図14および図15において、図11および図12に示した構成要素と同じまたは均等の構成要素については同じ符号を付してその詳細な説明は省略する。

【0103】

上述の第1の実施の形態のジッタ制御回路70aは、最下位ビットのDフリップフロップD51を動作無効状態にすることによって、8ビットカウンタ72を7ビットカウンタとして動作する構成にしている。これに対し、この第2の実施の形態のジッタ制御回路70bは、最上位ビットの出力Q7に接続されたトランジスタP48の機能を無効にすることによって8ビットから7ビットに切り換える構成にしている。

10

【0104】

このためには、この第2の実施の形態における8ビットカウンタ77は、図15に示したように、8つのDフリップフロップD51、D52、・・・、D58を直列に接続しただけの通常の8ビットカウンタで構成されている。

【0105】

ジッタ制御回路70bは、最上位ビットの出力Q7に接続されたトランジスタP48に直列にトランジスタP54を接続し、このトランジスタP54のゲートをコンパレータCP11の出力に接続している。このコンパレータCP11は、この実施の形態では、反転入力に出力電圧Vfbを受け、非反転入力に基準電圧Vref1を受けるように構成されている。

20

【0106】

このジッタ制御回路70bによれば、増幅器FB\_\_Aの出力電圧Vfbが基準電圧Vref1以上、すなわち、動作周波数fcが40kHz以上するとき、コンパレータCP11の出力は、Lレベルとなる。これにより、トランジスタP54がオンとなって、ジッタ制御回路70bは、8ビットで動作する。

【0107】

次に、負荷が軽くなって増幅器FB\_\_Aの出力電圧Vfbが基準電圧Vref1より低く、すなわち、動作周波数fcが40kHzより低くなると、コンパレータCP11の出力は、Hレベルとなる。これにより、トランジスタP54がオフとなって、最上位ビットが強制的に無効にされ、ジッタ制御回路70bは、8ビットから7ビットに切り換えられ、7ビットで動作することになる。すなわち、カウンタ77自体は8ビットで動作しているが、最上位ビット出力Q7は出力電流bから切り離され、出力電流bはカウンタ77の出力Q0-Q7の下位7ビットによりその値が制御されるものになり、変調周期はクロック信号CLK128周期分の長さとなる。

30

【0108】

なお、上記の第1および第2の実施の形態では、8ビットと7ビットの切り換えを、8ビットのうちの最下位ビットまたは最上位ビットを無効にすることによって行っている。しかしながら、無効にするビットは、最下位ビットまたは最上位ビットに限定されるものではなく、最下位ビットと最上位ビットとの間の任意の1ビットを無効にすることによっても、8ビットから7ビットへの切り換えが可能である。

40

【0109】

以上の実施の形態は、動作周波数が25kHz-65kHzの範囲で変化するスイッチング電源装置の場合について説明したが、以下では、動作周波数が25kHz-100kHzの範囲で変化するスイッチング電源装置の場合について説明する。

【0110】

図16は動作周波数を100kHzまで拡大したときの低減効果の動作周波数依存(補正なし)を示す図、図17は低減効果の動作周波数依存(補正あり)を示す図、図18は変調周波数の動作周波数依存を示す図である。

50

## 【 0 1 1 1 】

動作周波数  $f_c$  を  $25 \text{ kHz} - 100 \text{ kHz}$  とした場合、ベッセル関数を用いた計算式で低減効果を求めると、図 16 に示したように、7 ビットでは約  $10 \text{ dB}$ 、8 ビットでは約  $12 \text{ dB}$ 、9 ビットでは約  $14 \text{ dB}$  と、動作周波数  $f_c$  に対し一定の低減効果がある、と計算される。ただし、この図 16 のグラフは、分解能帯域幅  $R B W$  による影響を考慮していない補正なしの場合であるので、分解能帯域幅  $R B W$  を考慮した補正ありの低減効果を求めると、図 17 に示した形になる。すなわち、7 ビットの場合、動作周波数  $f_c$  が  $25 \text{ kHz}$  で  $9 \text{ dB}$  の低減効果があり、動作周波数  $f_c$  が  $30 \text{ kHz} - 100 \text{ kHz}$  の範囲では  $10 \text{ dB}$  で一定の低減効果があることを示している。8 ビットの場合、動作周波数  $f_c$  が  $25 \text{ kHz} - 50 \text{ kHz}$  の範囲で  $6 \text{ dB} - 12 \text{ dB}$  の低減効果があり、動作周波数  $f_c$  が  $50 \text{ kHz} - 100 \text{ kHz}$  の範囲では、低減効果が  $12 \text{ dB}$  で一定であることを示している。9 ビットの場合、動作周波数  $f_c$  が  $25 \text{ kHz} - 65 \text{ kHz}$  の範囲で  $3 \text{ dB} - 12 \text{ dB}$  の低減効果があり、 $65 \text{ kHz} - 70 \text{ kHz}$  の範囲では  $12 \text{ dB}$ 、 $75 \text{ kHz} - 80 \text{ kHz}$  の範囲では  $13 \text{ dB}$ 、 $85 \text{ kHz} - 100 \text{ kHz}$  の範囲では、低減効果が  $14 \text{ dB}$  で一定であることを示している。

10

## 【 0 1 1 2 】

この図 17 からは、動作周波数  $f_c = 40 \text{ kHz}$  で 7 ビットのカーブと 8 ビットのカーブとが交わり、 $f_c = 65 \text{ kHz} - 70 \text{ kHz}$  の範囲で 8 ビットのカーブと 9 ビットのカーブとが交わることが分かる。つまり、 $f_c = 40 \text{ kHz}$  のポイントで 7 ビットおよび 8 ビットの切り換えを行い、 $f_c = 70 \text{ kHz}$  のポイントで 8 ビットおよび 9 ビットの切り換えを行うことにより、 $25 \text{ kHz} - 100 \text{ kHz}$  の全周波数にわたって低減効果の最適化を図ることができることになる。

20

## 【 0 1 1 3 】

したがって、動作周波数  $f_c$  に対する変調周波数  $f_m$  は、図 18 に示したように、 $f_c = 25 \text{ kHz} - 40 \text{ kHz}$  では 7 ビットのカーブに、 $f_c = 40 \text{ kHz} - 70 \text{ kHz}$  では 8 ビットのカーブに、 $f_c = 70 \text{ kHz} - 100 \text{ kHz}$  では 9 ビットのカーブに沿って変化する。

## 【 0 1 1 4 】

このように、動作周波数  $f_c$  が  $25 \text{ kHz} - 100 \text{ kHz}$  の範囲で変化するスイッチング電源装置では、動作周波数  $f_c$  が  $40 \text{ kHz}$  および  $70 \text{ kHz}$  の 2 つのポイントで低減効果の最大値が入れ替わることが分かる。ジッタ制御回路のビット切り換えを動作周波数  $f_c$  が  $40 \text{ kHz}$  および  $70 \text{ kHz}$  の 2 つのポイントで行えばよいことが判明したので、以下に、 $40 \text{ kHz}$  および  $70 \text{ kHz}$  の 2 つのポイントでビット切り換えを実現する回路例について説明する。

30

## 〔 第 3 の実施の形態 〕

図 19 は第 3 の実施の形態に係るスイッチング電源装置の制御 IC に設けられる発振器内のジッタ制御回路 70c の概略構成を示す図、図 20 は図 19 のジッタ制御回路内のカウンタ 78 の概略構成を示す図である。この図 19 および図 20 において、図 11 および図 12 に示した構成要素と同じまたは均等の構成要素については同じ符号を付してその詳細な説明は省略する。

40

## 【 0 1 1 5 】

第 3 の実施の形態に係るスイッチング電源装置のジッタ制御回路 70c は、図 19 に示したように、9 ビットカウンタ 78 と、並列接続されたトランジスタ P31 - P39 と、9 ビットカウンタ 78 の出力 Q0 - Q8 に接続されたトランジスタ P41 - P49 と、コンパレータ CP11、CP12 とを備えている。

## 【 0 1 1 6 】

コンパレータ CP11 は、その非反転入力に増幅器 FB\_\_A の出力電圧  $V_{fb}$  を受け、反転入力に基準電圧  $V_{ref1}$  が入力されている。基準電圧  $V_{ref1}$  は、図 17 にて 8 ビットのカーブと 9 ビットのカーブとが交わるときの動作周波数 ( $f_c = 70 \text{ kHz}$ ) の FB 電圧に対応する値を有している。コンパレータ CP12 は、その非反転入力に増幅器

50

FB\_\_Aの出力電圧Vfbを受け、反転入力に基準電圧Vref2 (<Vref1)が入力されている。基準電圧Vref2は、図17にて7ビットのカーブと8ビットのカーブとが交わるときの動作周波数( $f_c = 40 \text{ kHz}$ )のFB電圧に対応する値を有している。このため、9ビットカウンタ78は、増幅器FB\_\_Aの出力電圧VfbがVref1以上の場合、9ビット、 $V_{ref2} < V_{fb} < V_{ref1}$ の場合、8ビット、そして、Vref2より低い場合、7ビットのカウンタ動作を行うように切り換えられる。

【0117】

9ビットカウンタ78は、図20に示したように、9つのDフリップフロップD51, D52, …, D59を直列に接続して構成されている。この9ビットカウンタ78では、下位の2ビットを有効または無効にするように構成している。最下位ビットのDフリップフロップD51は、図12に示したものと同様に、コンパレータCP11と、インバータ73と、トライステートバッファ74, 75とによって有効・無効の切り換えが行われる。次段のDフリップフロップD52についても、同様の構成を有し、コンパレータCP12と、インバータ79と、トライステートバッファ80, 81とによって有効・無効の切り換えが行われる。なお、トライステートバッファ74, 75と同様に、トライステートバッファ80, 81も選択回路を構成している。

【0118】

この9ビットカウンタ78によれば、増幅器FB\_\_Aの出力電圧Vfbが基準電圧Vref1以上、すなわち、動作周波数 $f_c$ が70kHz以上のとき、コンパレータCP11, CP12の出力は、Hレベル、インバータ73, 79の出力は、Lレベルとなる。これにより、トライステートバッファ74, 80は、動作が無効になって、DフリップフロップD51, D52をバイパスするクロック信号CLKの経路が遮断される。一方、トライステートバッファ75, 81は、動作が有効となり、下位2ビットのDフリップフロップD51, D52の動作が有効状態となって、9ビットカウンタ78は、本来の9ビットカウンタとして動作する。

【0119】

次に、負荷が軽くなって増幅器FB\_\_Aの出力電圧Vfbが基準電圧Vref1より低く、すなわち、動作周波数 $f_c$ が70kHzより低くなると、コンパレータCP11の出力は、Lレベル、インバータ73の出力は、Hレベルとなる。これにより、トライステートバッファ74は、動作が有効になり、クロック信号CLKは、DフリップフロップD51をバイパスしてDフリップフロップD52に直接入力されるようになる。また、トライステートバッファ75は、動作が無効になり、DフリップフロップD51の反転出力XQは回路から切り離されることになって、最下位ビットのDフリップフロップD51は、動作無効状態となる。一方、コンパレータCP12は、出力が変化しないので、DフリップフロップD52は、動作有効状態を維持している。これにより、9ビットカウンタ78は、8ビットカウンタとして動作する。

【0120】

負荷がさらに軽くなって増幅器FB\_\_Aの出力電圧Vfbが基準電圧Vref2より低く、すなわち、動作周波数 $f_c$ が40kHzより低くなると、コンパレータCP12の出力は、Lレベル、インバータ79の出力は、Hレベルとなる。トライステートバッファ74, 80は、動作が有効になり、クロック信号CLKは、DフリップフロップD51, D52をバイパスすることになる。また、トライステートバッファ75, 81は、動作が無効になり、DフリップフロップD51, D52の反転出力XQは、それぞれ全体回路から切り離されることになる。すなわち、DフリップフロップD51に続きDフリップフロップD52も動作無効状態となる。これにより、9ビットカウンタ78は、下位の2ビットが無効となるので、7ビットカウンタとして動作することになる。

【0121】

なお、この第3の実施の形態では、9ビットカウンタ78を8ビットカウンタとして動作させるのに、最下位ビットのDフリップフロップD51を無効にしている。しかし、最下位ビットのDフリップフロップD51を有効のままにして次段のDフリップフロップD

10

20

30

40

50

52 - D58のいずれかのDフリップフロップを無効にすることで9ビットカウンタ78を8ビットカウンタとして機能させることができる。この場合、上述の選択回路を当該Dフリップフロップに適用すればよい。

〔第4の実施の形態〕

図21は第4の実施の形態に係るスイッチング電源装置の制御ICに設けられる発振器内のジッタ制御回路70dの概略構成を示す図である。この図21において、図14に示した構成要素と同じまたは均等の構成要素については同じ符号を付してその詳細な説明は省略する。

【0122】

上述の第3の実施の形態のジッタ制御回路70cは、下位の2ビットのDフリップフロップD51, D52を選択的に動作無効状態にすることによって、9ビットカウンタ78を8ビットまたは7ビットのカウンタとして動作する構成にしている。これに対し、この第4の実施の形態のジッタ制御回路70dでは、上位2ビットの出力Q7, Q8に接続されたトランジスタP48, P49の機能を選択的に無効にすることによって9ビットを、8ビットまたは7ビットへ切り換える構成にしている。

【0123】

このためには、この第4の実施の形態における9ビットカウンタ82は、通常の9ビットカウンタの構成を有している。すなわち、9ビットカウンタ82は、図15に示した8ビットカウンタ77の段数を1段増やして9段構成にしている。

【0124】

ジッタ制御回路70dでは、上位2ビットの出力Q7, Q8に接続されたトランジスタP48, P49に直列にトランジスタP54, P55がそれぞれ接続されている。そして、これらのトランジスタP55, P54のゲートは、コンパレータCP11, CP12の出力にそれぞれ接続されている。

【0125】

このジッタ制御回路70dによれば、増幅器FB\_\_Aの出力電圧Vfbが基準電圧Vref1 ( $V_{ref2} < V_{ref1}$ ) 以上、すなわち、動作周波数fcが70kHz以上するとき、コンパレータCP11, CP12の出力は、Lレベルとなる。これにより、トランジスタP54, P55がオンとなるので、ジッタ制御回路70dは、9ビットで動作する。

【0126】

次に、負荷が軽くなって増幅器FB\_\_Aの出力電圧Vfbが基準電圧Vref1より低く、すなわち、動作周波数fcが70kHzより低くなると、コンパレータCP11の出力は、Hレベルとなる。これにより、トランジスタP55がオフとなって、トランジスタP49の機能が無効にされ、ジッタ制御回路70dは、9ビットから8ビットに切り換えられ、8ビットで動作することになる。

【0127】

負荷がさらに軽くなって増幅器FB\_\_Aの出力電圧Vfbが基準電圧Vref2より低く、すなわち、動作周波数fcが40kHzより低くなると、コンパレータCP12の出力もHレベルとなり、トランジスタP54もオフとなる。これにより、上位2ビットのトランジスタP48, P49の機能が無効にされ、ジッタ制御回路70dは、7ビットに切り換えられ、7ビットで動作することになる。

【0128】

また、第3および第4の実施の形態において、9ビットと8ビットとの切り換えを動作周波数が70kHzのときに行っていたが、動作周波数が65kHzでも低減効果は同じであるため、65kHzのときに行ってもよい。

【0129】

さらに、上記の実施の形態において、商用の交流電源を入力とするフライバック式のスイッチング電源装置を例に説明を行ってきた。しかし、本発明はこの方式のスイッチング電源装置に限定されるものではなく、入力がバッテリーなどの直流電源であってもよいし

10

20

30

40

50

、トランスではなく単独のインダクタンスを用いるスイッチング電源にも適用できることは言うまでもないことである。

【 0 1 3 0 】

また、上述の各実施の形態の構成を随時組み合わせたものも、本発明の範疇であることは言うまでもないことである。

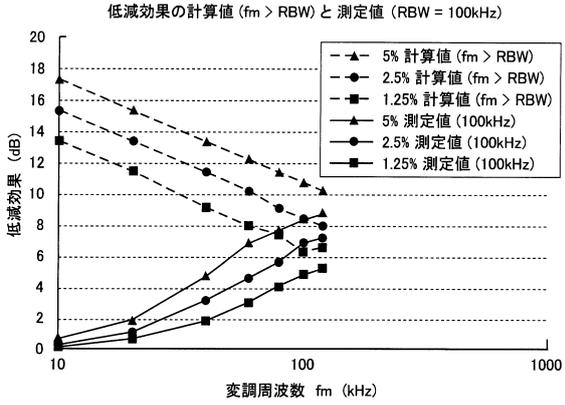
【符号の説明】

【 0 1 3 1 】

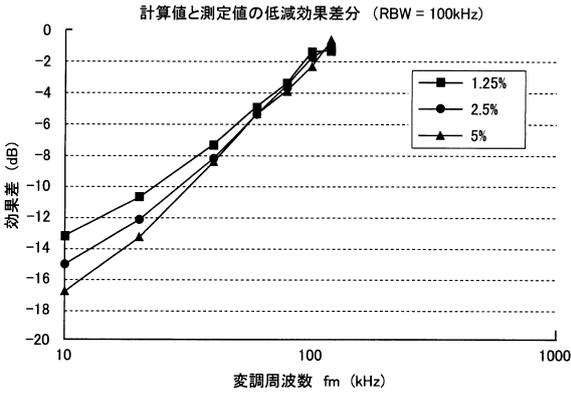
1	交流電源	
2	コモンモードチョークコイル	
3	Xコンデンサ	10
4	ダイオードブリッジ	
5	コンデンサ	
6	ダイオード	
7	電流制限抵抗	
8	制御IC	
9	サーミスタ	
10	コンデンサ	
11	抵抗	
12	センス抵抗	
13	コンデンサ	20
14	ダイオード	
15	補助巻き線	
16	一次巻き線	
17	M O S F E T	
18	二次巻き線	
19	ダイオード	
20	コンデンサ	
21	フォトカプラ	
22	シャントレギュレータ	
23, 24	抵抗	30
25	負荷	
31	起動回路	
32	低電圧誤動作防止回路	
33	内部電源回路	
34	発振器	
35	スロープ補償回路	
36	FBコンパレータ	
37	ワンショット回路	
38	RSフリップフロップ	
39	オアゲート	40
40	アンドゲート	
41	オアゲート	
42	ドライブ回路	
43	レベルシフト回路	
44	CSコンパレータ	
45	OCPコンパレータ	
46	オアゲート	
47	電流源	
48	LATコンパレータ	
49	ラッチ回路	50

5 0	遅延時間制御回路	
5 1	オアゲート	
6 1	バッファアンプ	
6 2	増幅器	
6 3	ヒステリシスコンパレータ	
6 4	インバータ	
7 0 , 7 0 a , 7 0 b , 7 0 c , 7 0 d	ジッタ制御回路	
7 1	分周器兼カウンタ	
7 2	8ビットカウンタ	
7 3	インバータ	10
7 4 , 7 5	トライステートバッファ	
7 6	トランスファゲート	
7 6 a	インバータ	
7 7	8ビットカウンタ	
7 8	9ビットカウンタ	
7 9	インバータ	
8 0 , 8 1	トライステートバッファ	
8 2	9ビットカウンタ	
1 0 0	スイッチング電源装置	
C	コンデンサ	20
C P 1 , C P 2 , C P 1 1 , C P 1 2	コンパレータ	
D 5 1 , D 5 2 , . . . , D 5 9	Dフリップフロップ	
F B _ A	増幅器	
I 0	定電流源	
N 1 - N 5 , N 2 1 - N 2 6 , N 5 1 , N 5 2 , P 1 - P 5 , P 1 1 - P 1 8 , P 2 1		
- P 2 7 , P 3 1 - P 3 9 , P 4 1 - P 4 9 , P 5 1 - P 5 5	トランジスタ	
R _ R T , R 0 - R 3 , R 1 1 , R 1 2	抵抗	
R S F F	R Sフリップフロップ	
R T _ A	多入力増幅器	
T	トランス	30
V 1 - V 4	基準電源	
V r e f , V r e f 1 , V r e f 2	基準電圧	

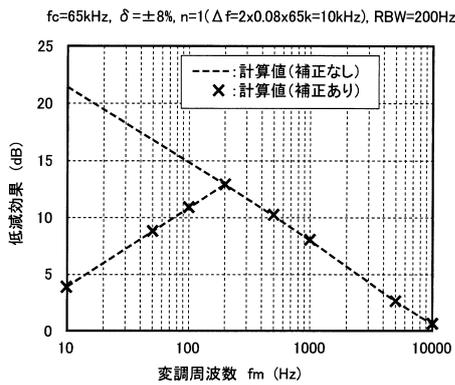
【 図 1 】



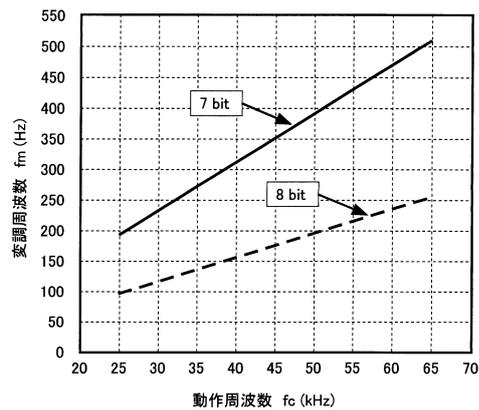
【 図 2 】



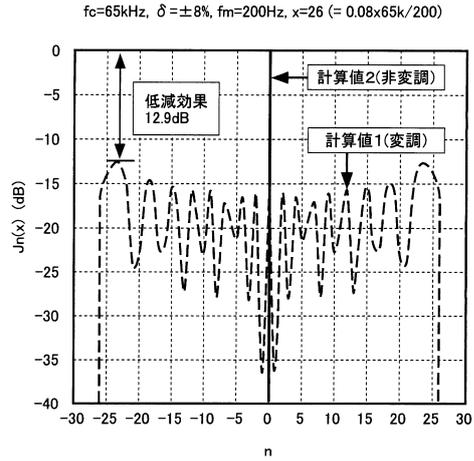
【 図 4 】



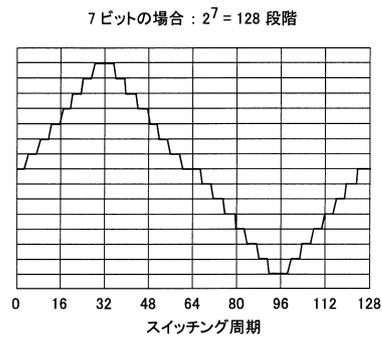
【 図 5 】



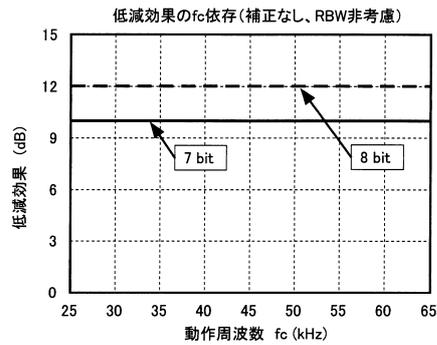
【 図 3 】



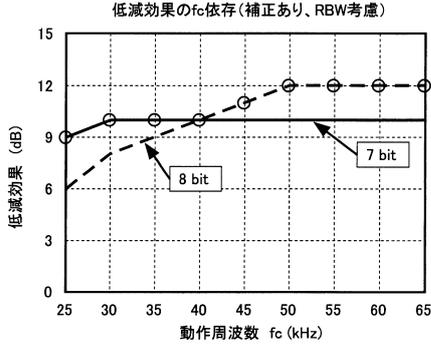
【 図 6 】



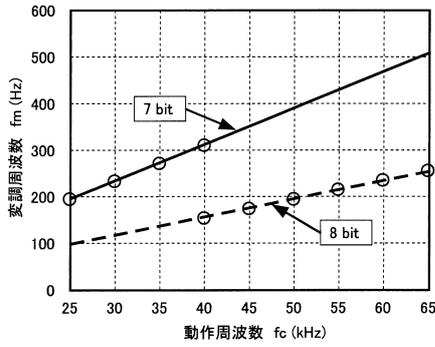
【 図 7 】



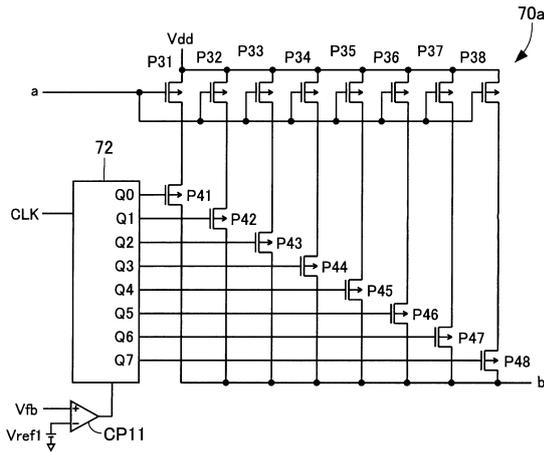
【図 8】



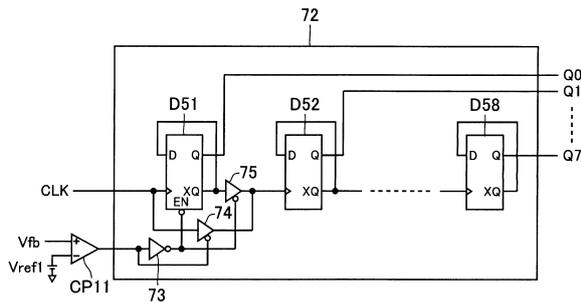
【図 9】



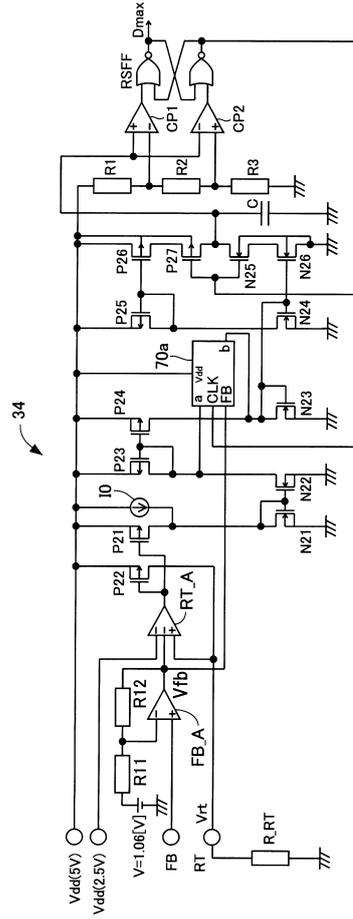
【図 11】



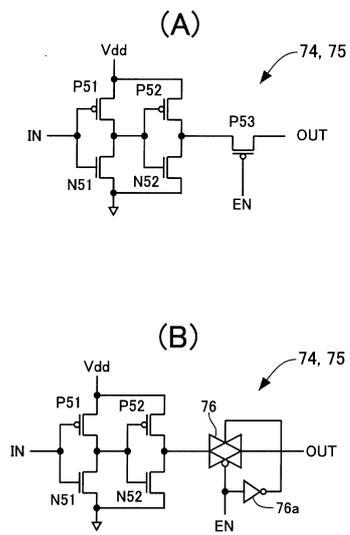
【図 12】



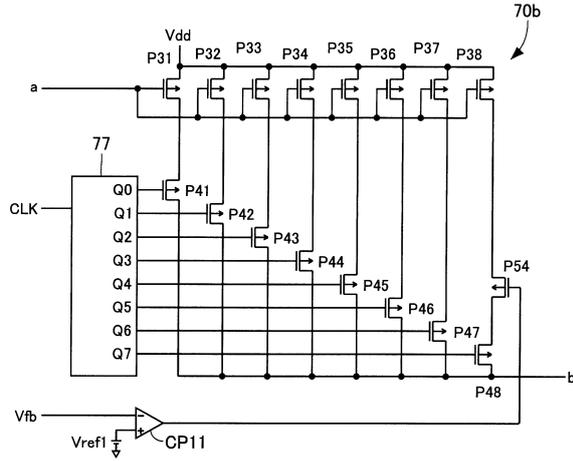
【図 10】



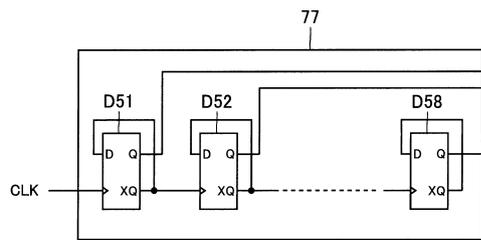
【図 13】



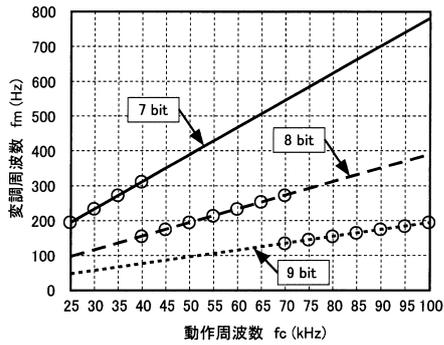
【図14】



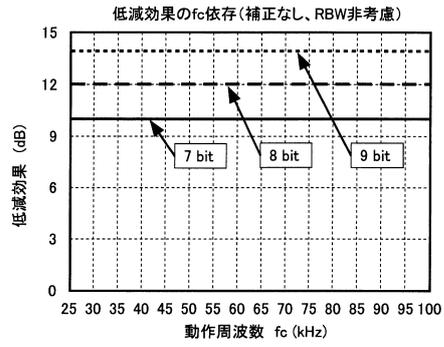
【図15】



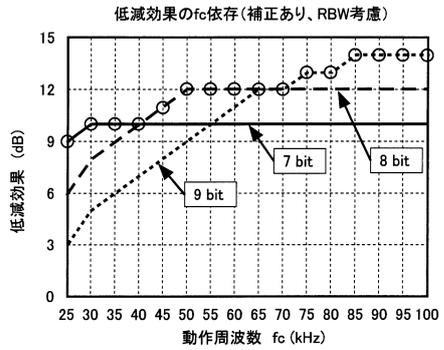
【図18】



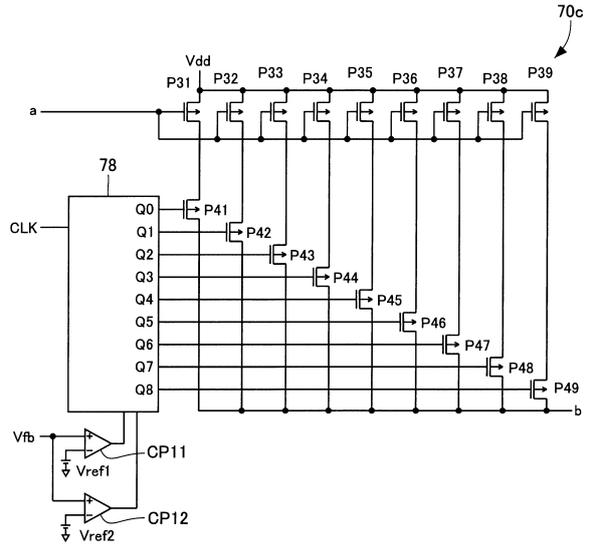
【図16】



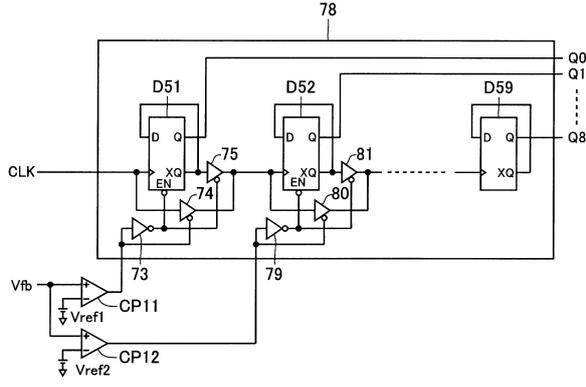
【図17】



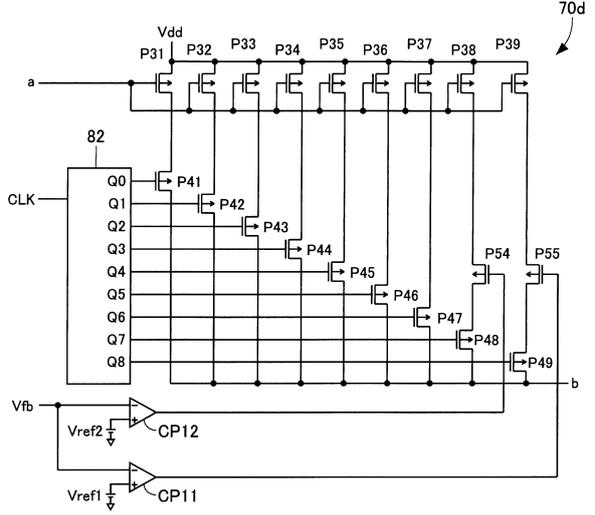
【図19】



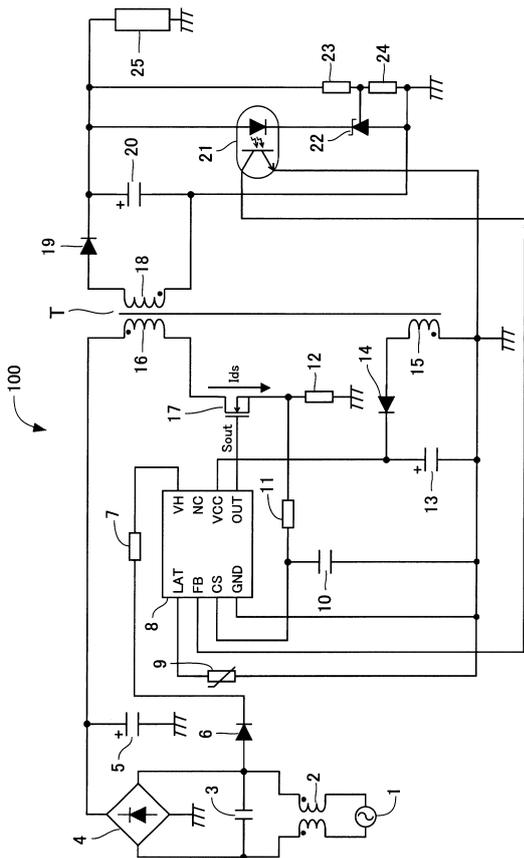
【図20】



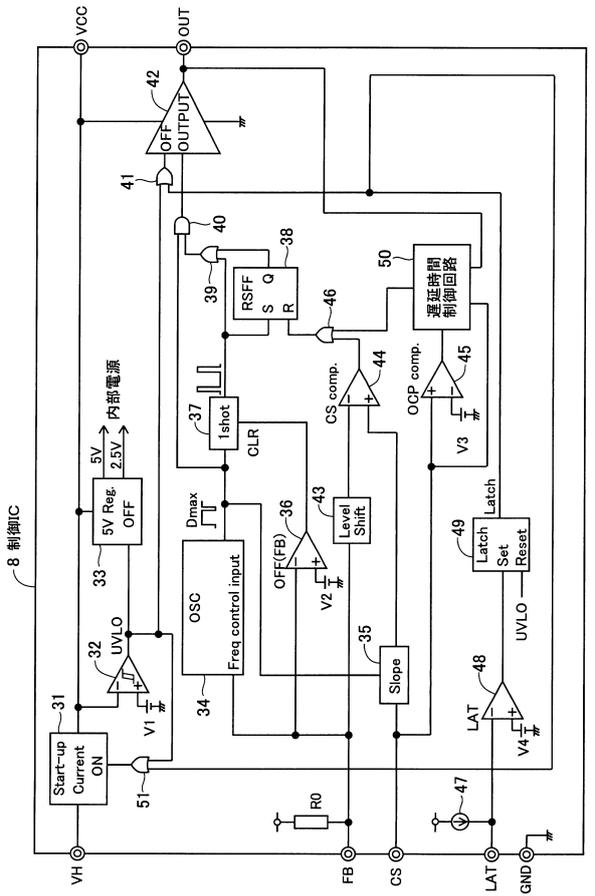
【図21】



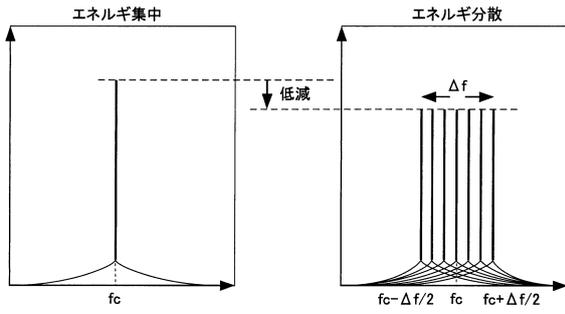
【図22】



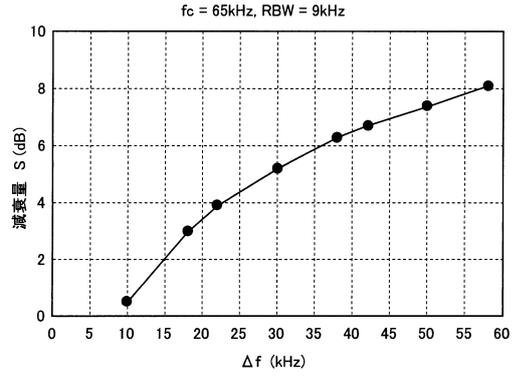
【図23】



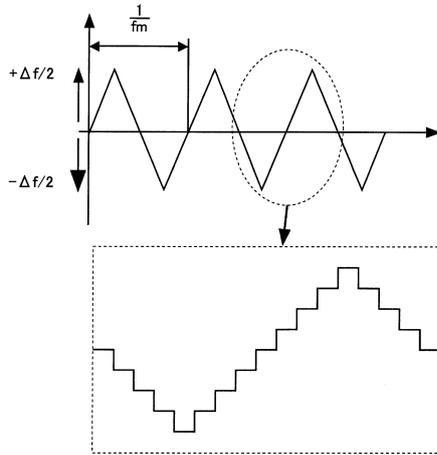
【図 2 4】



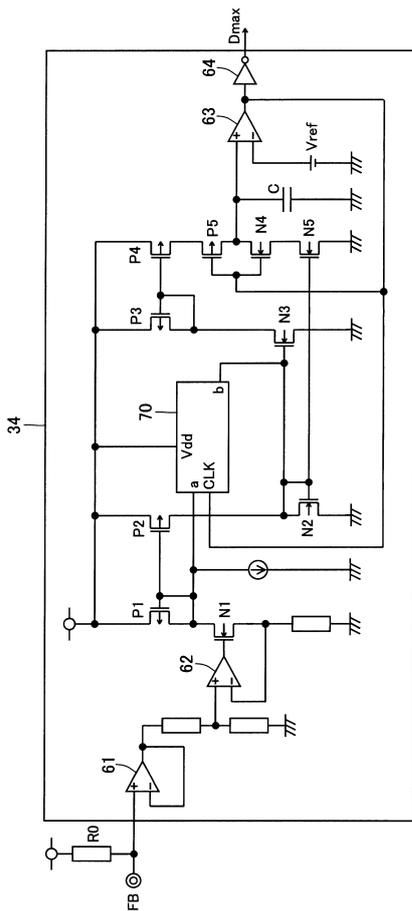
【図 2 6】



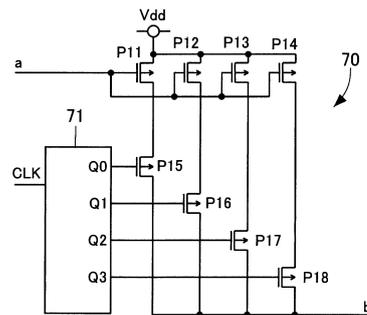
【図 2 5】



【図 2 7】



【図 2 8】



---

フロントページの続き

- (56)参考文献 特開2014-204544(JP,A)  
特開2008-312359(JP,A)  
米国特許第06249876(US,B1)  
米国特許出願公開第2011/0228579(US,A1)

- (58)調査した分野(Int.Cl., DB名)  
H02M 3/28