



(12) 发明专利

(10) 授权公告号 CN 109858628 B

(45) 授权公告日 2021.04.27

(21) 申请号 201910153013.5

(22) 申请日 2019.02.28

(65) 同一申请的已公布的文献号
申请公布号 CN 109858628 A

(43) 申请公布日 2019.06.07

(73) 专利权人 北京百度网讯科技有限公司
地址 100094 北京市海淀区上地十街10号
百度大厦2层

(72) 发明人 刘树森 段润尧

(74) 专利代理机构 北京市金杜律师事务所
11256

代理人 李辉

(51) Int. Cl.

G06N 10/00 (2019.01)

(56) 对比文件

CN 109063843 A, 2018.12.21

CN 109063844 A, 2018.12.21

US 2017357561 A1, 2017.12.14

审查员 谢晶

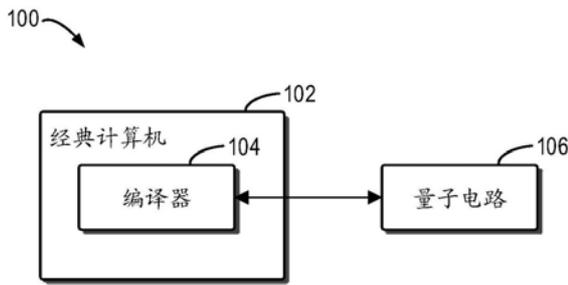
权利要求书3页 说明书9页 附图3页

(54) 发明名称

编译量子电路的方法、装置、设备和计算机
可读存储介质

(57) 摘要

本公开的实施例涉及编译量子电路的方法、装置、设备和计算机程序产品。该方法包括：获取用于量子电路的待编译的逻辑指令，量子电路包括多个量子比特，逻辑指令与多个量子比特中的第一量子比特和第二量子比特相关联，所述多个量子比特中的至少一部分之间能够使用双比特量子门进行操作；在量子电路中确定第一量子比特和第二量子比特之间的路径；以及基于路径，通过添加单比特量子门来生成与逻辑指令相对应的用于所述量子电路的底层指令。



1. 一种用于编译量子电路的方法,包括:

获取用于所述量子电路的待编译的逻辑指令,所述量子电路包括多个量子比特,所述逻辑指令与所述多个量子比特中的第一量子比特和第二量子比特相关联,所述多个量子比特中的至少一部分之间能够使用双比特量子门进行操作;

在所述量子电路中确定从所述第一量子比特到所述第二量子比特的有向路径;以及

基于所述有向路径,通过添加单比特量子门来生成与所述逻辑指令相对应的用于所述量子电路的底层指令。

2. 根据权利要求1所述的方法,其中生成所述底层指令包括:

确定与所述有向路径相对应的交换门,使得通过使用在所述有向路径中的一个双比特量子门操作所述第一量子比特和所述第二量子比特;

确定与所述交换门对应的双比特量子门和单比特量子门的序列;以及

基于所述双比特量子门和单比特量子门的序列来生成所述底层指令。

3. 根据权利要求1所述的方法,其中确定所述有向路径包括确定从所述第一量子比特到所述第二量子比特的最短路径。

4. 根据权利要求3所述的方法,其中确定所述最短路径包括:

响应于确定缓存器中包括以所述第一量子比特作为起点的最短路径树,从所述缓存器中读取所述最短路径。

5. 根据权利要求3所述的方法,其中确定所述最短路径包括:

响应于确定缓存器中不包括以所述第一量子比特作为起点的最短路径树,通过Dijkstra算法来确定所述最短路径树;

将所述最短路径树保存在缓存器中;以及

基于所述最短路径树,确定所述最短路径。

6. 根据权利要求1所述的方法,其中所述双比特量子门是CNOT门,并且所述单比特量子门是哈达马门,并且所述逻辑指令包括由所述第一量子比特控制所述第二量子比特的CNOT门。

7. 根据权利要求1所述的方法,还包括:

获取表示所述量子电路的有向图,所述有向图中的节点表示所述量子电路中的量子比特,并且所述有向图中的边表示所述双比特量子门。

8. 根据权利要求7所述的方法,其中确定所述有向路径包括:

确定将表示所述第一量子比特的第一节点与表示所述第二量子比特的第二节点连接在一起的边。

9. 根据权利要求7所述的方法,其中所述有向图包括加权图,所述加权图中的边具有相应的权重。

10. 根据权利要求9所述的方法,还包括:

基于所述有向路径中的各个边的权重来计算所述有向路径的权重。

11. 根据权利要求1所述的方法,所述量子电路具有非强连通拓扑或强连通拓扑。

12. 根据权利要求1所述的方法,其中所述量子电路包括超导量子电路、核磁共振电路、离子阱电路和硅基半导体量子电路中的至少一项。

13. 一种用于编译量子电路的装置,包括:

逻辑指令获取模块,被配置为获取用于所述量子电路的待编译的逻辑指令,所述量子电路包括多个量子比特,所述逻辑指令与所述多个量子比特中的第一量子比特和第二量子比特相关联,所述多个量子比特中的至少一部分之间能够使用双比特量子门进行操作;

路径确定模块,被配置为在所述量子电路中确定从所述第一量子比特到所述第二量子比特的有向路径;以及

底层指令生成模块,被配置为基于所述有向路径,通过添加单比特量子门来生成与所述逻辑指令相对应的用于所述量子电路的底层指令。

14. 根据权利要求13所述的装置,其中所述底层指令生成模块包括:

交换门确定模块,被配置为确定与所述有向路径相对应的交换门,使得通过使用在所述有向路径中的一个双比特量子门来操作所述第一量子比特和所述第二量子比特;

序列确定模块,被配置为确定与所述交换门对应的双比特量子门和单比特量子门的序列;以及

底层指令生成子模块,被配置为基于所述双比特量子门和单比特量子门的序列来生成所述底层指令。

15. 根据权利要求13所述的装置,其中路径确定模块包括最短路径确定模块,其被配置为确定从所述第一量子比特到所述第二量子比特的最短路径。

16. 根据权利要求15所述的装置,其中所述最短路径确定模块包括:

最短路径读取模块,被配置为响应于确定缓存器中包括以所述第一量子比特作为起点的最短路径树,从所述缓存器中读取所述最短路径。

17. 根据权利要求15所述的装置,其中所述最短路径确定模块包括:

最短路径树计算模块,被配置为响应于确定缓存器中不包括以所述第一量子比特作为起点的最短路径树,通过Dijkstra算法来确定所述最短路径树;

最短路径树存储模块,被配置为将所述最短路径树保存在缓存器中;以及

最短路径确定子模块,被配置为基于所述最短路径树,确定所述最短路径。

18. 根据权利要求13所述的装置,其中所述双比特量子门是CNOT门,并且所述单比特量子门是哈达马门,并且所述逻辑指令包括由所述第一量子比特控制所述第二量子比特的CNOT门。

19. 根据权利要求13所述的装置,还包括:

图获取模块,被配置为获取表示所述量子电路的有向图,所述有向图中的节点表示所述量子电路中的量子比特,并且所述有向图中的边表示所述双比特量子门。

20. 根据权利要求19所述的装置,其中所述路径确定模块包括:

边确定模块,被配置为确定将表示所述第一量子比特的第一节点与表示所述第二量子比特的第二节点连接在一起的边。

21. 根据权利要求19所述的装置,其中所述有向图包括加权图,所述加权图中的边具有相应的权重。

22. 根据权利要求21所述的装置,还包括:

权重确定模块,被配置为基于所述有向路径中的各个边的权重来计算所述有向路径的权重。

23. 根据权利要求13所述的装置,所述量子电路具有非强连通拓扑或强连通拓扑。

24. 根据权利要求13所述的装置,其中所述量子电路包括超导量子电路、核磁共振电路、离子阱电路和硅基半导体量子电路中的至少一项。

25. 一种电子设备,所述电子设备包括:

一个或多个处理器;以及

存储器,用于存储一个或多个程序,当所述一个或多个程序被所述一个或多个处理器执行时,使得所述电子设备实现根据权利要求1-12中任一项所述的方法。

26. 一种计算机可读存储介质,其上存储有计算机程序,所述程序被处理器执行时实现根据权利要求1-12中任一项所述的方法。

编译量子电路的方法、装置、设备和计算机可读存储介质

技术领域

[0001] 本公开的实施例涉及量子计算,并且更具体地涉及用于编译量子电路的方法、设备和计算机可读存储介质。

背景技术

[0002] 目前,大部分超导量子计算机的拓扑为非强连通图结构,这就限制了硬件的使用,很难或者不能达到通用量子计算。通用量子计算要求任意两个量子比特之间可以任意(互相)连接。换言之,给定 U^{2^n} (其中 U 表示计算所使用的通用量子任务所在的空间, 2^n 表示该空间的大小, n 为量子比特数目),都可以分解为单比特 U^2 和受控非门(CNOT)门的序列的组合。因此,除了要求每个量子比特都可以执行任意的 U^2 以外,还要求任意两个量子比特可以执行CNOT操作。因此,要达到通用量子计算的目的,任意两个量子比特都可以连通,即,整个量子硬件电路需要具有强连通图拓扑。然而,目前的制造工艺,无法制造出合格的(保真度较高的)强连通图拓扑的量子硬件,大多为拓扑为连通图的量子硬件。

发明内容

[0003] 根据本公开的实施例,提供了一种用于编译量子电路的方案。

[0004] 在本公开的第一方面,提供了一种用于编译量子电路的方法。该方法包括:获取用于量子电路的待编译的逻辑指令,量子电路包括多个量子比特,逻辑指令与多个量子比特中的第一量子比特和第二量子比特相关联,所述多个量子比特中的至少一部分之间能够使用双比特量子门进行操作;在量子电路中确定第一量子比特和第二量子比特之间的路径;以及基于路径,通过添加单比特量子门来生成与逻辑指令相对应的用于量子电路的底层指令。

[0005] 在本公开的第二方面,提供了一种用于编译量子电路的装置,包括:逻辑指令获取模块,被配置为获取用于量子电路的待编译的逻辑指令,量子电路包括多个量子比特,逻辑指令与多个量子比特中的第一量子比特和第二量子比特相关联,所述多个量子比特中的至少一部分之间能够使用双比特量子门进行操作;路径确定模块,被配置为在量子电路中确定第一量子比特和第二量子比特之间的路径;以及底层指令生成模块,被配置为基于路径,通过添加单比特量子门来生成与逻辑指令相对应的用于量子电路的底层指令。

[0006] 在本公开的第三方面,提供了一种电子设备。该电子设备包括:一个或多个处理器;以及存储器,用于存储一个或多个程序,当一个或多个程序被一个或多个处理器执行,使得电子设备实现根据本公开的第一方面的方法。

[0007] 在本公开的第四方面,提供了一种计算机可读介质,其上存储有计算机程序,该程序被处理器执行时实现根据本公开的第一方面的方法。

[0008] 提供发明内容部分是为了以简化的形式来介绍对概念的选择,它们在下文的具体实施方式中将被进一步描述。发明内容部分无意标识本公开的关键特征或主要特征,也无意限制本公开的范围。

附图说明

[0009] 通过结合附图对本公开示例性实施例进行更详细的描述,本公开的上述以及其他目的、特征和优势将变得更加明显,其中,在本公开示例性实施例中,相同的参考标号通常代表相同部件。

[0010] 图1示出了能够在其中实现本公开的实施例的示例计算环境的示意图;

[0011] 图2示出了根据本公开的一些实施例的量子电路的拓扑结构的示意图;

[0012] 图3示出了根据本公开的一些实施例的用于编译量子电路的方法的流程图;

[0013] 图4示出了根据本公开的一些实施例的量子电路的拓扑结构的示意图;

[0014] 图5示出了根据本公开的一些实施例的交换门的示意图;

[0015] 图6示出了根据本公开的一些实施例的交换门的示例实现;

[0016] 图7示出了根据本公开的一些实施例的交换门的示例实现;

[0017] 图8示出了根据本公开的一些实施例的用于编译量子电路的装置的框图;以及

[0018] 图9示出了能够实施本公开的一些实施例的电子设备的框图。

具体实施方式

[0019] 下面将参照附图更详细地描述本公开的优选实施例。虽然附图中显示了本公开的优选实施例,然而应该理解,可以以各种形式实现本公开而不应被这里阐述的实施例所限制。相反,提供这些实施例是为了使本公开更加透彻和完整,并且能够将本公开的范围完整地传达给本领域的技术人员。

[0020] 在本文中使用的术语“包括”及其变形表示开放性包括,即“包括但不限于”。除非特别申明,术语“或”表示“和/或”。术语“基于”表示“至少部分地基于”。术语“一个示例实施例”和“一个实施例”表示“至少一个示例实施例”。术语“另一实施例”表示“至少一个另外的实施例”。术语“第一”、“第二”等等可以指代不同的或相同的对象。下文还可能包括其他明确的和隐含的定义。

[0021] 图1示出了能够在其中实现本公开的实施例的示例计算环境100的示意图。如图1所示,计算环境100包括经典计算机102,例如,经典计算机102可以由确定性图灵机来实现的计算设备。然而,应当理解,经典计算机102也可以任何其他合适类型的计算设备。

[0022] 如图1所示,计算环境100包括量子电路106,也可以称为量子处理器等。例如,量子电路106可以是超导量子电路,也可以是核磁共振电路、核磁共振电路、离子阱电路和硅基半导体量子电路或者其中一个或多个的结合等。应当理解,本公开的实施例也可以应用于现有的或者将来开发的任何其他合适的量子电路的具体物理实现,本公开在此不受限制。

[0023] 量子电路106可以具有非强全连通拓扑,也可以具有强全连通拓扑。经典计算机102包括编译器104,以用于对量子电路106进行编译。编译器104可以将逻辑指令转换为底层指令,以提供给量子处理器。量子处理器可以将接收到的底层指令转换为物理指令,以操纵量子电路106。

[0024] 以上结合图1介绍了示例计算环境100,然而应当理解,本公开的实施例也可以在其他任何合适的计算环境100中实现。例如,本公开的实施例也可以在纯量子电路中实现。

[0025] 如上所述,目前的量子电路难以实现强连通拓扑。在量子电路中,CNOT可以结合哈达马门(HGate)来翻转局部的连通结构。选择可以连通的两个量子比特,用CNOT和HGate来

构建局部的全连通结构,从而完成目标CNOT。然而,这种方式全部通过人工来选择对应的量子比特,执行翻转操作。另外,这种方式也无法达到代价最低的目标,无法获得较好的保真度。例如,代价表示门电路的数目。通过人工选择量子比特只能确保局部可用,而无法进行全局选择。在规模稍大的量子电路(超过3个量子比特)中,基本不可能用手工完成实时的整体的映射。

[0026] 图2示出了根据本公开的一些实施例的量子电路200的示意图。为了更清楚地说明上述问题,以下结合图2的量子电路200来进行详细描述。应当理解,图2的拓扑结构仅作为示例提供,本公开的原理和构思也可以应用于任何其他合适的量子电路或量子处理器,这些量子处理器可以具有更多或更少量子比特,并且可以具有完全不同的拓扑结构。

[0027] 量子电路200包括五个量子比特 q_0 - q_4 以及将五个量子比特彼此耦合的六个双比特拓扑结构,双比特量子门只能作用在具有双比特拓扑结构的量子比特上。例如,双比特量子门可以是CNOT。为了简单起见,以下结合CNOT进行描述。然而,应当理解,本公开的原理和构思也可以应用于目前已知的或将来开发的任何合适的双比特量子门。

[0028] 量子电路200具有非强连通图结构,其中不是任意两个量子比特都可以连通。例如,量子电路200可以是超导量子电路、核磁共振电路、离子阱电路和/或硅基半导体量子电路等。

[0029] 如图2所示,箭头表示有向的相互作用,其中箭头的方向表示控制方向,箭头的头部表示目标量子比特,并且箭头的尾部表示控制量子比特。例如, q_2 可以控制 q_1 ,而 q_1 无法控制 q_2 。因此,在实现CNOT(q_1, q_2)时,可以将理想电路编译到对应的真实电路,如表1所示。由于哈达马门可以用来翻转CNOT门的方向,因此表1所示的真实电路可以实现CNOT(q_1, q_2)。以这种方式,CNOT可以结合哈达马门来反转局部的连通结构,从而构建局部的全连通结构。

[0030] 表1

	理想电路	真实电路
		$HGate(q_1)$
[0031]	$CNOT(q_1, q_2)$	$HGate(q_2)$
		$CNOT(q_2, q_1)$
		$HGate(q_1)$
		$HGate(q_2)$

[0032] 然而,对于稍微复杂一些的量子拓扑逻辑电路,没有很好地方法来实现理想电路和真实电路的自动映射,也无法在CNOT与单比特量子门的限制下,完成通用计算任务。

[0033] 例如,在量子电路200中,如果需要实现CNOT(q_0, q_3),则可以使用表2所示的方式来实现。如表2所示,首先将 q_3 和 q_2 进行交换,然后,再翻转 q_2 和 q_0 之间的方向,从而实现 q_0 对 q_3 的控制。

[0034] 表2

	理想电路	真实电路
		$SWAP(q3, q2)$
[0035]	$CNOT(q0, q3)$	$HGate(q2)$
		$HGate(q0)$
		$CNOT(q2, q0)$
		$HGate(q2)$
		$HGate(q0)$

[0036] 然而,表2所示的编译方法具有较高的编译代价,并且需要人工选择对应的量子比特来执行翻转操作。基于此,本公开的实施例提供了一种至少部分地解决以上技术问题的实现通用计算的编译方法。

[0037] 图3示出了根据本公开的一些实施例的用于编译量子电路的方法300的流程图。例如,方法300可以在图1所示的示例计算环境100,特别是编译器104处实现。然而,应当理解,方法300也可以在任何其他合适的计算环境中实现。

[0038] 在框302,获取用于量子电路106或200的待编译的逻辑指令。量子电路包括多个量子比特。逻辑指令与多个量子比特中的第一量子比特和第二量子比特相关联。所述多个量子比特中的至少一部分之间能够使用双比特量子门进行操作。第一量子比特也可以称为控制比特,并且第二量子比特也可以称为目标比特。如上所述,量子电路200可以具有非强连通拓扑,也可以具有强连通拓扑,并且例如可以是超导量子电路、核磁共振电路、离子阱电路和/或硅基半导体量子电路等。

[0039] 在一些实施例中,双比特量子门可以是CNOT门,逻辑指令可以包括由第一量子比特控制第二量子比特的CNOT门。例如,逻辑指令可以是CNOT(q0, q3),其中第一量子比特是q0,第二量子比特是q3。

[0040] 应当理解,尽管这里主要结合CNOT门来进行描述,双比特量子门也可以是目前已知的或者将来开发的任何其他合适的双比特量子门,并且可以是非控制型双比特量子门。

[0041] 在框304,在量子电路106或200中确定第一量子比特和第二量子比特之间的路径。例如,该路径可以是两个量子比特之间的最短路径,从而提供更好的保真度。可以通过目前已知的或将来开发的任何合适的算法来计算最短路径。例如,可以通过迪杰斯特拉(Dijkstra)算法来计算最短路径。

[0042] 在一些实施例中,可以通过量子电路106或200的图表示来确定两个量子比特之间的路径。例如,可以获取表示量子电路200的图。图中的节点表示量子电路200中的量子比特,并且图中的边表示双比特量子门。例如,可以使用如图2所示的有向图,其中边的方向表示CNOT的控制方向。备选地,也可以使用无向图。

[0043] 例如,在图2所示的图中,可以确定将表示第一量子比特(例如,q0)的第一节点与表示第二量子比特(例如,q3)的第二节点连接在一起的边。这些边对应于两个量子比特之间的路径。例如,该路径可以是q0→q2→q3、q0→q2→q4→q3等。

[0044] 在一些实施例中,路径的长度可以由边的数目来表示,从而最短路径为具有最少的边的路径。例如,路径q0→q2→q3比路径q0→q2→q4→q3更短。

[0045] 在另外一些实施例中,路径的长度还考虑边的方向。例如,如果在一个路径中包含至少一个正向边,则可以将该路径的长度减一。例如,路径q0→q2→q4→q3包含了一个

正向边 $q_2 \rightarrow q_4$, 故其长度为 $3-1=2$, 与路径 $q_0 \rightarrow q_2 \rightarrow q_3$ 具有相同的长度。表3和表4分别示出了对应于这两个路径的编译结果。可以看出, 两个路径具有基本相同的代价, 并且相对于表2所示的编译结果代价更低。由于在路径 $q_0 \rightarrow q_2 \rightarrow q_3$ 不包含正向边, 需要将 q_0 交换到 q_3 。由于路径 $q_0 \rightarrow q_2 \rightarrow q_4 \rightarrow q_3$ 包含正向边, 则可以少交换一次。

[0046] 表3

	理想电路	真实电路
[0047]	$CNOT(q_0, q_3)$	$SWAP(q_0, q_2)$
		$SWAP(q_2, q_3)$
		$CNOT(q_3, q_2)$

[0048] 表4

	理想电路	真实电路
[0049]	$CNOT(q_0, q_3)$	$SWAP(q_0, q_2)$
		$SWAP(q_3, q_4)$
		$CNOT(q_2, q_4)$

[0050] 在一些实施例中, 图可以是加权图, 其中加权图中的各个边具有相应的权重。以这种方式, 可以基于路径中的各个边的权重来计算路径的权重。例如, 将路径包含的边数乘以每个边的权重来计算路径的权重。例如, 由于一个交换 (SWAP) 门可以由7个门来实现, 因此每个边的权重可以被设置为7。一个路径的权重可以在各个边的权重之后减去6而获得。这是因为最后一个量子比特不需要交换。路径的权重可以指示该路径的保真度如何。例如, 如果一个路径的权重值过高, 则说明这个路径具有过高的代价, 具有较低的保真度。

[0051] 例如, 可以通过表的形式来构建加权图。例如, 连通的两个量子比特之间的权重可以被设置为7, 不连通的两个量子比特之间的权重设置为无穷大 (inf)。在表5中示出了如图2所示的量子电路200的连接表。

[0052] 表5

[0053]

	q0	q1	q2	q3	q4
q0	inf	7	7	inf	inf
q1	7	inf	7	inf	Inf
q2	7	7	inf	7	7
q3	inf	inf	7	inf	7
q4	inf	inf	7	7	inf

[0054] 例如, 可以通过各种合适的算法来确定从第一量子比特到第二量子比特之间的路径, 特别是最短路径。例如, 可以使用Dijkstra算法来进行计算。在计算过程中, 可以考虑例如如表5所示的路径的权重。

[0055] 通过Dijkstra算法可以生成一个路径树或最短路径树, 路径树在计算起始点到终止点最短路径的过程中, 还计算了到其他所有的点的最短路径。例如, 可以将这些最短路径保存在缓存器中。在编译的过程中, 可以通过查询缓存的方式来确定最短路径。例如, 如果缓存器中包含相应的路径, 则可以从缓存器中直接读取路径, 而无需进行重复计算。如果缓

寄存器中不包括相应的路径,则计算起始点到终止点之间的最短路径。因此,Dijkstra算法可以极大地压缩重复计算的次数。

[0056] 在框306,基于路径,通过添加单比特量子门生成与逻辑指令相对应的用于量子电路的底层指令。底层指令可以用于控制相应的量子电路。由于单比特量子门容易实现,从而对量子电路不会增加太多的复杂度。

[0057] 应当理解,尽管本公开基于非强全连通拓扑来介绍了目前量子电路编译过程中的一些技术问题,本公开的实施例也可以应用于强全连通拓扑。在本公开的实施例应用在强全连通拓扑上时,可以不再进行权重的计算。

[0058] 图4示出了根据本公开的一些实施例的通过向量子电路200添加将单比特量子门(例如哈达马门)而实现的量子电路400。在量子电路400中,由于通过添加哈达马门而实现的交换门,不仅量子比特q3可以控制量子比特q2,量子比特q2也可以控制量子比特q3。在图4中,通过虚线示出了这些通过补充哈达马门而实现的反向控制。

[0059] 在一些实施例中,可以确定与该路径相对应的交换门,使得通过在该路径中使用一个双比特量子门来操作第一量子比特和第二量子比特。例如,在如表3所示的编译结果中,将q0交换到了q3的位置,并将q3交换到了q2的位置。因此,q0可以通过一个CNOT来控制q3。

[0060] 交换门可以通过双比特量子门和单比特量子门来实现。例如,交换门可以通过CNOT和哈达马门来实现。例如,图5示出了交换门SWAP(a,b)的电路结构。SWAP(a,b)包括三个交替的CNOT,其中两端的CNOT具有相同的控制方向,并且与中间的CNOT具有相反的控制方向。由于物理上在两个量子比特之间只有一个方向的CNOT,因此需要将一个CNOT通过翻转的方式翻转到另外一个方向上。

[0061] 图6示出了根据本公开的一些实施例的交换门的示例实现,其中由于仅存在CNOT(a,b),量子比特a可以控制量子比特b,量子比特b不能控制量子比特a。相应地,图7示出了根据本公开的一些实施例的交换门的示例实现,其中由于仅存在CNOT(b,a),量子比特a不能控制量子比特b,量子比特b可以控制量子比特a。

[0062] 因此,可以确定与交换门对应的双比特量子门和单比特量子门的序列,并且基于这一序列来生成与逻辑指令对应的底层指令。

[0063] 图8示出了根据本公开的一些实施例的用于编译量子电路的装置500的框图。例如,装置500可以由图1所示的编译器104来实现。例如,量子电路可以具有非强连通拓扑或者强连通拓扑,并且可以包括超导量子电路、核磁共振电路、离子阱电路和/或硅基半导体量子电路等。

[0064] 如图8所示,装置500包括逻辑指令获取模块502,其被配置为获取用于所述量子电路的待编译的逻辑指令,量子电路包括多个量子比特,逻辑指令与多个量子比特中的第一量子比特和第二量子比特相关联。所述多个量子比特中的至少一部分之间能够使用双比特量子门进行操作。

[0065] 装置500还包括路径确定模块504,其被配置为在量子电路中确定第一量子比特和第二量子比特之间的路径。

[0066] 装置500还包括底层指令生成模块506,其被配置为基于路径,通过添加单比特量子门来生成与逻辑指令相对应的用于量子电路的底层指令。

[0067] 在一些实施例中,底层指令生成模块506包括:交换门确定模块,被配置为确定与路径相对应的交换门,使得通过使用在路径中的一个双比特量子门来操作第一量子比特和第二量子比特;序列确定模块,被配置为确定与交换门对应的双比特量子门和单比特量子门的序列;以及底层指令生成子模块,被配置为基于双比特量子门和单比特量子门的序列来生成底层指令。

[0068] 在一些实施例中,路径确定模块504包括最短路径确定模块,其被配置为确定第一量子比特与第二量子比特之间的最短路径。

[0069] 在一些实施例中,最短路径确定模块包括:最短路径读取模块,被配置为响应于确定缓存器中包括以所述第一量子比特作为起点的最短路径树,从所述缓存器中读取所述最短路径。

[0070] 在一些实施例中,最短路径确定模块包括:最短路径树计算模块,被配置为响应于确定缓存器中不包括以所述第一量子比特作为起点的最短路径树,通过Dijkstra算法来确定所述最短路径树;最短路径树存储模块,被配置为将所述最短路径树保存在缓存器中;以及最短路径确定子模块,被配置为基于所述最短路径树,确定所述最短路径。

[0071] 在一些实施例中,双比特量子门是CNOT门,并且单比特量子门是哈达马门,并且逻辑指令包括由第一量子比特控制第二量子比特的CNOT门。

[0072] 在一些实施例中,装置500还包括图获取模块,被配置为获取表示量子电路的图,图中的节点表示量子电路中的量子比特,并且图中的边表示双比特量子门。

[0073] 在一些实施例中,路径确定模块504包括:边确定模块,被配置为确定将表示第一量子比特的第一节点与表示第二量子比特的第二节点连接在一起的边。

[0074] 在一些实施例中,图包括加权图,加权图中的边具有相应的权重。

[0075] 在一些实施例中,装置500还包括权重确定模块,被配置为基于路径中的各个边的权重来计算路径的权重。

[0076] 图9示出了一个可以用来实施本公开的实施例的设备600的示意性框图。如图1所示的经典计算机102以及如图8所示的装置500可以由设备600来实现。如图9所示,设备600包括中央处理单元(CPU)601,其可以根据存储在只读存储器(ROM)602中的计算机程序指令或者从存储单元608加载到随机访问存储器(RAM)603中的计算机程序指令,来执行各种适当的动作和处理。在RAM 603中,还可存储设备600操作所需的各种程序和数据。CPU 601、ROM 602以及RAM 603通过总线604彼此相连。输入/输出(I/O)接口605也连接至总线604。

[0077] 设备600中的多个部件连接至I/O接口605,包括:输入单元606,例如键盘、鼠标等;输出单元607,例如各种类型的显示器、扬声器等;存储单元608,例如磁盘、光盘等;以及通信单元609,例如网卡、调制解调器、无线通信收发机等。通信单元609允许设备600通过诸如因特网的计算机网络和/或各种电信网络与其他设备交换信息/数据。

[0078] 上文所描述的各个过程和处理,例如方法300,可由处理单元601执行。例如,在一些实施例中,方法300可被实现为计算机软件程序,其被有形地包含于机器可读介质,例如存储单元608。在一些实施例中,计算机程序的部分或者全部可以经由ROM 602和/或通信单元609而被载入和/或安装到设备600上。当计算机程序被加载到RAM 603并由CPU 601执行时,可以执行上文描述的方法300的一个或多个步骤。备选地,在其他实施例中,CPU 601可以通过其他任何适当的方式(例如,借助于固件)而被配置为执行方法300。

[0079] 如上所述, Dijkstra算法可以结合使用缓存器显著降低对计算量的要求。缓存器可以通过被包含在或者直接使用如图9所示的ROM602、RAM 603或存储单元608中的一个或多个来实现,本公开在此不受限制。

[0080] 本公开可以是方法、设备、系统和/或计算机程序产品。计算机程序产品可以包括计算机可读存储介质,其上载有用于执行本公开的各个方面的计算机可读程序指令。

[0081] 计算机可读存储介质可以是保持和存储由指令执行设备使用的指令的有形设备。计算机可读存储介质例如可以是一一但不限于一一电存储设备、磁存储设备、光存储设备、电磁存储设备、半导体存储设备或者上述的任意合适的组合。计算机可读存储介质的更具体的例子(非穷举的列表)包括:便携式计算机盘、硬盘、随机存取存储器(RAM)、只读存储器(ROM)、可擦式可编程只读存储器(EPROM或闪存)、静态随机存取存储器(SRAM)、便携式压缩盘只读存储器(CD-ROM)、数字多功能盘(DVD)、记忆棒、软盘、机械编码设备、例如其上存储有指令的打孔卡或凹槽内凸起结构、以及上述的任意合适的组合。这里所使用的计算机可读存储介质不被解释为瞬时信号本身,诸如无线电波或者其他自由传播的电磁波、通过波导或其他传输媒介传播的电磁波(例如,通过光纤电缆的光脉冲)、或者通过电线传输的电信号。

[0082] 这里所描述的计算机可读程序指令可以从计算机可读存储介质下载到各个计算/处理设备,或者通过网络、例如因特网、局域网、广域网和/或无线网下载到外部计算机或外部存储设备。网络可以包括铜传输电缆、光纤传输、无线传输、路由器、防火墙、交换机、网关计算机和/或边缘服务器。每个计算/处理设备中的网络适配卡或者网络接口从网络接收计算机可读程序指令,并转发该计算机可读程序指令,以供存储在各个计算/处理设备中的计算机可读存储介质中。

[0083] 用于执行本公开操作的计算机程序指令可以是汇编指令、指令集架构(ISA)指令、机器指令、机器相关指令、微代码、固件指令、状态设置数据、或者以一种或多种编程语言的任意组合编写的源代码或目标代码,所述编程语言包括面向对象的编程语言—诸如Smalltalk、C++等,以及常规的过程式编程语言—诸如“C”语言或类似的编程语言。计算机可读程序指令可以完全地在用户计算机上执行、部分地在用户计算机上执行、作为一个独立的软件包执行、部分在用户计算机上部分在远程计算机上执行、或者完全在远程计算机或服务器上执行。在涉及远程计算机的情形中,远程计算机可以通过任意种类的网络—包括局域网(LAN)或广域网(WAN)—连接到用户计算机,或者,可以连接到外部计算机(例如利用因特网服务提供商来通过因特网连接)。在一些实施例中,通过利用计算机可读程序指令的状态信息来个性化定制电子电路,例如可编程逻辑电路、现场可编程门阵列(FPGA)或可编程逻辑阵列(PLA),该电子电路可以执行计算机可读程序指令,从而实现本公开的各个方面。

[0084] 用于执行本公开操作的量子程序指令包括但不限于量子汇编指令(QASM)及其增强版本和变种(带反馈调节的量子汇编语言(f-QASM)、可扩展的量子汇编语言(eQASM)、带层级和循环的量子汇编语言(QASM-HL)等),还应包括一般的标记式语言,例如,可扩展标记语言(XML)或者JavaScript对象简谱(JSON)和一般的不具有结构性的指令方法,例如简单配置文件或者单条执行指令。

[0085] 这里参照根据本公开实施例的方法、装置(系统)和计算机程序产品的流程图和/

或框图描述了本公开的各个方面。应当理解,流程图和/或框图的每个方框以及流程图和/或框图中各方框的组合,都可以由计算机可读程序指令实现。

[0086] 这些计算机可读程序指令可以提供给通用计算机、专用计算机或其他可编程数据处理装置的处理单元,从而生产出一种机器,使得这些指令在通过计算机或其他可编程数据处理装置的处理单元执行时,产生了实现流程图和/或框图中的一个或多个方框中规定的功能/动作的装置。也可以把这些计算机可读程序指令存储在计算机可读存储介质中,这些指令使得计算机、可编程数据处理装置和/或其他设备以特定方式工作,从而,存储有指令的计算机可读介质则包括一个制品,其包括实现流程图和/或框图中的一个或多个方框中规定的功能/动作的各个方面的指令。

[0087] 也可以把计算机可读程序指令加载到计算机、其他可编程数据处理装置、或其他设备上,使得在计算机、其他可编程数据处理装置或其他设备上执行一系列操作步骤,以产生计算机实现的过程,从而使得在计算机、其他可编程数据处理装置、或其他设备上执行的指令实现流程图和/或框图中的一个或多个方框中规定的功能/动作。

[0088] 附图中的流程图和框图显示了根据本公开的多个实施例的系统、方法和计算机程序产品的可能实现的体系架构、功能和操作。在这点上,流程图或框图中的每个方框可以代表一个模块、程序段或指令的一部分,所述模块、程序段或指令的一部分包含一个或多个用于实现规定的逻辑功能的可执行指令。在有些作为替换的实现中,方框中所标注的功能也可以以不同于附图中所标注的顺序发生。例如,两个连续的方框实际上可以基本并行地执行,它们有时也可以按相反的顺序执行,这依所涉及的功能而定。也要注意的,框图和/或流程图中的每个方框、以及框图和/或流程图中的方框的组合,可以用执行规定的功能或动作的专用的基于硬件的系统来实现,或者可以用专用硬件与计算机指令的组合来实现。

[0089] 以上已经描述了本公开的各实施例,上述说明是示例性的,并非穷尽性的,并且也不限于所公开的各实施例。在不偏离所说明的各实施例的范围和精神的情况下,对于本技术领域的普通技术人员来说许多修改和变更都是显而易见的。本文中所用术语的选择,旨在最好地解释各实施例的原理、实际应用或对市场中的技术的改进,或者使本技术领域的其他普通技术人员能理解本文公开的各实施例。

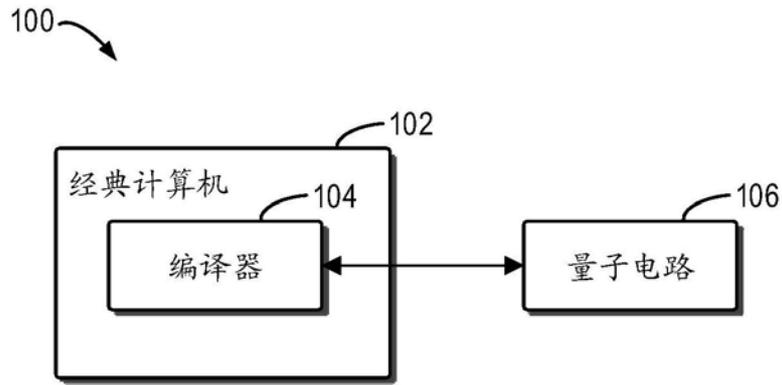


图1

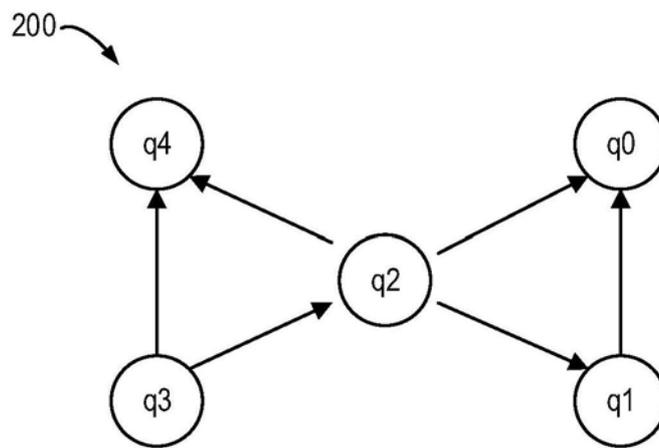


图2

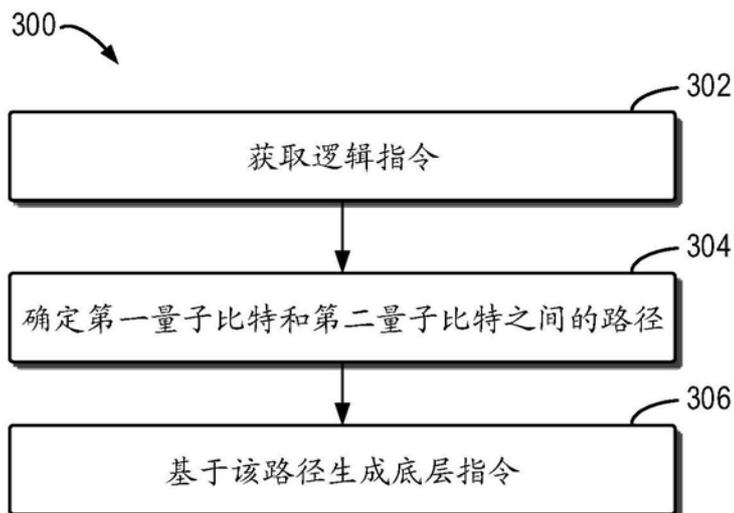


图3

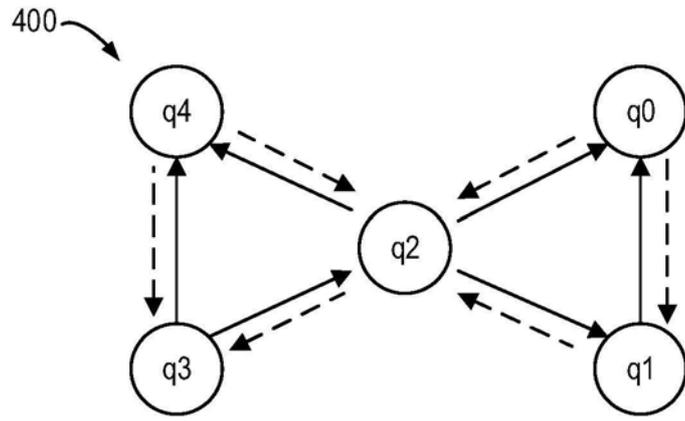


图4

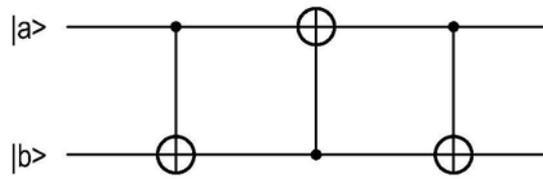


图5

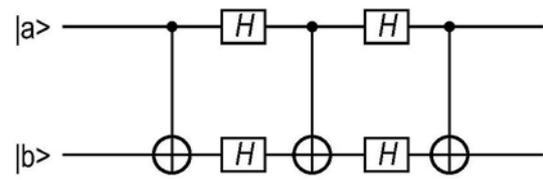


图6

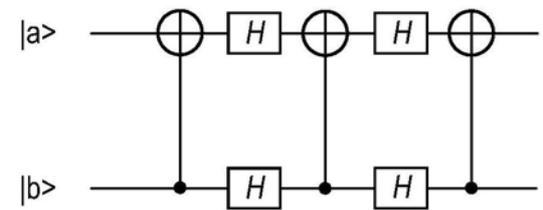


图7

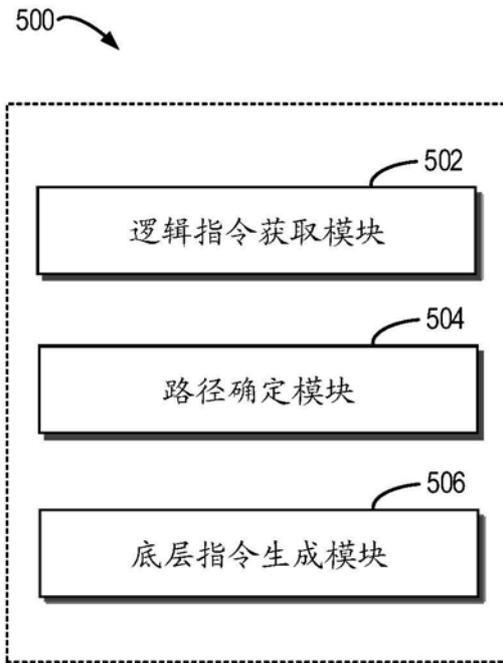


图8

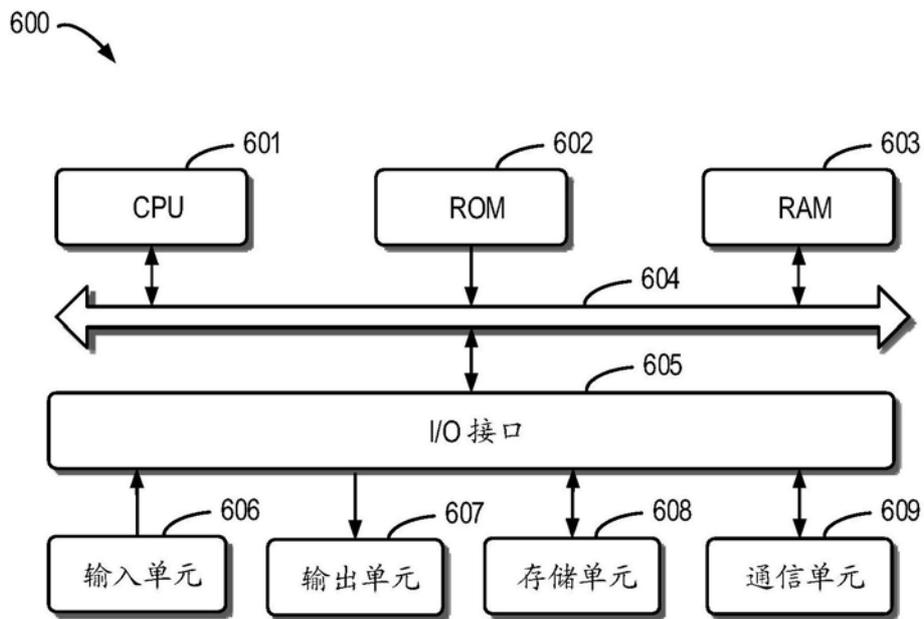


图9