

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3807745号
(P3807745)

(45) 発行日 平成18年8月9日(2006.8.9)

(24) 登録日 平成18年5月26日(2006.5.26)

(51) Int. Cl.

G 1 1 C 29/04 (2006.01)

F I

G 1 1 C 29/00 6 0 5 B

請求項の数 11 (全 39 頁)

(21) 出願番号 特願平9-502892
 (86) (22) 出願日 平成8年5月29日(1996.5.29)
 (86) 国際出願番号 PCT/JP1996/001447
 (87) 国際公開番号 W01997/000518
 (87) 国際公開日 平成9年1月3日(1997.1.3)
 審査請求日 平成15年5月27日(2003.5.27)
 (31) 優先権主張番号 特願平7-171518
 (32) 優先日 平成7年6月14日(1995.6.14)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者
 株式会社ルネサステクノロジ
 東京都千代田区丸の内2丁目4番1号
 (74) 代理人
 弁理士 玉村 静世
 (72) 発明者 和田 正志
 東京都小平市鈴木町1丁目72番地の1
 グランスクエア一橋学園壹番街807
 (72) 発明者 大久保 京夫
 東京都青梅市東青梅3-16-19 プレ
 セランス青梅403
 (72) 発明者 古野 毅
 神奈川県横浜市神奈川区白楽38-8 高
 仲保雄 方

最終頁に続く

(54) 【発明の名称】 半導体メモリ、メモリデバイス及びメモ리카ード

(57) 【特許請求の範囲】

【請求項1】

多数のメモリセルを含んで構成される複数個のメモリブロックと、前記メモリブロックへの書き込みデータが外部から供給されると共にメモリブロックからの読み出しデータを外部に出力するデータ入出力バッファと、前記メモリセルに対するデータの書き換えとデータの読み出しを制御する第1の制御手段とを含む半導体メモリにおいて、前記複数のメモリブロックの中に存在する一部の不良メモリブロックを指定する第1の記憶手段と、第1の記憶手段が指定する不良メモリブロックのアクセスをアドレス信号に基づいて検出する検出手段とを設け、前記制御手段は、前記検出手段が不良メモリブロックに対するアクセスを検出すると、データの書き換え動作の指示に対してはその動作を抑止し、データ読み出し動作の指示に対してはデータ入出力バッファのデータ出力動作を抑止するものであることを特徴とする半導体メモリ。

10

【請求項2】

電氣的に書き換え可能な多数のメモリセルを含んで構成される複数個のメモリブロックと、前記メモリブロックへの書き込みデータが外部から供給されると共にメモリブロックからの読み出しデータを外部に出力するデータ入出力バッファと、前記メモリセルに対するデータの書き換えとデータの読み出しを制御する第1の制御手段とを含む半導体メモリにおいて、前記複数のメモリブロックの中に存在する一部の不良メモリブロックを指定する第1の記

20

憶手段と、第1の記憶手段が指定する不良メモリブロックのアクセスをアドレス信号に基づいて検出する検出手段とを設け、

前記制御手段は、前記検出手段が不良メモリブロックに対するアクセスを検出すると、データの書き換え動作の指示に対してはその動作の完了を意味するステータスを当該動作の完了とは無関係に外部出力可能に形成し、データ読出し動作の指示に対してはデータ入出力バッファのデータ出力動作を抑止するものであることを特徴とする半導体メモリ。

【請求項3】

電氣的に書き換え可能な多数のメモリセルを含んで構成される複数個のメモリブロックと、前記メモリブロックへの書き込みデータが外部から供給されると共にメモリブロックからの読み出しデータを外部に出力するデータ入出力バッファと、前記メモリセルに対するデータの書き換えとデータの読み出しを制御する第1の制御手段とを含む半導体メモリにおいて、

前記複数個のメモリブロックの中に存在する一部の不良メモリブロックを指定する第1の記憶手段と、第1の記憶手段が指定する不良メモリブロックのアクセスをアドレス信号に基づいて検出する検出手段とを設け、

前記制御手段は、前記検出手段が不良メモリブロックに対するアクセスを検出すると、データの書き換え動作の指示に対してはその動作を抑止して当該動作の完了を意味するステータスを外部出力可能に形成し、データ読出し動作の指示に対してはデータ入出力バッファのデータ出力動作を抑止するものであることを特徴とする半導体メモリ。

【請求項4】

前記第1の記憶手段が指定する不良メモリブロックのアクセスを検出するために前記検出手段にアドレス情報を供給する経路に、入力を選択的に反転して出力可能とする論理手段を設けると共に、この論理手段による入力の反転動作の可否を決定する制御情報を保有する第2の記憶手段を設けて成るものであることを特徴とする請求の範囲第2項記載の半導体メモリ。

【請求項5】

請求の範囲第1項記載の半導体メモリを複数個含み、それら半導体メモリは相互に一方が他方の不良メモリブロックを代替する関係を有し、夫々の半導体メモリにおいて相互に同一機能を有する外部端子が共通接続されて成るものであることを特徴とするメモリデバイス。

【請求項6】

請求の範囲第2項記載の半導体メモリを複数個含み、それら半導体メモリは相互に一方が他方の不良メモリブロックを代替する関係を有し、夫々の半導体メモリにおいて相互に同一機能を有する外部端子が共通接続されて成るものであることを特徴とするメモリデバイス。

【請求項7】

請求の範囲第6項記載のメモリデバイスをカード基板に複数個実装して成り、夫々のメモリデバイスは前記外部端子として外部データ入出力端子、チップ選択端子、アドレス入力端子を供え、

前記外部データ入出力端子がカード基板のデータ配線に共通接続されたメモリデバイスに対して、当該メモリデバイス毎にチップ選択端子がカード基板の相互に異なるチップ選択信号配線に結合されると共に、夫々のメモリデバイスの外部アドレス入力端子がカード基板のアドレス信号配線に共通接続されて成るものであることを特徴とするメモリカード。

【請求項8】

一方が前記カード基板の外部とインタフェースされ他方が前記データ配線、チップ選択信号配線及びアドレス信号配線に結合されたカードコントローラを備え、該カードコントローラは、外部から与えられるアドレス情報の一部をデコードして前記チップ選択信号を生成するデコード手段を含んで成るものであることを特徴とする請求も範囲第7項記載のメモリカード。

【請求項9】

多数のメモリセルを含んで構成される複数個のメモリブロックと、前記メモリブロックへの書き込みデータが外部から供給されると共にメモリブロックからの読み出しデータを外部に出力するデータ入出力バッファと、前記メモリセルに対するデータの書き換えとデータの読み出しを制御する第1の制御手段とを含む半導体メモリにおいて、前記複数のメモリブロックの中に存在する一部の不良メモリブロックを指定する第1の記憶手段を設け、

前記制御手段は、前記第1の記憶手段が指定する不良メモリブロックに対し、データの書き換え動作の指示に対してはその動作を抑止し、データ読み出し動作の指示に対してはデータ入出力バッファのデータ出力動作を抑止するものであることを特徴とする半導体メモリ。

【請求項10】

電氣的に書き換え可能な多数のメモリセルを含み、アドレス信号の最下位ビットによって何れか指定される2個のメモリブロックと、前記メモリブロックへの書き込みデータが外部から供給されると共にメモリブロックからの読み出しデータを外部に出力するデータ入出力バッファと、前記メモリセルに対するデータの書き換えとデータの読み出しを制御する第1の制御手段とを含む半導体メモリにおいて、

前記2個のメモリブロックの何れか一方のメモリブロックを指定する第1の記憶手段と、第1の記憶手段が指定する不良メモリブロックのアクセスをアドレス信号の最下位ビットに基づいて検出する検出手段とを設け、

前記制御手段は、前記検出手段が不良メモリブロックに対するアクセスを検出すると、データの書き換え動作の指示に対してはその動作の完了を意味するステータスを動作の完了とは無関係に外部出力可能に形成し、データ読み出し動作の指示に対してはデータ入出力バッファのデータ出力動作を抑止するものであることを特徴とする半導体メモリ。

【請求項11】

電氣的に書き換え可能な多数のメモリセルを含み、アドレス信号の最上位ビットによって何れか指定される2個のメモリブロックと、前記メモリブロックへの書き込みデータが外部から供給されると共にメモリブロックからの読み出しデータを外部に出力するデータ入出力バッファと、前記メモリセルに対するデータの書き換えとデータの読み出しを制御する第1の制御手段とを含む半導体メモリにおいて、

前記2個のメモリブロックの何れか一方のメモリブロックを指定する第1の記憶手段と、第1の記憶手段が指定する不良メモリブロックのアクセスをアドレス信号の最上位ビットに基づいて検出する検出手段とを設け、

前記制御手段は、前記検出手段が不良メモリブロックに対するアクセスを検出すると、データの書き換え動作の指示に対してはその動作を抑止して当該動作の完了を意味するステータスを外部出力可能に形成し、データ読み出し動作の指示に対してはデータ入出力バッファのデータ出力動作を抑止するものであることを特徴とする半導体メモリ。

【発明の詳細な説明】

技術分野

本発明は、救済不能な部分的欠陥を有する半導体メモリを組み合わせて良品の半導体メモリと完全互換性を達成可能にする技術に関し、例えば救済不可能な欠陥を有するフラッシュメモリの欠陥部分を見かけ上無視出来るようにしたフラッシュメモリを複数個組み合わせて、メモリデバイスさらにはメモリカードを構成する技術に適用して有効な技術に関するものである。

背景技術

半導体メモリにおいて、一部のメモリセルが不良である場合、冗長メモリセルで欠陥メモリセルを置き換えて当該半導体メモリを救済することができる。しかしながら、動作不良部分が救済可能な範囲を超えて存在する場合には、その半導体メモリは不良品とされる。動作不良部分がなく、又は動作不良部分が救済可能な範囲に収まっているものを完動品と称する。前記不良品に対しては、欠陥部分を除いて全体の記憶容量を2分の1又は4分の1のように低減した動作可能品として利用することができる。斯る部分的な動作可能品がパーシャル品である。パーシャル品は、相互に一方の動作可能な部分が他方の動作不可能

10

20

30

40

50

な部分を補うもの同士組み合わせる利用することが出来る。例えば、メモリエリアの上位半分が不良とされた下位パーシャル品と、メモリエリアの下位半分が不良とされた上位パーシャル品とを組み合わせる利用する場合、下位パーシャル品に対してはメモリエリアの上位又は下位を選択するとみなされるアドレスビットのアドレス入力端子を下位側メモリエリアの選択レベルに外部で固定し、上位パーシャル品に対してはメモリエリアの上位又は下位を選択するとみなされるアドレスビットのアドレス入力端子を上位側メモリエリアの選択レベルに外部で固定して利用することができる。

前記上位パーシャル品と下位パーシャル品を1個の良品に代えて利用するために、例えば双方のパーシャル品のデータ入出力端子を外部で共通接続する場合、夫々のパーシャル品に対してチップ選択を別々のチップ選択信号で行わなければならない。このため、メモリカードに適用される半導体メモリにパーシャル品を利用する場合には、良品を利用する場合に比べてチップ選択信号の本数を増やさなければならず、パーシャル品を用いる場合と良品を用いる場合とで、チップ選択のためのデコードの論理を相違させなければならなくなる。

また、製造プロセスなどとの関係で、複数のパーシャル品の夫々の不良部分に偏りがある場合もある。欠陥部分尾アドレス領域が相補的な複数個のパーシャル品を組み合わせる1個の良品を代替する場合、不良部分の相違されるパーシャル品が数量的に偏ってしまうと、数量的に多い方の不良形態のパーシャル品が余ってしまう。

さらに、フラッシュメモリのような不揮発性半導体メモリでは情報の書き換えは、メモリセルを消去状態にし、その後でデータの書込みが行われる。消去及び書込みの夫々の操作ではベリファイ動作が必要とされる。フラッシュメモリのような半導体メモリはそのような消去、消去ベリファイ、書込み、及び書込みベリファイを内部で制御して、システム上(オンボード状態)でもデータの書換が可能にされている。内部で書換が行われている状態は、例えばレディー/ビジー信号にてマイクロプロセッサ等のアクセス主体に通知される。メモリセルの特性劣化等によって消去動作や書込み動作に異常を生ずると、消去と消去ベリファイ、書込みと書込みベリファイを何回繰り返してもメモリセルに所要の消去状態又は書込み状態を得ることができず、内部の書き換え制御動作は異常終了される。

本発明の目的は、複数個のパーシャル品を良品若しくは完動品に代えてそのままメモリデバイスやメモリカードに適用可能な半導体メモリを提供することにある。

本発明の別の目的は、外部からのアクセスによってパーシャル品の欠陥部分の動作が指定された場合に、当該パーシャル品の欠陥部分を代替する別のパーシャル品との間で内部状態に矛盾を生じないようにすることができる半導体メモリ、そして、斯るメモリを利用したメモリデバイスを提供することにある。

本発明の更に別の目的は、不良部分から分離された可動部分のアドレス配置を内蔵アドレスデコード論理に拘わらずに変更できる半導体メモリ、そして、斯るメモリを利用したメモリデバイスを提供することにある。

本発明のその他の目的は、パーシャル品を利用しても半導体メモリに対するチップ選択のためのアドレスデコード論理を完動品利用の場合と共通化することができるメモリカードを提供することにある。

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

発明の開示

本発明の半導体メモリ(1, 1C)は、多数のメモリセルを含んで構成される複数個のメモリブロック(2, 3又は2Y, 3Y)と、前記メモリブロックへの書き込みデータが外部から供給されると共にメモリブロックからの読み出しデータを外部に出力するデータ入出力バッファ(7)と、前記メモリセルに対するデータの書き換えとデータの読み出しを制御する第1の制御手段とを含む。第1の制御手段は、例えば第1図に示される11、又は第31図に示される43Y、45及び46Yとされる。この半導体メモリに、前記複数個のメモリブロックの中に存在する一部の不良メモリブロックを指定する第1の記憶手段(30, 47)と、第1の記憶手段が指定する不良メモリブロックのアクセスをアドレス信

10

20

30

40

50

号に基づいて検出する検出手段(32, 48Y)とを設ける。このとき、前記制御手段は、前記検出手段が不良メモリブロックに対するアクセスを検出すると、データの書き換え動作の指示に対してはその動作を抑止し、データ読出し動作の指示に対してはデータ入出力バッファのデータ出力動作を抑止する。

また、別の観点に立った本発明の半導体メモリ(1, 1B, 1C)は、電氣的に書き換え可能な多数のメモリセルを含んで構成される複数個のメモリブロック(2, 3又は2Y, 3Y)と、前記メモリブロックへの書き込みデータが外部から供給されると共にメモリブロックからの読み出しデータを外部に出力するデータ入出力バッファ(7)と、前記メモリセルに対するデータの書き換えとデータの読み出しを制御する第1の制御手段とを含む。第1の制御手段は、例えば第1図に示される11、第15図に示される43、44、45及び46、又は第31図に示される43Y、45及び46とされる。この半導体メモリに、前記複数のメモリブロックの中に存在する一部の不良メモリブロックを指定する第1の記憶手段(30, 47)と、第1の記憶手段が指定する不良メモリブロックのアクセスをアドレス信号に基づいて検出する検出手段(32, 48, 48Y)とを設け、前記制御手段には、前記検出手段が不良メモリブロックに対するアクセスを検出すると、データの書き換え動作の指示に対してはその動作の完了を意味するステータス(MR/B)を当該動作の完了とは無関係に外部出力可能に形成させ、データ読出し動作の指示に対してはデータ入出力バッファのデータ出力動作を抑止させる。

10

更に別の観点に立った半導体メモリ(1A)は、多数のメモリセルを含んで構成される複数個のメモリブロック(72, 73)と、前記メモリブロックへの書き込みデータが外部から供給されると共にメモリブロックからの読み出しデータを外部に出力するデータ入出力バッファ(77L, 77U)と、前記メモリセルに対するデータの書き換えとデータの読み出しを制御する第1の制御手段(81)とを含み、前記複数のメモリブロックの中に存在する一部の不良メモリブロックを指定する第1の記憶手段(100)を有する。このとき、前記制御手段は、前記第1の記憶手段が指定する不良メモリブロックに対し、データの書き換え動作の指示に対してはその動作を抑止し、データ読出し動作の指示に対してはデータ入出力バッファのデータ出力動作を抑止する。

20

不良メモリブロックを指定するアドレス情報として、例えばアドレス信号の最下位ビット(A0)、又はアドレス信号の最上位ビット(A20)とすることができる。

不良メモリブロックのアドレス配置を半導体メモリ上で可能にするには、前記第1の記憶手段が指定する不良メモリブロックのアクセスを検出するために前記検出手段にアドレス情報を供給する経路に、入力を選択的に反転して出力可能とする論理手段(104)を設けると共に、この論理手段による入力の反転動作の可否を決定する制御情報を保有する第2の記憶手段(34)を設けることができる。

30

パーシャル品としての前記半導体メモリを複数個利用して完動品の半導体メモリと同一記憶容量を持つ互換品は、前記半導体メモリ(1-L, 1-U)を複数個含み、それら半導体メモリは相互に一方が他方の不良メモリブロックを代替する関係を有すし、夫々の半導体メモリにおいて相互に同一機能を有する外部端子が共通接続されて成るメモリデバイス(40)によって実現することができる。

前記メモリデバイスを利用したメモリカード(50)は、それらメモリデバイスをカード基板に複数個実装して成り、夫々のメモリデバイスは前記外部端子として外部データ入出力端子、チップ選択端子、アドレス入力端子を供え、前記外部データ入出力端子がカード基板のデータ配線に共通接続されたメモリデバイスに対して、当該メモリデバイス毎にチップ選択端子がカード基板の相互に異なるチップ選択信号配線に結合されると共に、夫々のメモリデバイスの外部アドレス入力端子がカード基板のアドレス信号配線に共通接続されて構成される。

40

そのメモリカードは、一方が前記カード基板の外部とインタフェースされ他方が前記データ配線、チップ選択信号配線及びアドレス信号配線に結合されたカードコントローラ(52)を備え、該カードコントローラは、外部から与えられるアドレス情報の一部をデコードして前記チップ選択信号を生成するデコード手段(54)を含んで構成できる。

50

上記した手段によれば、外部から与えられるアドレス情報に基づいて選択されようとするメモリブロックが前記第1の記憶手段にて指定されているメモリブロック（パーシャル品における不良メモリブロック）に一致するとき、データの書き換え動作の指示に対しては前記第1の制御手段にてその動作が抑止され、また、情報読出し動作の指示に対してはデータ入出力バッファのデータ出力動作が第1の制御手段にて抑止される。別の観点に立った手段によれば、不良メモリブロックに対するアクセスが検出されたとき、データの書き換え動作の指示に対してはその動作の完了を意味するステータスが当該動作の完了とは無関係に第1の制御手段にて外部出力可能にされ、データ読出し動作の指示に対しては同じくデータ入出力バッファのデータ出力動作が第1の制御手段にて抑止される。

パーシャル品としての半導体メモリ自らによる前記抑止機能は、システム上、メモリブロックを指定する特定アドレスを半導体メモリの外部で固定したりする処理を要することなくパーシャル品利用を可能にする。例えば、前記1個の半導体メモリが2個のメモリブロックを備えるとき、上位パーシャル品としての半導体メモリ（1-U）と下位パーシャル品としての半導体メモリ（1-L）を外部端子を共通接続して用いるメモリデバイス（40）とする事により、当該メモリデバイス（40）は、外部端子仕様若しくは利用形態の点において、完動品の半導体メモリと互換を達成する。

フラッシュメモリなどのように外部から供給されたコマンドに応答する処理を自立的に行う半導体メモリにおいて、パーシャル品における不良のメモリブロックに対する外部からの情報書き換え動作が指示されても、当該メモリブロックの情報書き換え動作が抑止され、或いは、前述のようにデータの書き換え動作の完了を意味するステータスを当該動作の完了とは無関係に外部出力可能にするから、外部からのアクセスによってパーシャル品の欠陥部分の動作が指定された場合に当該パーシャル品の欠陥部分を代替する別のパーシャル品との間で内部状態に矛盾を生じないようにすることができる。

製造プロセスなどとの関係で、複数のパーシャル品の夫々の不良部分には偏りが発生することが予想される。メモリブロックを選択するものとみなされるアドレス情報を第2の記憶手段に設定された値に従って選択的に論理反転する前記論理手段を採用することにより、不良部分が相違されるパーシャル品が数量的に偏っても、第2記憶手段の情報設定の仕方によって、外部から供給されるアドレス信号に対する見かけ上の動作可能メモリブロックの配置を自由に変更でき、これにより、動作領域が相補的とされるパーシャル品を組み合わせることで良品を代替する場合、数量的に多い方の不良形態のパーシャル品が余ってしまう事態が防止される。

例えば半導体メモリとしてフラッシュメモリを例に採り、1個の半導体メモリが2個のメモリブロックを備えるとき、当該半導体メモリのパーシャル品を利用したメモリカードは、上位パーシャル品としての半導体メモリと下位パーシャル品としての半導体メモリを、完動品としての半導体メモリに代えて、配線基板上で相互の外部端子を共通接続して実装すればよい。パーシャル品としての半導体メモリの不良部分に対する処理は半導体メモリの内部で実現されるから、半導体メモリの特定アドレス端子の固定等の処理を一切要しない。メモリカードに利用する半導体メモリがパーシャル品であっても完動品であっても、実装基板の配線、カードコントローラの論理特に半導体メモリのチップ選択用デコーダの論理を共通化できる。

このように、本願発明によれば、パーシャル品を利用したメモリデバイスやメモリカードに対し、完動品を利用したものと良好な互換性を実現できる。半導体メモリのパーシャル品を完動品に代えてそのままメモリデバイスやメモリカードに適用することができる。

【図面の簡単な説明】

第1図は本発明の第1の実施例に係るフラッシュメモリのブロック図である。

第2図は第1図のアドレス入力バッファの一例論理回路図である。

第3図は第1図で説明したフラッシュメモリのパーシャル品を用いたメモリデバイスの一実施例説明図である。

第4図は第3図のメモリデバイスを構成するパーシャル品のレディー/ビジー信号とレディー/ビジーステータスの生成論理を示す説明図である。

10

20

30

40

50

第5図は第1図のフラッシュメモリのパーシャル品を用いたメモリカードの一実施例ブロック図である。

第6図は第1図のフラッシュメモリの完動品を4個用いたメモリカードのブロック図である。

第7図はメモリカードの動作説明図である。

第8図は第1図におけるメモリブロックに対するアクセスを選択的に抑止するための回路構成を備えていないフラッシュメモリのパーシャル品を用いて構成したメモリカードのブロック図である。

第9図は第5図のメモリカードにおけるレディー/ビジー信号の処理系を示す説明図である。

10

第10図は本発明の第2の実施例に係るフラッシュメモリのブロック図である。

第11図はフラッシュメモリに用いられるメモリセルの説明図である。

第12図はメフラッシュメモリにおけるメモリセルアレイの基本的な構成を示す一例回路図である。

第13図はメモリセルに対する消去動作並びに書込み動作のための電圧条件の一例を示す説明図である。

第14図は第1図で説明した前記書込み消去制御回路、メモリブロック及び入出力回路の一例回路図である。

第15図は本発明の第3の実施例に係るフラッシュメモリのブロック図である。

第16図ヒューズプログラム回路の設定状態に応じてデータ入出力バッファ7の出力動作を抑止する回路の一例説明図である。

20

第17図はヒューズプログラム回路の設定状態に応じて消去制御回路の動作を抑止する回路の一例説明図である。

第18図ヒューズプログラム回路の設定状態に応じて消去ベリファイ制御回路の動作を抑止する回路の一例説明図である。

第19図はヒューズプログラム回路の設定状態に応じて書き込み制御回路の動作を抑止する回路の一例説明図である。

第20図はヒューズプログラム回路の設定状態に応じて書き込みベリファイ制御回路の動作を選択的に抑止する回路の一例説明図である。

第21図は抑止条件判定回路の一例説明図である。

30

第22図は消去ベリファイ判定回路の一例説明図である。

第23図は書き込みベリファイ判定回路の一例説明図である。

第24図はフラッシュメモリの製造工程を概略的に示すフローチャートである。

第25図は第15図に示されるフラッシュメモリの完動品に対する消去動作の手順の一例を示すフローチャートである。

第26図は第15図に示されるフラッシュメモリの下位パーシャル品に対する消去動作の手順の一例を示すフローチャートである。

第27図は第15図に示されるフラッシュメモリの上位パーシャル品に対する消去動作の手順の一例を示すフローチャートである。

第28図は第15図に示されるフラッシュメモリの完動品に対する書き込み動作の手順の一例を示すフローチャートである。

40

第29図は第15図に示されるフラッシュメモリの下位パーシャル品に対する書き込み動作の手順の一例を示すフローチャートである。

第30図は第15図に示されるフラッシュメモリの上位パーシャル品に対する書き込み動作の手順の一例を示すフローチャートである。

第31図は本発明の第4の実施例に係るフラッシュメモリのブロック図である。

第32図はヒューズプログラム回路の設定状態に応じてデータ入出力バッファの出力動作を抑止する別の回路の説明図である。

第33図はヒューズプログラム回路の設定状態に応じて消去制御回路の動作を抑止する別の回路の説明図である。

50

第34図はヒューズプログラム回路の設定状態に応じて消去ベリファイ制御回路の動作を抑止する別の回路の説明図である。

第35図はヒューズプログラム回路の設定状態に応じて書き込み制御回路の動作を抑止する別の回路の説明図である。

第36図はヒューズプログラム回路の設定状態に応じて書き込みベリファイ制御回路の動作を選択的に抑止する別の回路の説明図である。

第37図は第31図に示されるフラッシュメモリの完動品に対する消去動作の手順の一例を示すフローチャートである。

第38図は第31図に示されるフラッシュメモリの下位パーシャル品に対する消去動作の手順の一例を示すフローチャートである。

10

第39図は第31図に示されるフラッシュメモリの上位パーシャル品に対する消去動作の手順の一例を示すフローチャートである。

第40図は第31図に示されるフラッシュメモリの完動品に対する書き込み動作の手順の一例を示すフローチャートである。

第41図は第31図に示されるフラッシュメモリの下位パーシャル品に対する書き込み動作の手順の一例を示すフローチャートである。

第42図は第31図に示されるフラッシュメモリの上位パーシャル品に対する書き込み動作の手順の一例を示すフローチャートである。

発明を実施するための最良の形態

第1図は本発明の一実施例に係るフラッシュメモリ1のブロック図である。同図に示されるフラッシュメモリは、半導体集積回路製造技術によって単結晶シリコンのような1個の半導体基板に形成される。本実施例のフラッシュメモリ1は、電氣的に書き換え可能な不揮発性のメモリセルがマトリクス配置された2個のメモリブロック2, 3を備える。

20

夫々のメモリブロック2, 3に対するデータ書き込み単位とデータ読み出し単位は、本実施例に従えば、8ビット(1バイト)とされる。夫々のメモリブロック2, 3に対するデータの入出力は入出力回路4, 5によってバイト単位で行われる。入出力回路4, 5はセレクタ6を介して何れか一方がデータ入出力バッファ7に接続される。データ入出力バッファ7は8ビットの外部データ入出力端子8に結合され、外部との間でデータの入出力が行われる。メモリセルを選択するためのアドレス信号A0~A20は外部アドレス入力端子9からアドレス入力バッファ10を介して各メモリブロックに2, 3に供給される。このアドレス入力バッファ10はアドレスラッチ回路としての機能を有し、例えば書き込みアドレスをそのまま保持し、これを書き込みベリファイアドレスとして利用できるようになっている。ここで、アドレス信号A1~A20はワードアドレス、即ち、ワードサイズのデータを指定するためのアドレス信号とみなされる。A0は、ワードサイズのデータの内のどのバイトサイズのデータを指定するかを示すアドレス信号とみなされる。特に制限されないが、フラッシュメモリにおいてアドレス信号A0はメモリブロック2又は3の何れを選択するかを指定するアドレス信号とみなされる。本実施例に従えば、メモリブロック2, 3は夫々1Mバイトの記憶容量を備える。

30

第1図において11は外部からの指示に従って前記メモリブロック2, 3のメモリセルに対する情報の書き換えと情報の読み出しを制御すると共に、書き換え動作の指示にตอบสนองする書き換え動作の完了を示すレディー/ビジー信号MR/Bを外部に出力する第1の制御手段である。第1の制御手段11は、特に制限されないが、メモリブロック2に専用化された書き込み消去制御回路12、メモリブロック3に専用化された書き込み消去制御回路13、及びフラッシュメモリ全体の制御を行うタイミングコントローラ14から成る。前記書き込み消去制御回路12, 13は夫々消去ベリファイと書き込みベリファイのための制御回路と判定回路を備えている。タイミングコントローラ14は代表的に示されたアウトプットイネーブル信号MOE、ライトイネーブル信号MWE、チップイネーブル信号MCEなどを外部アクセス制御信号として受ける。タイミングコントローラ14はコマンドレジスタ15を有し、外部からデータ入出力バッファ7を介して供給されるコマンドがセットされ、それを解釈することによって消去、消去ベリファイ、書き込み、書き込みベリファイな

40

50

どの動作モードが設定される。特に制限されないが、前記制御信号MWEはコマンドレジスタへのコマンド書込みを指示する。制御信号MOEは読み出し動作を指示する。制御信号MCEはチップ選択を指示する。

消去動作は例えば512バイト単位のようなブロック単位で可能とされる。消去対象ブロックの指定は、特に制限されないが、11ビットのアドレス信号A10～A20と1ビットのアドレス信号A0にて行われる。即ち、コマンドレジスタ15への消去コマンドの書込みに際してアドレス信号A0, A10～A20が消去ブロック指定レジスタ16に取り込まれる。タイミングコントローラ14は、消去ブロック指定レジスタ16に取り込まれたアドレス信号A0によって指定される一方のメモリブロックに対して、A10～A20で指定される512バイトのブロックを一括消去するための内部制御信号を生成する。

本実施例において最下位のアドレス信号A0はその論理値に従ってメモリブロック2又はメモリブロック3を選択するための信号とみなされる。a0, a0* (記号*は反転を意味する)、a1, a1*～a20, a20*は、A0～A20に対応される内部相補アドレス信号である。タイミングコントローラ14は前記内部相補アドレス信号a0, a0*を参照して、メモリブロック2又は3の何れに対して、読み出し動作や書き換え動作を行うかを制御し、また、選択回路6を入出力回路4又は5の何れに接続するかを制御する。20は書込み消去制御回路12とタイミングコントローラ14との間でやりとりされる制御信号などの情報を総称し、21は書込み消去制御回路13とタイミングコントローラ14との間でやりとりされる制御信号などの情報を総称し、22は入出力回路4に対する制御信号、23は入出力回路5に対する制御信号、24は選択回路6に対する制御信号を意味する。

本実施例のフラッシュメモリ1は、メモリブロック2又は3の何れか一方に救済不可能な欠陥がある場合、パーシャル品として利用される。メモリブロック2, 3の双方に救済不可能な欠陥が無いフラッシュメモリを完動品と言う。本実施例では、2個のパーシャル品を1個の完動品と完全互換とするために、前記メモリブロック2, 3の中から不良のメモリブロックを指定するための情報が設定されるヒューズプログラム回路30、パーシャル品であることを示す情報が設定されるヒューズプログラム回路31、及び抑止コントローラ32を備える。抑止コントローラ32は、前記相補内部アドレス信号a0(a0*)、ヒューズプログラム回路30, 31の出力を受ける。

この抑止コントローラ32は、ヒューズプログラム回路31の出力がパーシャル品であることを示していることを条件に、前記相補内部アドレス信号a0(a0*)が選択しているとみなされるメモリブロックが前記ヒューズプログラム回路30にて指定されているメモリブロックに一致するとき、抑止制御信号33を活性化レベルに制御する。すなわち、抑止コントローラ32は、ヒューズプログラム回路30で指示される不良メモリブロックのアクセスをアドレス信号に基づいて検出する検出手段の一例とされる。

前記抑止制御信号33を受けるタイミングコントローラ14は、当該信号が活性化されていると、メモリセルの情報書き換え動作の指示に応答する当該メモリブロックの情報書き換え動作を抑止し、また、メモリセルなどに対する情報読出し動作の指示に応答する前記データ入出力バッファ7のデータ出力動作を抑止する。タイミングコントローラ14は前記メモリブロックの情報書き換え動作を抑止するときは、レディー/ビジー信号MR/Bをレディー状態として外部に出力する。レディー状態のレディー/ビジー信号MR/Bは、書き換え動作の完了を意味するステータスとされる。尚、タイミングコントローラ14は、活性化レベルの抑止制御信号33に基づく論理動作が確定されるまでの極めて短い期間において一瞬前記レディー/ビジー信号MR/Bがビジー状態にされることがあっても、最終的にはレディー状態にされる。

第2図には前記アドレス入力バッファ10の一例が示される。アドレス信号A1～A20の各ビットは、4段のインバータINV1, INV2, INV3, INV4を介して非反転の内部相補アドレス信号a1～a20に変換され、3段のインバータINV1, INV2, INV3を介して反転の内部相補アドレス信号a1*～a20*に変換される。このとき、アドレス信号A0を受ける2段目は、インバータINV2に代えて2入力型の排他

10

20

30

40

50

的ノアゲート104が介在され、当該排他的ノアゲート104の他方の入力端子にはヒューズプログラム回路34の出力が供給され、当該ヒューズプログラム回路34の出力論理値に応じ、アドレス信号A0の論理値に対して内部相補アドレス信号a0、a0*の論理値を選択的に反転できるようになっている。即ち、ヒューズプログラム回路34の設定値が"1"のとき内部相補アドレス信号a0の論理値はアドレス信号A0の論理値に一致され、ヒューズプログラム回路34の設定値が"0"のとき内部相補アドレス信号a0の論理値はアドレス信号A0の論理値と逆にされる。

第1図に示される前記タイミングコントローラ14は、内部相補アドレス信号a0の論理値が"0"のときメモリブロック2の動作を選択し、且つ選択回路6にて入出力回路4をデータ入出力バッファ7に接続制御する。内部相補アドレス信号a0の論理値が"1"のときはメモリブロック3の動作が選択され、且つ選択回路6にて入出力回路5がデータ入出力バッファ7に接続制御される。例えばメモリブロック2に救済不可能な欠陥がある場合、ヒューズプログラム回路30には論理値"0"が設定される。この状態で、内部相補アドレス信号a0の論理値が"0"にされると、抑止制御信号33が活性化レベルにされ、そのときメモリセルの情報書き換え動作が指示されていれば、当該指示にตอบสนองするメモリブロック2の情報書き換え動作が抑止され、また、メモリセルに対する情報読出し動作が指示されていれば当該指示にตอบสนองする前記データ入出力バッファ7のデータ出力動作が抑止される。このとき、ヒューズプログラム回路34の設定値が"1"にされていれば、アドレス信号A0の論理値が"0"とされるアクセスに対してメモリブロック2の前記抑止動作が行われる。逆に、ヒューズプログラム回路34の設定値が"0"にされていれば、アドレス信号A0の論理値が"1"とされるアクセスに対して前記メモリブロック2の抑止動作が行われる。

上記実施例から明らかなように、外部から与えられるアドレス信号A0~A20に基づいて選択されようとするメモリブロックが、ヒューズプログラム回路30にて指定されているメモリブロック(パーシャル品における不良メモリブロック)に一致するとき、メモリセルの情報書き換え動作が指示されている場合にはその指示にตอบสนองする当該メモリブロックの情報書き換え動作が抑止コントローラ32にて抑止される。また、メモリセルなどに対する情報読出し動作が指示されているときはその指示にตอบสนองする前記データ入出力バッファ7のデータ出力動作が抑止コントローラ32にて抑止される。このように、パーシャル品としてのフラッシュメモリ1自らによる前記抑止機能により、当該フラッシュメモリ1を実装したシステム上において、このフラッシュメモリ1の特定のアドレス信号A0の入力端子を不良メモリブロックのアドレス配置に応じて一定のレベルに固定する処理を外部で必要とせず、そのままフラッシュメモリチップのパーシャル品を利用することができる。

第3図には第1図で説明したフラッシュメモリのパーシャル品を用いたメモリデバイスの一実施例が示される。第3図の(A)に示されるメモリデバイス40は、第1図で説明したパーシャル品としてのフラッシュメモリ1を2個利用し、夫々の外部端子は相互に対応するもの同士が共通接続されてパッケージ41の対応するリード端子Pに結合されて成る。一方のフラッシュメモリは1-Lとして図示され、他方のフラッシュメモリは1-Uとして図示されている。例えばフラッシュメモリ1-Lはアドレス信号A0が論理値"0"のとき一方の正常なメモリブロックがアクセスされ、論理値"1"のときは他方の不良メモリブロックに関する前記アクセスが抑止されるようにヒューズプログラムされたフラッシュメモリであり、単に下位パーシャル品とも称する。これに対してフラッシュメモリ1-Uはアドレス信号A0が論理値"1"のとき一方の正常なメモリブロックがアクセスされ、論理値"0"のときは他方の不良メモリブロックに関する前記アクセスが抑止されるようにヒューズプログラムされたフラッシュメモリであり、単に上位パーシャル品とも称する。前記ヒューズプログラム回路34の説明から明らかなように、下位パーシャル品1-Lと上位パーシャル品1-Uにおける正常なメモリブロックは物理的に異なるメモリブロックであることを要せず、アドレス信号A0に対する正常メモリブロックのアドレス配置はヒューズプログラム回路34の設定値によって決定されている。したがって、製造プ

10

20

30

40

50

ロセスなどとの関係で、複数のパーシャル品の夫々の不良部分に偏りが発生しても、その偏り具合に応じて個々のパーシャル品のヒューズプロセス回路34の設定値を決定すれば、外部から供給されるアドレス信号A0に対する動作可能なメモリブロックの配置を見かけ上、自由に変更でき、これにより、動作領域が相補的とされるパーシャル品を組み合わせることで良品を代替するようなメモリデバイス40を形成する場合でも、数量的に多い方の不良形態のパーシャル品が余ってしまう事態を防止することができる。

第3図の実施例においてパーシャル品相互間で共通接続される外部端子として代表的に、OE(MOEの入力端子)、WE(MWEの入力端子)、CE(MCEの入力端子)、R/B(MR/Bの出力端子)、DAT(データ入出力端子8)、及びA0~A20のアドレス入力端子が示されている。電源端子については図示を省略してあるがパーシャル品相互間で対応する電源端子同士は共通接続されている。ここでフラッシュメモリのレディー/ビジー信号MR/Bはオープンドレイン回路によって構成され、夫々の出力端子はワイヤードオア結合される。

第3図に示される上位パーシャル品1-Uと下位パーシャル品1-Lを利用したメモリデバイスは、第1図の説明から明らかなように、それに供給されるアドレス信号A0の論理値に従って上位パーシャル品1-Uと下位パーシャル品1-Lが相補的に動作される。したがって、第3図の(B)に示されるように、下位パーシャル品1-Lには実質的に0番地、2番地、4番地...のアドレスがマッピングされ、上位パーシャル品1-Uには実質的に1番地、3番地、5番地...のアドレスがマッピングされることになる。メモリデバイスの全体的な記憶容量、パッケージの外部端子構成は、双方のメモリブロックに救済不可能な欠陥が無い完動品としてのフラッシュメモリ1-Pと同一であり、アドレス信号A0に対する取り扱いも完動品1-Pと同一にできるから、それらの点において第3図のメモリデバイスは完動品1-Pと完全互換を達成している。

第4図にはメモリデバイス40を構成するパーシャル品1-L, 1-Uのレディー/ビジー信号とレディー/ビジーステータスの生成論理の一例が示される。各パーシャル品1-L, 1-Uのレディー/ビジー端子R/Bは各フラッシュメモリチップの内部においてオープンドレイン回路に結合される。即ち、ビジーステータスジェネレータ140の出力によってスイッチ制御されるNチャンネル型MOSトランジスタ36が設けられ、当該トランジスタ36のソースは接地端子GNDに、ドレインは抵抗35を介して電源端子Vccに結合される。

ビジーステータスジェネレータ140は、第1図のタイミングコントローラ14に含まれ、例えば消去モードや書込みモードが指定されているときは指定された動作が完了されるまでMOSトランジスタ36をオン状態に制御する。このビジーステータスジェネレータ140は、前記抑止信号33にて書き換え動作が抑止された場合には、消去、書き込み動作の抑止に連動して、出力をローレベルにする。すなわち、ビジーステータスジェネレータ140は、不良メモリブロックに対するアクセスが検出されたとき、データの書き換え動作の指示に対してその動作の完了を意味するステータスを当該動作の完了とは無関係に外部出力可能にする手段の一例とされる。

前記MOSトランジスタ36のゲート制御信号はステータスレジスタ141に供給され、レディー/ビジーフラッグRBFを形成する。レディー/ビジーフラッグRBFは論理値"1"がビジー状態を示し、論理値"0"がレディー状態を示す。ステータスレジスタ141の値はデータ入出力バッファ7を介して外部に読み出し可能にされる。第4図にはレディー/ビジーフラッグRBFの読み出し経路だけが代表的に示されている。レディー/ビジーフラッグRBFの読み出し経路には2入力型のオアゲート143が介在され、その一方の入力にはレディー/ビジーフラッグRBFが供給され、他方の入力にはインバータ142を介してMOSトランジスタ36のドレインが結合される。上位パーシャル品1-Uのレディー/ビジー端子R/Bと下位パーシャル品1-Lのレディー/ビジー端子R/Bはワイヤードオア結合されてパッケージの外部レディー/ビジー端子PR/Bに結合される。

データの消去や書込みの最中においてビジーステータスジェネレータ140はMOSトラ

10

20

30

40

50

レジスタ36をオン状態に制御する。これによってレディー/ビジーフラッグRBFは論理値"1"とされる。フラッシュメモリ1-L, 1-Uのレディー/ビジー状態はレディー/ビジー端子R/Bを外部で参照して認識できる。その他に、データ入出力バッファ7が使用されていない状態では、ステータスレジスタ14の値を外部から読み出してレディー/ビジー状態を外部で認識できる。ここで、メモリデバイス40はA0の値に従って上位パーシャル品1-Uと下位パーシャル品1-Lのメモリブロックに対する動作が選択的に抑止される。ステータスレジスタ141の外部読み出しは、制御信号MOEを活性化することによって可能とされるが、このとき、A0の値如何により、読み出し対象とされるステータスレジスタ141はパーシャル品1-L又は1-Uの何れに対しても可能にされる。A0によって動作が抑止されているパーシャル品と抑止されていないパーシャル品の内部状態を比較すると、抑止されていない方のパーシャル品がビジー状態の時、抑止されているパーシャル品はレディー状態にされる。このとき端子PR/Bは、双方のパーシャル品の端子R/Bがワイヤードオア結合されているからビジー状態を示す。しかしながら、レディー/ビジーフラッグRBFはパーシャル品の実際の内部状態を表している。すなわち、動作が抑止されたパーシャル品のフラグRBFはレディー状態にされ、動作されるパーシャル品のフラグRBFはビジー状態にされる。このとき、レディー/ビジーフラッグRBFの出力経路には前記オアゲート143が介在されているから、レディー/ビジーフラッグRBFがレディー状態(論理値"0")であっても、他方のパーシャル品がビジー状態を示していれば、オアゲート143の出力はビジー状態(論理値"1")に強制される。したがって、メモリデバイス40の端子PR/Bがビジー状態(論理値"0")を示しているとき、動作が抑止されているパーシャル品のレディー/ビジーフラッグRBFが外部に読出されてもビジー状態(論理値"1")を得ることができる。仮にレディー/ビジーフラッグRBFの出力経路にオアゲート143が配置されていなければ、動作が抑止されているパーシャル品のレディー/ビジーフラッグRBFを外部に読出すとレディー状態を示し、動作が抑止されていないパーシャル品のレディー/ビジーフラッグRBFを外部に読出すとビジー状態を示し、相互に不一致になってしまう。したがって、第4図の構成を採用することにより、外部に読出されたレディー/ビジーフラグFR/Bの状態も完動品の場合と同じになり、この点においても完動品と完全互換とされる。

10

20

第5図にはメモリカードの一実施例が示される。本実施例のメモリカード50は前記下位パーシャル品1-Lと前記上位パーシャル品1-Uを夫々4個備える。特に制限されないが、各パーシャル品1-L, 1-Uの有効な記憶容量は夫々1Mバイトとされる。第6図には夫々の記憶容量が2Mバイトの前記完動品1-Pを4個用いたメモリカード51が示される。尚、メモリカードの説明において前記下位パーシャル品1-L、上位パーシャル品1-U、及び完動品1-Pの夫々は8ビットのデータ入出力端子を備えている。

30

第5図において52はカードコントローラ、53は電源回路である。カードコントローラ52は、アドレス信号SA0~SA24、各種制御信号SCONTを入力し、ビジー信号SBSSYを出力し、データSD0~SD15を入出力する。電源回路53は5Vのような電源電圧Vccと1.2Vのような書き換え用高電圧Vppの入力端子を有し、外部からVppの供給が無い場合にはVccを昇圧して書き込み用高電圧を形成するDC-DCコンバータのような回路を有する。外部からVppが供給される場合には電圧昇圧機能は用いられない。

40

本実施例のメモリカード50は、下位パーシャル品1-Lと上位パーシャル品1-Uを対にした4対のメモリペアM1~M4を有する。各メモリペアは第3図のメモリデバイス40と実質的に同じであるが、各メモリペアはパッケージングされていなくてもよい。メモリカード50は外部とワード単位でデータの入出力を行う。メモリペアM2, M4は下位データバスMD0~MD7を介して下位バイトデータSD0~SD7に対応される。メモリペアM1, M3は上位データバスMD8~MD15を介して上位バイトデータSD8~SD15に対応される。アドレスバスMA0~MA20は各メモリペアM1~M4の各パーシャルメモリのアドレス入力端子(A0~A20)に共通接続される。アウトプットイネーブル信号MOE、ライトイネーブル信号MWEは各メモリペアM1~M4の各パーシ

50

シャルメモリの対応端子OE, WEに共通に供給される。メモリペアM1, M2の各パーソナルメモリにはチップイネーブル信号MCE0が共通に供給され、メモリペアM3, M4の各パーソナルメモリにはチップイネーブル信号MCE1が共通に供給される。パーソナルメモリのレディー/ピジー端子R/Bは、メモリペア毎に共通接続されてカードコントローラ52に接続される。尚、前記データ、アドレス、及び各種制御信号のための信号配線は図示しないカード基板に形成された配線が用いられる。

前記カードコントローラ52は、それが接続される図示しないカードインタフェースを介してホストプロセッサなどから与えられる指示に従って、メモリペアM1~M4のアクセス制御を行う。例えばホストプロセッサからの指示はコマンドとされ、図示しないコマンドレジスタにフェッチされる。指示の内容は、メモリペアに対するリード、消去、書込み等とされる。アクセス対象はアドレス信号によって与えられる。特に制限されないが、前記アドレス信号SA0~SA24の内、SA0~SA20はA0~A20とされる。SA21はデコーダ54に供給され、その論理値に従ってチップイネーブル信号MCE0, MCE1が生成される。

10

第5図のメモリカード50は、第6図に示される完動品1-Pを用いたメモリカード51に対し、上位パーソナル品1-Uと下位パーソナル品1-Lを用いる点が相違されるだけである。各メモリペアM1~M4は第3図の説明から明らかなように完動品1-Pと完全互換とされるからである。

第7図にはメモリカード50の動作説明図が示される。同図は代表的にメモリペアM1, M2の動作を示すものである。例えば下位パーソナル品1-Lはアドレス信号A0が論理値"1"のとき抑止制御信号33が活性化され、それに含まれるメモリブロック3に対する書換動作と読み出しデータの外部出力が抑止される。また、上位パーソナル品1-Uはアドレス信号A0が論理値"0"のとき抑止制御信号33が活性化され、それに含まれるメモリブロック2に対する書換え動作と読み出しデータの外部出力が抑止されるものとする。チップイネーブル信号MCE0が選択レベルにされると、メモリペアM1, M2の各パーソナル品1-U, 1-Lが動作可能な状態にされる。このときワードアドレスA1~A20が各パーソナル品の0番地を指すとき、バイト指定アドレスとしてのA0が論理値"0"とされるときは、上位パーソナル品1-Uにおいてはそれに含まれるメモリブロック2の書換え動作と読み出しデータの外部出力が抑止され、実質的なアクセス動作は下位パーソナル品1-Lだけで行われる。これによって各メモリペアM1, M2では下位パーソナル品1-Lの0番地がアクセスされる。ワードアドレスA1~A20が各パーソナル品の0番地を指すとき、バイト指定アドレスとしてのA0が論理値"1"とされるときは、下位パーソナル品1-Lにおいてはそれに含まれるメモリブロック3の書換え動作と読み出しデータの外部出力が抑止され、実質的なアクセス動作は上位パーソナル品1-Uだけで行われる。これによって各メモリペアM1, M2では上位パーソナル品1-Uの1番地がアクセスされる。

20

30

このように並列的にチップ選択された上位パーソナル品1-Uと下位パーソナル品1-Lは、A0の論理値の変化に従って交互に実質的なアクセス動作が行われる。したがって、完動品のみから成るメモリカード51とパーソナル品1-L, 1-Uを用いたメモリカード50は同一のカードコントローラ52を用いても見かけ上(外部仕様上)は相互に同一の動作を行うことができる。即ち、双方のメモリカード50, 51に対する外部からの制御は全く同一とすることができる。

40

メモリブロック2, 3に対するアクセスを選択的に抑止するための前記ヒューズプログラム回路30, 31と抑止コントローラ32を備えていないフラッシュメモリのパーソナル品を用いて上記同様のメモリカード61を構成する場合には第8図に例示されるような回路構成にしなければならない。即ち、下位パーソナル品60-Lに対してはアドレスA0を接地端子GNDに接続してメモリブロック3に対する選択を固定的に禁止させ、上位パーソナル品60-Hに対してはアドレスA0を電源端子Vccに接続してメモリブロック2に対する選択を固定的に禁止させる必要がある。その場合にはメモリペアを構成する上位パーソナル品60-Hと下位パーソナル品60-Lは別々にチップ選択制御しなければ

50

相互間でデータの衝突が起きる。このため、第8図のメモリカードではチップイネーブル信号はMCE1～MCE4の4本が必要になり、カードコントローラ62は第5図及び第6図のメモリカードとは異なる論理のデコーダ63が必要とされる。例えばデコーダ63はチップ選択のためにアドレスSA0も必要とする。

第9図には前記メモリカード50におけるレディー/ビジー信号の処理系が示される。各パーシャル品1-L, 1-Uのレディー/ビジー端子R/Bは内部においてオープンドレイン回路に結合される。その回路構成は例えば第4図に示されるものが採用される。レディー/ビジー信号MR/B1はメモリペアM1に専用化され、レディー/ビジー信号MR/B2はメモリペアM2に専用化され、レディー/ビジー信号MR/B3はメモリペアM3に専用化され、レディー/ビジー信号MR/B4はメモリペアM4に専用化され、夫々
10
はカードコントローラ52の内部に設けられたステータスレジスタ56の対応ビットに結合される。レディー/ビジー信号MR/B1及びMR/B2は2入力型アンドゲート59の入力に、レディー/ビジー信号MR/B3及びMR/B4は2入力型アンドゲート58の入力に結合される。アンドゲート59, 59の出力は2入力型アンドゲート57の入力に結合され、当該アンドゲート57の出力が前記ビジー信号SB SYとして外部に出力されると共に、カードステータスレジスタ55の対応ビットに供給される。ビジー信号SB SYはハイレベルによってメモリカード50がレディー状態であることを外部に通知する。

第10図には本発明の第2の実施例に係るフラッシュメモリが示される。同図に示されるフラッシュメモリ1Aは、半導体集積回路製造技術によって単結晶シリコンのような1個
20
の半導体基板に形成される。第10図に示されるフラッシュメモリ1Aは、電気的に書き換え可能な不揮発性のメモリセルがマトリクス配置された2個のメモリブロック72, 73を備える。夫々のメモリブロック72, 73に対するデータ書込み単位とデータ読み出し単位は、本実施例に従えば、4ビットとされる。夫々のメモリブロック72, 73に対するデータの入出力は入出力回路74, 75によって4ビット単位で行われる。入出力回路74, 75は夫々専用化されたデータ入出力バッファ77L, 77Uに接続される。データ入出力バッファ77L, 77Uは夫々に専用化された4ビットの外部データ入出力端子78L, 78Uに結合され、外部との間でデータの入出力が行われる。メモリセルを選択するためのアドレス信号A0～A20は外部アドレス入力端子79からアドレス入力バッファ80を介して各メモリブロックに72, 73に供給される。本実施例に従えば、メモリブロック72, 73は夫々1Mバイトの記憶容量を備えることになる。
30

第10図において81は外部からの指示に従って前記メモリブロックのメモリセルに対する情報の書き換えと情報の読み出しを制御すると共に、書き換え動作の指示に応答する書き換え動作の完了を示すレディー/ビジー信号MR/Bを外部に出力する第1の制御手段である。第1の制御手段81は、メモリブロック72に専用化された書込み消去制御回路82、メモリブロック73に専用化された書込み消去制御回路83、及びフラッシュメモリ全体の制御を行うタイミングコントローラ84から成る。タイミングコントローラ84は代表的に示されたアウトプットイネーブル信号MOE、ライトイネーブル信号MWE、チップイネーブル信号MCEを外部アクセス制御信号として受ける。タイミングコントローラ84はコマンドレジスタ85を有し、外部からデータ入出力バッファ77L, 77U
40
を介して供給されるコマンドがセットされ、それを解読することによって消去、消去ペリファイ、書込み、書込みペリファイなどの動作モードが設定される。特に制限されないが、前記制御信号MWEはコマンドレジスタへのコマンド書込みを指示する。制御信号MOEは読み出し動作を指示する。制御信号MCEはチップ選択を指示する。

消去動作は例えば512バイト単位のようなブロック単位で可能とされる。消去対象ブロックの指定は、特に制限されないが、11ビットのアドレス信号A10～A20にて行われる。即ち、コマンドレジスタ85への消去コマンドの書込みに際してアドレス信号A10～A20が消去ブロック指定レジスタ86に取り込まれる。タイミングコントローラ84は、消去ブロック指定レジスタ86に取り込まれたアドレス信号A10～A20で指定される512バイトのメモリブロックを一括消去するための内部制御信号を生成する。
50

本実施例において双方のメモリブロック72, 73に救済不可能な欠陥がない場合、タイミングコントローラ84は、双方のメモリブロック72, 73を並列的に動作制御する。90は書込み消去制御回路82に対する制御信号、91は書込み消去制御回路83に対する制御信号、92は入出力回路74に対する制御信号、93は入出力回路75に対する制御信号、94はデータ入出力バッファ77Lに対する制御信号、95はデータ入出力バッファ77Uに対する制御信号である。

本実施例のフラッシュメモリは、メモリブロック72又は73の何れか一方に救済不可能な欠陥がある場合、パーシャル品として利用される。本実施例では、2個のパーシャル品を1個の完動品と完全互換とするために、前記メモリブロック72, 73の中から不良のメモリブロックを指定するための情報が設定されるヒューズプログラム回路100、パーシャル品であることを示す情報が設定されるヒューズプログラム回路101、及び抑止コントローラ102を備える。抑止コントローラ102は、ヒューズプログラム回路101の出力がパーシャル品であることを示していることを条件に、前記ヒューズプログラム回路100にて指定されているメモリブロックの書換動作と当該メモリブロックに対応される前記データ入出力バッファのデータ出力動作を前記タイミングコントローラ84に抑止させるための抑止制御信号33Aを生成する。抑止制御信号33Aを受けるタイミングコントローラ84は、それによりメモリブロック72側の動作の抑止が指示されていると、制御信号90, 92, 94にて書込み消去制御回路82を常時非活性化し、入出力回路74を常時非活性化(例えばセンスアンプの常時非活性化)し、且つデータ入出力バッファ78Lを常時高インピーダンス状態に制御する。タイミングコントローラ84が抑止制御信号33Aにてメモリブロック73側の動作の抑止が指示されていると、制御信号91, 93, 95にて書込み消去制御回路83を常時非活性化し、入出力回路75を常時非活性化(例えばセンスアンプの常時非活性化)し、且つデータ入出力バッファ78Uを常時高インピーダンス状態に制御する。本実施例のフラッシュメモリに係るパーシャル品も、第3図のメモリデバイス同様のメモリデバイスに利用することができる。

第11図にはフラッシュメモリのメモリセル構造の一例が示される。同図の(A)に例示的に示されたメモリセルは、2層ゲート構造の絶縁ゲート型電界効果トランジスタにより構成されている。同図において、201はP型シリコン基板、202は上記シリコン基板1に形成されたP型半導体領域、203, 204はN型半導体領域である。205はトンネル絶縁膜としての薄い酸化膜206(例えば厚さ10nm)を介して上記P型シリコン基板201上に形成されたフローティングゲート、207は酸化膜208を介して上記フローティングゲート205上に形成されたコントロールゲートである。ソースは204によって構成され、ドレインは203, 202によって構成される。このメモリセルに記憶される情報は、実質的にしきい値電圧の変化としてトランジスタに保持される。以下、特に述べないかぎり、メモリセルにおいて、情報を記憶するトランジスタ(以下メモリセルトランジスタとも記す)がNチャンネル型の場合について述べる。

メモリセルへの情報の書込み動作は、例えばコントロールゲート207及びドレインに高圧を印加して、アバランシェ注入によりドレイン側からフローティングゲート205に電子を注入することで実現される。この書込み動作により記憶トランジスタは、第11図の(B)に示されるように、そのコントロールゲート207からみたしきい値電圧が、書込み動作を行わなかった消去状態の記憶トランジスタに比べて高くなる。

一方消去動作は、例えばソースに高圧を印加して、トンネル現象によりフローティングゲート205からソース側に電子を引き抜くことによって実現される。第11図の(B)に示されるように、消去動作により記憶トランジスタはそのコントロールゲート207からみたしきい値電圧が低くされる。第11図の(B)では、書込み並びに消去状態の何れにおいてもメモリセルトランジスタのしきい値は正の電圧レベルにされる。すなわちワード線からコントロールゲート207に与えられるワード線選択レベルに対して、書込み状態のしきい値電圧は高くされ、消去状態のしきい値電圧は低くされる。双方のしきい値電圧とワード線選択レベルとがそのような関係を持つことによって、選択トランジスタを採用することなく1個のトランジスタでメモリセルを構成することができる。記憶情報を電気

10

20

30

40

50

的に消去する場合においては、フローティングゲート205に蓄積された電子をソース電極に引き抜くことにより、記憶情報の消去が行われるため、比較的長い時間、消去動作を続けると、書込み動作の際にフローティングゲート205に注入した電子の量よりも多くの電子が引く抜かれることになる。そのため、電氣的消去を比較的長い時間続けるような過消去を行うと、メモリセルトランジスタのしきい値電圧は例えば負のレベルになって、ワード線の非選択レベルにおいても選択されるような不都合を生ずる。尚、書込みも消去と同様にトンネル電流を利用して行うこともできる。

読み出し動作においては、上記メモリセルに対して弱い書込み、すなわち、フローティングゲート205に対して不所望なキャリアの注入が行われないように、ドレイン及びコントロールゲート207に印加される電圧が比較的低い値に制限される。例えば、1V程度の低電圧がドレインに印加されるとともに、コントロールゲート207に5V程度の低電圧が印加される。これらの印加電圧によってメモリセルトランジスタを流れるチャンネル電流の大小を検出することにより、メモリセルに記憶されている情報の論理値“0”、“1”を判定することができる。

第12図は前記メモリセルトランジスタを用いたメモリセルアレイの概略的な一例を示す。同図には代表的に4個のメモリセルトランジスタQ1乃至Q4が示される。X、Y方向にマトリクス配置されたメモリセルにおいて、同じ行に配置されたメモリセルトランジスタQ1、Q2(Q3、Q4)のコントロールゲート(メモリセルの選択ゲート)は、それぞれ対応するワード線WL1(WL2)に接続され、同じ列に配置された記憶トランジスタQ1、Q3(Q2、Q4)のドレイン領域(メモリセルの入出力ノード)は、それぞれ対応するデータ線DL1(DL2)に接続されている。上記記憶トランジスタQ1、Q3(Q2、Q4)のソース領域は、ソース線SL1(SL2)に結合される。

第13図にはメモリセルに対する消去動作並びに書込み動作のための電圧条件の一例が示される。同図においてメモリ素子はメモリセルトランジスタを意味し、ゲートはメモリセルトランジスタの選択ゲートとしてのコントロールゲートを意味する。同図において負電圧方式の消去はコントロールゲートに例えば-10Vのような負電圧を印加することによって消去に必要な高電界を形成する。同図に例示される電圧条件から明らかなように、正電圧方式の消去にあっては少なくともソースが共通接続されたメモリセルに対して一括消去を行うことができる。したがって第12図の構成において、ソース線SL1、SL2が接続されていれば、4個のメモリセルQ1乃至Q4は一括消去可能にされる。この場合、同一ソース線につながるメモリセルトランジスタの数を変えることによりメモリブロックのサイズを任意に設定することができる。ソース線分割方式には、第14図に例示されるようなデータ線を単位とする場合(共通ソース線をデータ線方向に延在させる)の他に、ワード線を単位とする場合(共通ソース線をワード線方向に延在させる)がある。一方、負電圧方式の消去にあっては、コントロールゲートが共通接続されたメモリセルに対して一括消去を行うことができる。

第14図には第1図で説明した前記書込み消去制御回路12、メモリブロック2、及び入出力回路4の一例が示される。メモリブロック2は8ビットのデータ端子D0~D7を有し、各データ端子毎にメモリアレイARY0~ARY7を備える。夫々のメモリアレイARY0~ARY7は、特に制限されないが、ソース線SL1、SL2を共通とした一括消去ブロックとして2分割されている、図には代表的にメモリアレイARY0の詳細が示されているが、その他のメモリアレイARY1~ARY7も同様に構成されている。

夫々のメモリアレイARY0~ARY7には前記第11図で説明した2層ゲート構造の絶縁ゲート型電界効果トランジスタによって構成されたメモリセルMCがマトリクス配置されている。同図においてWL0~WLnは全てのメモリアレイARY0~ARY7に共通のワード線である。同一行に配置されたメモリセルのコントロールゲートは、それぞれ対応するワード線に接続される。夫々のメモリアレイARY0~ARY7において、同一列に配置されたメモリセルMCのドレイン領域は、それぞれ対応するデータ線DL0~DLnに接続されている。一方の一括消去ブロックを構成するメモリセルMCのソース領域はソース線SL1に共通接続され、他方の一括消去ブロックを構成するメモリセルMCのソ

10

20

30

40

50

ース領域はソース線 S L 2 に共通接続されている。

前記ソース線 S L 1 , S L 2 には電圧出力回路 V O U T 1 , V O U T 2 から消去に利用される高電圧 V p p が供給される。電圧出力回路 V O U T 1 , V O U T 2 の出力動作は、消去制御部 E C O N T によって選択される。

前記ワード線 W L 0 ~ W L n の選択は、 X アドレスラッチ X A L A T を介して取り込まれる X アドレス信号 A X を X アドレスデコーダ X A D E C が解読することによって行われる。ワードドライバ W D R V は X アドレスデコーダ X A D E C から出力される選択信号に基づいてワード線を駆動する。データ読出し動作においてワードドライバ W D R V は、電圧選択回路 V S E L から供給される 5 V のような電圧 V c c と 0 V のような接地電位とを電源として動作され、選択されるべきワード線を電圧 V c c によって選択レベルに駆動し、非選択とされるべきワード線を接地電位のような非選択レベルに維持させる。データの書き込み動作においてワードドライバ W D R V は、電圧選択回路 V S E L から供給される 1 2 V のような電圧 V p p と 0 V のような接地電位とを電源として動作され、選択されるべきワード線を 1 2 V のような書き込み用高電圧レベルに駆動する。データの消去動作においてワードドライバ W D R V の出力は 0 V のような低い電圧レベルにされる。

10

夫々のメモリアレイ A R Y 0 ~ A R Y 7 において前記データ線 D L 0 ~ D L n は Y 選択スイッチ Y S 0 ~ Y S n を介して共通接続される。 Y 選択スイッチ Y S 0 ~ Y S n のスイッチ制御は、 Y アドレスラッチ Y A L A T を介して取り込まれる Y アドレス信号 A Y を Y アドレスデコーダ Y A D E C が解読することによって行われる。 Y アドレスデコーダ Y A D E C の出力選択信号は全てのメモリアレイ A R Y 0 ~ A R Y 7 に共通に供給される。したがって、 Y アドレスデコーダ Y A D E C の出力選択信号のうちの何れかが一つが選択レベルにされることにより、各メモリアレイ A R Y 0 ~ A R Y 7 において共通データ線 C D には 1 本のデータ線が接続される。

20

メモリセル M C から Y 選択スイッチを介して読出されたデータは選択スイッチ R S を介してセンスアンプ S A に与えられ、ここで増幅されて出力される。前記選択スイッチ R S は読出し動作に同期して選択レベルにされる。外部から供給される書き込みデータはデータ入力ラッチ D I L に保持される。データ入力ラッチ D I L に保持されたデータが " 0 " のとき、書き込み回路 W R は選択スイッチ W S を介して書き込み用の高電圧を供給する。この書き込み用高電圧は Y アドレス信号 A Y によって選択されたデータ線を通して、 X アドレス信号 A X でコントロールゲートに高電圧が印加されるメモリセルのドレインに供給され、これによって当該メモリセルが書き込みされる。前記選択スイッチ W S は書き込み動作に同期して選択レベルにされる。書き込み消去の各種タイミングや電圧の選択制御は書き込み消去制御回路 W E C O N T が生成する。尚、 R E A D はスイッチ R S のスイッチ制御信号、 D I L はデータラッチ D L のラッチ制御信号、 S A はセンスアンプ S A の活性化制御信号であり、前記制御信号 2 2 に含まれる。 W R I T E はスイッチ W S のスイッチ制御信号である。

30

第 1 5 図には本発明の第 3 の実施例に係るフラッシュメモリ 1 B のブロック図が示される。同図に示されるフラッシュメモリは、半導体集積回路製造技術によって単結晶シリコンのような 1 個の半導体基板に形成される。本実施例のフラッシュメモリ 1 B は、電氣的に書き換え可能な不揮発性のメモリセルがマトリクス配置された 2 個のメモリブロック 2 , 3 を備える。メモリブロック 2 , 3 は、夫々前記 2 層絶縁ゲート電界効果型のトランジスタによって構成されるフラッシュメモリセルがマトリクス配置されたメモリセルアレイと、フラッシュメモリセルを選択するためのアドレスデコーダ及び選択スイッチ回路を有する。夫々のメモリブロック 2 , 3 に対するデータ書き込み単位とデータ読み出し単位は、本実施例に従えば、 8 ビット (1 バイト) とされる。夫々のメモリブロック 2 , 3 に対するデータの入出力は入出力回路 4 , 5 によってバイト単位で行われる。入出力回路 4 , 5 はセクタ 6 を介して何れか一方がデータ入出力バッファ 7 に接続される。データ入出力バッファ 7 は 8 ビットの外部データ入出力端子 8 に結合され、外部との間でデータの入出力が行われる。メモリセルを選択するためのアドレス信号 A 0 ~ A 2 0 は外部アドレス入力端子 9 からアドレス入力バッファ 1 0 を介して各メモリブロックに 2 , 3 に供給される。

40

50

このアドレス入力バッファ10はアドレスラッチ回路としての機能を有し、例えば書き込みアドレスをそのまま保持し、これを書き込みペリファイアドレスとして利用できるようになっている。ここで、アドレス信号A0～A20は、バイトアドレスとされる。最下位ビットA0は、メモリブロックの2又は3の何れを指定しているかを示す情報とみなされる。本実施例に従えば、メモリブロック2,3は夫々1Mバイトの記憶容量を備える。

第15図において43,44,45,46で示されるものは、外部からの指示に従って前記メモリブロック2,3のメモリセルに対する情報の書き換えと情報の読み出しを制御する回路ブロックである。43はメモリブロック2に専用化された消去回路である。44はメモリブロック3に専用化された消去回路44である。45はメモリブロック2と3に兼用される書き込み回路45である。46はフラッシュメモリ全体の制御を行うタイミングコントローラ46である。タイミングコントローラ46は、信号線群47を介して前記消去回路43,44及び書き込み回路45に接続されている。

10

前記消去回路43は、消去制御回路430、消去ペリファイ制御回路431及び消去ペリファイ判定回路432から構成される。同様に前記消去回路44は、消去制御回路440、消去ペリファイ制御回路441及び消去ペリファイ判定回路442から構成される。前記書き込み回路45は書き込み制御回路450、書き込みペリファイ制御回路451及び書き込みペリファイ判定回路452から構成される。

前記タイミングコントローラ46は代表的に示されたアウトプットイネーブル信号MOE、ライトイネーブル信号MWE、チップイネーブル信号MCEなどを外部アクセス制御信号として受ける。タイミングコントローラ46はコマンドレジスタ15を有し、外部からデータ入出力バッファ7を介して供給されるコマンドがセットされ、それを解釈することによって消去、消去ペリファイ、書き込み、書き込みペリファイ、データ読出しなどの動作モードに応じた内部制御信号を生成する。460で示されるものは、前記コマンドを解釈して前記内部制御信号を生成する論理回路である。前記信号MOE, MCE, MWEは論理回路460に供給される。特に制限されないが、前記制御信号MWEはコマンドレジスタへのコマンド書き込みを指示する。制御信号MOEは読み出し動作を指示する。制御信号MCEはチップ選択を指示する。

20

消去動作は例えば512バイト単位のようなブロック単位で可能とされる。消去対象ブロックの指定は、特に制限されないが、12ビットのアドレス信号A9～A20にて行われる。即ち、コマンドレジスタ15への消去コマンドの書き込みの際に、アドレス信号A9～A20(実際には同一論理値の内部相補アドレス信号の一方)によって特定される消去開始ブロックのアドレス情報が消去開始ブロック指定レジスタ16Sに、アドレス信号A9～A20によって特定される消去終了ブロックのアドレス情報が消去終了ブロック指定レジスタ16Eに設定される。16Cは、前記消去開始ブロック指定レジスタ16Sに設定されたアドレス信号A9～A20がプリセットされるカウンタであり、その値が前記消去ブロック終了レジスタに設定されたアドレス信号に一致するまで、消去動作毎にインクリメントされる。タイミングコントローラ46は、レジスタ16Sに設定された消去開始ブロックを起点に、レジスタ16Eに設定された消去終了ブロックまで、順次消去及びペリファイ動作を指示する制御信号を消去回路43,44に供給する。特にこの実施例ではA0はメモリ空間を規定するアドレス信号の最下位ビットとされ、この最下位ビットがメモリブロック2,3切り分け信号とされる。従って、一括消去単位とされる512バイトの記憶領域は双方のメモリブロック2,3に跨ることになる。このとき、消去回路43,44は各メモリブロック2,3に専用化されている。したがって、この実施例では、ブロック単位の消去動作は、双方のメモリブロック2,3で並列的に行われるようになっている。但し、それは後述するように完動品の場合だけとされる。

30

40

タイミングコントローラ46は、コマンドレジスタ15に書き込みコマンドが設定されると、データ入出力バッファ7を介して供給される書き込みデータを、例えばアドレス信号A0～A20によって指示されるメモリセルに書き込むための制御信号を書き込み回路45に供給する。書き込み動作は、特に制限されないが、バイト単位での書き込みとされ、バイトデータの書き込みはアドレス信号A0～A20によって指定される何れか一方のメ

50

メモリブロックで行われる。

本実施例において最下位のアドレス信号 A 0 は前述の通り、その論理値に従ってメモリブロック 2 又はメモリブロック 3 の何れを選択するかを示すための信号とみなされる。例えば、A 0 = 0 はメモリブロック 2 を選択し、A 0 = 1 はメモリブロック 3 を選択するものとみなされる。尚、この実施例において A 0 によるメモリブロックの選択とは、メモリブロック 2, 3 に含まれるアドレスデコーダによるメモリセルの選択動作を意味する。したがって、アドレス信号に含まれる A 0 が 0 のときはメモリブロック 2 に含まれるメモリセルがアクセス対象とされ、A 0 が 1 のときはメモリブロック 3 に含まれるメモリセルがアクセス対象とされる。

a 0, a 0 * ~ a 2 0, a 2 0 * は前記アドレス信号 A 0 ~ A 2 0 の内部相補アドレス信号である。2 2 は入出力回路 4 に対する制御信号、2 3 は入出力回路 5 に対する制御信号、2 4 は選択回路 6 に対する制御信号を意味する。

本実施例のフラッシュメモリは、メモリブロック 2 又は 3 の何れか一方に救済不可能な欠陥がある場合、パーシャル品として利用される。本実施例のフラッシュメモリでは、2 個のパーシャル品を 1 個の完動品と完全互換とするために、ヒューズプログラム回路 4 7 を備え、更に前記タイミングコントローラ 4 6 は抑止条件判定回路 4 8 を備える。

前記ヒューズプログラム回路 4 7 は、特に制限されないが、ヒューズが切断されることによってローレベルにされパーシャル品であることを示す信号 P S L を出力するヒューズ回路 4 7 0、ヒューズに切断によってローレベルにされ前記メモリブロック 2 に救済不可能な欠陥のあることを示す信号 D E 1 を出力するヒューズ回路 4 7 1、及びヒューズに切断によってローレベルにされ前記メモリブロック 3 に救済不可能な欠陥のあることを示す信号 D E 2 を出力するヒューズ回路 4 7 2 を有する。前記信号 P S L, D E 1, D E 2 は前記抑止条件判定回路 4 8 と論理回路 4 6 0 に供給される。前記抑止条件判定回路 4 8 及び論理回路 4 6 0 は、信号 P S L がパーシャル品であることを示すのを条件に、前記信号 D E 1, D E 2 に基づいて、救済不可能なメモリブロックに対する消去、書き込み、読み出しなどの動作を抑止する。前記抑止条件判定回路 4 8 は、ヒューズプログラム回路 4 7 で指定される不良メモリブロックのアクセスをアドレス信号に基づいて検出する検出手段の一例とされる。

前記論理回路 4 6 0 は、前記メモリブロックの消去や書き込み動作を抑止するとき、レディー/ビジー信号 M R / B をレディー状態として外部に出力する。レディー状態のレディー/ビジー信号 M R / B は、書き換え動作の完了を意味するステータスとされる。

第 1 6 図にはヒューズプログラム回路 4 7 の設定状態に応じてデータ入出力バッファ 7 の出力動作を抑止する回路の一例が示される。同図において 4 6 1 A は出力制御論理回路、4 6 1 B はアンドゲートであり、前記論理回路 4 6 0 に含まれている。出力制御論理回路 4 6 1 A は、コマンドによってデータの読み出しモードが設定されたとき、メモリセルからの読み出しデータを外部に出力するタイミング信号 4 6 1 C を生成する。アンドゲート 4 6 1 B はそのタイミング信号 4 6 1 C と前記抑止条件判定回路 4 8 からの抑止信号 3 3 B を 2 入力とし、その出力でデータ入出力バッファ 7 の出力動作を制御する。

前記抑止条件判定回路 4 8 は、第 2 1 図に例示されるように、排他的論理和回路 4 8 0, 4 8 1、論理和回路 4 8 2 及びインバータ 4 8 3 によって構成される。パーシャル品でない場合 (P S L = 1)、前記抑止信号 3 3 B は常時非活性化レベル (ハイレベル) にされるので、データ入出力バッファ 7 の出力動作は一切抑止されない。パーシャル品の場合に (P S L = 0)、メモリブロック 2 が救済不可能なときヒューズ回路 4 7 1 のヒューズが切断されて信号 D E 1 = 0 になっていると (このとき当然 D E 2 = 1 である)、a 0 = 0 (メモリブロック 2 に対するアクセス) ならば抑止信号 3 3 B が活性化レベル (ローレベル) にされ、a 0 = 1 (メモリブロック 3 に対するアクセス) ならば、抑止信号 3 3 B が非活性化レベル (ローレベル) にされる。また、パーシャル品の場合に (P S L = 0)、メモリブロック 3 が救済不可能なときヒューズ回路 4 7 2 のヒューズが切断されて信号 D E 2 = 0 になっていると (このとき当然 D E 1 = 1 である)、a 0 = 1 (メモリブロック 3 に対するアクセス) ならば抑止信号 3 3 B が活性化レベル (ローレベル) にされ、a 0

10

20

30

40

50

= 0 (メモリブロック 2 に対するアクセス) ならば、抑止信号 3 3 B が非活性化レベル (ローレベル) にされる。

したがって、メモリブロック 2 が不良 (DE 1 = 0) のパーシャル品において (PSL = 0)、メモリブロック 2 に対する読み出し動作アクセスが指示されても (a 0 = 0)、データ入出力バッファ 7 の出力動作は抑止される。同様に、メモリブロック 3 が不良 (DE 2 = 0) のパーシャル品において (PSL = 0)、メモリブロック 3 に対する読み出し動作アクセスが指示されても (a 0 = 1)、データ入出力バッファ 7 の出力動作は抑止される。

第 17 図にはヒューズプログラム回路 4 7 の設定状態に応じて消去制御回路 4 3 0, 4 4 0 の動作を抑止する回路の一例が示される。同図において 4 6 2 A は消去起動制御論理回路、4 6 2 B, 4 6 2 C はアンドゲートであり、前記論理回路 4 6 0 に含まれている。消去起動制御論理回路 4 6 2 A は、コマンドによって消去モードが設定されたとき、消去動作の起動タイミング信号 4 6 2 D を生成する。アンドゲート 4 6 2 B はそのタイミング信号 4 6 2 D と前記信号 DE 1 を 2 入力とし、メモリブロック 2 が不良の場合 (DE 1 = 0) には当該メモリブロック 2 に割り当てられた消去制御回路 4 3 0 の起動を抑止する。アンドゲート 4 6 2 C はそのタイミング信号 4 6 2 D と前記信号 DE 2 を 2 入力とし、メモリブロック 3 が不良の場合 (DE 2 = 0) には当該メモリブロック 3 に割り当てられた消去制御回路 4 4 0 の起動を抑止する。

第 18 図にはヒューズプログラム回路 4 7 の設定状態に応じて消去ベリファイ制御回路 4 3 1, 4 4 1 の動作を抑止する回路の一例が示される。同図において 4 6 3 A は消去ベリファイ起動制御論理回路、4 6 3 B, 4 6 3 C, 4 6 3 D はアンドゲートであり、それらは前記論理回路 4 6 0 に含まれている。消去ベリファイ起動制御論理回路 4 6 2 A は、コマンドによって消去モードが設定されたとき、消去ベリファイ動作の起動タイミング信号 4 6 3 E を生成する。消去ベリファイ制御回路 4 3 1 (4 4 1) は消去ベリファイ動作が起動されると、対応メモリブロック 2 (3) の消去ブロックに例えばバイト単位でデータを読み出させる。読み出されたデータは消去ベリファイ判定回路 4 3 2 (4 4 2) に供給され、それが消去状態の論理値にされているか否かが判定される。消去ベリファイ判定回路 4 3 2 (4 4 2) は例えば第 22 図に示されるように、8 入力のナンドゲートと等価な論理回路によって構成することができる。消去ベリファイ判定回路 4 3 2 (4 4 2) は、消去対象ブロックの全てのメモリセルが消去状態にされたことを検出することによって出力信号 4 3 2 A (4 4 2 A) を論理値 "1" から論理値 "0" に反転する。

前記アンドゲート 4 6 3 B は、前記信号 4 6 3 E、DE 1, 4 3 2 A を 3 入力とし、メモリブロック 2 が不良の場合 (DE 1 = 0) には当該メモリブロック 2 に割り当てられた消去ベリファイ制御回路 4 3 1 の起動を抑止する。即ちアンドゲート 4 6 3 B の出力状態を消去完了の状態 (論理値 "0" 出力) に維持させる。前記アンドゲート 4 6 3 C は前記信号 4 6 3 E、DE 2, 4 4 2 A を 3 入力とし、メモリブロック 3 が不良の場合 (DE 1 = 0) には当該メモリブロック 3 に割り当てられた消去ベリファイ制御回路 4 3 1 の起動を抑止する。即ちアンドゲート 4 6 3 C の出力状態を消去完了の状態 (論理値 "0" 出力) に維持させる。前記アンドゲート 4 6 3 D は、全ての消去対象ブロックに対する消去の完了をもって消去ベリファイ制御回路 4 3 1, 4 4 1 から出力される信号を 2 入力とする。アンドゲート 4 6 3 D の出力はオアゲート 4 6 6 に供給される。このオアゲート 4 6 6 は前記第 4 図で説明したビジーステータスジェネレータ 1 4 0、トランジスタ 3 6 及び抵抗 3 5 などによって実現される回路と等価な回路と理解されたい。このオアゲート 4 6 6 が前記レディー/ビジー信号 MR / B を出力する。

第 19 図にはヒューズプログラム回路 4 7 の設定状態に応じて書き込み制御回路 4 5 0 の動作を抑止する回路の一例が示される。同図において 4 6 4 A は書き込み起動制御論理回路、4 6 4 B はアンドゲートであり、それらの回路は前記論理回路 4 6 0 に含まれている。書き込み起動制御論理回路 4 6 4 A は、コマンドによってデータの書き込みモードが設定されたとき、メモリセルに対する書き込み動作を起動するタイミング信号 4 6 4 C を生成する。アンドゲート 4 6 4 B はそのタイミング信号 4 6 4 C と前記抑止条件判定回路 4

10

20

30

40

50

8からの抑止信号33Bを2入力とし、その出力で書き込み制御回路450の書き込み動作の起動を制御する。

前記抑止条件判定回路48は前述の通りに構成される。したがって、メモリブロック2が不良($DE = 0$)のパーシャル品において($PSL = 0$)、 $a0 = 0$ によってメモリブロック2のメモリセルが書き込み対象に指示されても、書き込み制御回路450の起動は抑止される。同様に、メモリブロック3が不良($DE = 1$)のパーシャル品において($PSL = 0$)、 $a0 = 1$ によってメモリブロック3のメモリセルが書き込み対象に指示されても、書き込み制御回路450の起動は抑止される。

第20図にはヒューズプログラム回路47の設定状態に応じて書き込みベリファイ制御回路451の動作を選択的に抑止する回路の一例が示される。同図において465Aは書き込みベリファイ起動制御論理回路、465Bはアンドゲートであり、それらの回路はタイミングコントローラ46に含まれている。書き込みベリファイ起動制御論理回路465Aは、コマンドによってデータの書き込みモードが設定されたとき、書き込みベリファイ動作を起動するタイミング信号465Cを生成する。書き込みベリファイ制御回路451は書き込みベリファイ動作が起動されると、書き込み動作されたアドレスからデータを読み出させる。読み出されたデータは書き込みベリファイ判定回路452に供給され、それが書き込みデータの論理値と一致されているか否かが判定される。書き込みベリファイ判定回路452は例えば第23図に示されるように、外部から供給された書き込みデータと、書き込み後にメモリセルから読み出されたデータとをビット対応で比較する排他的論理和回路とオアゲートによって構成することが出来る。

書き込みベリファイ判定回路452は、書き込みデータと読み出しデータの一致状態(書き込み完了状態)を検出することによって、ベリファイ判定信号452Aを論理値“1”から論理値“0”に反転する。

前記アンドゲート465Bは、前記ベリファイ判定信号452Aと共に抑止信号33Bと起動信号465Cを3入力とし、メモリブロック2が不良($DE = 0$)のパーシャル品において($PSL = 0$)、 $a0 = 0$ によってメモリブロック2のメモリセルが書き込み対象に指示されても、書き込み制御回路450と同様に、書き込みベリファイ制御回路451の起動を抑止する。即ちローレベルの抑止信号33Bによってアンドゲート465Bの出力状態が書き込み完了状態(論理値“0”出力)に維持される。また、前記アンドゲート465Bは、メモリブロック3が不良($DE = 1$)のパーシャル品において($PSL = 0$)、 $a0 = 1$ によってメモリブロック3のメモリセルが書き込み対象に指示されても、書き込み制御回路450と同様に、書き込みベリファイ制御回路451の起動を抑止する。即ちローレベルの抑止信号33Bによってアンドゲート465Bの出力状態が書き込み完了状態(論理値“0”出力)に維持される。

尚、この実施例においても第1図の場合と同様にアドレス信号A0の論理値を反転可能なヒューズプログラム回路34が設けられている。

第24図には第15図に示されるフラッシュメモリの製造工程が概略的に示される。フラッシュメモリは、単結晶シリコン基板のようなウェーハに第15図で説明した各種回路を形成するウェーハ工程(Sp1)を経た後、ファンクションテストなどのデバイステストが行われる(Sp2)。これによって、個々のフラッシュメモリチップは完動品、上位パーシャル品(メモリブロック3だけが救済不可能の欠陥を有する)、下位パーシャル品(メモリブロック2だけが救済不可能な欠陥を有する)、不良品に選別される。そして選別内容に応じ前記ヒューズプログラム回路の設定が行われる(Sp3)。第15図の実施例に従えば、完動品は $PSL = 1$ 、 $DE1 = 1$ 、 $DE2 = 1$ 、下位パーシャル品は $PSL = 0$ 、 $DE1 = 1$ 、 $DE2 = 0$ 、上位パーシャル品は $PSL = 0$ 、 $DE1 = 0$ 、 $DE2 = 1$ とされる。完動品の設定状態はヒューズプログラム回路の初期状態である。その後、フラッシュメモリチップは前記選別状態に応じてパッケージに封止され(Sp4)、封止後の選別テスト(Sp5)を経て、完成される。完動品のチップは1個ずつ封止される。パーシャル品チップは、上位パーシャル品と下位パーシャル品がペアとされ、例えば第3図及び第4図で説明したメモリデバイスとして封止される。上位パーシャル品と下位パーシャル品

10

20

30

40

50

ル品の数に偏りがある場合には、数の多い方のチップの一部に対して前記ヒューズプログラム回路34の状態を変えることにより、前述と同様に対処できる。

第25図には第15図に示されるフラッシュメモリ1Bの完動品に対する消去動作の手順の一例が示される。第25図の(A)に示されるフラッシュメモリのアドレスマップにおいて、#0, #1, ...はバイトアドレスである。第15図のフラッシュメモリ1Bは最下位のアドレスビットA0がメモリブロックの選択情報とみなされる。したがって、512バイトの一つの消去ブロックは双方のメモリブロック2及び3に跨る。完動品のヒューズプログラム回路47の設定状態は前述の通りである。

第25図の(C)に示されるように、フラッシュメモリは電源投入後、コマンド待ち状態にされる(Se1)。コマンドはSe2~Se4に示されるように、第1コマンド(1stコマンド)、第2コマンド(2ndコマンド)及び第3コマンド(3rdコマンド)に分けて設定される。第1コマンドは消去開始ブロックを指定するコマンドであり、消去開始ブロックはアドレス情報A9~A20として前記レジスタ16Sに指定される。例えば(A)に示される消去ブロック1が消去開始ブロックとして指定される。第2コマンドは消去終了ブロックを指定するコマンドであり、消去終了ブロックはアドレス情報A9~A20として前記レジスタ16E指定される。例えば(A)に示される消去ブロック3が消去終了ブロックとして指定される。第3コマンドは消去動作を指示するコマンドであり、レジスタ15に設定される。

前記コマンドの設定が終了されると、消去ブロック1の消去動作が開始される(Se5)。消去動作はメモリブロック2と3で並行的に行われる。即ち、メモリブロック2(下位メモリブロック2とも称する)において消去ブロック1を構成する256バイトに対する一括消去動作(Se6)と、メモリブロック3(上位メモリブロック3とも称する)において消去ブロック1を構成する256バイトに対する一括消去動作(Se7)とが並行的に行われ、夫々の消去動作に対して消去ベリファイ動作が行われる(Se8, Se9)。消去ベリファイによって消去対象ブロックの全てのメモリセルが消去状態にされたことを確認する事によって消去ブロック1個の消去動作が終了され、最終的に消去状態にすることができないメモリセルが存在する場合には、消去動作は異常終了とされる(Se10)。一つの消去ブロックに対する消去動作が正常に終了されると、前記カウンタ16Cをインクリメントして消去対象ブロック番号(消去ブロックNo.)を次に進め(Se11)、その消去ブロック番号が消去終了ブロックのブロック番号よりも小さいか否かを判定し(Se12)、小さいときは当該次の消去ブロックに対して前記ステップSe5からの処理を開始させ、小さくないときは消去のための内部処理が終了される(Se13)。

第26図には第15図に示されるフラッシュメモリ1Bの下位パーシャル品に対する消去動作の手順の一例が示される。下位パーシャル品のヒューズプログラム回路47の設定状態は前述の通りである。この場合、第26図の(B)に示されるように上位メモリブロック3は不良であるから、(A)のアドレスマップに示されるように、不良部分のバイトアドレスは交互に配置されることになる。第15図にフラッシュメモリは最下位のアドレスビットA0がメモリブロックの選択情報とみなされるからである。

第26図の(C)に示され消去動作手順において、第25図の(C)と相違される処理はステップSe7, Se9の処理とされ、上位メモリブロック3に対する消去動作と消去ベリファイ動作が抑止される。即ち、第17図及び第18図に基づいて説明したようにヒューズプログラム回路47から出力される信号DE2がローレベルにされる結果、それら処理が抑止される。

第27図には第15図に示されるフラッシュメモリ1Bの上位パーシャル品に対する消去動作の手順の一例が示される。上位パーシャル品のヒューズプログラム回路47の設定状態は前述の通りである。この場合、第27図の(B)に示されるように下位メモリブロック2は不良であるから、(A)のアドレスマップに示されるように、不良部分のバイトアドレスは交互に配置されることになる。

第27図の(C)に示され消去動作手順において、第25図の(C)と相違される処理はステップSe6, Se8の処理とされ、下位メモリブロック2に対する消去動作と消去ベ

10

20

30

40

50

リファイ動作が抑止される。即ち、第17図及び第18図に基づいて説明したようにヒューズプログラム回路47から出力される信号DE1がローレベルにされる結果、それら処理が抑止される。

第28図には第15図に示されるフラッシュメモリ1Bの完動品に対する書き込み動作の手順の一例が示される。第28図の(A)に示されるフラッシュメモリのアドレスマップにおいて、#0, #1, ...はバイトアドレスである。

第28図の(C)に示されるように、フラッシュメモリは電源投入後、コマンド待ち状態にされる(Sw1)。コマンドはSw2, Sw3に示されるように、書き込み動作を指示するコマンドと書き込みデータであり、書き込みコマンドはレジスタ15に設定され(Sw2)、書き込みデータは書き込みアドレスと共に供給される(Sw3)。書き込みデータはデータ入出力バッファ7に、書き込みアドレス(A0~A20)はアドレスバッファ10に供給される。そして、指定された書き込みアドレスに書き込みデータを書き込む動作が開始され(Sw4)、書き込みの後、ベリファイ動作が行われる(Sw5)。書き込みベリファイによってデータに書き込みが正常に行われたことを確認する事によって当該書き込み動作が終了される(Sw6)。

10

第29図には第15図に示されるフラッシュメモリ1Bの下位パーシャル品に対する書き込み動作の手順の一例が示される。下位パーシャル品のヒューズプログラム回路47の設定状態は前述の通りである。この場合、第29図の(B)に示されるように上位メモリブロック3は不良であるから、(A)のアドレスマップに示されるように、不良部分のバイトアドレスは交互に配置されることになる。

20

第29図の(C)に示される書き込み動作手順において、第28図の(C)と相違される処理はステップSw3以降の処理であり、上位メモリブロック3に対する書き込み動作と書き込みベリファイ動作が抑止される(Sw41, Sw51)。即ち、第19図及び第20図に基づいて説明したようにヒューズプログラム回路47から出力される信号SPL, DE2がローレベルにされ、A0=1(a0=1)の場合には抑止信号33Bがローレベルにされる結果、それらの処理が抑止される。下位メモリブロック2に対しては書き込み及び書き込みベリファイ動作が行われる(Sw42, Sw52)。

第30図には第15図に示されるフラッシュメモリ1Bの上位パーシャル品に対する書き込み動作の手順の一例が示される。上位パーシャル品のヒューズプログラム回路47の設定状態は前述の通りである。この場合、第30図の(B)に示されるように上位メモリブロック2は不良であるから、(A)のアドレスマップに示されるように、不良部分のバイトアドレスは交互に配置されることになる。

30

第30図の(C)に示される書き込み動作手順において、不良メモリブロックは下位メモリブロック2であるから、下位メモリブロック2に対する書き込み動作と書き込みベリファイ動作が抑止される(Sw41, Sw51)。即ち、第19図及び第20図に基づいて説明したようにヒューズプログラム回路47から出力される信号SPL, DE1がローレベルにされ、A0=0(a0=0)の場合に抑止信号33Bがローレベルにされる結果、それらの処理が抑止される。上位メモリブロック3に対しては書き込み及び書き込みベリファイ動作が行われる(Sw42, Sw52)。

第31図には本発明の第4の実施例に係るフラッシュメモリ1Cのブロック図が示される。同図に示されるフラッシュメモリは、半導体集積回路製造技術によって単結晶シリコンのような1個の半導体基板に形成される。本実施例のフラッシュメモリ1Cは、電氣的に書き換え可能な不揮発性のメモリセルがマトリクス配置された2個のメモリブロック2Y, 3Yを備える。メモリブロック2Y, 3Yは、夫々前記2層絶縁ゲート電界効果型のトランジスタによって構成されるフラッシュメモリセルがマトリクス配置されたメモリセルアレイと、フラッシュメモリセルを選択するためのアドレスデコーダ及び選択スイッチ回路を有する。夫々のメモリブロック2Y, 3Yに対するデータ書き込み単位とデータ読み出し単位は、本実施例に従えば、8ビット(1バイト)とされる。夫々のメモリブロック2Y, 3Yに対するデータの入出力は入出力回路4, 5によってバイト単位で行われる。入出力回路4, 5はセレクタ6を介して何れか一方がデータ入出力バッファ7に接続される

40

50

。データ入出力バッファ7は8ビットの外部データ入出力端子8に結合され、外部との間でデータの入出力が行われる。メモリセルを選択するためのアドレス信号A0～A20は外部アドレス入力端子9からアドレス入力バッファ10を介して各メモリブロックに2Y, 3Yに供給される。このアドレス入力バッファ10はアドレスラッチ回路としての機能を有し、例えば書き込みアドレスをそのまま保持し、これを書き込みペリファイアドレスとして利用できるようになっている。ここで、アドレス信号A0～A20はバイトアドレスであり、特にその最上位ビットA20が、メモリブロックの2Y又は3Yの何れを指定するかを示す情報とみなされる。本実施例に従えば、メモリブロック2Y, 3Yは夫々1Mバイトの記憶容量を備える。

第31図において43Y, 45, 46Yは、外部からの指示に従って前記メモリブロック2, 3のメモリセルに対する情報の書き換えと情報の読み出しを制御する回路ブロックである。43Yは、メモリブロック2Y, 3Yに兼用化された消去回路である。45は前記実施例と同じ書き込み回路である。46Yはフラッシュメモリ全体の制御を行うタイミングコントローラである。タイミングコントローラ46Yは、信号線群47を介して前記消去回路43Y及び書き込み回路45に接続されている。

前記消去回路43Yは、消去制御回路430Y、消去ペリファイ制御回路431Y及び消去ペリファイ判定回路432Yから構成される。

前記タイミングコントローラ46Yは代表的に示されたアウトプットイネーブル信号MOE、ライトイネーブル信号MWE、チップイネーブル信号MCEを外部アクセス制御信号として受ける。タイミングコントローラ46Yはコマンドレジスタ15を有し、外部からデータ入出力バッファ7を介して供給されるコマンドがセットされ、それを解釈することによって消去、消去ペリファイ、書込み、書込みペリファイ、データ読出しなどの動作モードに応じた内部制御信号を生成する。460Yで示されるものは、前記コマンドを解釈して前記内部制御信号を生成する論理回路である。前記信号MOE, MCE, MWEは論理回路460Yに供給される。特に制限されないが、前記制御信号MWEはコマンドレジスタへのコマンド書込みを指示する。制御信号MOEは読み出し動作を指示する。制御信号MCEはチップ選択を指示する。

消去動作は例えば512バイト単位のようなブロック単位で可能とされる。消去対象ブロックの指定は、特に制限されないが、11ビットのアドレス信号A10～A20にて行われる。即ち、コマンドレジスタ15への消去コマンドの書込みに際して、アドレス信号A10～A20によって特定される消去開始ブロックのアドレス情報が消去開始ブロック指定レジスタ16Sに、アドレス信号A10～A20によって特定される消去終了ブロックのアドレス情報が消去終了ブロック指定レジスタ16Eに設定される。16Cは、前記消去開始ブロック指定レジスタ16Sに設定されたアドレス信号A10～A20がプリセットされるカウンタであり、その値が前記消去ブロック終了レジスタに設定されたアドレス信号に一致するまで、消去動作毎にインクリメントされる。タイミングコントローラ46Yは、レジスタ16Sに設定された消去開始ブロックを起点に、レジスタ16Eに設定された消去終了ブロックまで、順次消去及びペリファイ動作を指示する制御信号を消去回路43Yに供給する。特にこの実施例ではA20はメモリ空間を規定するアドレス信号の最上位ビットとされ、この最上位ビットがメモリブロック2Y, 3Y切り分け信号とされる。従って、一括消去単位とされる512バイトの記憶領域は双方のメモリブロック2Y, 3Yに跨ることはない。このとき、消去回路43は各メモリブロック2Y, 3Yに兼用される。したがって、この実施例では、指定されたブロックの消去動作は、何れか一方のメモリブロック2Y又は3Yで行われる。

タイミングコントローラ46Yは、コマンドレジスタ15に書き込みコマンドが設定されると、データ入出力バッファ7を介して供給される書き込みデータを、例えばアドレス信号A0～A20によって指示されるメモリセルに書き込むための制御信号を書き込み回路45に供給する。書き込み動作は、特に制限されないが、バイト単位での書き込みとされ、バイトデータの書き込みはアドレス信号A0～A20によって指定される何れか一方のメモリブロックで行われる。

10

20

30

40

50

本実施例において最上位のアドレス信号 A 2 0 は前述の通り、その論理値に従ってメモリブロック 2 Y 又はメモリブロック 3 Y の何れを選択するかを示すための信号とみなされる。例えば、A 2 0 = 0 はメモリブロック 2 Y を選択し、A 2 0 = 1 はメモリブロック 3 Y を選択するものとみなされる。尚、この実施例において A 2 0 によるメモリブロックの選択とは、メモリブロック 2 Y , 3 Y に含まれるアドレスデコーダによるメモリセルの選択動作を意味する。したがって、アドレス信号に含まれる A 2 0 が 0 のときはメモリブロック 2 Y に含まれるメモリセルがアクセス対象とされ、A 2 0 が 1 のときはメモリブロック 3 Y に含まれるメモリセルがアクセス対象とされる。

a 0 , a 0 * ~ a 2 0 , a 2 0 * は前記アドレス信号 A 0 ~ A 2 0 の内部相補アドレス信号である。2 2 は入出力回路 4 に対する制御信号、2 3 は入出力回路 5 に対する制御信号、2 4 は選択回路 6 に対する制御信号を意味する。

本実施例のフラッシュメモリ 1 C は、メモリブロック 2 Y 又は 3 Y の何れか一方に救済不可能な欠陥がある場合、パーシャル品として利用される。本実施例のフラッシュメモリ 1 C では、2 個のパーシャル品を 1 個の完動品と完全互換とするために、ヒューズプログラム回路 4 7 を備え、更に前記タイミングコントローラ 4 6 Y は抑止条件判定回路 4 8 Y を備える。

前記ヒューズプログラム回路 4 7 は、第 3 の実施例と同様に、信号 P S L を出力するヒューズ回路 4 7 0、信号 D E 1 を出力するヒューズ回路 4 7 1、及び信号 D E 2 を出力するヒューズ回路 4 7 2 を有する。前記信号 P S L , D E 1 , D E 2 は前記抑止条件判定回路 4 8 Y と論理回路 4 6 0 Y に供給される。前記抑止条件判定回路 4 8 Y 及び論理回路 4 6 0 Y は、信号 P S L がパーシャル品であることを示すのを条件に、前記信号 D E 1 , D E 2 に基づいて、救済不可能なメモリブロックに対する消去、書き込み、読み出しなどの動作を抑止する。前記抑止条件判定回路 4 8 Y は第 3 の実施例における抑止条件判定回路 4 8 と実施的に同じ機能を実現する。前記論理回路 4 6 0 Y は、前記メモリブロックの消去や書き込み動作を抑止するとき、レディー / ビジー信号 M R / B をレディー状態として外部に出力する。尚、第 3 1 図において第 3 の実施例で説明したものと同一の回路ブロック及び信号には同一符号を付してある。

第 3 2 図にはヒューズプログラム回路 4 7 の設定状態に応じてデータ入出力バッファ 7 の出力動作を抑止する回路の一例が示される。同図において 4 6 1 A は出力制御論理回路、4 6 1 B はアンドゲートであり、それらは論理回路 4 6 0 Y に含まれる。出力制御論理回路 4 6 1 A は、コマンドによってデータの読み出しモードが設定されたとき、メモリセルからの読み出しデータを外部に出力するタイミング信号 4 6 1 C を生成する。アンドゲート 4 6 1 B はそのタイミング信号 4 6 1 C と前記抑止条件判定回路 4 8 Y からの抑止信号 3 3 B を 2 入力とし、その出力でデータ入出力バッファ 7 の出力動作を制御する。

前記抑止条件判定回路 4 8 Y には、前記第 2 1 図に例示された回路と同様の論理構成を採用することが出来る。但し、a 0 に代えて a 2 0 が供給される。パーシャル品でない場合 (P S L = 1)、抑止信号 3 3 B は常時非活性化レベル (ハイレベル) にされるので、データ入出力バッファ 7 の出力動作は一切抑止されない。パーシャル品の場合に (P S L = 0)、メモリブロック 2 Y が救済不可能なときヒューズ回路 4 7 1 のヒューズが切断されて信号 D E 1 = 0 になっていると (このとき当然 D E 2 = 1 である)、a 2 0 = 0 (メモリブロック 2 Y に対するアクセス) ならば抑止信号 3 3 B が活性化レベル (ローレベル) にされ、a 2 0 = 1 (メモリブロック 3 Y に対するアクセス) ならば、抑止信号 3 3 B が非活性化レベル (ローレベル) にされる。同様に、パーシャル品の場合に (P S L = 0)、メモリブロック 3 Y が救済不可能で、信号 D E 2 = 0 になっていると (このとき当然 D E 1 = 1 である)、a 2 0 = 1 (メモリブロック 3 Y に対するアクセス) ならば抑止信号 3 3 B が活性化レベル (ローレベル) にされ、a 2 0 = 0 (メモリブロック 2 Y に対するアクセス) ならば、抑止信号 3 3 B が非活性化レベル (ローレベル) にされる。

したがって、メモリブロック 2 Y が不良 (D E 1 = 0) のパーシャル品において (P S L = 0)、メモリブロック 2 Y に対する読み出し動作アクセスが指示されても (a 2 0 = 0)、データ入出力バッファ 7 の出力動作は抑止される。同様に、メモリブロック 3 Y が不

10

20

30

40

50

良 ($DE2 = 0$) のパーシャル品において ($PSL = 0$)、メモリブロック 3 Y に対する読み出し動作アクセスが指示されても ($a20 = 1$)、データ入出力バッファ 7 の出力動作は抑止される。

第 3 3 図にはヒューズプログラム回路 4 7 の設定状態に応じて消去制御回路 4 3 0 Y の動作を抑止する回路の一例が示される。同図において 4 6 2 A は消去起動制御論理回路、4 6 2 E はアンドゲートであり、それらは論理回路 4 6 0 Y に含まれている。消去起動制御論理回路 4 6 2 A は、コマンドによって消去モードが設定されたとき、消去動作の起動タイミング信号 4 6 2 F を生成する。アンドゲート 4 6 2 E はそのタイミング信号 4 6 2 F と前記抑止信号 3 3 B を入力する。

これによれば、メモリブロック 2 Y が不良 ($DE1 = 0$) のパーシャル品において ($PSL = 0$)、消去動作の起動信号 4 6 2 F が活性化されても、メモリブロック 2 Y に対する消去の場合には ($a20 = 0$)、抑止信号 3 3 B によって消去制御回路 4 3 0 Y の起動が抑止される。同様に、メモリブロック 3 Y が不良 ($DE2 = 1$) のパーシャル品において ($PSL = 0$)、消去動作の起動信号 4 6 2 F が活性化されても、メモリブロック 3 Y に対する消去の場合 ($a20 = 1$)、抑止信号 3 3 B によって消去制御回路 4 3 0 Y の起動が抑止される。

第 3 4 図にはヒューズプログラム回路 4 7 の設定状態に応じて消去ペリファイ制御回路 4 3 1 Y の動作を抑止する回路の一例が示される。同図において 4 6 3 A は消去ペリファイ起動制御論理回路、4 6 3 G はアンドゲートであり、それらはタイミングコントローラ 4 6 M に含まれている。消去ペリファイ起動制御論理回路 4 6 2 A は、コマンドによって消去モードが設定されたとき、消去ペリファイ動作の起動タイミング信号 4 6 3 E を生成する。消去ペリファイ制御回路 4 3 1 Y は消去ペリファイ動作が起動されると、メモリブロック 2 Y、3 Y の消去対象ブロックから、例えばバイト単位でデータを読み出させる。読み出されたデータは消去ペリファイ判定回路 4 3 2 Y に供給され、それが消去状態の論理値にされているか否かが判定される。消去ペリファイ判定回路 4 3 2 Y は例えば第 2 2 図に示されるように、8 入力のナンドゲートと等価な論理回路によって構成することができる。消去ペリファイ判定回路 4 3 2 Y は、消去対象ブロックの全てのメモリセルが消去状態にされたことを検出することによって出力信号 4 3 2 A を論理値 “ 1 ” から論理値 “ 0 ” に反転する。

前記アンドゲート 4 6 3 G は前記信号 4 6 3 E、3 3 B、4 3 2 A を 3 入力とし、メモリブロック 2 Y が不良の場合 ($PSL = 0$, $DE1 = 0$)、メモリブロック 2 Y の指定とみなされる $a20 = 0$ とされることにより消去ペリファイ制御回路 4 3 1 Y の起動を抑止する。即ちアンドゲート 4 6 3 B の出力状態を消去完了の状態 (論理値 “ 0 ” 出力) に維持させる。一方、メモリブロック 3 Y が不良の場合 ($PSL = 0$, $DE2 = 0$) には、メモリブロック 3 Y の指定とみなされる $a20 = 1$ とされることにより消去ペリファイ制御回路 4 3 1 Y の起動を抑止する。即ちアンドゲート 4 6 3 B の出力状態を消去完了の状態 (論理値 “ 0 ” 出力) に維持させる。尚、第 3 4 図において第 1 8 図に示されるものと同一機能を有するものにはそれと同一符号を付してある。

第 3 5 図にはヒューズプログラム回路 4 7 の設定状態に応じて書き込み制御回路 4 5 0 の動作を抑止する回路の一例が示される。この回路は第 1 9 図の回路構成と実質的に同じであり、抑止条件判定回路 4 8 Y のアドレス入力が $a20$ にされている点が相違するだけである。この回路によれば、メモリブロック 2 Y が不良 ($DE1 = 0$) のパーシャル品において ($PSL = 0$)、 $a20 = 0$ によってメモリブロック 2 Y のメモリセルが書き込み対象に指示されたとしても、書き込み制御回路 4 5 0 の起動は抑止される。同様に、メモリブロック 3 Y が不良 ($DE2 = 0$) のパーシャル品において ($PSL = 0$)、 $a20 = 1$ によってメモリブロック 3 Y のメモリセルが書き込み対象に指示されても、書き込み制御回路 4 5 0 の起動は抑止される。尚、第 3 5 図において第 1 9 図に示されるものと同一機能を有するものにはそれと同一符号を付してある。

第 3 6 図にはヒューズプログラム回路 4 7 の設定状態に応じて書き込みペリファイ制御回路 4 5 1 の動作を選択的に抑止する回路の一例が示される。この回路は第 2 0 図の回路構

10

20

30

40

50

成と実質的に同じであり、抑止条件判定回路48Yのアドレス入力がa20にされている点が相違するだけである。この回路によれば、アンドゲート465Bは、メモリブロック2Yが不良(DE1=0)のパーシャル品において(PSL=0)、a20=0によってメモリブロック2Yのメモリセルが書き込み対象に指示されても、書き込み制御回路450と同様書き込みベリファイ制御回路451の起動を抑止する。即ちローレベルの抑止信号33Bによってアンドゲート465Bの出力状態が書き込み完了状態(論理値“0”出力)に維持される。また、前記アンドゲート465Bは、メモリブロック3Yが不良(DE2=0)のパーシャル品において(PSL=0)、a20=1によってメモリブロック3Yのメモリセルが書き込み対象に指示されても、書き込み制御回路450と同様に書き込みベリファイ制御回路451の起動を抑止する。即ちローレベルの抑止信号33Bによってアンドゲート465Bの出力状態が書き込み完了状態(論理値“0”出力)に維持される。

10

第4の実施例に係るフラッシュメモリ1Cも前記第24図で説明したのと同じ工程を経て、個々に、完動品、上位パーシャル品、下位パーシャル品、不良品に選別され、その選別内容に応じ前記ヒューズプログラム回路47の設定が行われる。ヒューズプログラム回路の設定内容は第24図で説明した内容と同じとされる。パーシャル品チップは、上位パーシャル品と下位パーシャル品がペアとされ、例えば第3図及び第4図で説明したメモリデバイスとして封止される。そのようなメモリデバイスを適用して第5図で説明したメモリカードを構成することが出来る。

第37図には第31図に示されるフラッシュメモリ1Cの完動品に対する消去動作の手順の一例が示される。第37図の(A)に示されるフラッシュメモリのアドレスマップにおいて、#0, ..., #1048575, ...はバイトアドレスである。第31図のフラッシュメモリ1Cは最上位のアドレスビットA20がメモリブロックの選択情報とみなされる。特に制限されないが、下位メモリブロック2Yの最終バイトアドレスは#1048575とされ、上位メモリブロック3Yの先頭バイトアドレスは#1048576とされる。完動品のヒューズプログラム回路47の設定状態は前述の通りである。

20

完動品に対する消去の手順を示す第37図の(C)は第25図の(C)に対し、ステップSe14, Se15, Se16が相違されている。すなわち、一括消去単位ブロックは、メモリブロックの選択情報とみなされるA20の論理値に従って何れか一方のメモリブロックに含まれるものとされる。その他の点は、第25図で説明した内容と同じである。

30

第38図には第31図に示されるフラッシュメモリの下位パーシャル品に対する消去動作の手順の一例が示される。下位パーシャル品のヒューズプログラム回路47の設定状態は前述の通りである。この場合、第38図の(B)に示されるように上位メモリブロック3Yは不良である。この例では、第38図の(A)のアドレスマップに示されるように、下位メモリブロック2Yに含まれる消去ブロック2048と上位メモリブロック3Yに含まれる消去ブロック2049, 2050を連続消去の対象とする。

第38図の(C)に示され消去動作手順において、それら消去対象ブロックはステップSe2, Se3で指定される。ステップSe5で消去処理が開始されると、上位メモリブロック3Yに含まれる消去ブロックに対する消去動作と消去ベリファイ動作が抑止される(Se140, Se141, Se142, Se151, Se152)。即ち、第33図及び第34図に基づいて説明したようにヒューズプログラム回路47から出力される信号DE2がローレベルにされる結果、それら処理が抑止される。

40

第39図には第31図に示されるフラッシュメモリの上位パーシャル品に対する消去動作の手順の一例が示される。上位パーシャル品のヒューズプログラム回路47の設定状態は前述の通りである。この場合、第39図の(B)に示されるように下位メモリブロック2Yは不良である。この例では、第39図の(A)のアドレスマップに示されるように、下位メモリブロック2Yに含まれる消去ブロック2048と上位メモリブロック3Yに含まれる消去ブロック2049, 2050を連続消去の対象とする。

第39図の(C)に示され消去動作手順において、それら消去対象ブロックはステップSe2, Se3で指定される。ステップSe5で消去処理が開始されると、下位メモリブ

50

ック 2 Y に含まれる消去ブロックに対する消去動作と消去ベリファイ動作が抑止される (S e 1 4 0 , S e 1 4 1 , S e 1 4 2 , S e 1 5 1 , S e 1 5 2) 。即ち、第 3 3 図及び第 3 4 図に基づいて説明したようにヒューズプログラム回路 4 7 から出力される信号 D E 1 がローレベルにされる結果、それら処理が抑止される。

第 4 0 図には第 3 1 図に示されるフラッシュメモリの完動品に対する書き込み動作の手順の一例が示される。この書き込み手順は第 2 8 図の手順と基本的に同じである。

第 4 1 図には第 3 1 図に示されるフラッシュメモリの下位パーシャル品に対する書き込み動作の手順の一例が示される。第 2 9 図との相違点はアドレス信号の最上位ビット A 2 0 によってメモリブロックが指定される点であり、A 2 0 = 1 のとき、上位メモリブロック 3 Y に対する書き込み動作と書き込みベリファイ動作が抑止される (S w 4 1 , S w 5 1) 。即ち、第 1 9 図及び第 2 0 図に基づいて説明したようにヒューズプログラム回路 4 7 から出力される信号 S P L , D E 2 がローレベルにされ、A 2 0 = 1 (a 2 0 = 1) の場合には抑止信号 3 3 B はローレベルにされる結果、それらの処理が抑止される。下位メモリブロック 2 Y に対しては書き込み及び書き込みベリファイ動作が行われる (S w 4 2 , S w 5 2) 。

10

第 4 2 図には第 3 1 図に示されるフラッシュメモリの上位パーシャル品に対する書き込み動作の手順の一例が示される。第 3 0 図との相違点はアドレス信号の最上位ビット A 2 0 によってメモリブロックが指定される点であり、A 2 0 = 0 のとき、下位メモリブロック 2 Y に対する書き込み動作と書き込みベリファイ動作が抑止される (S w 4 1 , S w 5 1) 。即ち、第 1 9 図及び第 2 0 図に基づいて説明したようにヒューズプログラム回路 4 7 から出力される信号 S P L , D E 1 がローレベルにされ、A 2 = 0 (a 2 0 = 0) の場合に抑止信号 3 3 B がローレベルにされる結果、それらの処理が抑止される。上位メモリブロック 3 Y に対しては書き込み及び書き込みベリファイ動作が行われる (S w 4 2 , S w 5 2) 。

20

上記各実施例によれば以下の作用効果を得ることができる。

第 1、2、4 の実施例によれば、アドレス情報に基づいて選択されようとするメモリブロックが前記ヒューズプログラム回路 3 0、1 0 0、4 7 にて指定されているメモリブロック (パーシャル品における不良メモリブロック) に一致するとき、データの書き換え動作 (消去、書き込み) の指示に対しては前記第 1 の制御手段 1 1、8 1 又は消去回路 4 3、書き込み回路 4 5 及びタイミングコントローラ 4 6 にてその動作を抑止でき、また、情報読出し動作の指示に対してはデータ入出力バッファ 7 のデータ出力動作を同じく抑止できる。

30

第 1 乃至第 4 の実施例によれば、不良メモリブロックに対するアクセスが検出されたとき、データの書き換え動作の指示に対してはその動作の完了を意味するステータス M R / B を当該動作の完了とは無関係に外部出力可能にでき、データ読出し動作の指示に対しては同じくデータ入出力バッファのデータ出力動作を抑止できる。

パーシャル品としての半導体メモリ自らによる前記抑止機能により、システム上、メモリブロックを指定する特定アドレスを半導体メモリの外部で固定したりする処理を要することなくパーシャル品を利用できるようになる。

したがって、上位パーシャル品 1 - U と下位パーシャル品 1 - L を外部端子を共通接続してメモリデバイスを簡単に構成することができる。これにより、当該メモリデバイス 4 0 は、外部端子仕様若しくは利用形態の点において、完動品の半導体メモリと互換を達成することができる。

40

更に、パーシャル品における不良のメモリブロックに対する外部からの情報書き換え動作が指示されても、当該メモリブロックの情報書き換え動作が抑止され、或いは、前述のようにデータの書き換え動作の完了を意味するステータスを当該動作の完了とは無関係に外部出力可能にするから、外部からのアクセスによってパーシャル品の欠陥部分の動作が指定された場合に当該パーシャル品の欠陥部分を代替する別のパーシャル品との間で内部状態に矛盾を生じないようにすることができる。

製造プロセスなどとの関係で、複数のパーシャル品の夫々の不良部分には偏りが発生する

50

ことが予想される。メモリブロックを選択するものとみなされるアドレス情報をヒューズプログラム回路34に設定された値に従って選択的に論理反転する論理手段104を採用することにより、不良部分が相違されるパーシャル品が数量的に偏っても、ヒューズプログラム回路34の情報設定の仕方によって、外部から供給されるアドレス信号に対する見かけ上の動作可能メモリブロックの配置を自由に変更でき、これにより、動作領域が相補的とされるパーシャル品を組み合わせて良品を代替する場合、数量的に多い方の不良形態のパーシャル品が余ってしまう事態を防止することができる。

フラッシュメモリのパーシャル品を利用したメモリカード50は、上位パーシャル品1-Uと下位パーシャル品1-Lを、完動品としてのフラッシュメモリに代えて、配線基板上で相互の外部端子を共通接続して実装して構成することができる。パーシャル品としてのフラッシュメモリの不良部分に対する処理は前述のようにヒューズプログラム回路をプログラムすることによってフラッシュメモリの内部で実現できるから、フラッシュメモリの特定アドレス端子の入力レベルを固定する処理を一切要しない。そして、メモリカードに利用するフラッシュメモリがパーシャル品であっても完動品であっても、実装基板の配線、カードコントローラのチップ選択論理を共通化できる。

したがって、パーシャル品を利用したメモリデバイスやメモリカードに対し、完動品を利用したものの良好な互換性を実現できる。半導体メモリのパーシャル品を完動品に代えてそのままメモリデバイスやメモリカードに適用することができる。

以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。例えば、メモリブロックは2個に限定されず、4個、8個等にすることも可能である。また、半導体メモリはフラッシュメモリに限定されず、EPROM、EEPROM、マスクROM等のその他の不揮発性半導体メモリ、ランダムアクセスメモリにも広く適用することができる。

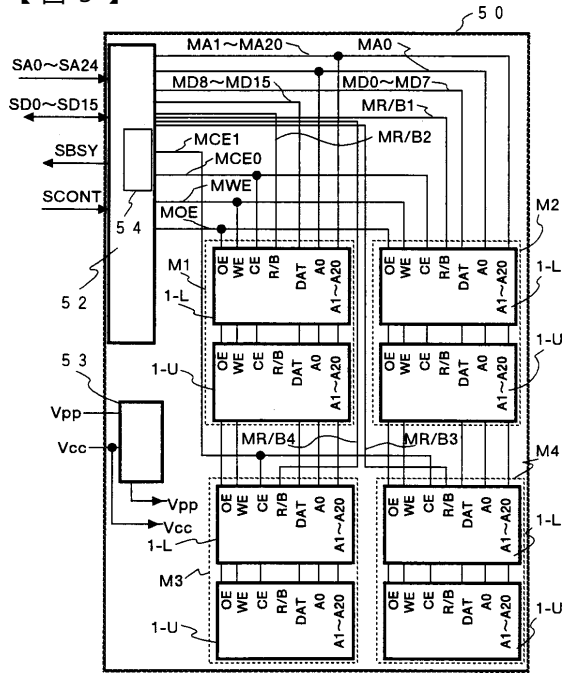
産業上の利用可能性

以上のように、本発明は、フラッシュメモリなどの半導体メモリ、救済不可能な部分的欠陥を有する半導体メモリを組み合わせて良品の半導体メモリと互換性を達成したメモリデバイス、そのようなメモリデバイス等を用いたメモリカードに適用でき、それらは、大小さまざまなコンピュータシステムの記憶回路に適用することができる。

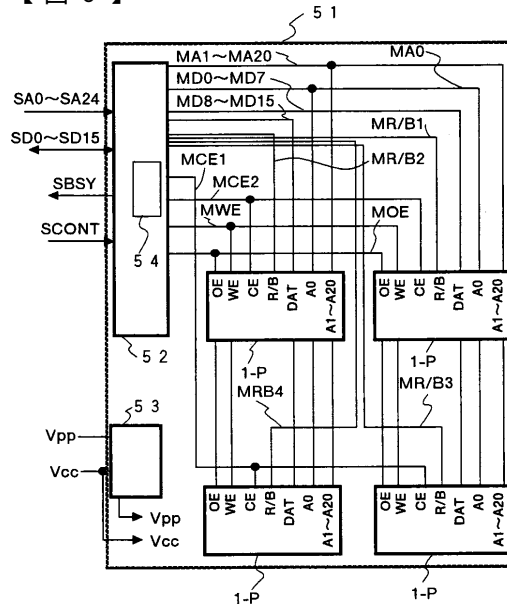
10

20

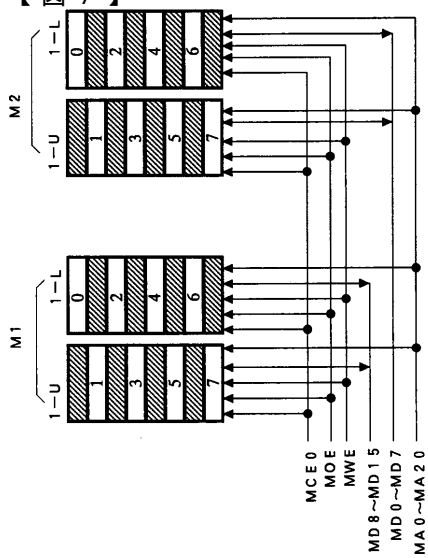
【 5 】



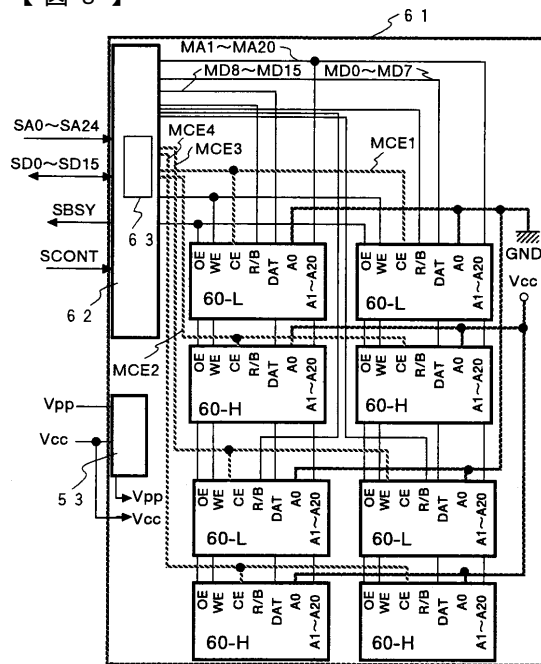
【 6 】

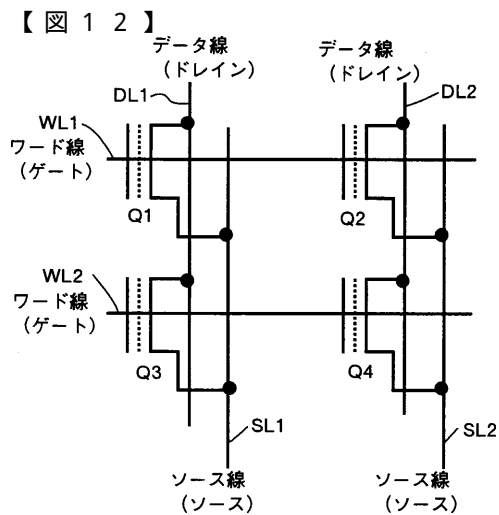
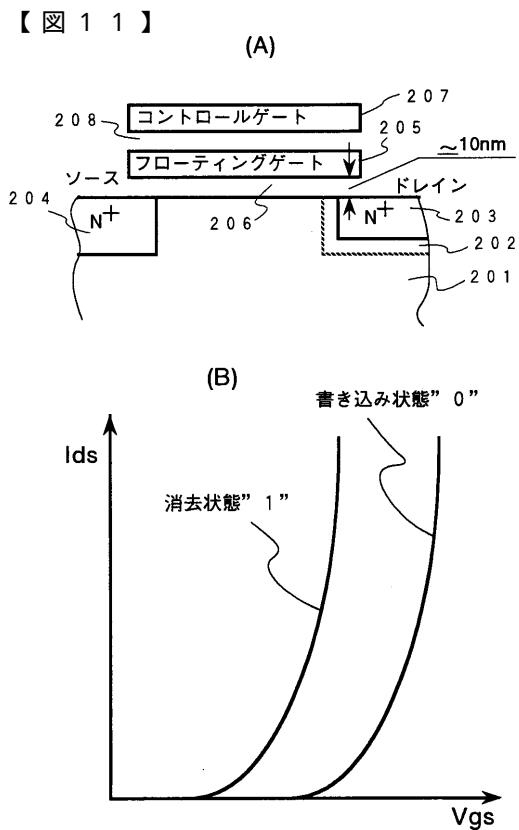
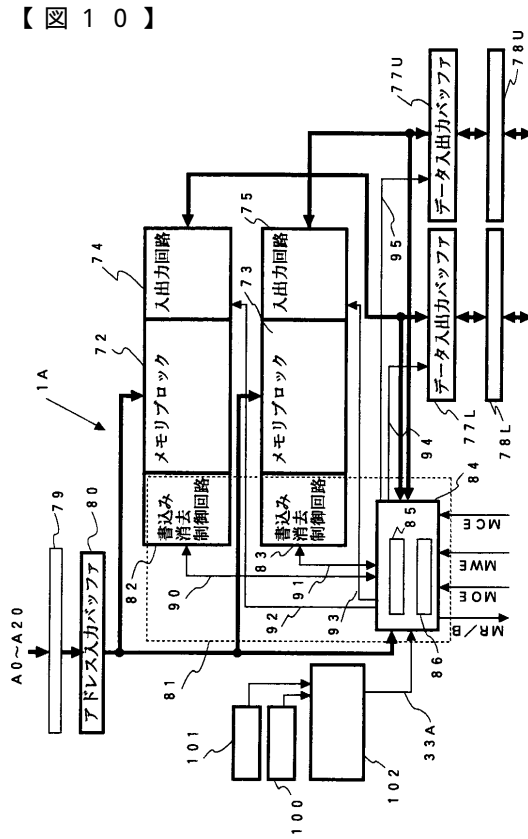
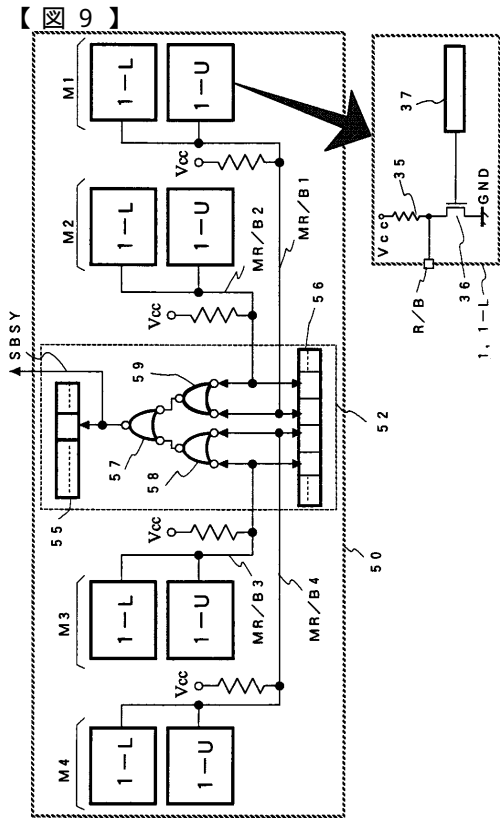


【 7 】



【 8 】





【図13】
書き込み

メモリ素子	選択/非選択	ソース	ドレイン	ゲート
Q1	選択	0V	6V	12V
Q2	非選択	0V	0V	12V
Q3	非選択	0V	6V	0V
Q4	非選択	0V </td <td>0V</td> <td>0V</td>	0V	0V

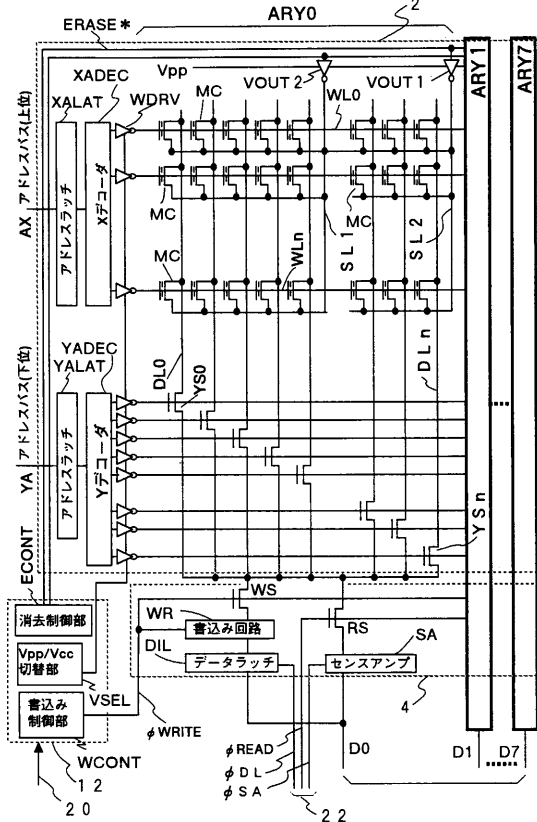
消去 (正電圧方式)

メモリ素子	選択/非選択	ソース	ドレイン	ゲート
Q1, Q3	選択	12V	0V	0V
Q2, Q4	非選択	0V	0V	0V

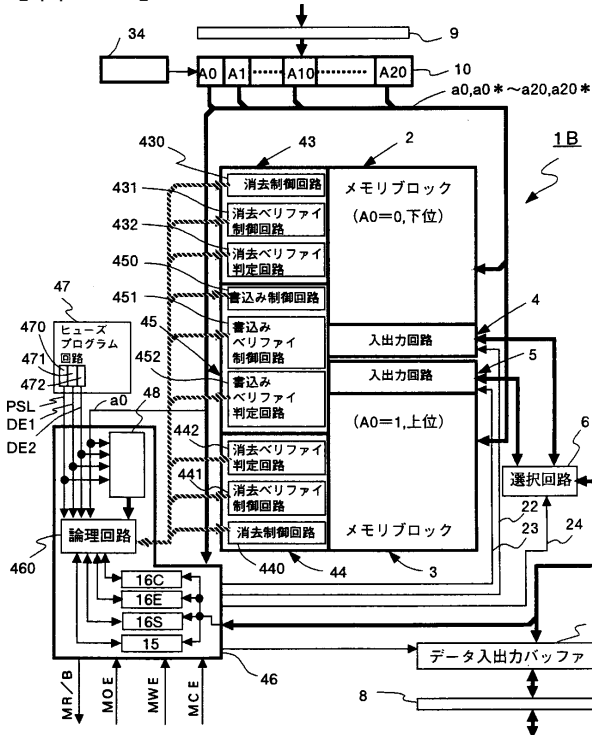
消去 (負電圧方式)

メモリ素子	選択/非選択	ソース	ドレイン	ゲート
Q1, Q2	選択	5V	0V	-10V
Q3, Q4	非選択	5V	0V	0V

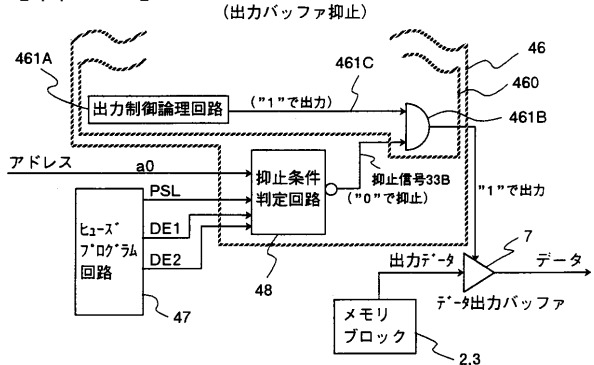
【図14】



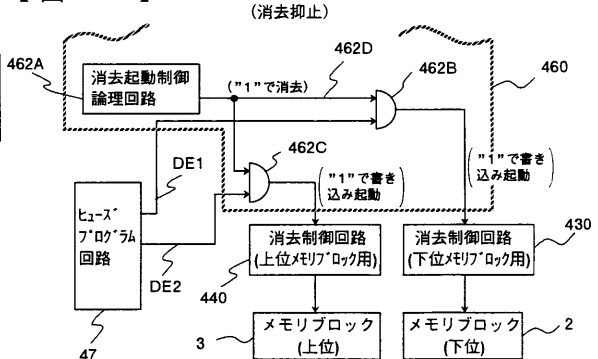
【図15】



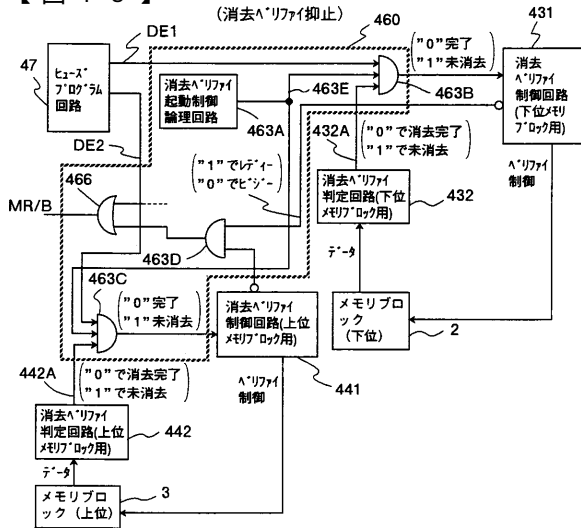
【図16】



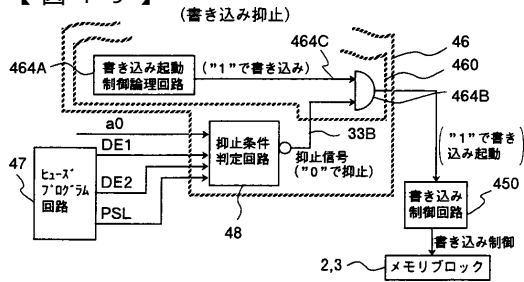
【図17】



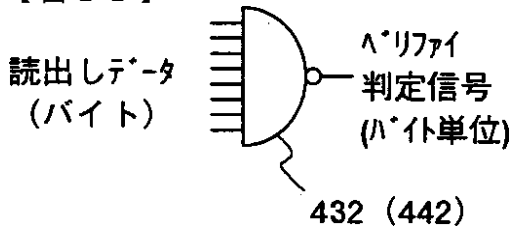
【図18】



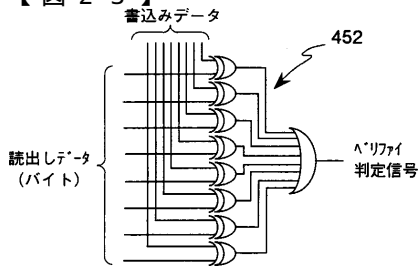
【図19】



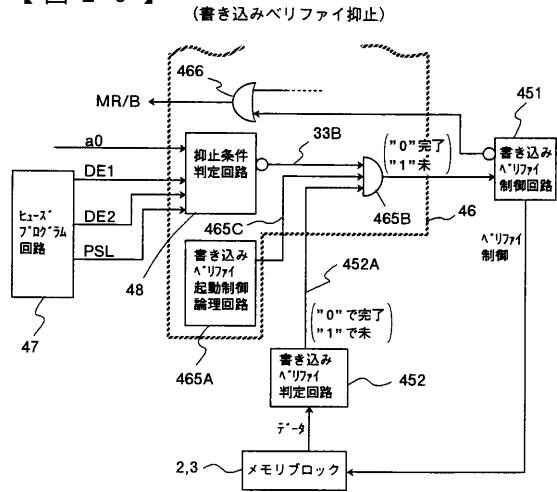
【図22】



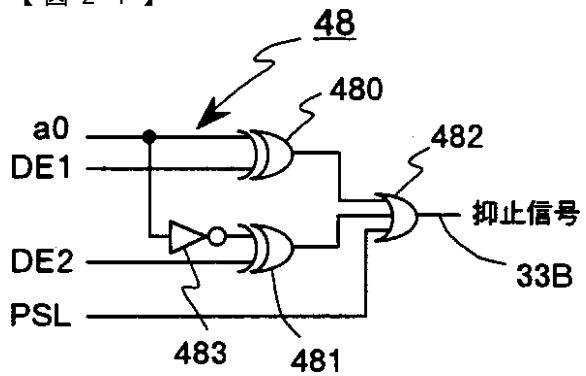
【図23】



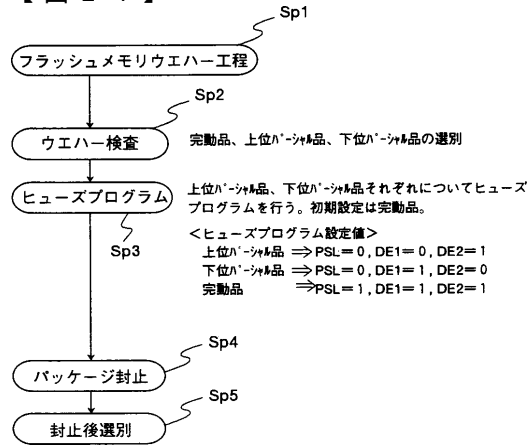
【図20】



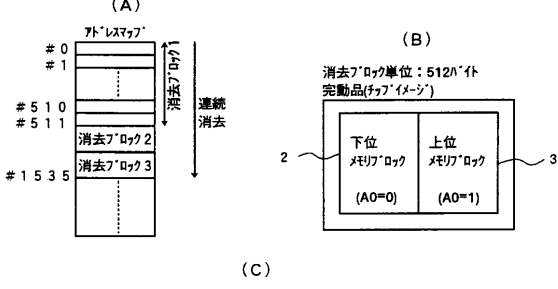
【図21】



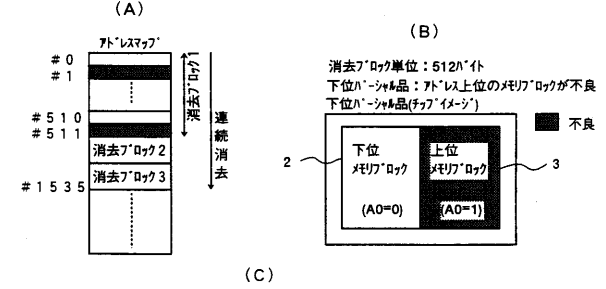
【図24】



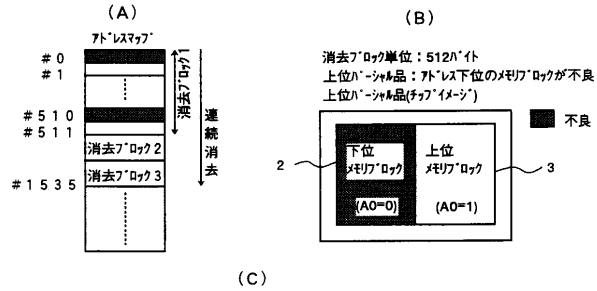
【図25】
完動品消去動作(連続7'ログ消去)



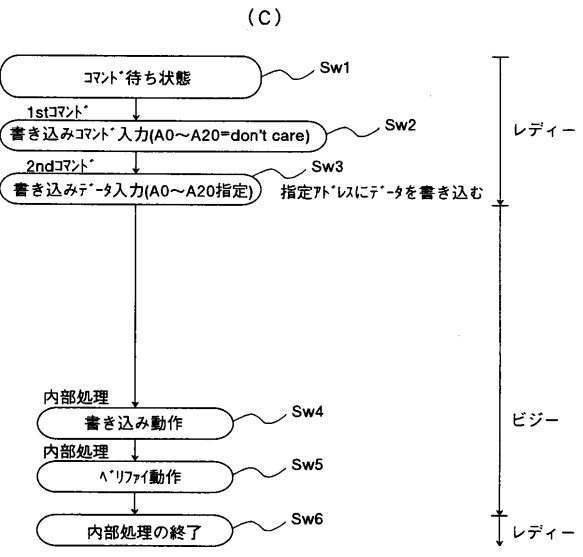
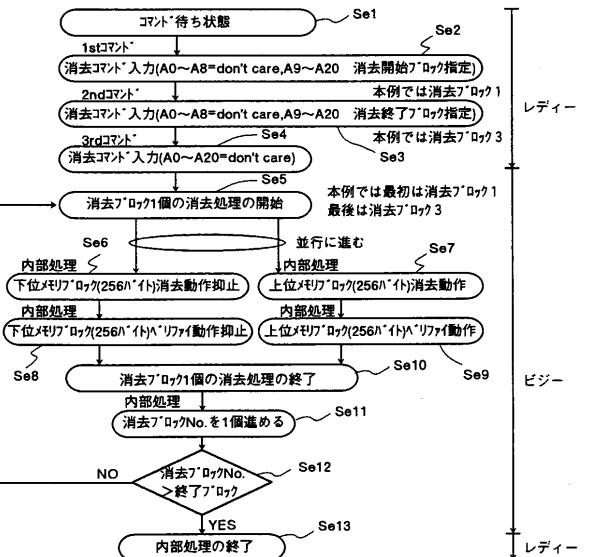
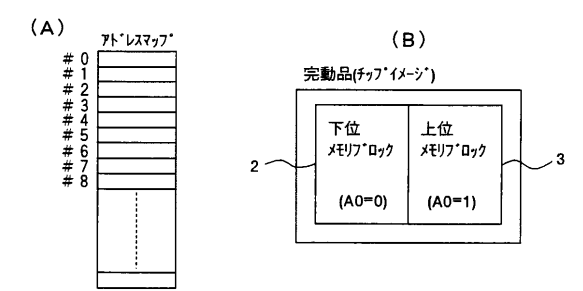
【図26】
下位メモリスラック品消去動作(連続7'ログ消去)



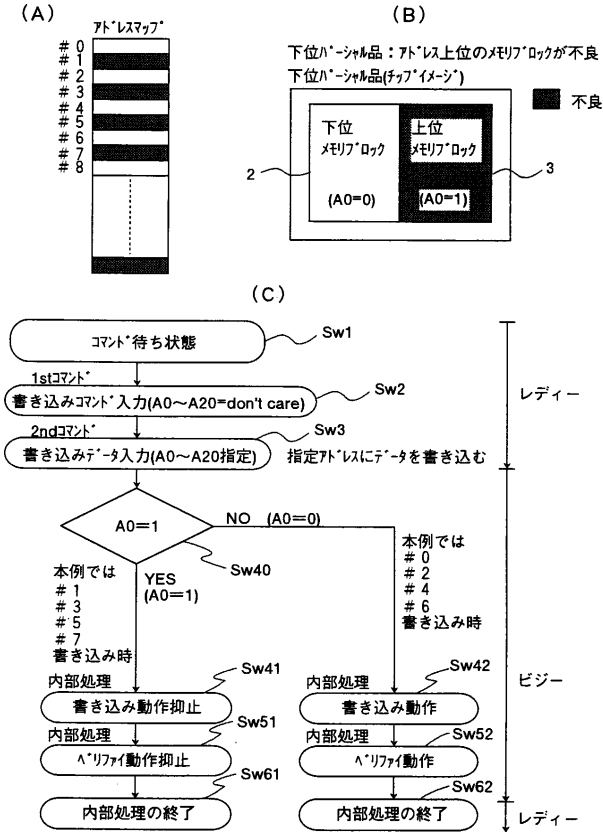
【図27】
上位メモリスラック品消去動作(連続7'ログ消去)



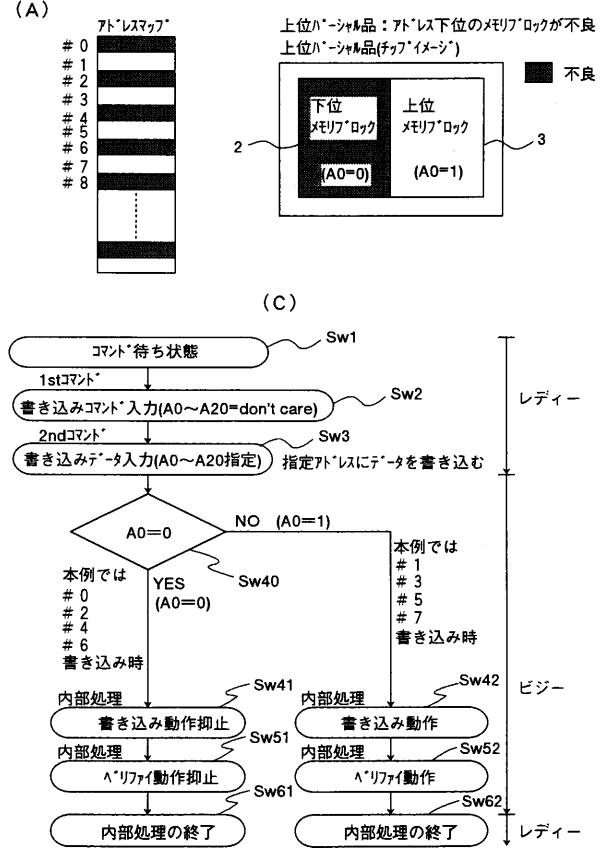
【図28】
完動品書き込み動作フロー



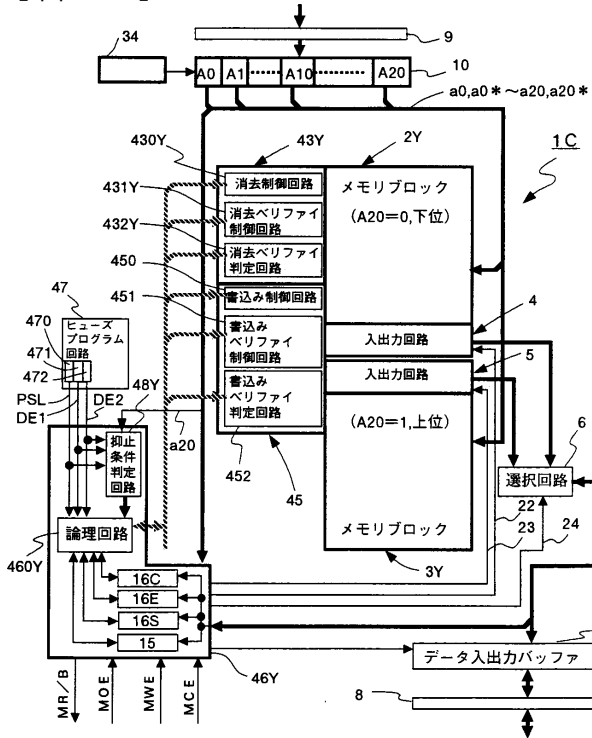
【図 29】 下位ハーフチップ書き込み動作フロー



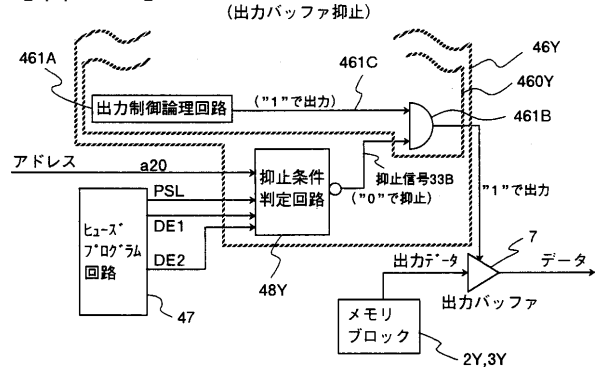
【図 30】 上位ハーフチップ書き込み動作フロー



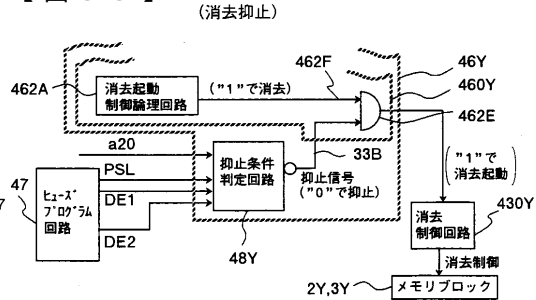
【図 31】



【図 32】

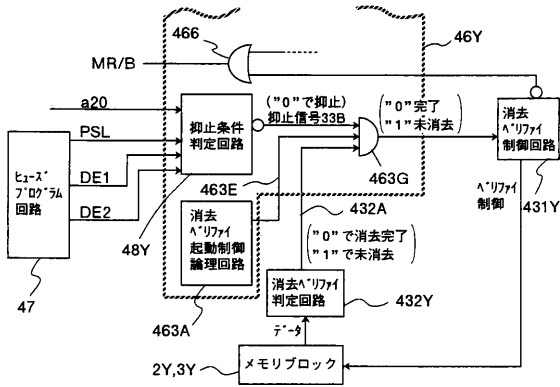


【図 33】



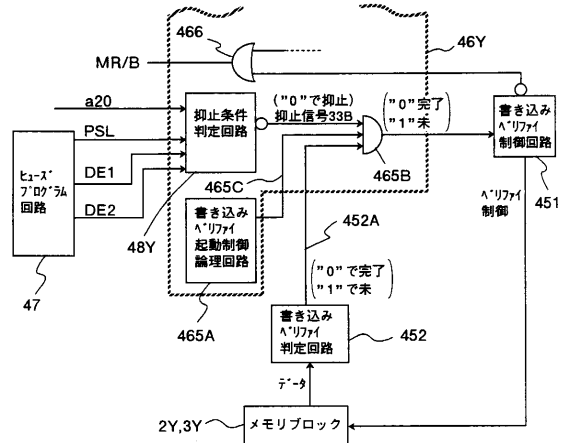
【図34】

(消去ベリファイ抑止)



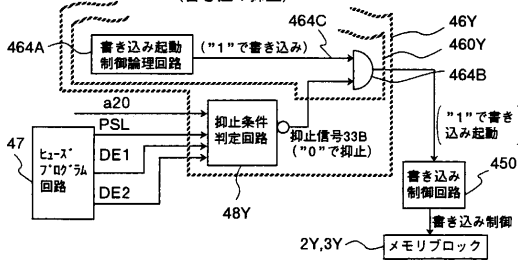
【図36】

(書き込みベリファイ抑止)



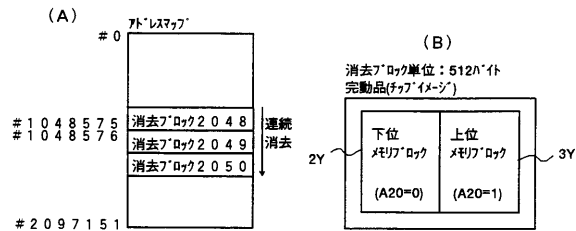
【図35】

(書き込み抑止)



【図37】

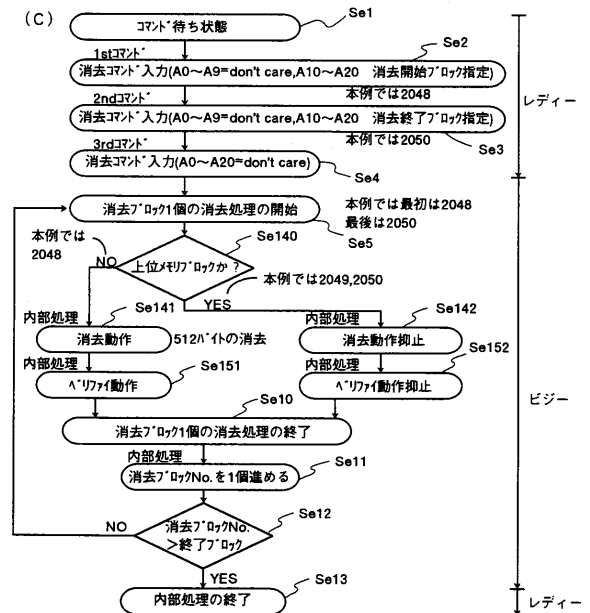
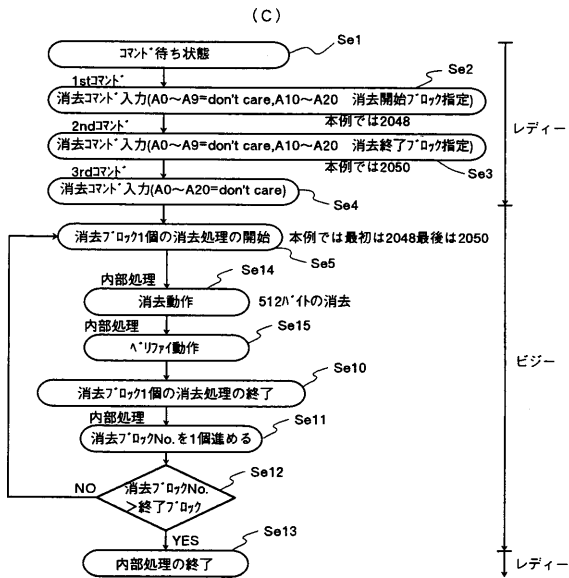
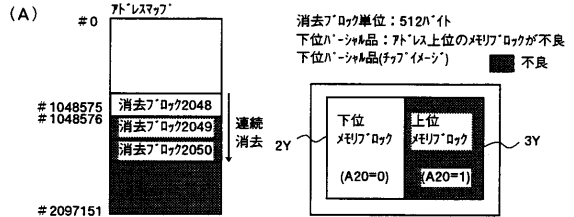
完動品消去動作(連続7'ログ消去)



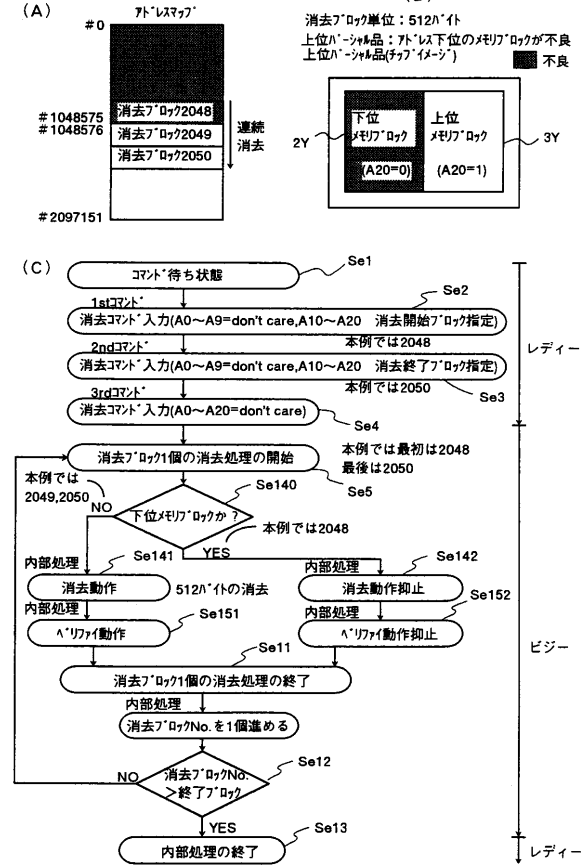
【図38】

下位メモリー消去動作(連続7'ログ消去)

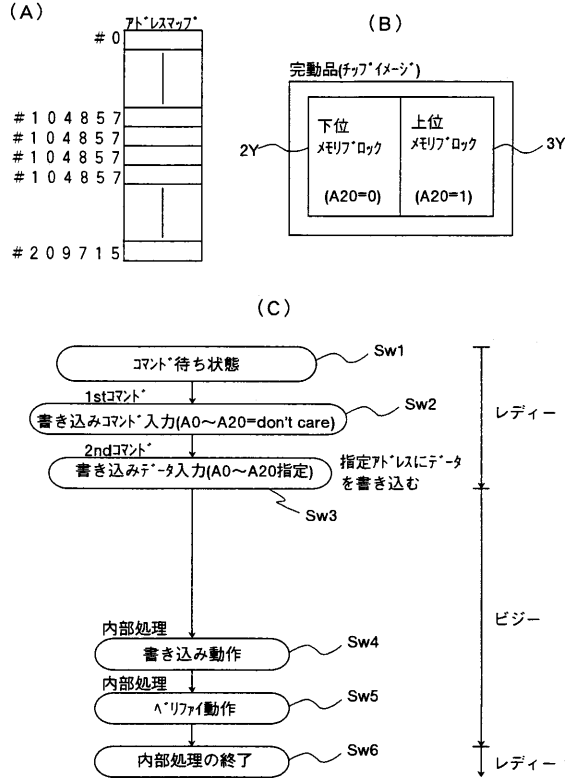
(B)



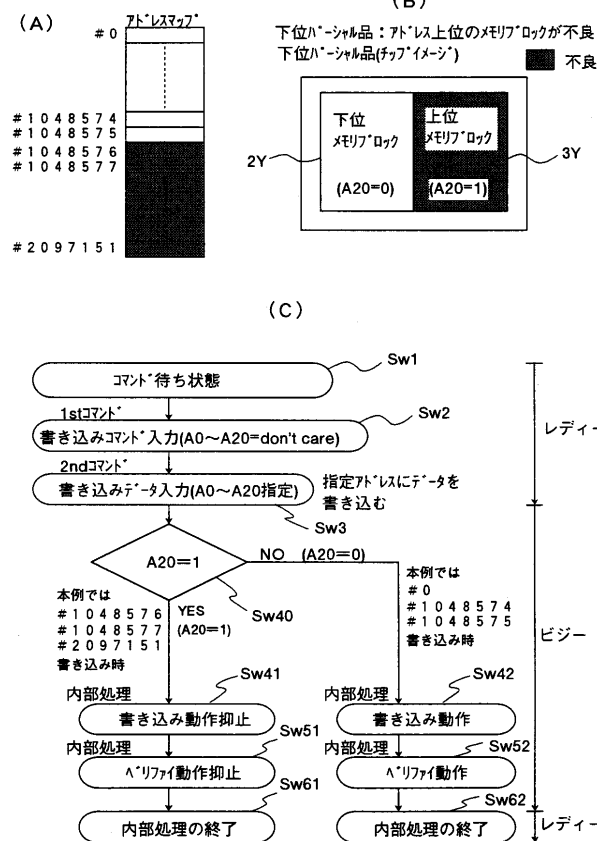
【図39】 上位ハ-ウェア品消去動作(連続7'ロック消去)



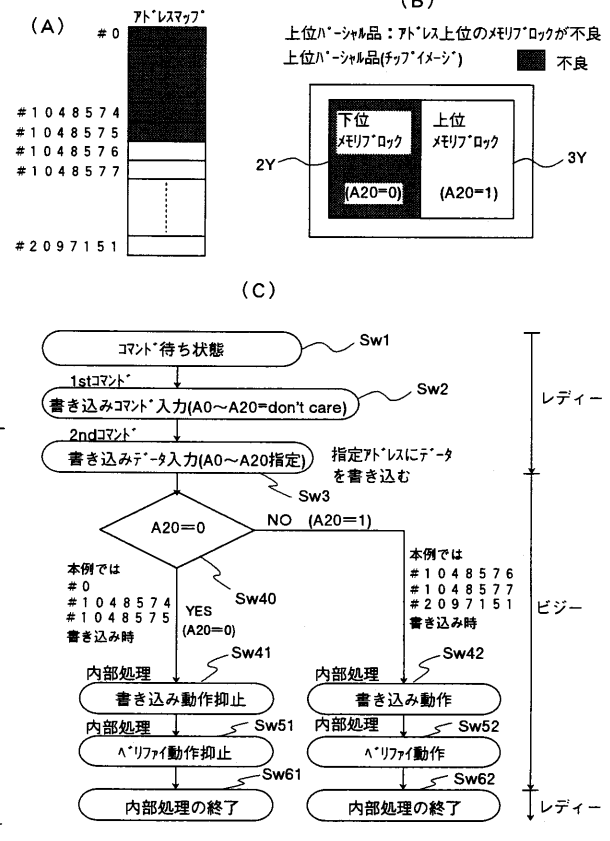
【図40】 完動品書き込み動作



【図41】 下位ハ-ウェア品書き込み動作



【図42】 上位ハ-ウェア品書き込み動作



フロントページの続き

審査官 滝谷 亮一

- (56)参考文献 特開平03 - 194798 (JP, A)
特開昭61 - 150200 (JP, A)
特開平08 - 007596 (JP, A)
特開平02 - 148499 (JP, A)
特開平04 - 313898 (JP, A)
特開平07 - 098998 (JP, A)
特開平05 - 217397 (JP, A)
特開平02 - 230444 (JP, A)
実開昭55 - 079500 (JP, U)

- (58)調査した分野(Int.Cl., DB名)
G11C 29/04