

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4388989号
(P4388989)

(45) 発行日 平成21年12月24日(2009.12.24)

(24) 登録日 平成21年10月9日(2009.10.9)

(51) Int.Cl. F I
 HO 1 L 25/065 (2006.01) HO 1 L 25/08 Z
 HO 1 L 25/07 (2006.01)
 HO 1 L 25/18 (2006.01)

請求項の数 4 (全 12 頁)

(21) 出願番号	特願2008-160559 (P2008-160559)	(73) 特許権者	503291439
(22) 出願日	平成20年6月19日(2008.6.19)		株式会社GENUSION
(62) 分割の表示	特願2005-336256 (P2005-336256) の分割		兵庫県尼崎市道意町7丁目1番3号 尼崎 リサーチ・インキュベーションセンター
原出願日	平成16年6月2日(2004.6.2)	(74) 代理人	110000408
(65) 公開番号	特開2008-219060 (P2008-219060A)		特許業務法人高橋・林アンドパートナーズ
(43) 公開日	平成20年9月18日(2008.9.18)	(72) 発明者	中島 盛義
審査請求日	平成20年6月20日(2008.6.20)		兵庫県尼崎市道意町7丁目1番3号尼崎リ サーチインキュベーションセンター 株式 会社GENUSION内
		(72) 発明者	小林 和男
			兵庫県尼崎市道意町7丁目1番3号尼崎リ サーチインキュベーションセンター 株式 会社GENUSION内

最終頁に続く

(54) 【発明の名称】 半導体チップマウント封止サブ基板

(57) 【特許請求の範囲】

【請求項1】

第1の半導体チップ(30)と、

上面及び下面を有し、前記下面には、前記第1の半導体チップ(30)が搭載されるとともに、前記第1の半導体チップ(30)と電氣的に接続され第1の辺に沿って列状に配列された複数の第1の電極(130)が形成され、前記上面には、前記第1の半導体チップ(30)の電極ピッチよりも大きいピッチでアレイ状に配列された複数の第2の電極(110)と、前記第1の辺と交差する第2の辺に沿って前記複数の第2の電極(110)よりも小さいピッチで列状に配列された複数の第3の電極(120)とが形成され、前記複数の第1の電極(130)と前記複数の第2の電極(110)と前記複数の第3の電極(120)とは電氣的に相互接続され、前記相互接続は前記複数の第2の電極(110)と前記複数の第3の電極(120)とを電氣的に接続する複数の第2の配線からなる第2層目の接続パターンと、前記複数の第2の電極がアレイ状に配列された領域内部で前記第2層目の接続パターンと相互接続されるとともに前記複数の第1の電極(130)と電氣的に接続された複数の第1の配線からなる第1層目の接続パターンとを含む多層配線によってなされたインターポザー(70)と、

前記インターポザー(70)の下面と前記第1の半導体チップ(30)とを前記複数の第2の電極(110)と前記複数の第3の電極(120)とを露出した状態で封止する樹脂と

からなることを特徴とし、前記複数の第2の電極(110)を用いてテストをすることを

可能とするとともに前記複数の第3の電極(120)を実装用電極として用いることを可能とした半導体チップマウント封止サブ基板(100)。

【請求項2】

請求項1記載の半導体チップマウント封止サブ基板(100)において、前記第2の電極(110)は円形状であり、前記第3の電極(130)は矩形形状であることを特徴とする半導体チップマウント封止サブ基板(100)。

【請求項3】

請求項1記載の半導体チップマウント封止サブ基板(100)において、前記第1の半導体チップ(30)と前記複数の第1の電極(130)との電気的接続はワイヤリングにてなされていること特徴とする半導体チップマウント封止サブ基板(100)。

10

【請求項4】

請求項1記載の半導体チップマウント封止サブ基板(100)において、さらに、前記半導体チップマウント封止サブ基板(100)は、前記第1の半導体チップ(30)に重ねて前記インターポーザー(70)の下面側に搭載された第2の半導体チップ(31)を含むことを特徴とする半導体チップマウント封止サブ基板(100)。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、半導体装置のパッケージ構造に関するものである。

20

【背景技術】

【0002】

移動体通信システムの端末装置(携帯電話機)などのように半導体装置を用いた電子機器において、その小型軽量化を図る上で半導体装置の高集積化を如何に高めるかは常に重要である。これまで半導体回路の微細化が順調に進んでいたときには可能な限りの回路を1チップ化して、実装面積の縮小化、高速化、消費電力の低減化というメリットを生かしてきた。ところが、半導体回路の微細化に伴う製造コストの急騰と設計開発期間の長期化という問題が顕在化してきた。

【0003】

そこで、複数の半導体チップを3次元実装するSIP(System in Package)技術が注目されている。例えば図13に示すように、パッケージ基板10の上に半導体ベアチップ30をマウントし、この半導体ベアチップ30の上にさらに別の半導体ベアチップ31をマウントし、これらの半導体ベアチップ30、31とパッケージ基板10との間をワイヤ60でワイヤボンディングしている(非特許文献1参照)。

30

【非特許文献1】日経エレクトロニクス2002, 2-11 no. 815 p108 「第1部 チップがダメならパッケージがある」

【発明の開示】

【発明が解決しようとする課題】

【0004】

上記のように複数の半導体チップを1つのパッケージに納めたSIPの良品率は、各半導体チップの良品率の相乗値となり、たとえば、良品率が8割の半導体チップを3個納めたSIPの場合、その良品率はほぼ5割(=0.8×0.8×0.8)に低下してしまうという問題点があった。特に、DRAMなどの低価格のチップの良品率のほうが、高価なCPUなどのロジック半導体チップの良品率よりも低いため、低価格の半導体チップの不良のために高価な半導体チップが無駄になってしまうという問題点があった。したがって、SIPに実装する半導体チップは、予め検査をすませて良品であることが確認された半導体チップ(検査済み良品チップ、KGD: Known-Good-Die)であることが強く望まれる。

40

【0005】

次に、KGDを取得する方法を説明する。まず、半導体ウェハの状態で個々の半導体チッ

50

プに所定のプローブ検査を行う。半導体ウェハをダイシング（切断）して半導体チップの個片に分離する。プローブ検査の結果に基づいて半導体チップを選別し、これにより、良品の半導体チップのみをバーンイン検査（以下、BTとする）等のスクリーニング検査を行う。この際、良品の半導体チップのみをBT用のチップトレイまたはキャリアソケットに収容し、KGD専用治具および専用装置を用いてチップ状態でのBTを行い、さらに、選別した後、BT用のチップトレイもしくは、キャリアソケットから半導体チップを取り出し、良品の半導体チップを出荷用のトレイに移し換えて梱包及び出荷を行っている。半導体チップ個片（ベアチップ）は、非常に薄く形成されているため、割れやすく、選別試験に使用されるソケットやプローブ、テスターの操作には非常に繊細な操作が要求されていた。

10

【0006】

この問題を解決するために、たとえば特開2002-40095に開示されているような方法がある。

【0007】

特開2002-40095に開示されている半導体装置は、半導体チップを樹脂封止してなる第一の樹脂封止パッケージの表面に形成された電極が前記半導体チップの電極に接続されると共に実装対象に接続される実装用領域と試験用機器を接続する試験用領域とが設けられてなることを特徴とする。特開2002-40095に開示されている半導体装置をSIPに適用した場合の例を図14に示し、これを参照して以下に説明する。

【0008】

20

図14に示すように、半導体パッケージ20は、パッケージ基板10に実装される際に、パッケージ基板10上の電極と接続されるリードフレームに半導体パッケージ21及び半導体パッケージ22が搭載されると共に、封止樹脂80によって樹脂封止される。このとき、半導体パッケージ21及び半導体パッケージ22は、それぞれ半導体ベアチップ30及び半導体ベアチップ31を内蔵し、かつ封止樹脂81によってそれぞれ樹脂封止されている。但し、特開2002-40095に開示されている半導体装置をSIPに適用するにあたっては、半導体パッケージ21の電極40は、半導体パッケージ21を載置している半導体パッケージ22の電極41にワイヤ60によって接続されている。また、半導体パッケージ22の電極41とリードフレームとがワイヤ61によって接続されている。このように、特開2002-40095に開示されている樹脂封止パッケージ（半導体パッケージ21および半導体パッケージ22）は従来のベアチップに比べて、樹脂封止されているがゆえに、その取り扱いが簡単になり、選別試験に使用されるソケットやプローブ、テスターの操作に要求される繊細度は減る、という効果がある。

30

【0009】

さらに、特開2002-40095では、電極を試験用領域と実装用領域とに分けることにより、実装時に選別試験で傷がついた前記電極を使用することがなくなる構成をとっている。この試験用電極と実装用電極に対しては、以下のような要求がある。

【0010】

まず、試験用電極に対しては、その電極ピッチを例えば、BGAタイプのパッケージでは、0.8mm程度にする。このレベルの電極ピッチが実現できれば、選別試験に使用されるソケットやプローブ、テスターの操作に要求される繊細度はCSPを測定するレベルでよくなる。一方、実装用電極に対しては、その電極ピッチを通常のベアチップの電極ピッチと同等にすることで、その有用性を発揮する。このピッチは例えば、130um程度である。このレベルの電極ピッチが実現できれば、アセンブリ装置等は特に変更する必要なく使用できる。

40

【0011】

上記のような、実装用の狭いピッチでも配線できるようにするために、ガラス基材を用いたインターポーザーを使った方法が特開2003-249606に開示されている。しかし、試験用電極配置と実装用電極配置とにそれぞれ自由度をもたせるには、単に狭いピッチで配線できるだけでは限界があり、任意の試験用電極配置と実装用電極配置とが実現で

50

きないという問題があった。

【 0 0 1 2 】

一方、半導体チップのパッド電極を任意の電気接続部に対して接続できる配線方法を提供したものに特開 2 0 0 1 - 1 9 6 5 2 9 がある。特開 2 0 0 1 - 1 9 6 5 2 9 に開示される配線手法を図 1 5 に示す。図 1 5 では、半導体ベアチップ 3 0 の矢印 Y - Y ' 方向に伸びる縁部近傍に配置されたパッド電極とパッケージ基板 1 0 において矢印 X - X ' 方向に伸びる縁部近傍に配置されたパッド電極とを半導体ベアチップ 3 1 の内部配線を介して接続している。

【 0 0 1 3 】

以上のごとく S I P を実現するのであるが、複数チップを 3 次元に積層するチップ・オン・チップを実現するには、積層するチップに隙間を設ける必要がある。この隙間は、半導体素子の放熱を行う働きや、実装の際の半導体素子の保護の働きをする。また、この隙間は、積層するチップのサイズが同じ、あるいは、ほぼ同じの場合、それらのチップを直接積層すると、下側のチップのボンディングパッド部分がかくれてワイヤボンディングができなくなることを防ぐ働きもする。この積層するチップ間に隙間を設ける手段をスペーサーと呼ぶ。

【課題を解決するための手段】

【 0 0 1 4 】

この発明は、複数の半導体チップを搭載する基板状またはフレーム状の基材と、前記基材に搭載した複数の半導体チップとを備えた半導体装置のパッケージ構造において、マウントすべき半導体チップの端子を接続する内部電極と、実装時に他の部品に接続される実装用電極と、試験時に試験装置の端子が接続される試験用電極と、前記内部電極と前記実装用電極および前記試験用電極とを電気的に接続する多層配線とを形成したサブ基板に半導体チップがマウントされてなる半導体チップマウントサブ基板を備え、前記半導体チップマウントサブ基板を他の半導体チップとともに前記基材に搭載し、これらの半導体チップマウントサブ基板と他の半導体チップを前記基材とともに樹脂封止したことを特徴としている。

【 0 0 1 5 】

また、この発明は、前記半導体チップマウントサブ基板は、前記基材に対する前記樹脂封止とは別に前記半導体チップマウントサブ基板とともに前記半導体チップマウントサブ基板に搭載した一つ以上の半導体チップを樹脂封止して成るとことを特徴としている。

【 0 0 1 6 】

また、この発明は、前記半導体チップマウントサブ基板とともに前記半導体チップマウントサブ基板に搭載した一つ以上の半導体チップを樹脂封止して成る前記半導体チップマウントサブ基板において、樹脂封止部分に突起を設けて成ることを特徴としている。

【 0 0 1 7 】

また、この発明は、前記半導体チップマウントサブ基板に、突起を設けて成ることを特徴としている。

【 0 0 1 8 】

また、この発明は、前記半導体チップマウントサブ基板の、前記実装用電極の配列ピッチと、前記試験用電極の配列ピッチとが異なることを特徴としている。

【 0 0 1 9 】

また、この発明は、前記半導体チップマウントサブ基板とは別に、複数の電極と、前記電極を電気的に接続する多層配線とを形成したサブ基板を具備してなることを特徴としている。

【発明の効果】

【 0 0 2 0 】

この発明によれば、半導体チップマウントサブ基板は、内部電極と、実装用電極と、試験用電極をそれぞれ設けて成り、前記半導体チップマウントサブ基板をテストするときには、試験用電極を用いることで、従来のソケット方式でテストができ、テスト費用の削減が

10

20

30

40

50

図れるとともに、前記半導体チップマウントサブ基板を実装するときには、実装用電極を用いることで、従来の実装装置が使用でき、実装費用の削減が図れる。さらに、前記内部電極と、前記実装用電極と、前記試験用電極との相互接続を多層配線で実現することで、内部電極の配置と、試験用電極の配置と、実装用電極の配置とがそれぞれ任意に設定でき、様々なパッド配置の半導体チップに対して、テスト方式に適した試験用電極の配置と、実装条件に適した実装用電極の配置とがそれぞれ選択できる。

【0021】

また、この発明によれば、前記半導体チップマウントサブ基板の樹脂封止と、前記樹脂封止後の半導体チップマウントサブ基板と他の半導体チップと前記基材との樹脂封止を別に行うことにより、前記樹脂封止後の半導体チップマウントサブ基板の取り扱いがさらに簡単になり、テスト装置に要求される繊細度を低減でき、ひいてはテスト費用の削減が図れる。

10

【0022】

また、この発明によれば、前記半導体チップマウントサブ基板の樹脂封止部分に突起を設けることにより、前記突起をスペーサーとして利用することができるので、スペーサー挿入工程の省略が図れる。

【0023】

また、この発明によれば、前記半導体チップマウントサブ基板に突起を設けることにより、前記突起をスペーサーとして利用することができるので、スペーサー挿入工程の省略が図れる。

20

【0024】

また、この発明によれば、前記半導体チップマウントサブ基板の、前記実装用電極の配列ピッチと、前記試験用電極の配列ピッチとを異なるように設定することで、テスト方式に適した試験用電極の配列ピッチと、実装条件に適した実装用電極の配列ピッチとがそれぞれ選択できる。

【0025】

また、この発明によれば、前記半導体チップマウントサブ基板とは別に、複数の電極と、前記電極を電気的に接続する多層配線とを形成したサブ基板を具備することで、ワイヤで接続可能な範囲を超えて、半導体チップと基材との電気的接続が実現できる。

【発明を実施するための最良の形態】

30

【0026】

図1は本発明に係る半導体チップマウント封止サブ基板100の構造を示したものである。図2は、図1の断面図である。インターポザー70に対して半導体ベアチップ30をマウントし、その下に、スペーサー90を積層し、さらにその下に半導体ベアチップ31を積層している。この半導体チップマウントサブ基板50を樹脂封止したものが半導体チップマウント封止サブ基板100である。

【0027】

図3は図2に示したインターポザー70の上面図であり、試験用電極110と実装用電極120とをその表面に配備している。試験用電極110は、例えば、 14×14 のアレイ状に配備し、 0.8mm ピッチである。これはCSPチップの電極ピッチと同じレベルである。したがって、これらの試験用電極に対する測定は、従来のソケット方式でのテストが可能になる。実装用電極120は、例えば、片側に96個ずつ配備され、 $130\mu\text{m}$ ピッチである。これは、ベアチップの電極ピッチと同じレベルである。したがって、これらの実装用電極120からリードフレームへのワイヤリングは従来装置を用いて実施できる。

40

【0028】

図4は図2に示したインターポザー70の下面図である。このインターポザー70上に配備する半導体ベアチップ30から内部電極130へワイヤリングを行う。内部電極130は、例えば、片側に36個ずつ配備され、 $160\mu\text{m}$ ピッチである。

【0029】

50

内部電極 130 と試験用電極 110 と実装用電極 120 との相互接続はインターポーザー 70 の内部配線で実現する。内部電極 130 と試験用電極 110 とを相互接続する第 1 層目の接続パターンを図 5 に示す。試験用電極 110 と実装用電極 120 とを相互接続する第 2 層目の接続パターンを図 6 に示す。2 層を用いることで内部電極群、試験用電極群、実装用電極群を基板の面積を増加することなしに、相互の接続を実現している。このように、インターポーザー内の配線を多層にすることで、任意の試験用電極配置と実装用電極配置とが実現できる。

【0030】

インターポーザー内の配線を多層にすることで、任意の電極の接続が実現できることを、特開 2001-196529 の着想に応用したものが、図 7 である。図 7 の半導体ベアチップ 30 が図 15 の半導体ベアチップ 30 に相当し、図 7 のインターポーザー 70 が図 15 の半導体ベアチップ 31 の役割を受け持っている。すなわち、インターポーザー 70 の内部配線が半導体ベアチップ 30 からワイヤで接続可能な範囲を超えてパッケージ基板 10 への電氣的接続を可能にしている。

10

【0031】

半導体チップマウント封止サブ基板 100 と半導体ベアチップ 34 とを S I P 化した場合の例を図 8 に示す。この場合、半導体チップマウント封止サブ基板 100 が半導体ベアチップ 34 とほぼ同じ大きさなので、下チップのボンディングパッド部がかくれないう、スペーサー 90 を半導体チップマウント封止サブ基板 100 と半導体ベアチップ 34 との間に挿入している。

20

【0032】

図 8 ではスペーサー 90 を用いていたが、半導体チップマウント封止サブ基板 100 にスペーサーの役割を果たす突起を備えることもできる。半導体チップマウント封止サブ基板 100 に突起を具備したものを図 9 に示す。この突起はモールド金型を所望の形状にすることで実現できる。この突起を半導体ベアチップ 32 上に接着し、半導体ベアチップ 32 からのワイヤリングスペースと半導体ベアチップ 31 からのワイヤリングスペースとを確保している。

【0033】

図 10 に、図 9 と同様に半導体チップマウント封止サブ基板 100 に突起を備えた、別の実施例を示す。図 9 では、半導体チップマウント封止サブ基板に設けた突起を半導体ベアチップ 32 上に接着しているが、図 10 では、半導体チップマウント封止サブ基板 100 に設けた突起をパッケージ基板 10 上に接着している。この半導体チップマウント封止サブ基板 100 とパッケージ基板 10 との間に形成される空間に半導体ベアチップ 31 と 32 とを配備し、ワイヤリングを可能にしている。

30

【0034】

図 11 は、半導体チップマウントサブ基板 50 をパッケージ基板 10 上にスペーサー 90 を介して積層したものである。半導体チップマウントサブ基板 50 には、あらかじめ半導体ベアチップ 34 をマウントしている。この半導体チップマウントサブ基板 50 以外に、半導体ベアチップ 32 と半導体ベアチップ 33 とを積層配置した後、一括して樹脂封止を行っている。

40

【0035】

図 11 の半導体チップマウントサブ基板 50 は、スペーサー 90 を介して積層しているが、インターポーザー 70 に突起を具備し、これにスペーサーの役割をさせてもよい。インターポーザー 70 に突起を設けた構造を図 12 に示す。この場合でも封止は一括で行うことが可能である。

【図面の簡単な説明】

【0036】

【図 1】本発明に係る半導体チップマウント封止サブ基板の外観図。

【図 2】図 1 の半導体チップマウント封止サブ基板の断面図。

【図 3】図 2 に示したインターポーザー 70 の上面図。

50

【図４】図２に示したインターポージャー７０の下面図。

【図５】内部電極１３０と試験用電極１１０とを相互接続するインターポージャー７０内の第１層目の接続パターン。

【図６】試験用電極１１０と実装用電極１２０とを相互接続するインターポージャー７０内の第２層目の接続パターン。

【図７】本発明に係る、インターポージャー７０の内部配線により、半導体ベアチップ３０からワイヤで接続可能な範囲を超えてパッケージ基板１０への電氣的接続を可能にしている例。

【図８】本発明に係る、半導体チップマウント封止サブ基板１００と半導体ベアチップ３４とをＳＩＰ化した場合の例。

10

【図９】本発明に係る、突起を具備した半導体チップマウント封止サブ基板１００と半導体ベアチップ３１、３２とをＳＩＰ化した場合の例。

【図１０】本発明に係る、突起を具備した半導体チップマウント封止サブ基板１００と半導体ベアチップ３１、３２とをＳＩＰ化した場合の例。

【図１１】本発明に係る、半導体チップマウントサブ基板５０をパッケージ基板１０上にスペーサー９０を介して積層し、半導体ベアチップ３２、３３とともに一括して樹脂封止した場合の例。

【図１２】本発明に係る、突起を具備したインターポージャー７０を持つ半導体チップマウントサブ基板５０をパッケージ基板１０上に積層し、半導体ベアチップ３２、３３とともに一括して樹脂封止した場合の例。

20

【図１３】従来のＳＩＰの例。

【図１４】従来のＳＩＰの例。

【図１５】従来のＳＩＰの例。

【符号の説明】

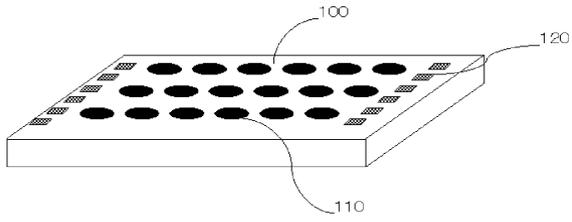
【００３７】

- １０ パッケージ基板
- ２０ 半導体パッケージ
- ２１ 半導体パッケージ
- ２２ 半導体パッケージ
- ３０ 半導体ベアチップ
- ３１ 半導体ベアチップ
- ３２ 半導体ベアチップ
- ３３ 半導体ベアチップ
- ３４ 半導体ベアチップ
- ４０ 電極
- ４１ 電極
- ５０ 半導体チップマウントサブ基板
- ６０ ワイヤ
- ６１ ワイヤ
- ７０ インターポージャー
- ８０ 封止樹脂
- ８１ 封止樹脂
- ９０ スペーサー
- １００ 半導体チップマウント封止サブ基板
- １１０ 試験用電極
- １２０ 実装用電極
- １３０ 内部電極

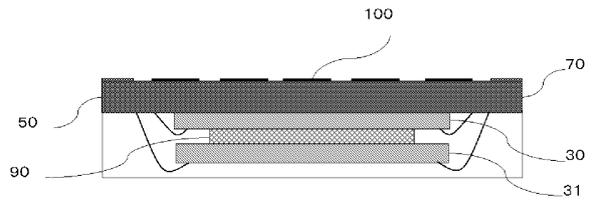
30

40

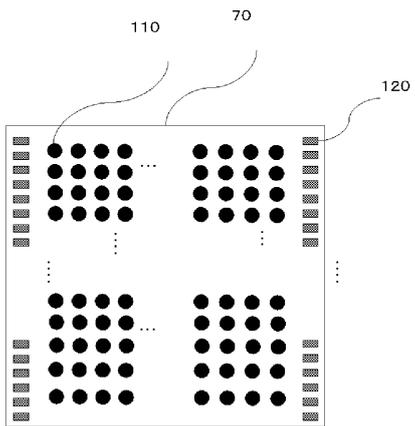
【図 1】



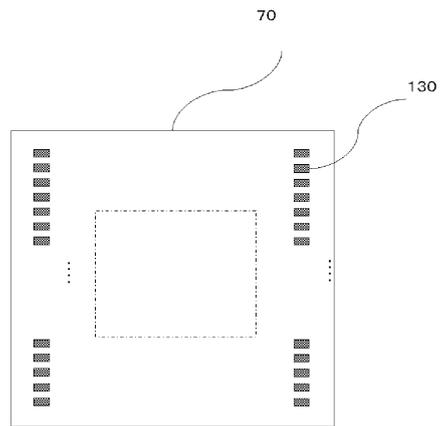
【図 2】



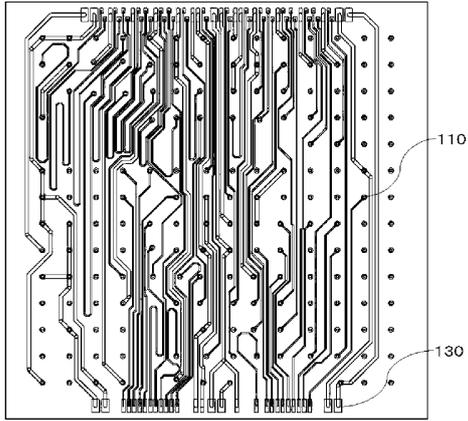
【図 3】



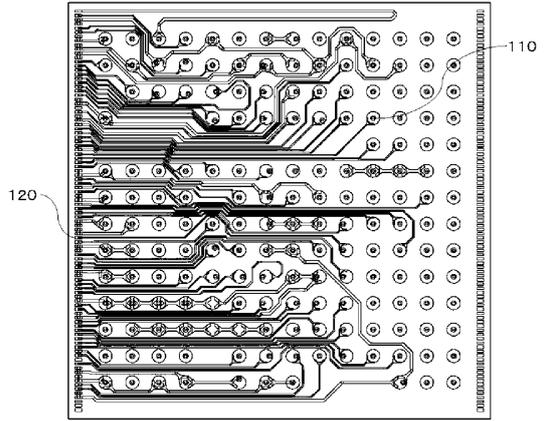
【図 4】



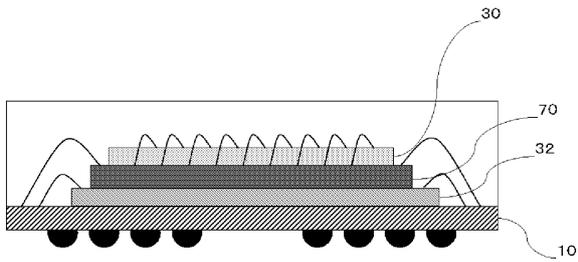
【図5】



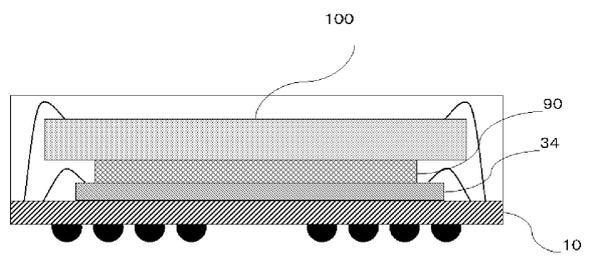
【図6】



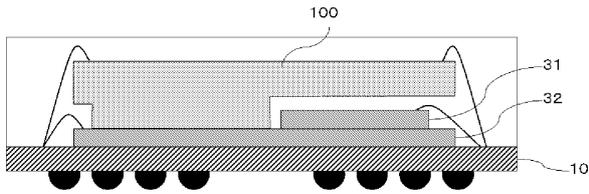
【図7】



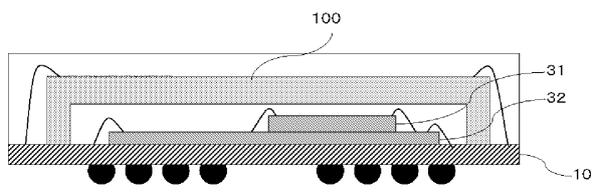
【図8】



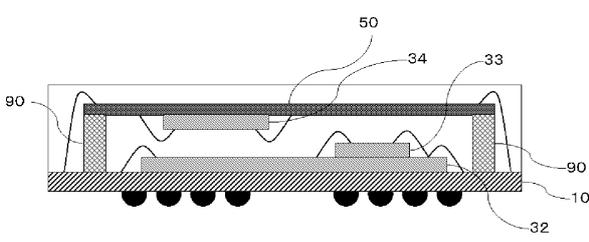
【図 9】



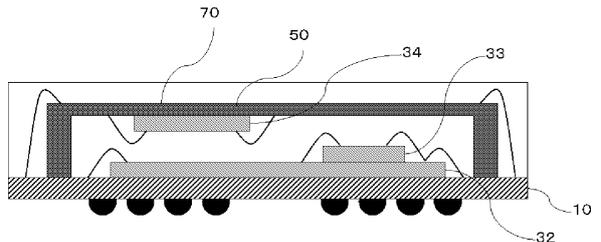
【図 10】



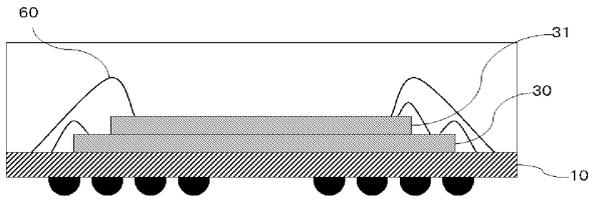
【図 11】



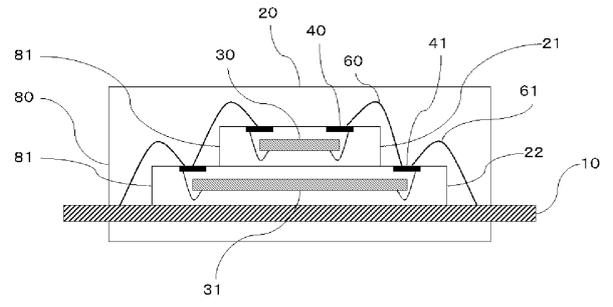
【図 12】



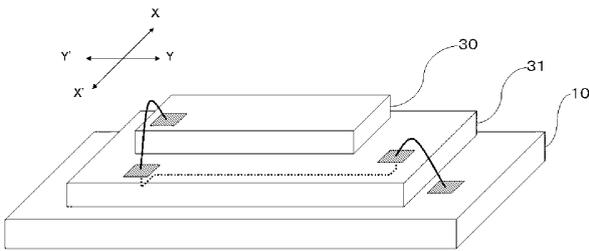
【図 13】



【図 14】



【図 15】



フロントページの続き

(72)発明者 味香 夏夫

兵庫県尼崎市道意町7丁目1番3号尼崎リサーチインキュベーションセンター 株式会社GENUSION内

審査官 今井 拓也

(56)参考文献 特開2002-083897(JP,A)

国際公開第2004/034433(WO,A1)

特開2002-141459(JP,A)

特開2006-080564(JP,A)

特開2005-347470(JP,A)

特開2005-209882(JP,A)

特開2002-040095(JP,A)

(社)ハイブリッドマイクロエレクトロニクス協会編,エレクトロニクス実装技術基礎講座<第1巻> 総論,1998年 7月 1日,p.26-28

(58)調査した分野(Int.Cl.,DB名)

H01L 25/065

H01L 25/07

H01L 25/18