

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5582102号
(P5582102)

(45) 発行日 平成26年9月3日(2014.9.3)

(24) 登録日 平成26年7月25日(2014.7.25)

(51) Int.Cl.	F I	
HO 1 L 29/78 (2006.01)	HO 1 L 29/78	6 5 7 D
HO 1 L 27/04 (2006.01)	HO 1 L 29/78	6 5 5 F
HO 1 L 29/739 (2006.01)	HO 1 L 29/78	6 5 3 A
	HO 1 L 29/78	6 5 2 S

請求項の数 17 (全 39 頁)

(21) 出願番号	特願2011-139567 (P2011-139567)	(73) 特許権者	000004260 株式会社デンソー
(22) 出願日	平成23年6月23日(2011.6.23)		愛知県刈谷市昭和町1丁目1番地
(65) 公開番号	特開2012-33897 (P2012-33897A)	(74) 代理人	110001128 特許業務法人ゆうあい特許事務所
(43) 公開日	平成24年2月16日(2012.2.16)		
審査請求日	平成24年6月11日(2012.6.11)	(72) 発明者	田邊 広光 愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内
(31) 優先権主張番号	特願2010-151235 (P2010-151235)	(72) 発明者	河野 憲司 愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内
(32) 優先日	平成22年7月1日(2010.7.1)	(72) 発明者	都築 幸夫 愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

セル領域に縦型の絶縁ゲート型バイポーラトランジスタ(100)が備えられると共に、該セル領域における前記絶縁ゲート型バイポーラトランジスタ(100)を囲むようにフリーホイールダイオード(200)が備えられ、さらに前記セル領域を囲む外周耐压構造が形成された外周領域が備えられる半導体装置であって、

第1導電型のドリフト層(1)と、

前記セル領域および前記外周領域において、前記第1導電型のドリフト層(1)の裏面側に配置された第2導電型のコレクタ領域(2)と、

前記セル領域において、前記第1導電型のドリフト層(1)の裏面側における前記コレクタ領域(2)が配置されていない領域に配置された第1導電型のカソード領域(3)と

10

、前記ドリフト層(1)の表面側の表層部において、前記セル領域のうち前記絶縁ゲート型バイポーラトランジスタ(100)が備えられる領域および前記フリーホイールダイオード(200)が備えられる領域に形成された第2導電型のベース領域(4)と、

前記ベース領域(4)の表層部に形成された第1導電型のエミッタ領域(5)と、

前記エミッタ領域(5)と前記ドリフト層(1)の間における前記ベース領域(4)の表面に形成されたゲート絶縁膜(7)と、

前記ゲート絶縁膜(7)の上に形成されたゲート電極(8)と、

前記ドリフト層(1)の表面側の表層部において、前記セル領域のうち前記フリーホイ

20

ールダイオード(200)が備えられる領域に形成され、前記ベース領域(4)の外周を囲みつつ、前記ベース領域(4)と接続され、前記ベース領域(4)よりも高不純物濃度で深くされた第2導電型のディープウェル層(13)と、

前記エミッタ領域(5)と前記ベース領域(4)および前記ディープウェル層(13)と電氣的に接続された上部電極(10)と、

前記コレクタ領域(2)および前記カソード領域(3)に電氣的に接続された下部電極(12)とを有し、

前記ディープウェル層(13)の外周側端部を前記ドリフト層(1)の裏面側に投影した位置より前記カソード領域(3)と前記コレクタ領域(2)との境界部までの距離をW1、前記ベース領域(4)のうち前記絶縁ゲート型バイポーラトランジスタ(100)と前記フリーホールダイオード(200)との境界部から前記ディープウェル層(13)の外周側端部までの距離をW2、前記ディープウェル層(13)と前記ベース領域(4)との境界部を裏面側に投影した位置より前記カソード領域(3)と前記コレクタ領域(2)との境界部までの距離をW3、前記ドリフト層(1)の厚みをL1、前記ドリフト層(1)内でのキャリアの拡散係数をD、キャリアのライフタイムをτ、前記絶縁ゲート型バイポーラトランジスタ(100)および前記フリーホールダイオード(200)の構造に基づいて決まる第1パラメータをk1、前記ディープウェル層(13)の構造に基づいて決まる第2パラメータをk2、前記ディープウェル層(13)と前記ドリフト層(1)の間のビルトインポテンシャル(VAK(th))に対するスナップバック電圧(VSB)の比に対して前記第1パラメータk1を掛けた値(k1・VSB/VAK(th))をKとすると、

距離W1と距離W2および距離W3は、

$$W3 = ((k2 \cdot (D \tau)^{1/2})^2 - L1^2)^{1/2}$$

かつ、

$$W2 = L1 / K^{1/2}$$

ただし、K = 2.5

かつ

$$W2 - W1 = 10 \mu m$$

を満たす値とされていることを特徴とする半導体装置。

【請求項2】

前記距離W3、W2、W1は、

$$W3 = ((k2 \cdot (D \tau)^{1/2})^2 - L1^2)^{1/2}$$

かつ

$$W2 = L1 / K^{1/2}$$

かつ

$$W2 - W1 = 10 \mu m$$

であることを特徴とする請求項1に記載の半導体装置。

【請求項3】

前記ゲート電極(8)が一方向を長手方向として延設されたゲート構造とされ、
前記ゲート構造の長手方向の先端位置においても、

前記距離W1と前記距離W2および前記距離W3は、

$$W3 = ((k2 \cdot (D \tau)^{1/2})^2 - L1^2)^{1/2}$$

かつ、

$$W2 = L1 / K^{1/2}$$

ただし、K = 2.5

かつ

$$W2 - W1 = 10 \mu m$$

を満たす値とされていることを特徴とする請求項1または2に記載の半導体装置。

【請求項4】

前記複数のゲート構造の間の一部において、前記エミッタ領域(5)が形成されない部

10

20

30

40

50

分を備えることにより、前記エミッタ領域(5)が形成されていて前記絶縁ゲート型バイポーラトランジスタ(100)として動作する部分を含む第1の領域と、前記エミッタ領域(5)が形成されない部分を含み、かつ、当該部分が前記フリーホイールダイオード(200)として動作する第2の領域とを構成し、前記絶縁ゲート型バイポーラトランジスタ(100)を囲む前記フリーホイールダイオード(200)が備えられ部分を第3の領域として、

前記第1の領域および前記第2の領域は、前記ゲート構造と同方向が長手方向とされ、前記第3の領域に加えて前記第2の領域にも前記フリーホイールダイオード(200)を備えた構成とすることを特徴とする請求項3に記載の半導体装置。

【請求項5】

前記エミッタ領域(5)が形成されない部分の幅が20 μ m以上とされていることを特徴とする請求項4に記載の半導体装置。

【請求項6】

前記カソード領域(3)は、前記第1の領域の長手方向と同方向を長手方向として形成されていると共に、前記第1の領域の長手方向先端部よりも突き出して配置されており、該長手方向において分割されていることを特徴とする請求項4または5に記載の半導体装置。

【請求項7】

前記第1の領域は長手方向において複数に分割されていることを特徴とする請求項4または5に記載の半導体装置。

【請求項8】

分割された前記第1の領域の間の領域に前記ベース領域(4)のみが形成されることで、当該領域にもフリーホイールダイオード(200)が構成されていることを特徴とする請求項7に記載の半導体装置。

【請求項9】

前記カソード領域(3)は、前記第1の領域の長手方向と同方向を長手方向として形成されており、

前記第1の領域の長手方向先端部の方が前記カソード領域(3)の長手方向先端部よりも突き出して配置されていることを特徴とする請求項7または8に記載の半導体装置。

【請求項10】

前記分割された前記第1の領域の間の距離(W、B2)が前記距離W2の2倍以上とされていることを特徴とする請求項7ないし9のいずれか1つに記載の半導体装置。

【請求項11】

前記第1の領域は、さらに長手方向において複数箇所分割されており、複数箇所分割された当該第1の領域の間の領域に前記エミッタ領域(5)が形成されないことで、当該領域にもフリーホイールダイオード(200)が構成され、

前記カソード領域(3)は、複数箇所分割された前記第1の領域の間の領域と対応する位置において前記第1の領域と対応する位置よりも幅広とされていることを特徴とする請求項7ないし10のいずれか1つに記載の半導体装置。

【請求項12】

前記第1の領域は複数本並べて配置され、隣り合う当該第1の領域のうち対向する辺の一部が凹まされ、該凹まされた領域にもフリーホイールダイオード(200)が構成されていることを特徴とする請求項4または5に記載の半導体装置。

【請求項13】

前記カソード領域(3)は、前記第1の領域の長手方向と同方向を長手方向として形成されており、

前記第1の領域の一部が凹まされた領域に設けられた前記フリーホイールダイオード(200)と対向して、当該凹まされた領域に設けられた前記フリーホイールダイオード(200)の幅に合わせて前記カソード領域(3)が形成されていることを特徴とする請求項12に記載の半導体装置。

10

20

30

40

50

【請求項 14】

前記カソード領域(3)は、前記第2の領域と対応する場所に形成された領域(3a)と、該第2の領域と対応する場所に形成された領域(3a)よりも幅が狭く、かつ、前記第1の領域と対応する場所に形成された領域(3b)とを有していることを特徴とする請求項4ないし13のいずれか1つに記載の半導体装置。

【請求項 15】

前記ドリフト層(1)の裏面側において、前記セル領域の外縁部には、前記コレクタ領域(2)および前記カソード領域(3)が混在する混在領域(15)が備えられていることを特徴とする請求項1ないし14のいずれか1つに記載の半導体装置。

【請求項 16】

前記セル領域および前記外周領域において、前記第1導電型のドリフト層(1)の裏面側に配置され、前記ドリフト層(1)よりも高不純物濃度とされた第1導電型のフィールドストップ層(1a)を有し、

前記コレクタ領域(2)および前記カソード領域(3)は、前記ドリフト層(1)の裏面側における前記フィールドストップ層(1a)の表層部に形成されていることを特徴とする請求項1ないし15のいずれか1つに記載の半導体装置。

【請求項 17】

前記ベース領域(4)を貫通し、一方向を長手方向として複数本が所定の間隔で並べられたトレンチ(6)を有し、

前記ゲート絶縁膜(7)および前記ゲート電極(8)が前記トレンチ(6)内において形成されたトレンチゲート構造であることを特徴とする請求項1ないし16のいずれか1つに記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、スイッチング素子として機能する絶縁ゲート型バイポーラトランジスタ(以下、IGBTという)とフリーホイールダイオード(以下、FWDという)とが同一チップ内に集積化された半導体装置に関するものである。

【背景技術】

【0002】

従来より、直流-交流変換を行うためのインバータ回路などでは、スイッチング素子として機能するIGBTとFWDとが同一チップ内に集積化された半導体装置が使用されている。IGBTのオンオフによって直流-交流交換を行うと共に、IGBTをオフしたときに、FWDを通じて負荷(例えばモータ)に流れる電流を還流させている。

【0003】

このような半導体装置に使用されるFWDでは、IGBTがオフしているときの順方向電圧 V_f に対する順方向電流 I_f の特性(以下、 $V_f - I_f$ 特性という)は線形となるが、IGBTをオンしたときの $V_f - I_f$ 特性はスナッチバック電圧の影響により非線形な領域が発生する。図6は、FWDの $V_f - I_f$ 特性を示した図である。この図に示されるように、IGBTがオンしたときにはオフしているときと比較して順方向電圧 V_f が変動すると共に、スナッチバック電圧が発生する領域があり、線形性が得られない。

【0004】

具体的には、IGBTとFWDとを1チップに形成した半導体装置の場合、IGBTをオンしたときの等価回路図は、図7のように示される。すなわち、p型ディープウェル層13とn⁻型ドリフト層1にて構成されるFWD200に対してIGBT100のチャネル抵抗 R_a とチャネルからFWD200のPN接合部(p型ディープウェル層13の下部)に至るまでの内部抵抗 R_b とが並列的に接続され、さらにこれらにp型ディープウェル層13の下部におけるn⁻型ドリフト層1の内部抵抗 R_c とフィールドストップ(以下、FSという)層1aの内部抵抗 R_d を直列的に接続した状態となる。このような回路にお

10

20

30

40

50

いて、IGBT100がオンすると、内部抵抗 R_b が小さいことからダイオード側よりもIGBT100のチャネル側にばかり電流が流れるため、伝導度変調が起きず、順方向電圧 V_f が増大してしまう。

【0005】

このため、IGBT100とFWD200を備えた半導体装置では、FWD200動作時にIGBT100にゲート電圧を印加しないようにゲート制御を行う。そして、FWD200の動作を判定するために、ダイオードセンスを行っているが、正確なセンスを行うためには $V_f - I_f$ 特性に線形性が要求されるため、スナップバック電圧の影響を受ける非線形な領域を避けてセンスを行わなければならない、順方向電圧 V_f が大きくなるところでしか適用できなかった。

10

【0006】

これに対して、特許文献1において、ゲート構造がないp型ベース領域4の幅を広くすることで、 V_f の増大を抑制することが提案されている。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2008-53648号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

20

しかしながら、FWD200として機能する領域を広げることによってIGBT100の領域を減らすことになるため、IGBT100のオン損失が大きくなるという問題がある。

【0009】

本発明は上記点に鑑みて、FWDの $V_f - I_f$ 特性の線形性を改善しつつ、IGBTのオン損失を低減できる半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0010】

上記目的を達成するため、請求項1に記載の発明では、ディープウェル層(13)の外周側端部をドリフト層(1)の裏面側に投影した位置よりカソード領域(3)とコレクタ領域(2)との境界部までの距離を W_1 、ベース領域(4)のうち絶縁ゲート型バイポーラトランジスタ(100)とフリーホイールダイオード(200)との境界部からディープウェル層(13)の外周側端部までの距離を W_2 、ディープウェル層(13)とベース領域(4)との境界部を裏面側に投影した位置よりカソード領域(3)とコレクタ領域(2)との境界部までの距離を W_3 、ドリフト層(1)の厚みを L_1 、ドリフト層(1)内のキャリアの拡散係数を D 、キャリアのライフタイムを τ 、絶縁ゲート型バイポーラトランジスタ(100)およびフリーホイールダイオード(200)の構造に基づいて決まる第1パラメータを k_1 、ディープウェル層(13)の構造に基づいて決まる第2パラメータを k_2 、ディープウェル層(13)とドリフト層(1)の間のビルトインポテンシャル($V_{AK}(th)$)に対するスナップバック電圧(V_{SB})の比に対して第1パラメータ k_1 を掛けた値($k_1 \cdot V_{SB} / V_{AK}(th)$)を K とすると、

30

距離 W_1 と距離 W_2 および距離 W_3 は、

$$W_3 = \left((k_2 \cdot (D \tau)^{1/2})^2 - L_1^2 \right)^{1/2}$$

かつ、

$$W_2 = L_1 / K^{1/2}$$

ただし、 $K = 2.5$

かつ、

$$W_2 - W_1 = 10 \mu m$$

を満たす値とされていることを特徴としている。

40

【0011】

50

このように、距離W1と距離W2と距離W3が上記3つの数式を満たす値となるようにしている。これにより、深いディープウェル層(13)がアノードとなるときに、ディープウェル層(13)からのホール注入が多くなることでFWD(200)の耐量が低下してしまうことを抑制しつつ、ディープウェル層(13)のうちセル領域の外縁近傍からのホールが届かず、実質的にアノードとして機能する領域が減少することを抑制することができる。

【0012】

特に、請求項2に記載したように、距離W3、W2、W1が、

$$W3 = \left((k2 \cdot (D))^{1/2} \right)^2 - L1^2 \right)^{1/2}$$

 かつ $W2 = L1 / K^{1/2}$
 かつ
 $W2 - W1 = 10 \mu m$
 であると好ましい。

10

【0013】

なお、上記の構造は、請求項16に記載したように、セル領域および外周領域において、第1導電型のドリフト層(1)の裏面側に、ドリフト層(1)よりも高不純物濃度とされた第1導電型のフィールドストップ層(1a)が配置され、このフィールドストップ層(1a)の表層部にコレクタ領域(2)およびカソード領域(3)が形成される半導体装置に対しても適用できる。

【0014】

また、上記の構造は、請求項17に記載の発明のように、ベース領域(4)を貫通し、一方向を長手方向として複数本が所定の間隔で並べられたトレンチ(6)を備え、ゲート絶縁膜(7)およびゲート電極(8)がトレンチ(6)内において形成されたトレンチゲート構造の半導体装置に対して適用すると好ましい。

20

【0015】

また、請求項3に記載したように、ゲート構造の長手方向の先端位置においても、距離W1と距離W2および距離W3が、

$$W3 = \left((k2 \cdot (D))^{1/2} \right)^2 - L1^2 \right)^{1/2}$$

 かつ、
 $W2 = L1 / K^{1/2}$
 ただし、 $K \geq 5$
 かつ $W2 - W1 = 10 \mu m$
 を満たすようにすることで、ゲート構造の長手方向の先端位置においても、FWD(200)の耐量が低下してしまうことを抑制しつつ、ディープウェル層(13)のうちセル領域の外縁近傍からのホールが届かず、実質的にアノードとして機能する領域が減少することを抑制することができる。

30

【0016】

請求項4に記載の発明では、複数のゲート構造の間の一部において、エミッタ領域(5)が形成されない部分を備えることにより、エミッタ領域(5)が形成されていてIGBT(100)として動作する部分を含む第1の領域と、エミッタ領域(5)が形成されない部分を含み、かつ、当該部分がFWD(200)として動作する第2の領域とを構成し、IGBT(100)を囲むFWD(200)が備えられ部分を第3の領域として、第1の領域および第2の領域は、ゲート構造と同方向が長手方向とされ、第3の領域に加えて第2の領域にもFWD(200)を備えた構成とすることを特徴としている。

40

【0017】

このように、第1～第3の領域を備えた場合において、第2の領域にもFWD(200)が備えられるようにすることで、ゲート電圧印加時に動作するFWD(200)の面積を増やすことが可能となり、スナップバック電圧の低減を図ることが可能となる。

【0018】

この場合において、請求項5に記載したように、エミッタ領域(5)が形成されない部

50

分の幅が $20\ \mu\text{m}$ 以上とされるようにすると好ましい。

このように、第2の領域に備えられるFWD(200)の幅を $20\ \mu\text{m}$ 以上とすることでFWD(200)のオン電圧を低減することが可能となる。

【0019】

請求項6に記載の発明では、カソード領域(3)は、第1の領域の長手方向と同方向を長手方向として形成されていると共に、第1の領域の長手方向先端部よりも突き出して配置されており、該長手方向において分割されていることを特徴としている。

【0020】

このような構成とすれば、分割したカソード領域(3)の間のコレクタ領域(2)によって構成されるIGBT(100)にてIGBT動作させることで電流を流し、電流密度を高くすることで他の部分のIGBT(100)についてもIGBT動作させるようにする。これにより、IGBT(100)のスナップバック電圧を低減することが可能となる。これにより、FWD(200)の面積を増やすことによるスナップバック電圧の低減と、IGBT(100)を動作させやすくすることによるスナップバック電圧の低減の両立を図ることが可能となる。

【0021】

請求項7に記載の発明では、第1の領域は長手方向において複数に分割されていることを特徴としている。このように、第1の領域を複数に分割するようにしても良い。この場合において、請求項8に記載の発明では、分割された第1の領域の間の領域にベース領域(4)のみが形成されることで、当該領域にもFWD(200)が構成されるようにすれば、図12(c)のW4の広いFWD(200)の面積を増やすことやこの領域が第3の領域の補助的な役割をすることが可能となり、スナップバック電圧の低減を図ることが可能となる。

【0022】

この場合、さらに、請求項9に記載したように、カソード領域(3)を第1の領域の長手方向と同方向を長手方向として形成し、第1の領域の長手方向先端部の方がカソード領域(3)の長手方向先端部よりも突き出して配置されるようにすることもできる。

【0023】

このように、カソード領域(3)を第1の領域の長手方向と同方向を長手方向として形成する場合において、第1の領域が長手方向において分割されていると、その分割されている領域においてスナップバック電圧が大きくなることが懸念される。しかしながら、第1の領域の長手方向先端部の方がカソード領域(3)の長手方向先端部よりも突き出して配置されるようにすることで、この領域でIGBT(100)が形成されるようにできる。このため、この領域でIGBT動作させることで電流を流し、電流密度を高くすることで他の部分のIGBT(100)についてもIGBT動作させるようにできる。これにより、IGBT(100)のスナップバック電圧を低減することが可能となる。

【0024】

請求項10に記載の発明では、分割された第1の領域の間の距離(W、B2)が距離W2の2倍以上とされるようにすることを特徴としている。

【0025】

このように、分割された第1の領域の間の距離(W、B2)を距離W2の2倍以上に取ることにより、この領域をトレンチゲート構造の両先端位置に配置される第3の領域の代わりとすることもできる。

【0026】

請求項11に記載の発明では、第1の領域は、さらに長手方向において複数箇所分割されており、複数箇所分割された当該第1の領域の間の領域にエミッタ領域(5)が形成されないことで、当該領域にもFWD(200)が構成され、カソード領域(3)は、複数箇所分割された第1の領域の間の領域と対応する位置において第1の領域と対応する位置よりも幅広とされていることを特徴としている。

【0027】

10

20

30

40

50

このような構成によれば、分割された第1の領域の間においてダイオード動作させられるFWD(200)の面積を増やすことやこの領域が第3の領域の補助的な役割をすることができ、よりFWD(200)のスナップバック電圧を低減できる。

【0028】

請求項12に記載の発明では、第1の領域は複数本並べて配置され、隣り合う当該第1の領域のうち対向する辺の一部が凹まされ、該凹まされた領域にもFWD(200)が構成されていることを特徴としている。

【0029】

このように、FWD(200)が構成される領域の幅を広げることにより、その領域に構成されるFWD(200)がダイオード動作し易くなる。これにより、FWD(200)の面積が増えることやこの領域が第3の領域の補助的な役割をすることで半導体装置全体のスナップバック電圧を小さくすることが可能になる。

10

【0030】

この場合、請求項13に記載したように、カソード領域(3)は、第1の領域の長手方向と同方向を長手方向として形成されており、第1の領域の一部が凹まされた領域に設けられたFWD(200)と対向して、当該凹まされた領域に設けられたFWD(200)の幅に合わせてカソード領域(3)が形成されるようにすると好ましい。

【0031】

このような構成によれば、幅広とされたFWD(200)とされる領域とカソード領域(3)とが対向したレイアウトとなり、その部分を効率的にダイオード動作させられるため、よりFWD(200)のスナップバック電圧を低減できる。

20

【0032】

請求項14に記載の発明では、カソード領域(3)は、第2の領域と対応する場所に形成された領域(3a)と、該第2の領域と対応する場所に形成された領域(3a)よりも幅が狭く、第1の領域と対応する場所に形成された領域(3b)とを有していることを特徴としている。

【0033】

このような構成によれば、カソード領域(3)のうちの第2の領域と対応する場所に形成された領域(3a)についてはダイオード動作を行わせ、第1の領域と対応する場所に形成された領域(3b)についてはMOS動作を行わせることができる。このため、IGBT動作を基本としつつ、MOS動作も行わせることが可能になることから、スイッチング損失の低減を図ることが可能となる。このようなスイッチング損失の低減効果は、半導体装置をインバータ駆動に適用する場合のように頻繁にスイッチングが行われるような適用形態とされる場合に有効である。

30

【0034】

請求項15に記載の発明では、ドリフト層(1)の裏面側において、セル領域の外縁部には、コレクタ領域(2)およびカソード領域(3)が混在する混在領域(15)が備えられていることを特徴としている。

【0035】

このように、セル領域の外縁部においてコレクタ領域(2)とカソード領域(3)とを混在させた混在領域(15)を備えることで、寄生トランジスタがオンし難くなるようにできる。これにより、半導体装置の耐量を向上させられる。また、キャリア再注入を抑制できるため、スイッチング損失の低減を図ることも可能となる。

40

【0036】

なお、上記各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係を示すものである。

【図面の簡単な説明】

【0037】

【図1】本発明の第1実施形態にかかる半導体装置の断面図である。

【図2】図1に示す半導体装置の上面レイアウト図である。

50

【図3】p型ディープウェル層13からn⁺型不純物領域3までの距離とキャリアのライフタイムとの関係を示した半導体装置の断面図である。

【図4】図1に示す半導体装置のダイオード作動を行うときの等価回路を模式的に描いた断面図である。

【図5】図1に示す半導体装置のアノード-カソード間電圧V_{AK}に対する順方向電流I_fの特性(以下、V_{AK}-I_f特性という)を示した図である。

【図6】FWDのV_f-I_f特性を示した図である。

【図7】IGBTとFWDとを1チップに形成した半導体装置の場合において、IGBTをオンしたときの等価回路図である。

【図8】距離W₂に対するスナップバック電圧V_{SB}の関係をSim解析した結果を示す図である。 10

【図9】距離W₂-距離W₁に対するスナップバック電圧V_{SB}の関係をSim解析した結果を示す図である。

【図10】図1に示す半導体装置のV_{ce}-I_f特性について電子線照射量を60kGyとして測定した結果を示す図である。

【図11】(a)は、本発明の第2実施形態にかかる半導体装置の上面レイアウト図であり、(b)は、(a)の領域Rの部分拡大図である。

【図12】(a)~(c)は、それぞれ、図11(b)に示すA-A'、B-B'、C-C'断面図である。

【図13】第2の領域でのFWD200の幅W₄とFWD200がオンし始める電圧V_F(スナップバック電圧V_{SB}に相当)との関係を示したグラフである。 20

【図14】本発明の第3実施形態にかかる半導体装置の上面レイアウト図である。

【図15】本発明の第4実施形態にかかる半導体装置の上面レイアウト図である。

【図16】本発明の第5実施形態にかかる半導体装置の上面レイアウト図である。

【図17】本発明の第6実施形態にかかる半導体装置の上面レイアウト図である。

【図18】本発明の第7実施形態にかかる半導体装置の上面レイアウト図である。

【図19】本発明の第8実施形態にかかる半導体装置の上面レイアウト図である。

【図20】本発明の第9実施形態にかかる半導体装置の上面レイアウト図である。

【図21】本発明の第10実施形態にかかる半導体装置の上面レイアウト図である。

【図22】本発明の第11実施形態にかかる半導体装置の上面レイアウト図である。 30

【図23】本発明の第12実施形態にかかる半導体装置の上面レイアウト図である。

【図24】本発明の第13実施形態にかかる半導体装置の上面レイアウト図である。

【図25】本発明の第14実施形態にかかる半導体装置の上面レイアウト図である。

【図26】本発明の第15実施形態にかかる半導体装置の上面レイアウト図である。

【図27】本発明の第16実施形態にかかる半導体装置の上面レイアウト図である。

【図28】本発明の第17実施形態にかかる半導体装置の上面レイアウト図である。

【図29】本発明の第18実施形態にかかる半導体装置の上面レイアウト図である。

【図30】(a)は、本実施形態にかかる半導体装置の上面レイアウト図、(b)は、図30(a)の二点差線で囲んだ領域の部分拡大図である。

【図31】図30に示す半導体装置のV_{ce}-I_c特性を調べた図である。 40

【図32】距離L_cとIGBT100のスナップバック電圧V_{SB}について調べた結果を示すグラフである。

【図33】(a)~(c)は、領域3bの他のレイアウトを示した図である。

【図34】n⁺型不純物領域3を他の構造とする場合の半導体装置のレイアウト図である。

【図35】n⁺型不純物領域3を他の構造とする場合の半導体装置のレイアウト図である。

【図36】n⁺型不純物領域3を他の構造とする場合の半導体装置のレイアウト図である。

【図37】(a)は、セル領域における基板裏面側のレイアウトを示した図であり、(b) 50

)は、(a)の部分拡大図である。

【図38】半導体装置が壊れるメカニズムを示した説明図である。

【図39】(a)は、セル領域における基板裏面側のレイアウトを示した図であり、(b)は、(a)の部分拡大図である。

【図40】(a)は、セル領域における基板裏面側のレイアウトを示した図であり、(b)は、(a)の部分拡大図である。

【図41】セル領域における基板裏面側のレイアウトを示した図である。

【図42】(a)~(c)は、第1の領域のセル構成、第2、第3の領域のセル構成などの一例を示した断面図である。

【発明を実施するための形態】

10

【0038】

以下、本発明の実施形態について図に基づいて説明する。

【0039】

(第1実施形態)

本発明の第1実施形態について説明する。図1は、本実施形態にかかる半導体装置の断面図、図2は、図1に示す半導体装置の上面レイアウト図である。図1は、図2のA-A断面図に相当している。以下、これらの図を参照して、本実施形態の半導体装置について説明する。

【0040】

図1に示すように、本実施形態の半導体装置は、例えば不純物濃度が $1 \times 10^{13} \sim 1 \times 10^{14} \text{ cm}^{-3}$ とされた n^- 型ドリフト層1を構成する半導体基板に対してIGBT100やFWD200を備えることにより構成されている。図1および図2に示したように、IGBT100が備えられるIGBT形成領域とFWD200が備えられるダイオード形成領域がセル領域とされ、セル領域の外周部に外周領域が備えられている。図2に示されるように、半導体装置を構成するチップの中央部がIGBT形成領域とされ、その周囲を囲むようにダイオード形成領域が配置されることでセル領域が構成され、さらにそのセル領域の外周を囲むように外周領域が配置されている。

20

【0041】

セル領域におけるIGBT形成領域およびダイオード形成領域において、 n^- 型ドリフト層1の裏面側における当該 n^- 型ドリフト層1の表層部には、FS層1aが形成されている。このFS層1aは、 n^- 型ドリフト層1よりも高不純物濃度の n 型層にて構成され、空乏層の広がりを防ぐことで耐圧と定常損失の性能向上を図ると共に、基板裏面側から注入されるホールの注入量を制御するために備えてある。

30

【0042】

また、セル領域におけるIGBT形成領域およびダイオード形成領域において、 n^- 型ドリフト層1の裏面側におけるFS層1aの表層部には、コレクタ領域に相当する p^+ 型不純物領域2およびカソード領域に相当する n^+ 型不純物領域3が形成されている。 p^+ 型不純物領域2は、ボロン等の p 型不純物が注入されて形成され、例えば不純物濃度が $1 \times 10^{17} \sim 1 \times 10^{20} \text{ cm}^{-3}$ で構成されている。 n^+ 型不純物領域3は、リン等の n 型不純物が注入されて形成され、例えば不純物濃度が $1 \times 10^{19} \sim 1 \times 10^{21} \text{ cm}^{-3}$ で構成されている。 n^- 型ドリフト層1の裏面側は基本的には p^+ 型不純物領域2とされているが、部分的に n^+ 型不純物領域3が形成された構造とされている。

40

【0043】

図2中の実線ハッチングを示した領域が n^+ 型不純物領域3の形成されている領域であり、それ以外の領域が p^+ 型不純物領域2の形成されている領域である。図2中の破線ハッチングを示した領域は、 p 型ディープウェル層13の形成されている領域である。

【0044】

図2に示されるように、 n^- 型ドリフト層1の裏面側は基本的には p^+ 型不純物領域2とされているが、部分的に n^+ 型不純物領域3が形成された構造とされている。本実施形態の場合、 n^+ 型不純物領域3は、セル領域において短冊状のものが複数本ストライプ状

50

に配置された構造とされている。なお、 n^+ 型不純物領域3のうち短冊状の部分のものは、図2中では5本のものを縦方向に2つに分割したものとして描いてあるが、実際にはそれ以上の多数本が形成されている。

【0045】

また、セル領域におけるIGBT形成領域においては、 n^- 型ドリフト層1の表層部には、所定厚さのp型ベース領域4が形成されている。このp型ベース領域4を貫通して n^- 型ドリフト層1まで達するように複数個のトレンチ6が形成されており、このトレンチ6によってp型ベース領域4が複数個に分離されている。具体的には、トレンチ6は複数個所定のピッチ(間隔)で形成されており、図1の奥行き方向(紙面垂直方向)において各トレンチ6が平行に延設されたストライプ構造、もしくは並行に延設されたのちその先端部において引き回されることで環状構造とされている。そして、環状構造とされる場合、各トレンチ6が構成する環状構造は複数本ずつを1組として多重リング構造が構成され、隣接する多重リング構造同士の長手方向が平行となるように配置されている。

10

【0046】

隣接するトレンチ6によってp型ベース領域4が複数に分割された状態となるが、少なくともその一部は、チャンネル領域を構成するチャンネルp層4aとなり、このチャンネルp層4aの表層部に、エミッタ領域に相当する n^+ 型不純物領域5が形成されている。なお、本実施形態では、分割された各p型ベース領域4がチャンネルp層4aとなる場合を図示してあるが、そのうちの一部に n^+ 型不純物領域5を形成しないことで、IGBTとして機能する部分を間引いた構造(以下、間引き構造という)とされても良い。

20

【0047】

n^+ 型不純物領域5は、 n^- 型ドリフト層1よりも高不純物濃度で構成され、p型ベース領域4内において終端しており、かつ、トレンチ6の側面に接するように配置されている。より詳しくは、トレンチ6の長手方向に沿って棒状に延設され、トレンチ6の先端よりも内側で終端した構造とされている。

【0048】

各トレンチ6内は、各トレンチ6の内壁表面を覆うように形成されたゲート絶縁膜7と、このゲート絶縁膜7の表面に形成されたドーフトPoly-Si等により構成されるゲート電極8とにより埋め込まれている。ゲート電極8は、図1とは別断面において互いに電氣的に接続され、同電位のゲート電圧が印加される様になっている。このような構造により、トレンチゲート構造が構成されている。

30

【0049】

さらに、 n^+ 型不純物領域5およびチャンネルp層4aは、層間絶縁膜9に形成されたコンタクトホール9aを通じてエミッタ電極に相当する上部電極10と電氣的に接続されており、上部電極10や図示しない配線などを保護するように保護膜11が形成されている。そして、 p^+ 型不純物領域2の裏面側に下部電極12が形成されることにより、IGBT100が構成されている。

【0050】

一方、セル領域におけるダイオード形成領域でも、IGBT形成領域と同様に、 n^- 型ドリフト層1の表層部に所定厚さのp型ベース領域4が形成されている。さらに、p型ベース領域4の周囲を囲むように、p型ベース領域4よりも接合深さが深くされたp型ディープウェル層13が形成されている。このp型ディープウェル層13は、p型ベース領域4よりも高不純物濃度で構成され、例えば不純物濃度が $1 \times 10^{18} \sim 1 \times 10^{19} \text{ cm}^{-3}$ で構成されている。

40

【0051】

このため、ダイオード形成領域に備えられたp型ベース領域4およびp型ディープウェル層13をアノードとし、 n^- 型ドリフト層1および n^+ 型不純物領域3をカソードとしてPN接合されたダイオード構造を有するFWD200が構成されている。このFWD200は、p型ディープウェル層13に対して上部電極10がアノード電極として電氣的に接続され、 n^+ 型不純物領域3に対して下部電極12がカソード電極として電氣的に接続

50

された構造とされている。

【0052】

このため、IGBT100とFWD200とは、エミッタとアノードとが電氣的に接続されると共に、コレクタとカソードとが電氣的に接続されることで、同一チップにおいて互いに並列接続された構造とされている。

【0053】

なお、外周領域においては、図示しないが、 n^- 型ドリフト層1の表層部において、セル領域の外周を囲むようにp型ベース領域4よりも深くされたp型拡散層が形成され、更にp型拡散層の外周を囲むようにp型ガードリング層が多重リング構造として形成されるなど、外周耐圧構造が構成されている。この外周耐圧構造により、電界が偏り無く広げら

10

得ることで、半導体装置の耐圧向上が図られている。

【0054】

以上のように、本実施形態にかかるIGBT100とFWD200とを一体化した半導体装置が構成されている。このように構成された半導体装置は、例えば直流-交流変換を行うためのインバータ回路などのスイッチング回路に備えられ、IGBT100がスイッチング素子として機能させられると共に、FWD200がIGBT100をオフしたときに還流電流を流す還流素子として機能させられる。

【0055】

このとき、FWD200では、ダイオード形成領域に備えられたp型ベース領域4およびp型ディープウェル層13がアノードとして機能することで、ダイオード動作を行う。ところが、深いp型ディープウェル層13がアノードとなるために、p型ディープウェル層13からのホール注入が多くなってFWD200の耐量を低下させる可能性がある。

20

【0056】

一方、図3に示す半導体装置の断面図に表されるように、p型ディープウェル層13から n^+ 型不純物領域3までの距離が長いと、キャリアのライフタイムの関係から、セル終端部、つまりp型ディープウェル層13のうちセル領域の外縁近傍からのホールが届かず、実質的にアノードとして機能する領域が減少する。このため、深いp型ディープウェル層13からのホール注入を抑制してFWD200の耐量を確保しつつ、実質的にアノードとして機能する領域を大きくできるように、各部の設計を行っている。以下、この設計について説明する。

30

【0057】

図4は、図1に示す半導体装置のダイオード作動を行うときの等価回路を模式的に描いた断面図である。また、図5は、図1に示す半導体装置のVAK-I_f特性を示した図である。アノード-カソード間電圧VAKは、FWD200の順方向電圧V_fと同等であるため、図5の特性は、FWD200のV_f-I_f特性に相当する。

【0058】

まず、IGBT100とFWD200の等価回路は、図4中に示したものとなる。すなわち、IGBT100のコレクタに対して n^- 型ドリフト層1の横方向の内部抵抗R₁(抵抗率 ρ_1)が接続されている。そして、IGBT100のエミッタ-コレクタ間と内部抵抗R₁がFWD200に対して並列接続されていると共に、これらFWD200等に対して n^- 型ドリフト層1の縦方向の内部抵抗R₂(抵抗率 ρ_2)と、FS層1aの横方向の内部抵抗R₃(抵抗率 ρ_3)が直列接続されている。また、p型ディープウェル層13の外周側端部を n^- 型ドリフト層1の裏面側に投影した位置から、 n^+ 型不純物領域3と p^+ 型不純物領域2との境界部までの距離をW₁とし、FWD200として機能するp型ベース領域4の端部(p型ベース領域4のうちIGBT100とFWD200との境界部(最も外側のトレンチ5の側壁))からp型ディープウェル層13の外周側端部までの距離をW₂とする。p型ディープウェル層13とp型ベース領域4との境界部を裏面側に投影した位置よりカソード領域となる n^+ 型不純物領域3とコレクタ領域となる p^+ 型不純物領域2との境界部までの距離をW₃とする。また、 n^- 型ドリフト層1の厚みをL₁、FS層1aの厚みをL₂とする。

40

50

【0059】

また、図5に示す $V_{AK} - I_f$ 特性より、スナップバック電圧が最も大きくなる時のアノード - カソード間電圧 V_{AK} を V_{AK1} とし、FWD200がダイオード動作し始めるときのアノード - カソード間電圧 V_{AK} を V_{AK2} とする。また、 $V_{AK} - I_f$ 特性が線形となることから直線を引いたときの切片がp型ディープウェル層13とn⁻型ドリフト層1との間のビルトインポテンシャル、つまり理論上ダイオード動作するのに必要な電圧であり、このビルトインポテンシャルを $V_{AK}(th)$ とする。

【0060】

これらに基づき、以下の関係式が成り立つ。まず、数式1に示すように、スナップバック電圧 V_{SB} は、 V_{AK1} と V_{AK2} の差として表される。

10

【0061】

$$(数1) \quad V_{SB} = V_{AK1} - V_{AK2}$$

また、スナップバック電圧 V_{SB} が最も大きくなる時の V_{AK1} は、FWD200がダイオード動作を行っていることが必要であることから、図4中の点Xの電位に基づいて、次式を導くことができる。なお、下記の式で、 I は、IGBT100からn⁻型ドリフト層1の内部抵抗 R_1 、 R_2 およびFS層1aの内部抵抗 R_3 を通して流れる電流を意味している。また、下記の式では、IGBT100のチャンネル抵抗に関しては、非常に小さいことから無視している。

【0062】

$$(数2) \quad V_{th} = I \cdot R_1$$

20

$$(数3) \quad I = V_{AK1} \cdot (R_1 / (R_1 + R_2 + R_3))$$

$$(数4) \quad V_{AK1} = V_{AK}(th) \times ((R_1 + R_2 + R_3) / R_1)$$

また、p型ディープウェル層13とn⁻型ドリフト層1との間のビルトインポテンシャル $V_{AK}(th)$ は、FWD200がダイオード動作し始めた電圧 V_{AK2} とほぼ等しいため、次式で表せる。

【0063】

$$(数5) \quad V_{AK2} = V_{AK}(th)$$

この数式5および上記した数式4を上記数式1に代入すると、次式を導出することができる。

【0064】

$$(数6) \quad V_{SB} = ((R_2 + R_3) / R_1) \times V_{AK}(th)$$

30

そして、 $R_1 \sim R_3$ は、それぞれ $R_1 = W_2 \cdot l_1 / L_1$ 、 $R_2 = l_1 \cdot W_1 / W_2$ 、 $R_3 = W_1 \cdot l_2 / L_2$ で表されることから、数式6を次式に変換できる。

【0065】

$$(数7)$$

$$V_{SB} = ((L_1 \cdot l_1 / W_2 + W_1 \cdot l_2 / L_2) / (W_2 \cdot l_1 / L_1)) \times V_{AK}(th)$$

ここで、 $V_{SB} / V_{AK}(th)$ に対してIGBT100およびFWD200の形状や濃度等、IGBT100およびFWD200の構造に基づいて決まる第1パラメータを k_1 とし、ビルトインポテンシャル $V_{AK}(th)$ に対するスナップバック電圧 V_{SB} の比である $V_{SB} / V_{AK}(th)$ に対して第1パラメータを掛けた値($= k_1 \cdot V_{SB} / V_{AK}(th)$)を K とする。また、ビルトインポテンシャルを表す $V_{AK}(th)$ は定数であり、スナップバック電圧 V_{SB} が小さいほど非線形性が小さくなって線形性が改善されることから、 K が小さくなるほど線形性を改善できる。したがって、次式で表される右辺がその K 以下となるようにすることで、線形性の改善を図ることができる。

40

【0066】

$$(数8) \quad K = ((L_1 \cdot l_1 / W_2 + W_1 \cdot l_2 / L_2) / (W_2 \cdot l_1 / L_1))$$

また、p型ディープウェル層13の外周端部がゲートのバイアスによって影響を受けないダイオードとして動作させるための W_2 の条件は、上記数式8に基づいて下記数式9および数式10のように求めることができる。なお、n⁻型ドリフト層1の抵抗率 ρ_1 に対

50

してFS層1aの抵抗率 ρ_2 は十分に小さいことから、 $W_1 \cdot \rho_2 / L_2 = 0$ と見なしている。

【0067】

$$(数9) \quad K = ((L_1 \cdot \rho_1 / W_2) / (W_2 \cdot \rho_1 / L_1)) = L_1^2 / W_2^2$$

$$(数10) \quad W_2 = L_1 / K^{1/2}$$

また外周端部におけるスナップバック電圧を -40 mVにおける $V_{AK}(th) = 0.8$ [V]に対して無視できる 0.1 V以下にする場合は、実験結果を示した図8より $K = 2.5$ となる。すなわち、図8中に示しように、 $L_1 = 135 \mu\text{m}$ とした場合には、 $W_2 = 85 \mu\text{m}$ のときにスナップバック電圧が 0.1 Vとなることから、数式9に $L_1 = 135 \mu\text{m}$ 、 $W_2 = 85 \mu\text{m}$ を代入すると、 $K = 2.5$ となる。同様に、 $L_1 = 80 \mu\text{m}$ とした場合には、 $W_2 = 50 \mu\text{m}$ のときにスナップバック電圧が 0.1 Vとなることから、数式9に $L_1 = 80 \mu\text{m}$ 、 $W_2 = 50 \mu\text{m}$ を代入すると、 $K = 2.56$ となる。このように、いずれの結果からも $K = 2.5$ を満たすようにすることで、スナップバック電圧を 0.1 V以下に抑えることが可能となることが判る。なお、図8に示すSim解析では、 $W_1 = 0 \mu\text{m}$ 、 $L_2 > 0$ 、 W_3 は任意の値に設定している。

【0068】

また W_2 が数式10を満たしている場合であっても、 W_1 が大きい場合やライフタイムが短い場合は、ディープウェル層13の外周端部から注入されたホールがカソードとなる n^+ 型不純物領域3まで届かなくなるため、実効的な W_2 が短く(R_1 が小さく)なりスナップバックが出現する。このため、ライフタイムを例えば $2 \mu\text{s}$ とした場合において、 W_1 、 W_2 とスナップバック電圧 V_{SB} との関係について調べた。そのSim結果を図9に示す。また、図10は、本実施形態にかかる半導体装置の $V_{ce} - I_f$ 特性について電子線照射量を 60 kGy として測定した結果を示した図である。この図において V_{ce} が部分的にマイナス方向に突出したものがスナップバック電圧 V_{SB} であり、この図のスナップバック電圧 V_{SB} を取り出してプロットしたのが図9に相当する。

【0069】

スナップバック電圧 V_{SB} が -40 mVの $V_{AK}(th) = 0.8$ Vに対して無視できる 0.1 V以下に抑制できるようにするためには、図9より、次式が成り立つ。なお、図9に示す実験では、 $L_1 = 125 \mu\text{m}$ 、 $W_2 = 85 \mu\text{m}$ 、 $L_2 = 1 \mu\text{m}$ 、 W_3 は任意の値としている。

$$(数11) \quad W_2 - W_1 = 10 \mu\text{m}$$

一方、距離 W_3 については、図3に示すように、ホールがp型ディープウェル層13から斜め方向に最短距離で p^+ 型不純物領域2と n^+ 型不純物領域3との境界位置に向かってホールが注入された時、注入量が大きくなり破壊しないためには、拡散長よりも上で述べた最短距離が十分大きいことが必要となることから、図4および三角形の関係で示される三平方の定理より、数式12が成り立つ。そして、これを変換すると数式13を導出できる。なお、 D は、 n^- 型ドリフト層1内でのキャリアの拡散係数であり、 k_2 は、p型ディープウェル層13の深さ、濃度、耐量等のp型ディープウェル層13の構造に基づいて決まる第2パラメータである。

【0070】

$$(数12) \quad W_3^2 + L_1^2 = (k_2 \cdot (D)^{1/2})^2$$

$$(数13) \quad W_3 = ((k_2 \cdot (D)^{1/2})^2 - L_1^2)^{1/2}$$

そして、距離 $W_1 \sim W_3$ については、半導体装置の小型化などを考慮すると、上記数式を満たす中で最も小さい値であることが好ましいため、また $W_1 - W_3$ は耐圧の観点から大きな値となることが望ましいため次式が成り立つ関係とするのが良い。

【0071】

$$(数14)$$

$$W_2 = L_1 / K^{1/2}$$

かつ

$$W_2 - W_1 = 10 \mu\text{m}$$

かつ

$$W3 = \left(\left(k2 \cdot (D_)^{1/2} \right)^2 - L1^2 \right)^{1/2}$$

よって、本実施形態の半導体装置では、距離W1、W2、W3が数式14を満たす値に設定している。

【0072】

以上説明したように、本実施形態の半導体装置では、IGBT100とFWD200を備えた構造において、ダイオード形成領域に備えられたp型ベース領域4およびp型ディープウェル層13をアノードとして機能させることで、ダイオード動作を行わせている。

【0073】

そして、p型ディープウェル層13の外周側端部をn⁻型ドリフト層1の裏面側に投影した位置より、n⁺型不純物領域3とp⁺型不純物領域2との境界部までの距離W1とFWD200として機能するp型ベース領域4の端部からp型ディープウェル層13の外周側端部までの距離W3が数式14を満たす値となるようにしている。

【0074】

これにより、深いp型ディープウェル層13がアノードとなるときに、p型ディープウェル層13からのホール注入が多くなることでFWD200の耐量が低下してしまうことを抑制しつつ、p型ディープウェル層13のうちセル領域の外縁近傍からのホールが届かせ、実質的にアノードとして機能する領域が減少することを抑制することができる。

【0075】

(第2実施形態)

本発明の第2実施形態について説明する。本実施形態は、第1実施形態に対して異なる場所でもFWDのV_f-I_f特性の線形性を改善できる構成を採用したものであり、その他に関しては第1実施形態と同様であるため、第1実施形態と異なる部分についてのみ説明する。

【0076】

図11(a)は、本実施形態にかかる半導体装置の上面レイアウト図であり、図11(b)は、図11(a)の領域Rの部分拡大図である。なお、図11(a)、(b)は断面図ではないが、図を見易くするために部分的にハッチングを示してある。また、図12(a)~(c)は、それぞれ、図11(b)に示すA-A'、B-B'、C-C'断面図である。ただし、図12(c)については、より各領域の断面構造が明確になるように、図11(b)のC-C'断面を更に延長して多くのセル分備えた図としてある。なお、本実施形態の半導体装置では、p型チャネル領域4aの表層部にコンタクト領域4bを形成した構造としてあり、このコンタクト領域4bを介して上部電極10と電気的に接続されるようにしてあるが、基本的な構造は第1実施形態と同様である。

【0077】

図11(a)、(b)に示すように、本実施形態の半導体装置は、外周領域内に第1~第3の領域を備えた構成とされている。具体的には、トレンチ6の側面においてエミッタ領域に相当するn⁺型不純物領域5が形成されていてIGBT100として機能する部分が含まれる領域を第1の領域、この第1の領域に併設されたエミッタ領域に相当するn⁺型不純物領域5が形成されておらずFWD200として機能させる部分が含まれる領域を第2の領域、トレンチゲート構造の長手方向の先端位置においてp⁺型不純物領域2が形成されている領域のうちp型ガードリング層14などが形成された外周領域よりも内側(つまりセル領域の外縁部におけるFWD200が形成されている領域)を第3の領域としている。

【0078】

このようなゲート電極8の先端位置においても、FWD200のV_f-I_f特性の線形性の問題が発生する。このため、第3の領域に備えられるp型ベース領域4とp型ディープウェル層13とによって構成されるFWD200について、第1実施形態と同様に、各種寸法について規定している。

【0079】

10

20

30

40

50

具体的には、本実施形態でも、図12(a)、(b)中に示したように、p型ディープウェル層13の外周側端部をn⁻型ドリフト層1の裏面側に投影した位置から、n⁺型不純物領域3とp⁺型不純物領域2との境界部までの距離をW1とし、FWD200として機能するp型ベース領域4の端部(p型ベース領域4のうちIGBT100とFWD200との境界部(エミッタ領域に相当するn⁺型不純物領域5の先端位置))からp型ディープウェル層13の外周側端部までの距離をW2とする。p型ディープウェル層13とp型ベース領域4との境界部を裏面側に投影した位置よりカソード領域となるn⁺型不純物領域3とコレクタ領域となるp⁺型不純物領域2との境界部までの距離をW3とする。また、n⁻型ドリフト層1の厚みをL1とする。

【0080】

10

このように構成された半導体装置におけるトレンチゲート構造の先端位置においても、p型ベース領域4とp型ディープウェル層13を長くして内部抵抗を大きくしたいが、これらが長くなり過ぎるとp型ディープウェル層13のうちのセル領域の終端からn⁺型不純物領域3までホールが届かなくなる。このため、W1~W3が上記第1実施形態で示した数式10、11、13、好ましくは数式14の関係を満たすようにすることで、FWD200のV_f-I_f特性の線形性を改善することが可能となる。

【0081】

また、図12(c)に示すように、第1、第2の領域において、エミッタ領域に相当するn⁺型不純物領域5を形成しない間引き構造としている。このような間引き構造とすることで、その間引き部分にてダイオード動作させ、隣り合うトレンチゲート構造の間にFWD200が構成されるようにしている。

20

【0082】

この間引き構造のうち、第2の領域に構成される部分の少なくとも一部について、n⁺型不純物領域5が形成されておらずp型ベース領域4のみが形成されている箇所の最も端から端のトレンチゲート構造の間の距離を第2の領域でのFWD200の幅W4とすると、W4<20μmとなるようにしている。図13は、第2の領域でのFWD200の幅W4とFWD200がオンし始める電圧V_F(スナップバック電圧V_{SB}に相当)との関係を示したグラフである。この図に示されるように、第2の領域でのFWD200の幅W4が20μmを超えるとFWD200がオンし始める電圧V_Fが急に上昇し始める。この結果に基づき、第2の領域でのFWD200の幅W4が20μm以上となるようにしている。これにより、FWD200のオン電圧を低減することが可能になる。ただしFWDのリカバリー(SW)損失を低減することを目的にSW動作の直前又は動作中にゲートに電圧を印加するような制御を行う場合、このW4<20μmした方がSW損失を低減できる場合もある。この場合もW1~W3を本特許の条件を満たすことによりFWDの線形性の向上やスナップバックによるV_fの急激な上昇を抑制することができる。

30

【0083】

以上説明したように、トレンチゲート構造の先端位置においても、W1~W3が上記第1実施形態で示した数式10、11、13、好ましくは数式14の関係を満たすようにすることで、FWD200のV_f-I_f特性の線形性を改善することが可能となる。またこの構成で第3の領域と第2の領域の距離を縮めることにより第3の領域がONすることにより上がった電流密度を第2の領域に効率的に伝えられるため線形性がより向上される。さらに、第2の領域でのFWD200の幅W4が20μm以上となるようにすることで、FWD200のオン電圧を低減することが可能になる。

40

【0084】

(第3実施形態)

本発明の第3実施形態について説明する。本実施形態は、第2実施形態に対して異なる場所でもFWDのV_f-I_f特性の線形性を改善しつつ、IGBTのオン損失を低減できる構成を採用したものであり、その他に関しては第2実施形態と同様であるため、第2実施形態と異なる部分についてのみ説明する。

【0085】

50

図14は、本実施形態にかかる半導体装置の上面レイアウト図である。なお、図14は断面図ではないが、図を見易くするために部分的にハッチングを示してある。この図に示すように、第1の領域を長手方向において2つに分割、つまりエミッタ領域に相当する n^+ 型不純物領域5を長手方向方向において2つに分割しており、分割した第1の領域の間において n^+ 型不純物領域5が形成されておらず、隣接するトレンチゲート構造の間の領域に p 型ベース領域4のみが形成されることでFWD200が形成されるようにしている。

【0086】

このように、第1の領域を長手方向において2つに分割し、分割した第1の領域の間においてFWD200が構成されるようにしても良い。このようにすれば、エミッタ領域に相当する n^+ 型不純物領域5の近くにダイオード動作する第2の領域を形成できる。これによりFWD200の面積が増えることやこの領域が第3の領域の補助的な役割することでより効率的にFWD200の電流密度を向上できることで半導体装置全体のスナップバック電圧を低減することが可能になる。

10

【0087】

なお、このように第1の領域を長手方向において分割する場合、その第1の領域の間の幅 W を数式10の $W2$ の2倍以上に取ることにより、この領域をトレンチゲート構造の両先端位置に配置される第3の領域の代わりとすることもできる。また、ここでは第1の領域を長手方向において2つに分割する場合について説明したが、複数、つまり2つに限らず3つ以上の数に分割しても構わない。

20

【0088】

(第4実施形態)

本発明の第4実施形態について説明する。本実施形態は、第2実施形態に対して第1の領域と第2の領域のレイアウトを変更したものであり、その他に関しては第2実施形態と同様であるため、第2実施形態と異なる部分についてのみ説明する。

【0089】

図15は、本実施形態にかかる半導体装置の上面レイアウト図である。なお、図14は断面図ではないが、図を見易くするために部分的にハッチングを示してある。この図に示すように、複数本並べられた第1の領域の一部、具体的には隣り合う第1の領域の対向する辺の一部を凹ませた図中破線で囲んだ部分をエミッタ領域に相当する n^+ 型不純物領域5が備えられていない領域とし、本実施形態では、この領域を第2の領域とした構成としている。つまり、本実施形態では、上記第2実施形態のように各第1の領域や各第2の領域がそれぞれ同じ幅で構成されているのではなく、第1の領域の間において部分的に第2の領域の幅を広げた構造にしている。

30

【0090】

このように、一部の第2の領域の幅 $W4$ を広げることにより、第2の領域に構成されるFWD200がダイオード動作し易くなる。これにより、FWD200の面積が増えることやこの領域が第3の領域の補助的な役割することでより効率的にFWD200の電流密度を向上できることで半導体装置全体のスナップバック電圧を小さくすることが可能になる。

40

【0091】

(第5実施形態)

本発明の第5実施形態について説明する。本実施形態も、第2実施形態に対して第1の領域と第2の領域のレイアウトを変更したものであり、その他に関しては第2実施形態と同様であるため、第2実施形態と異なる部分についてのみ説明する。

【0092】

図16は、本実施形態にかかる半導体装置の上面レイアウト図である。なお、図14は断面図ではないが、図を見易くするために部分的にハッチングを示してある。この図に示すように、第1の領域を紙面上下方向、つまりトレンチゲート構造の長手方向において複数個に分割し、分割した第1の領域の間に第1の領域とほぼ同寸法の第2の領域が配置さ

50

れるようにすることで各第1の領域がマトリクス状に配置された構造にしている。つまり、トレンチゲート構造の長手方向に並べ第1の領域を1つの列として、第1の領域の列が複数列並べて配置され、隣り合う各列の第1の領域が対向配置される構造とされている。このような構造としても、分割された各第1の領域の間の第2の領域に構成されるFWD200がダイオード動作し易くなる。これにより、FWD200の面積が増えることやこの領域が第3の領域の補助的な役割することでより効率的にFWD200の電流密度を向上できることで半導体装置全体のスナップバック電圧を小さくすることが可能になる。

【0093】

(第6実施形態)

本発明の第6実施形態について説明する。本実施形態は、第5実施形態に対して第1の領域と第2の領域のレイアウトを変更したものであり、その他に関しては第5実施形態と同様であるため、第5実施形態と異なる部分についてのみ説明する。

【0094】

図17は、本実施形態にかかる半導体装置の上面レイアウト図である。なお、図17は断面図ではないが、図を見易くするために部分的にハッチングを示してある。この図に示すように、本実施形態でも、第1の領域を紙面上下方向、つまりトレンチゲート構造の長手方向において複数個に分割し、分割した第1の領域の間に第1の領域とほぼ同寸法の第2の領域が配置されるようにしているが、トレンチゲート構造の長手方向に並べ第1の領域を1つの列として、第1の領域の列が複数列並べて配置されているものの、隣り合う各列の第1の領域が互いにずれて配置される構造とされている。つまり、各第1の領域が千鳥状に配置された構造とされている。このような構造としても、分割された各第1の領域の間の第2の領域に構成されるFWD200がダイオード動作し易くなる。これにより、FWD200の面積が増えることやこの領域が第3の領域の補助的な役割することでより効率的にFWD200の電流密度を向上できることで半導体装置全体のスナップバック電圧を小さくすることが可能になる。

【0095】

(第7実施形態)

本発明の第7実施形態について説明する。本実施形態は、第6実施形態に対して第1の領域と第2の領域のレイアウトを変更したものであり、その他に関しては第6実施形態と同様であるため、第6実施形態と異なる部分についてのみ説明する。

【0096】

図18は、本実施形態にかかる半導体装置の上面レイアウト図である。なお、図18は断面図ではないが、図を見易くするために部分的にハッチングを示してある。この図に示すように、本実施形態でも、第1の領域を紙面上下方向、つまりトレンチゲート構造の長手方向において複数個に分割しているが、第6実施形態と比べて分割場所の間隔を長くした構造としている。このような構造としても、分割された各第1の領域の間の第2の領域に構成されるFWD200がダイオード動作し易くなる。これにより、FWD200の面積が増えることやこの領域が第3の領域の補助的な役割することでより効率的にFWD200の電流密度を向上できることで半導体装置全体のスナップバック電圧を小さくすることが可能になる。

【0097】

(第8実施形態)

本発明の第8実施形態について説明する。本実施形態は、第4実施形態に対して第1の領域と第2の領域のレイアウトを変更したものであり、その他に関しては第4実施形態と同様であるため、第4実施形態と異なる部分についてのみ説明する。

【0098】

図19は、本実施形態にかかる半導体装置の上面レイアウト図である。なお、図19は断面図ではないが、図を見易くするために部分的にハッチングを示してある。この図に示すように、本実施形態でも、隣り合う第1の領域の対向する辺の一部を凹ませて第2の領域としているが、第4実施形態のように隣り合う第1の領域の対向する辺の同じ場所に第

10

20

30

40

50

2の領域を配置するのではなく、互い違いに第2の領域を配置した構造としている。このような構造としても、第2の領域に構成されるFWD200がダイオード動作し易くなり、FWD200の面積が増えることやこの領域が第3の領域の補助的な役割することでより効率的にFWD200の電流密度を向上できることで半導体装置全体のスナップバック電圧を小さくすることが可能になる。

【0099】

(第9実施形態)

本発明の第9実施形態について説明する。本実施形態は、第2実施形態に対して第1～第3の領域のレイアウトを変更したものであり、その他に関しては第2実施形態と同様であるため、第2実施形態と異なる部分についてのみ説明する。

10

【0100】

図20は、本実施形態にかかる半導体装置の上面レイアウト図である。なお、図20は断面図ではないが、図を見易くするために部分的にハッチングを示してある。この図に示すように、本実施形態では、第3の領域をセル領域の外縁部に配置するのではなく、セル領域の中央位置に点在させるように配置し、かつ、第2の領域が第3の領域の間を繋ぐように配置された構造となるようにしている。

【0101】

具体的には、円形状に囲まれた範囲を第3の領域として、第3の領域が正六角形の各角部に配置された形状、つまりハニカム状に配置されたレイアウトとされ、各第3の領域を繋ぐ六角形の各辺に相当する位置に第2の領域が配置されたレイアウトとされている。図中破線はトレンチゲート構造を示しているが、紙面上下方向を長手方向として複数本のトレンチゲート構造が配置されており、その複数本のトレンチゲート構造が交差するように第1～第3の領域がレイアウトされることになる。このトレンチゲート構造のトレンチ6の側面のうち第1の領域と接している場所にはエミッタ領域に相当する n^+ 型不純物領域5が備えられ、第2の領域や第3の領域と接している場所にはエミッタ領域に相当する n^+ 型不純物領域5が備えられていない構造となるようにしている。

20

【0102】

このように、第1～第3の領域のレイアウトを変更しても、第2実施形態と同様の効果を得ることができる。また第3の領域同士の距離が短くなるため効率よく第2の領域の電流密度を向上でき、これにより半導体装置全体のスナップバック電圧をより小さくすることが可能になる。

30

【0103】

(第10実施形態)

本発明の第10実施形態について説明する。本実施形態は、第9実施形態に対して第1～第3の領域のレイアウトを変更したものであり、その他に関しては第9実施形態と同様であるため、第9実施形態と異なる部分についてのみ説明する。

【0104】

図21は、本実施形態にかかる半導体装置の上面レイアウト図である。なお、図21は断面図ではないが、図を見易くするために部分的にハッチングを示してある。この図に示すように、本実施形態でも、セル領域の外縁部に配置するのではなく、セル領域の中央位置に点在させるように配置し、かつ、第2の領域が第3の領域の間を繋ぐように配置された構造となるようにしている。そして、円形状に囲まれた範囲を第3の領域として、第3の領域が正方形の各角部に配置された形状、つまりマトリクス状に配置されたレイアウトとされ、各第3の領域を繋ぐ正方形の各辺に相当する位置に第2の領域が配置されたレイアウトとされている。

40

【0105】

このように、第1～第3の領域のレイアウトを変更しても、第9実施形態と同様の効果を得ることができる。

【0106】

(第11実施形態)

50

本発明の第11実施形態について説明する。本実施形態も、第9実施形態に対して第1～第3の領域のレイアウトを変更したものであり、その他に関しては第9実施形態と同様であるため、第9実施形態と異なる部分についてのみ説明する。

【0107】

図22は、本実施形態にかかる半導体装置の上面レイアウト図である。なお、図22は断面図ではないが、図を見易くするために部分的にハッチングを示してある。この図に示すように、本実施形態でも、セル領域の外縁部に配置するのではなく、セル領域の中央位置に点在させるように配置し、かつ、第2の領域が第3の領域の間を繋ぐように配置された構造となるようにしている。そして、円形状に囲まれる範囲を第3の領域として、第3の領域が正三角形の各角部に配置されたレイアウトとされ、各第3の領域を繋ぐ正三角形の各辺に相当する位置に第2の領域が配置されたレイアウトとされている。

10

【0108】

このように、第1～第3の領域のレイアウトを変更しても、第9実施形態と同様の効果を得ることができる。

【0109】

(第12実施形態)

本発明の第12実施形態について説明する。本実施形態は、第2実施形態に対して半導体装置の基板裏面側のレイアウトについても考慮したものであり、その他に関しては第2実施形態と同様であるため、第2実施形態と異なる部分についてのみ説明する。

【0110】

図23は、本実施形態にかかる半導体装置の上面レイアウト図である。なお、図23は断面図ではないが、図を見易くするために部分的にハッチングを示してある。この図に示すように、本実施形態では、第2実施形態のような第1～第3の領域を備えた構造について、第1の領域の長手方向先端部よりもカソード領域に相当する n^+ 型不純物領域3(図中一点鎖線で囲んだ領域)が図中矢印A1のように突き出すように形成されている。このような構造の場合、IGBT100におけるスナップバック電圧 V_{SB} が大きくなることが懸念されることから、本実施形態では、 n^+ 型不純物領域3を長手方向において図中矢印A2のように分割し、分割した n^+ 型不純物領域3の間にコレクタ領域に相当する p^+ 型不純物領域2が形成されることでIGBT100が形成されるようにしている。

20

【0111】

このような構成とすれば、分割した n^+ 型不純物領域3の間の p^+ 型不純物領域2によって構成されるIGBT100をIGBT動作させることで電流を流し、電流密度を高くすることで他の部分のIGBT100についてもIGBT動作させるようにする。これにより、IGBT100のスナップバック電圧 V_{SB} を低減することが可能となる。

30

【0112】

したがって、FWD200の面積を増やすことによるスナップバック電圧 V_{SB} の低減と、IGBT100を動作させやすくすることによるスナップバック電圧 V_{SB} の低減の両立を図ることが可能となる。

【0113】

なお、このように n^+ 型不純物領域3を長手方向において分割する場合において、本実施形態では n^+ 型不純物領域3を2つに分割する場合について説明したが、複数、つまり2つに限らず3つ以上の数に分割しても構わない。

40

【0114】

(第13実施形態)

本発明の第13実施形態について説明する。本実施形態は、第12実施形態に対して半導体装置の基板裏面側のレイアウトについても考慮したものであり、その他に関しては第12実施形態と同様であるため、第12実施形態と異なる部分についてのみ説明する。

【0115】

図24は、本実施形態にかかる半導体装置の上面レイアウト図である。なお、図24は断面図ではないが、図を見易くするために部分的にハッチングを示してある。この図に示

50

すように、本実施形態では、第3実施形態のように第1の領域を長手方向において2つに分割した構造について、第1の領域の長手方向先端部がカソード領域に相当する n^+ 型不純物領域3（図中一点差線で囲んだ領域）よりも図中矢印B1のように突き出すように形成されている。このような構造の場合、 n^+ 型不純物領域3の中央部においてスナップバック電圧 V_{SB} が大きくなることが懸念されるが、第1の領域が n^+ 型不純物領域3の先端よりも突き出すように配置されることで、この領域でIGBT100が形成されるようにできる。このため、この領域のIGBT100をIGBT動作させることで電流を流し、電流密度を高くすることで他の部分のIGBT100についてもIGBT動作させるようにできる。これにより、IGBT100のスナップバック電圧 V_{SB} を低減することが可能となる。

10

【0116】

このような構造としても、FWD200の面積を増やすことによるスナップバック電圧 V_{SB} の低減と、IGBT100を動作させやすくすることによるスナップバック電圧 V_{SB} の低減の両立を図ることが可能となる。つまり、第12実施形態のような図中矢印A1のように n^+ 型不純物領域3が第1の領域よりも突き出す場合には、図中矢印A2のように n^+ 型不純物領域3を分割することでIGBT100となる領域を補填し、IGBT100のスナップバック電圧 V_{SB} を低減する。逆に、第13実施形態のような図中矢印B1のように n^+ 型不純物領域3よりも第1の領域が突き出してIGBT100となる領域が存在する場合には、図中矢印B2のように第1の領域を分割することでこの領域に第3の領域を作成し、FWD200のスナップバック電圧 V_{SB} を低減できる。この時B2の距離は数式10の W_2 の2倍以上の距離をとると望ましい。

20

【0117】

（第14実施形態）

本発明の第14実施形態について説明する。本実施形態は、第13実施形態に対して半導体装置の基板裏面側のレイアウトについても考慮したものであり、その他に関しては第13実施形態と同様であるため、第13実施形態と異なる部分についてのみ説明する。

【0118】

図25は、本実施形態にかかる半導体装置の上面レイアウト図である。なお、図25は断面図ではないが、図を見易くするために部分的にハッチングを示してある。この図に示すように、本実施形態では、第13実施形態のように第1の領域を分割してその間に広い第2の領域を配置した構造にしつつ、さらに第1の領域を長手方向において複数箇所分割した構造としている。そして、複数箇所分割された第1の領域の間の図中破線で囲んだ部分をエミッタ領域に相当する n^+ 型不純物領域5が備えられていない領域とし、本実施形態では、この領域を第2の領域とした構成としている。さらに、 n^+ 型不純物領域3（図中一点鎖線で囲んだ領域）が分割された第1の領域の間の第2の領域と対応する部分において、他の部分よりも幅広とされている。

30

【0119】

このような構成によれば、分割された第1の領域の間においてダイオード動作させられるFWD200の面積を増やすことやこの領域が第3の領域の補助的な役割することでより効率的にFWD200の電流密度を向上できることができ、よりFWD200のスナップバック電圧 V_{SB} を低減できる。

40

【0120】

（第15実施形態）

本発明の第15実施形態について説明する。本実施形態は、第4実施形態に対して半導体装置の基板裏面側のレイアウトについても考慮したものであり、その他に関しては第4実施形態と同様であるため、第4実施形態と異なる部分についてのみ説明する。

【0121】

図26は、本実施形態にかかる半導体装置の上面レイアウト図である。なお、図26は断面図ではないが、図を見易くするために部分的にハッチングを示してある。この図に示すように、本実施形態でも、第1の領域の一部を凹ませた図中破線で囲んだ部分をエミッ

50

タ領域に相当する n^+ 型不純物領域 5 が備えられていない領域とし、この領域を第 2 の領域とすることで第 2 の領域の幅を広げた構成としているが、この第 2 の領域の幅に合わせて n^+ 型不純物領域 3 を配置している。

【 0 1 2 2 】

このような構成によれば、幅広とされた第 2 の領域と n^+ 型不純物領域 3 とが対向したレイアウトとなり、この領域が第 3 の領域の補助的な役割することでより効率的に FWD 200 の全体の電流密度を向上しより FWD 200 のスナップバック電圧 VSB を低減できる。したがって、第 12 実施形態と同様の効果を得ることができる。

【 0 1 2 3 】

(第 16 実施形態)

本発明の第 16 実施形態について説明する。本実施形態は、第 9 実施形態に対して半導体装置の基板裏面側のレイアウトについても考慮したものであり、その他に関しては第 9 実施形態と同様であるため、第 9 実施形態と異なる部分についてのみ説明する。

【 0 1 2 4 】

図 27 は、本実施形態にかかる半導体装置の上面レイアウト図である。なお、図 27 は断面図ではないが、図を見易くするために部分的にハッチングを示してある。この図に示すように、本実施形態でも、円形状に囲まれた範囲を第 3 の領域として、第 3 の領域が正六角形の各角部に配置された形状、つまりハニカム状に配置されたレイアウトとされ、各第 3 の領域を繋ぐ六角形の各辺に相当する位置に第 2 の領域が配置されたレイアウトとされている。そして、これに対応して、各第 3 の領域が構成する六角形の中心点および各中心を繋ぐ直線部分にコレクタ領域に相当する p^+ 型不純物領域 2 を配置することで、 p^+ 型不純物領域 2 が複数の正三角形に配置されるようにし、その正三角形の線内にカソード領域に相当する n^+ 型不純物領域 3 を配置した構造としている。

【 0 1 2 5 】

このように、第 1 ~ 第 3 の領域、つまり基板表面側において IGBT 100 として機能する部分や FWD 200 として機能する部分のレイアウトと、基板裏面側において IGBT 100 のコレクタ領域となる p^+ 型不純物領域 2 や FWD 200 のカソード領域となる n^+ 型不純物領域 3 のレイアウトを合せている。これにより、それぞれの第 3 の領域同士の距離が近くなるため効率的に IGBT 動作やダイオード動作を行わせられるため、より FWD 200 のスナップバック電圧 VSB を低減できる。したがって、第 12 実施形態と同様の効果を得ることができる。

【 0 1 2 6 】

(第 17 実施形態)

本発明の第 17 実施形態について説明する。本実施形態は、第 10 実施形態に対して半導体装置の基板裏面側のレイアウトについても考慮したものであり、その他に関しては第 10 実施形態と同様であるため、第 10 実施形態と異なる部分についてのみ説明する。

【 0 1 2 7 】

図 28 は、本実施形態にかかる半導体装置の上面レイアウト図である。なお、図 27 は断面図ではないが、図を見易くするために部分的にハッチングを示してある。この図に示すように、本実施形態でも、円形状に囲まれる範囲を第 3 の領域として、第 3 の領域が正方形の各角部に配置された形状、つまりマトリクス状に配置されたレイアウトとされ、各第 3 の領域を繋ぐ正方形の各辺に相当する位置に第 2 の領域が配置されたレイアウトとされている。そして、これに対応して、各第 3 の領域が構成する正方形の中心点および各中心を繋ぐ直線部分にコレクタ領域に相当する p^+ 型不純物領域 2 を配置することで、 p^+ 型不純物領域 2 が複数の正方形に配置されるようにし、その正方形の線内にカソード領域に相当する n^+ 型不純物領域 3 を配置した構造としている。

【 0 1 2 8 】

このように、第 1 ~ 第 3 の領域、つまり基板表面側において IGBT 100 として機能する部分や FWD 200 として機能する部分のレイアウトと、基板裏面側において IGBT 100 のコレクタ領域となる p^+ 型不純物領域 2 や FWD 200 のカソード領域となる

10

20

30

40

50

n^+ 型不純物領域3のレイアウトを合せている。これにより、第16実施形態と同様の効果が得られる。

【0129】

(第18実施形態)

本発明の第18実施形態について説明する。本実施形態は、第11実施形態に対して半導体装置の基板裏面側のレイアウトについても考慮したものであり、その他に関しては第11実施形態と同様であるため、第11実施形態と異なる部分についてのみ説明する。

【0130】

図29は、本実施形態にかかる半導体装置の上面レイアウト図である。なお、図29は断面図ではないが、図を見易くするために部分的にハッチングを示してある。この図に示すように、本実施形態でも、円形状に囲まれる範囲を第3の領域として、第3の領域が正三角形の各角部に配置されたレイアウトとされ、各第3の領域を繋ぐ正三角形の各辺に相当する位置に第2の領域が配置されたレイアウトとされている。そして、これに対応して、各第3の領域が構成する正三角形の中心点および各中心を繋ぐ直線部分にコレクタ領域に相当する p^+ 型不純物領域2を配置することで、 p^+ 型不純物領域2が複数の正六角形に配置されるようにし、その正六角形の線内にカソード領域に相当する n^+ 型不純物領域3を配置した構造としている。

【0131】

このように、第1～第3の領域、つまり基板表面側においてIGBT100として機能する部分やFWD200として機能する部分のレイアウトと、基板裏面側においてIGBT100のコレクタ領域となる p^+ 型不純物領域2やFWD200のカソード領域となる n^+ 型不純物領域3のレイアウトを合せている。これにより、第16実施形態と同様の効果が得られる。

【0132】

(第19実施形態)

本発明の第19実施形態について説明する。本実施形態は、第12実施形態に対してよりスイッチング損失低減が図れるレイアウトにしたものであり、その他に関しては第12実施形態と同様であるため、第12実施形態と異なる部分についてのみ説明する。

【0133】

図30(a)は、本実施形態にかかる半導体装置の上面レイアウト図、図30(b)は、図30(a)の二点差線で囲んだ領域の部分拡大図である。なお、図30(a)は断面図ではないが、図を見易くするために部分的にハッチングを示してある。この図に示すように、本実施形態でも、第1～第3の領域を備えた構造について、第1の領域の長手方向先端部よりも n^+ 型不純物領域3が突き出すように形成され、 n^+ 型不純物領域3が長手方向において分割されている構造とされている。分割した各 n^+ 型不純物領域3の間の距離 L_c が $200\mu\text{m}$ 以上となるようにレイアウトされている。そして、 n^+ 型不純物領域3が第2の領域と対応する場所に形成された領域3aだけでなく第1の領域と対応する場所に形成された領域3bを備えた構成とされている。

【0134】

領域3aは、第2の領域の幅に対応する幅とされている。領域3bは、隣接する各領域3aの中央位置に形成され、第1の領域の幅や領域3aの幅よりも狭く、かつ、第1の領域の長手方向と同方向を長手方向として延設されている。

【0135】

このように構成された半導体装置では、 n^+ 型不純物領域3のうちの領域3aについてはダイオード動作を行わせ、領域3bについてはMOS動作を行わせることができる。すなわち、FWD200として機能する第2の領域と対応する位置に形成された領域3aについてはカソード領域として機能することでダイオード動作させられる。また、IGBT100として機能する第1の領域と対応する位置に形成された領域3bは、MOSFETにおけるドレイン領域として機能することでMOS動作させられる。このため、次のような効果を得ることができる。

10

20

30

40

50

【 0 1 3 6 】

図 3 1 は、本実施形態にかかる半導体装置の $V_{ce} - I_c$ 特性を調べた図である。また、比較例として領域 3 b を有しない第 1 2 実施形態の半導体装置の $V_{ce} - I_c$ 特性も図 3 1 中に示してある。この図中の小電流領域を確認すると、第 1 2 実施形態の半導体装置の場合、 V_{ce} が 1 V 近辺から V_{ce} の増加に伴って徐々に I_c が上昇していく特性になっている。これに対して、本実施形態の半導体装置の場合、 V_{ce} が 1.5 V 近辺において I_c が急に上昇し、その後、第 1 2 実施形態の半導体装置と同様に V_{ce} の増加に伴って徐々に I_c が上昇していく特性になる。これは、本実施形態の半導体装置の場合、第 1 2 実施形態の半導体装置と比較して低注入化が可能となって、より速くスイッチ行われていることを表しており、スイッチング損失を低減することが可能となる。

10

【 0 1 3 7 】

一般的に、MOSFET は IGBT よりもスイッチング動作が速く、MOSFET の方が IGBT よりもスイッチング損失が小さい。本実施形態の半導体装置では、IGBT 動作を基本としつつ、MOS 動作も行わせることが可能になることから、スイッチング損失の低減を図ることが可能となる。このようなスイッチング損失の低減効果は、半導体装置をインバータ駆動に適用する場合のように頻りにスイッチングが行われるような適用形態とされる場合に有効である。

【 0 1 3 8 】

また、図中の大電流領域については、本実施形態の半導体装置も第 1 2 実施形態の半導体装置も $V_{ce} - I_c$ 特性がほぼ同様になる。このため、本実施形態の半導体装置によれば、スイッチング周波数の高い低電流でスイッチング損失低減を図りつつ、熱定格を決める大電流領域では第 1 2 実施形態の半導体装置と同様の電流特性を得ることが可能となる。

20

【 0 1 3 9 】

さらに、本実施形態では、分割した各 n^+ 型不純物領域 3 の間の距離 L_c が $200 \mu m$ 以上となるようにしている。図 3 2 は、FS 層のシート抵抗が $2.5 E - 5 [\Omega / \square]$ 、板厚が $50 \mu m$ 、基板の比抵抗が $65 [\Omega \cdot cm]$ の場合の距離 L_c と IGBT 100 のスナップバック電圧 V_{SB} について調べた結果を示すグラフである。この図に示されるように、距離 L_c が長くなるほど、つまり IGBT 動作を行うことができる範囲を広くするほど、スナップバック電圧 V_{SB} を低下させられる。そして、距離 L_c が $200 \mu m$ 以上になると、スナップバック電圧 V_{SB} が $-40 [V]$ における $V_{AK}(th) = 0.8 [V]$ に対して無視できる $0.1 V$ 以下にすることが可能になる。このように、距離 L_c を $200 \mu m$ 以上に設定することで十分にスナップバック電圧 V_{SB} を小さくすることが可能となる。

30

【 0 1 4 0 】

なお、本実施形態では、領域 3 b を隣接する各領域 3 a の中央位置に形成しているが、他の構造としても良い。図 3 3 (a) ~ (c) は、領域 3 b の他のレイアウトを示した図であり、図 3 0 (b) に相当する部分拡大図である。図 3 3 (a) に示したように領域 3 b を長手方向において複数に分割した構造としても良いし、図 3 3 (b) に示すように、領域 3 b を 2 本配置した構造としても良い。さらに、図 3 3 (c) に示すように、領域 3 b を 2 本配置しつつ、それぞれ長手方向において複数に分割し、さらに分割された各領域 3 b が交互に配置された構造としても良い。

40

【 0 1 4 1 】

また、本実施形態では、 n^+ 型不純物領域 3 を長手方向において 2 つに分割する場合について説明したが、他の構造とすることもできる。図 3 4 ~ 図 3 6 は、 n^+ 型不純物領域 3 を他の構造とする場合の半導体装置のレイアウト図である。図 3 4 ~ 図 3 6 の二点鎖線で囲んだ領域は、図 3 0 (b) や図 3 3 (a) ~ (c) の構造とされている。

【 0 1 4 2 】

図 3 4 に示すように、第 1 3 実施形態と同様、 n^+ 型不純物領域 3 を分割しない構造とすることができる。この場合にも、第 1 の領域の長手方向先端部が n^+ 型不純物領域 3 よ

50

りも突き出すように形成されることになるが、この突き出し部分において IGBT 動作を行うことができる範囲を広く取れるため、IGBT 100 のスナップバック電圧 VSB を低減することが可能となる。なお、この構造の場合、n⁺型不純物領域 3 の先端に対して第 1 の領域の長手方向先端部が突き出す距離 Lc が 100 μm 以上とすることで十分にスナップバック電圧 VSB を小さくすることが可能となる。

【0143】

また、図 35 に示すように、n⁺型不純物領域 3 を長手方向において複数個に分割した構造としても良い。この場合にも、分割された各 n⁺型不純物領域 3 の間の距離 Lc が 200 μm 以上となるようにすると、より十分にスナップバック電圧 VSB を小さくすることが可能となる。

10

【0144】

さらに、図 36 に示すように、第 1 の領域の長手方向先端部が n⁺型不純物領域 3 よりも突き出す構造とされる場合にも、n⁺型不純物領域 3 を長手方向において分割することができる。この場合にも、n⁺型不純物領域 3 の先端に対して第 1 の領域の長手方向先端部が突き出す距離 Lc が 100 μm 以上となり、かつ、分割された各 n⁺型不純物領域 3 の間の距離 Lc が 200 μm 以上となるようにすると、より十分にスナップバック電圧 VSB を小さくすることが可能となる。

【0145】

(第 20 実施形態)

本発明の第 20 実施形態について説明する。本実施形態は、第 12 実施形態に対してよりスイッチング損失低減が図れるレイアウトにしたものであり、その他に関しては第 12 実施形態と同様であるため、第 12 実施形態と異なる部分についてのみ説明する。

20

【0146】

図 37 (a) は、セル領域における基板裏面側のレイアウトを示した図であり、図 37 (b) は、図 37 (a) の部分拡大図である。なお、図中破線で示したセル領域の内部には、実際にはカソード領域に相当する n⁺型不純物領域 3 も形成されているが、例えば第 12 ~ 第 19 実施形態で説明したように様々なレイアウトのものを採用できるため、図 37 (a) では図示を省略してある。

【0147】

図 37 (a) に示すように、セル領域の外縁部においてコレクタ領域に相当する p⁺型不純物領域 2 およびカソード領域に相当する n⁺型不純物領域 3 が混在する混在領域 15 が形成されている。この混在領域 15 は、基本的には p⁺型不純物領域 2 とされているが、部分的に n⁺型不純物領域 3 が形成された構造とされている。具体的には図 37 (b) に示すように、複数の正形状にて n⁺型不純物領域 3 が点在させられており、その寸法を 1 μm ~ 20 μm に設定することで拡散係数 (= d^{1/2}) にて規定される拡散長以下となるようにしている。また、点在している各 n⁺型不純物領域 3 の間の間隔が 150 μm 未満に設定することで、定常時やスイッチング時に電流密度が大きくなり過ぎて混在領域 15 において IGBT 100 がオンしてしまうことを抑制している。

30

【0148】

図 38 に示す断面図のように、動作中に p 型ディープウェル層 13 とその下に位置する p⁺型不純物領域 2 との間にキャリアが蓄積されている。このため、スイッチング時に図中矢印で示すように p⁺型不純物領域 2 の表面を経路として電子電流が流れて n⁺型不純物領域 3 に流れ込む。これにより、p 型ディープウェル層 13 と n⁻型ドリフト層 1 および p⁺型不純物領域 2 とによって構成される寄生 PNP トランジスタがオンしてしまう。このため、p 型ディープウェル層 13 とその下に位置する p⁺型不純物領域 2 との間にホールが再注入されて電流集中が発生し、半導体装置が壊れる可能性がある。

40

【0149】

このため、本実施形態に示すように、セル領域の外縁部において p⁺型不純物領域 2 に n⁺型不純物領域 3 を点在させた混在領域 15 を備えることで、寄生 PNP トランジスタがオンし難くなるようにできる。これにより、半導体装置の耐量を向上させられる。また

50

、ホール再注入を抑制できるため、スイッチング損失の低減を図ることも可能となる。

【0150】

(第21実施形態)

本発明の第21実施形態について説明する。本実施形態は、第20実施形態に対して混在領域15の構造を変更したものであり、その他に関しては第20実施形態と同様であるため、第20実施形態と異なる部分についてのみ説明する。

【0151】

図39(a)は、セル領域における基板裏面側のレイアウトを示した図であり、図39(b)は、図39(a)の部分拡大図である。なお、セル領域の内部には、実際にはカソード領域に相当する n^+ 型不純物領域3も形成されているが、例えば第12～第19実施形態で説明したように様々なレイアウトのものを採用できるため、図39(a)では図示を省略してある。

10

【0152】

図39(a)、(b)に示すように、本実施形態では、混在領域15に備えられる n^+ 型不純物領域3にてセル領域の外縁部を囲むレイアウトとしている。そして、混在領域15に備えられる n^+ 型不純物領域3の幅を $20\mu\text{m}$ 以下に設定することで拡散係数($=d^{1/2}$)にて規定される拡散長以下となるようにしている。また、各 n^+ 型不純物領域3の間の間隔を $150\mu\text{m}$ 未満に設定することで、定常時やスイッチング時に電流密度が大きくなり過ぎて混在領域15においてIGBT100がオンしてしまうことを抑制している。このような構成としても、第20実施形態と同様の効果を得ることができる。

20

【0153】

(第22実施形態)

本発明の第22実施形態について説明する。本実施形態も、第20実施形態に対して混在領域15の構造を変更したものであり、その他に関しては第20実施形態と同様であるため、第20実施形態と異なる部分についてのみ説明する。

【0154】

図40(a)は、セル領域における基板裏面側のレイアウトを示した図であり、図40(b)は、図40(a)の部分拡大図である。なお、セル領域の内部には、実際にはカソード領域に相当する n^+ 型不純物領域3も形成されているが、例えば第12～第19実施形態で説明したように様々なレイアウトのものを採用できるため、図40(a)では図示を省略してある。

30

【0155】

図40(a)、(b)に示すように、本実施形態では、混在領域15に備えられる n^+ 型不純物領域3が略四角形状とされるセル領域の各辺の垂直方向に延設されたレイアウトとしている。そして、混在領域15に備えられる n^+ 型不純物領域3の幅を $1\mu\text{m}\sim 20\mu\text{m}$ に設定することで拡散係数($=d^{1/2}$)にて規定される拡散長以下となるようにしている。また、各 n^+ 型不純物領域3の間の間隔を $150\mu\text{m}$ 未満に設定することで、定常時やスイッチング時に電流密度が大きくなり過ぎて混在領域15においてIGBT100がオンしてしまうことを抑制している。このような構成としても、第20実施形態と同様の効果を得ることができる。

40

【0156】

(第23実施形態)

本発明の第23実施形態について説明する。本実施形態は、第21実施形態に対して混在領域15の構造を変更したものであり、その他に関しては第21実施形態と同様であるため、第21実施形態と異なる部分についてのみ説明する。

【0157】

図41は、セル領域における基板裏面側のレイアウトを示した図である。なお、セル領域の内部には、実際にはカソード領域に相当する n^+ 型不純物領域3も形成されているが、例えば第12～第19実施形態で説明したように様々なレイアウトのものを採用できるため、図41では図示を省略してある。

50

【 0 1 5 8 】

この図に示すように、本実施形態では、混在領域 15 において、セル領域の外縁部を囲むように配置された複数の n^+ 型不純物領域 3 のうち最も内周側のものを、それよりも外周側に位置しているものよりも太くしている。具体的には、 $20 \mu\text{m}$ より太く設定することで拡散係数 ($= d^2$) にて規定される拡散長より太くしている。

【 0 1 5 9 】

混在領域 15 に備えられる各 n^+ 型不純物領域 3 の間の間隔を広く取ると、定常時やスイッチング時に電流密度が大きくなり過ぎて IGBT100 がオンしてしまう。このため、セル領域の外縁部を囲むように配置された複数の n^+ 型不純物領域 3 のうち最も内周側のものを太くしておくことで、それよりも外側において電流密度を低下させることが可能となる。これにより、混在領域 15 において定常時やスイッチング時に電流密度が大きくなり過ぎて IGBT100 がオンしてしまうことをより抑制することが可能となる。

10

【 0 1 6 0 】

(他の実施形態)

(1) 上記各実施形態では、IGBT100 と FWD200 を備えた半導体装置の一例について説明したが、各構成の形状を変更するなど、適宜変更可能である。例えば、第 2 ~ 第 23 実施形態では、第 1 ~ 第 3 の領域を備えた構造について説明した。また、第 4 ~ 第 8 実施形態において、図中破線で囲んだエミッタ領域に相当する n^+ 型不純物領域 5 が備えられていない領域を設け、この領域を第 2 の領域と同じ構造とする場合について説明した。しかしながら、上記各実施形態で説明した構造は単なる一例を示したものであり、第 1 ~ 第 3 の領域の構成や第 4 ~ 第 8 実施形態において図中破線で囲んだ領域の構成を変更しても良い。

20

【 0 1 6 1 】

図 42 (a) ~ (c) は、第 1 の領域のセル構成、第 2、第 3 の領域のセル構成および第 4 ~ 第 8 実施形態において図中破線で囲んだ領域のセル構成の一例を示した断面図である。

【 0 1 6 2 】

図 42 (a) に示すように、第 1 の領域については、エミッタ領域に相当する n^+ 型不純物領域 5 を形成しないことで、IGBT100 として機能する部分を間引いた間引き構造としている。この間引き部分における p 型ベース領域 4 内に隣接するトレンチゲート構造を繋ぐように n 型領域 (ホールストップ (HS) 層) 20 を備えた構造とすることができる。

30

【 0 1 6 3 】

このように、n 型領域 20 を備えることにより、IGBT100 が IGBT 動作を行う際には、p 型ベース領域 4 のうち n 型領域 20 の下方位置においてキャリアを蓄積することができる。つまり、n 型領域 20 が無い場合には、ホールが p 型ベース領域 4 を通じて上部電極 10 側に抜けてしまい、オン電圧が高くなることから、オン電圧低下のために、IGBT 動作時にできるだけキャリアを蓄積させておき、導電率変調が起こるようにすることが望ましい。このため、n 型領域 20 を備え、p 型ベース領域 4 のうち n 型領域 20 の下方位置においてキャリアを蓄積することで、導電率変調を起こさせることが可能となり、オン電圧低下を実現できる。そして、IGBT 形成領域におけるダイオード動作に伴うホール注入が抑えられるため、リカバリ特性を改善することも可能となる。

40

【 0 1 6 4 】

なお、間引き部の p 型ベース領域 4 のうち n 型領域 20 よりも上方に残された部分は接地される。間引き部の近傍の IGBT100 が IGBT 動作を行う際には、コレクタ - エミッタ間がショートすることになるため、間引き部に構成される FWD200 がダイオード動作しなく可能性がある。このため、p 型ベース領域 4 を接地することで、間引き部に構成される FWD200 が確実にダイオード動作できるようにしている。

【 0 1 6 5 】

また、図 42 (b) に示すように、第 2、第 3 の領域については、全域間引き部にて構

50

成することもできる。さらに、図42(c)に示すように、第4～第8実施形態において図中破線で囲んだ領域については、図42(a)に示した第1の領域の構造から、単にエミッタ領域に相当する n^+ 型不純物領域5を除いた構造によって構成することもできる。この場合において、第2の領域を図42(b)の構造とする場合には、第4～第8実施形態等において図中破線で囲んだ領域と第2の領域とが異なる構造となるが、特に問題はない。

【0166】

(2)上記各実施形態では、基本的に、第1導電型を n 型、第2導電型を p 型とする n チャネルタイプのIGBTを例に挙げて説明したが、各部の導電型を反転させた p チャネルタイプのIGBTを適用することもできる。この場合、IGBT以外の他の構成要素についても、導電型を反転させた構造となる。また、上記第1実施形態では、トレンチゲート構造について説明したが、ラテラル型のゲート構造のIGBTについても、距離 $W1 \sim W3$ を第1実施形態と同様の関係とすることで、第1実施形態に示した効果を得ることができる。また一部の実施例はDMOSにも適用可能である。

10

【0167】

(3)上記第1実施形態では、FS層1aを形成した構造を例に挙げたが、 n^- 型ドリフト層1の裏面に、 p^+ 型不純物領域2および n^+ 型不純物領域3のみが形成されたFS層1aが備えられていない構造としても良い。

【符号の説明】

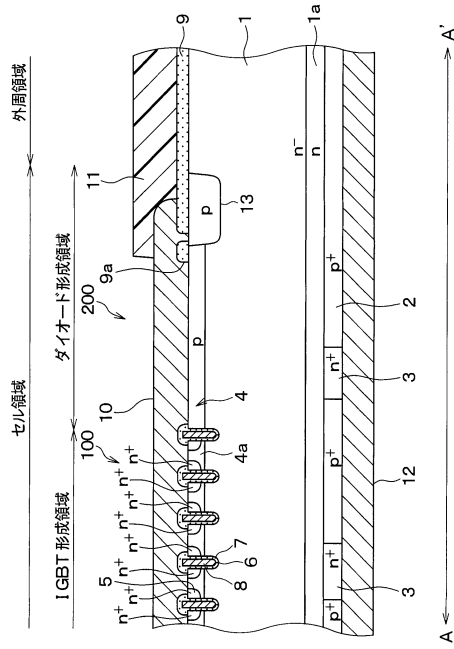
【0168】

- | | |
|-----|---------------|
| 1 | n^- 型ドリフト層 |
| 2 | p^+ 型不純物領域 |
| 3 | n^+ 型不純物領域 |
| 4 | p 型ベース領域 |
| 4a | チャネル p 層 |
| 5 | n^+ 型不純物領域 |
| 6 | トレンチ |
| 7 | ゲート絶縁膜 |
| 8 | ゲート電極 |
| 9 | 層間絶縁膜 |
| 10 | 上部電極 |
| 12 | 下部電極 |
| 13 | p 型ディープウェル層 |
| 100 | IGBT |
| 200 | FW D |

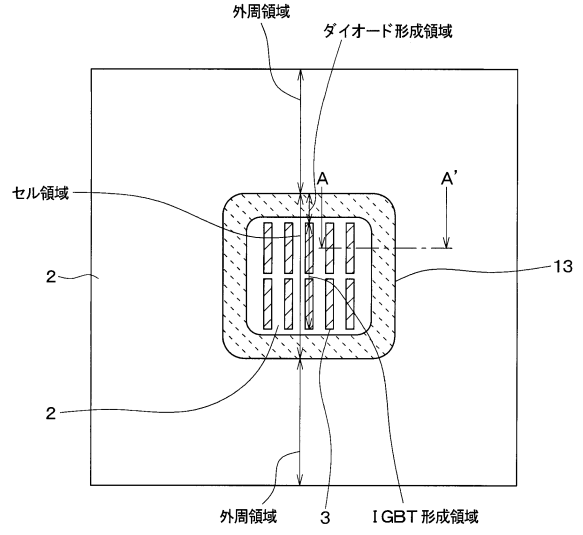
20

30

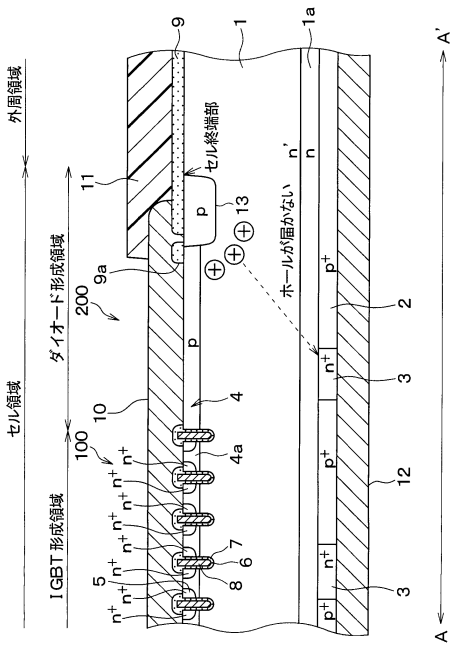
【図1】



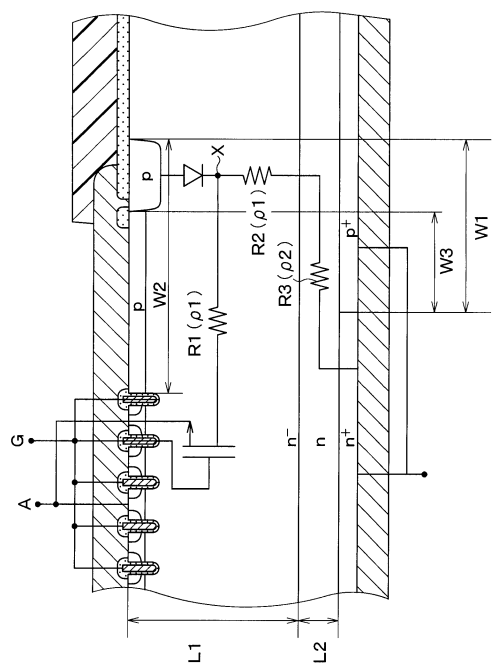
【図2】



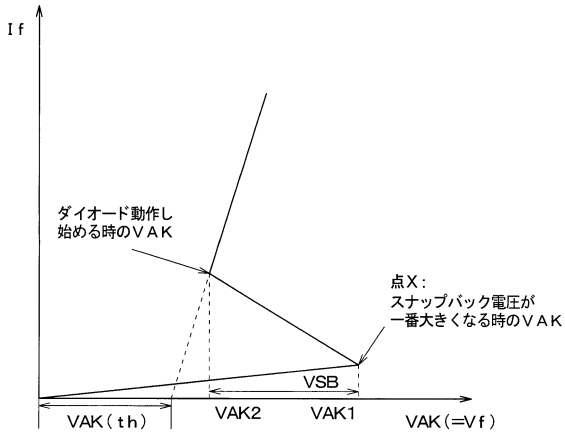
【図3】



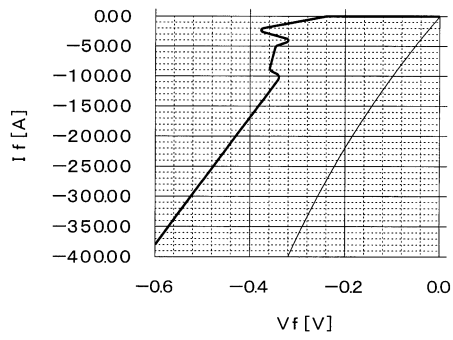
【図4】



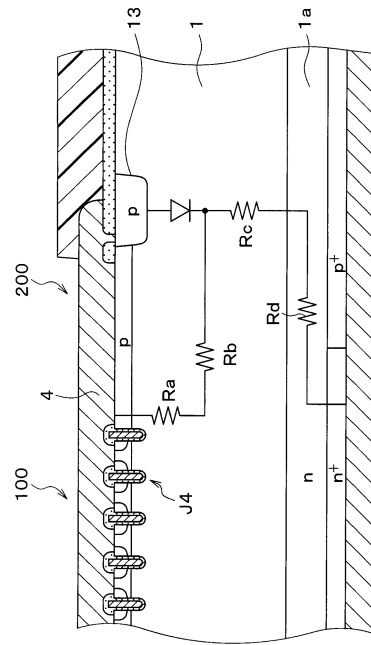
【図5】



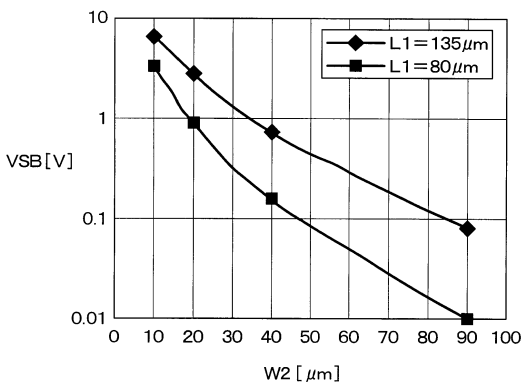
【図6】



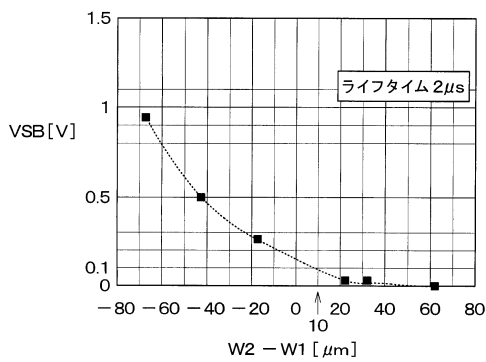
【図7】



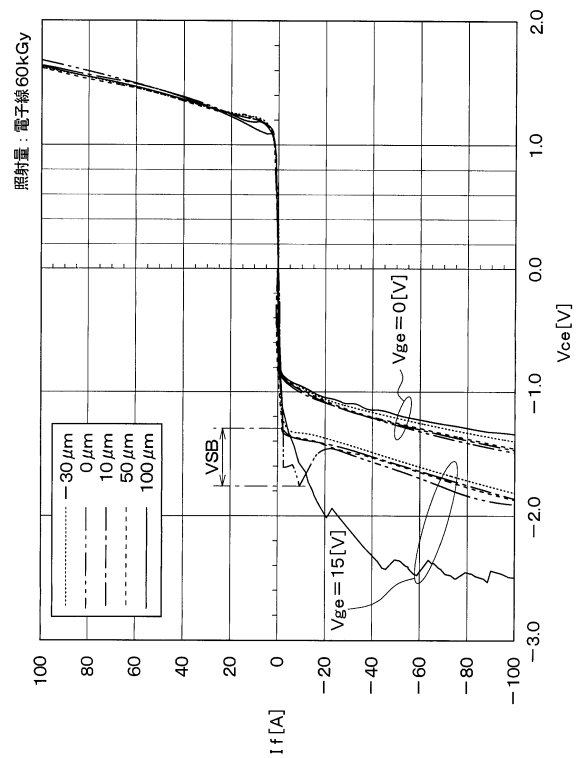
【図8】



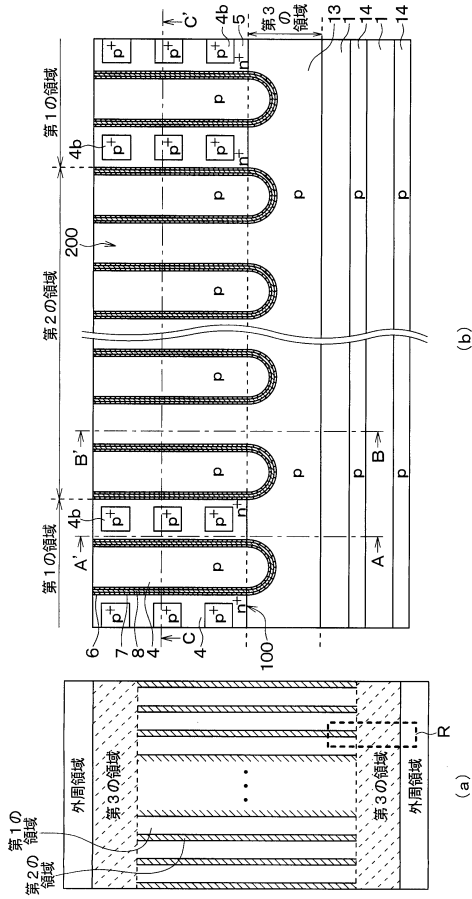
【図9】



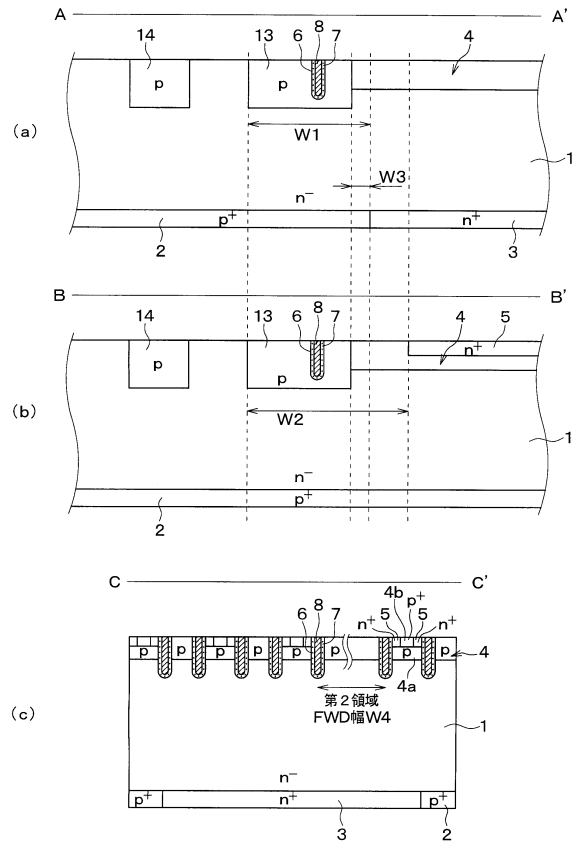
【図10】



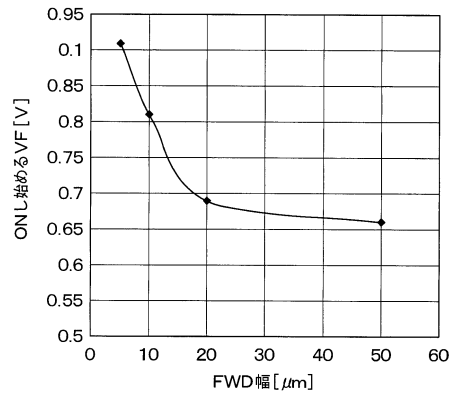
【図 1 1】



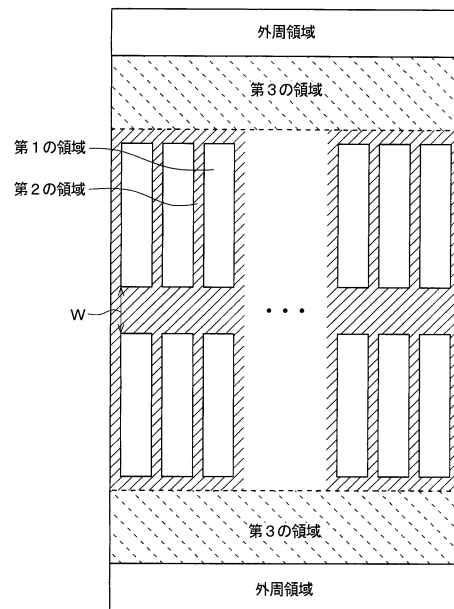
【図 1 2】



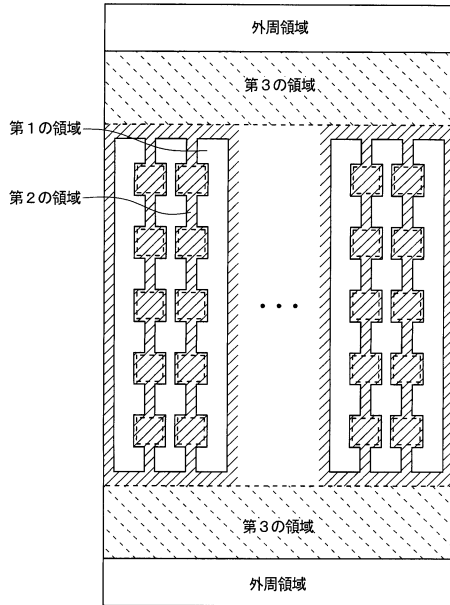
【図 1 3】



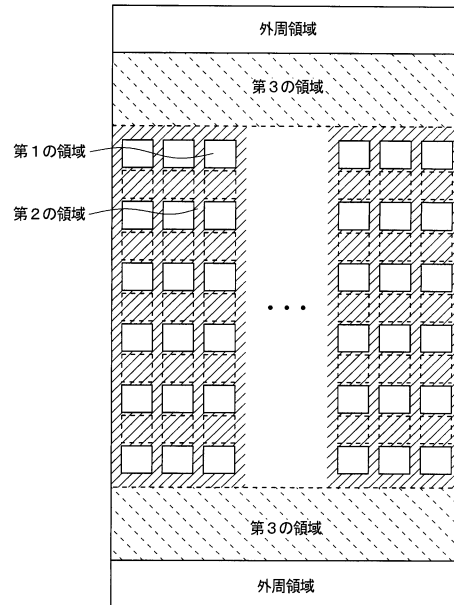
【図 1 4】



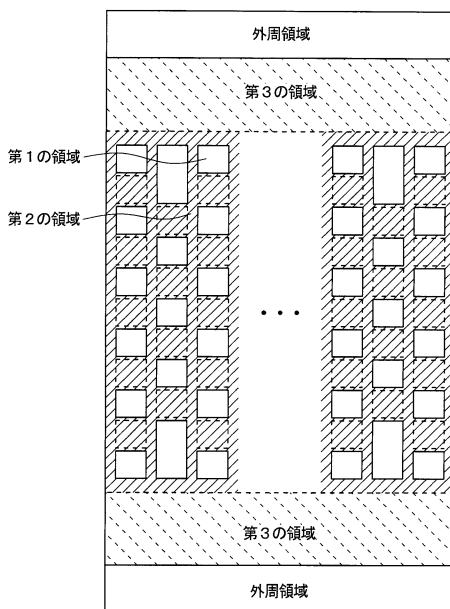
【図15】



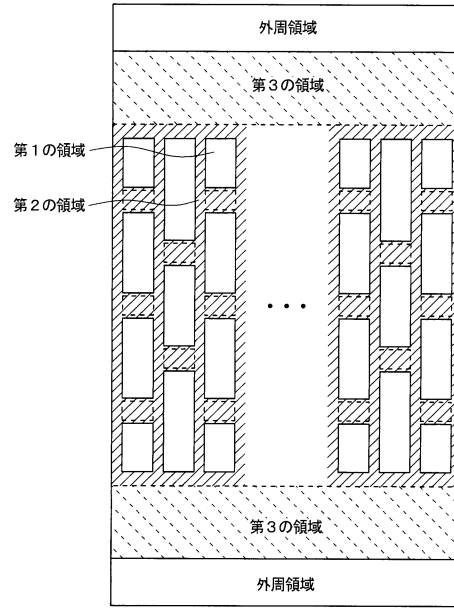
【図16】



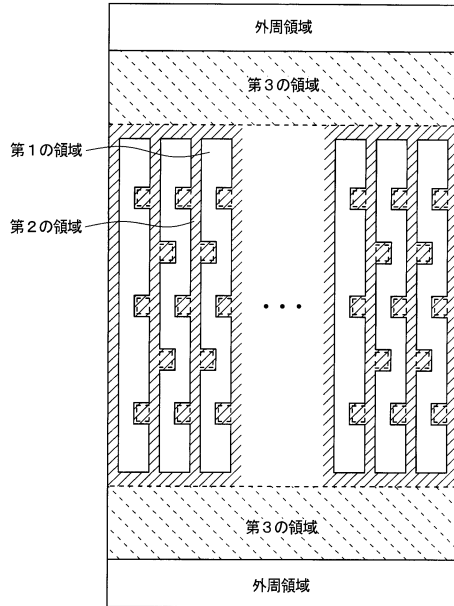
【図17】



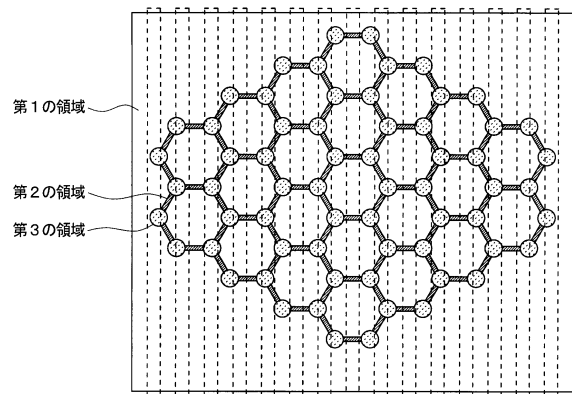
【図18】



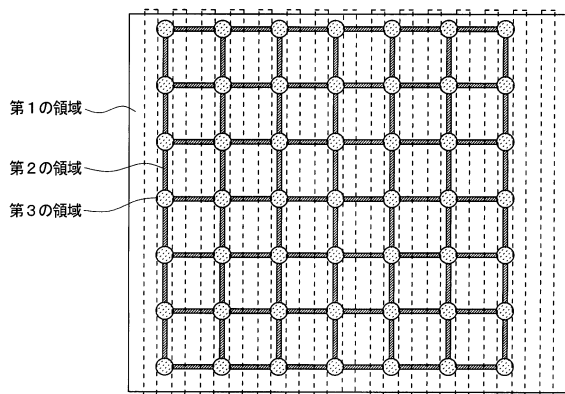
【図19】



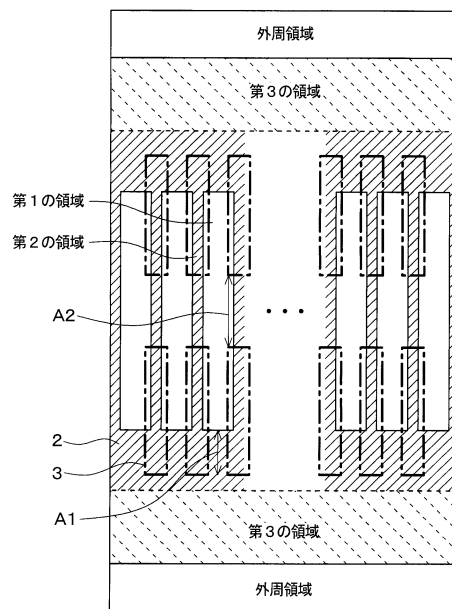
【図20】



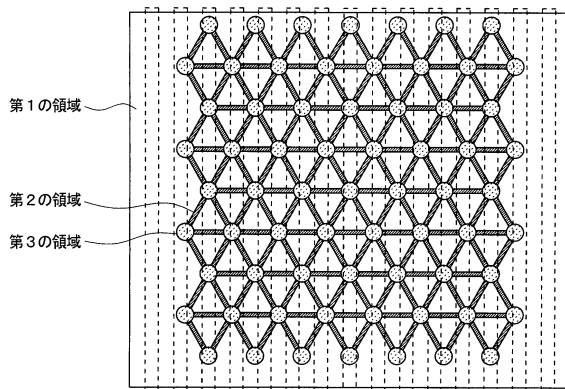
【図21】



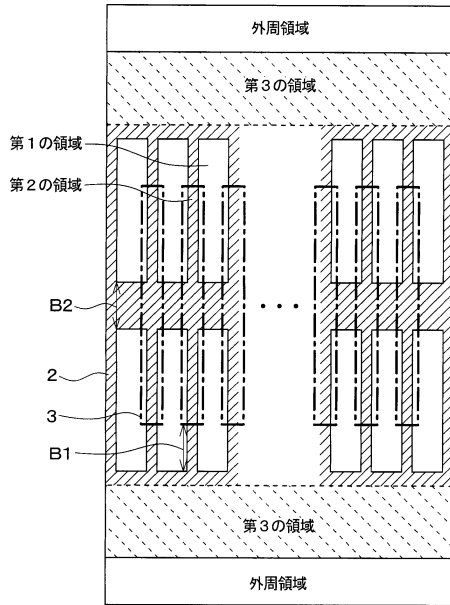
【図23】



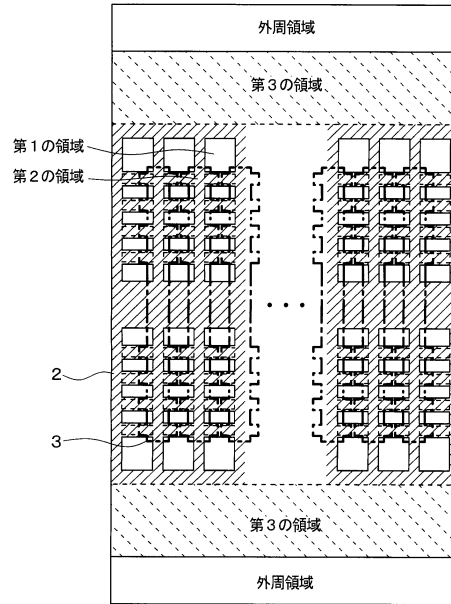
【図22】



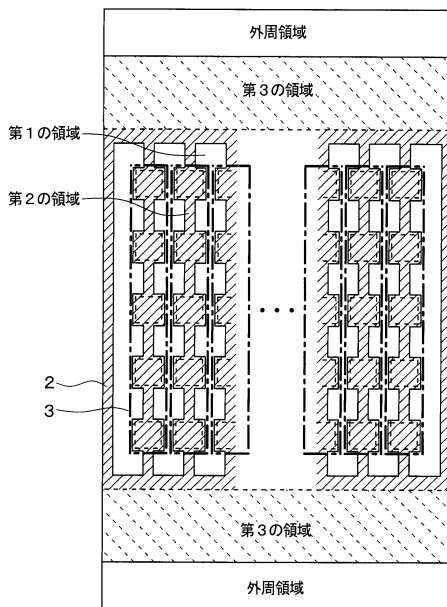
【図 2 4】



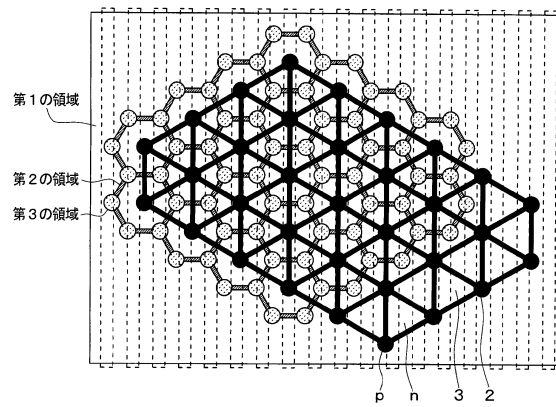
【図 2 5】



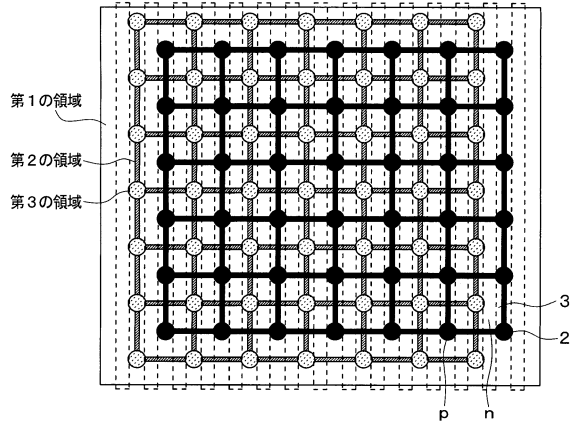
【図 2 6】



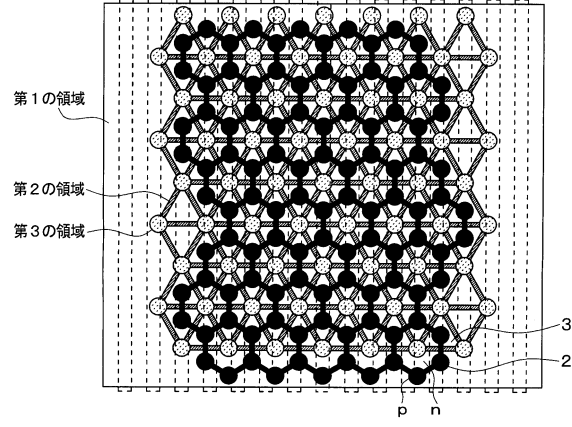
【図 2 7】



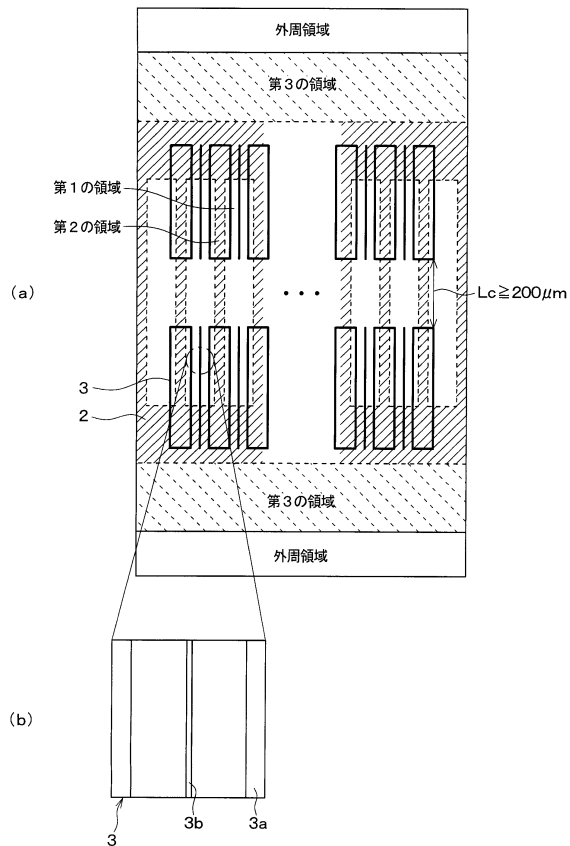
【図28】



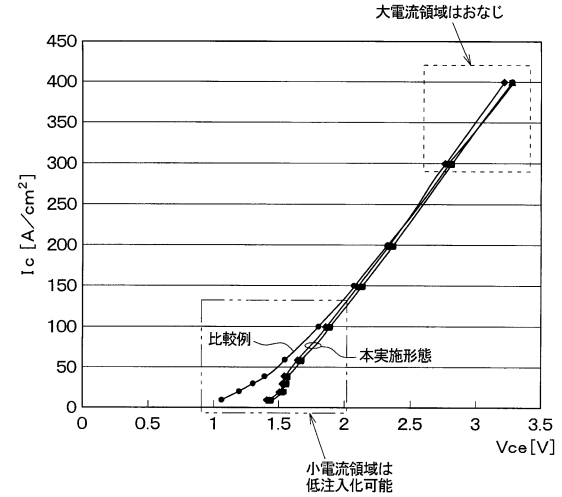
【図29】



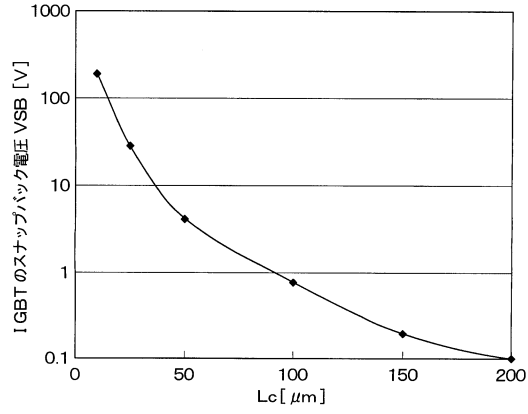
【図30】



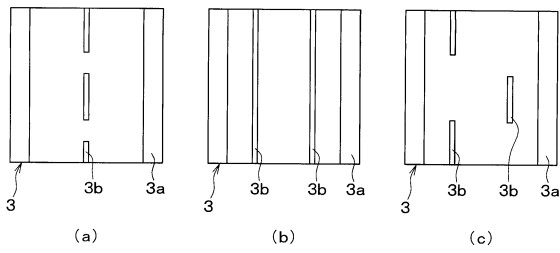
【図31】



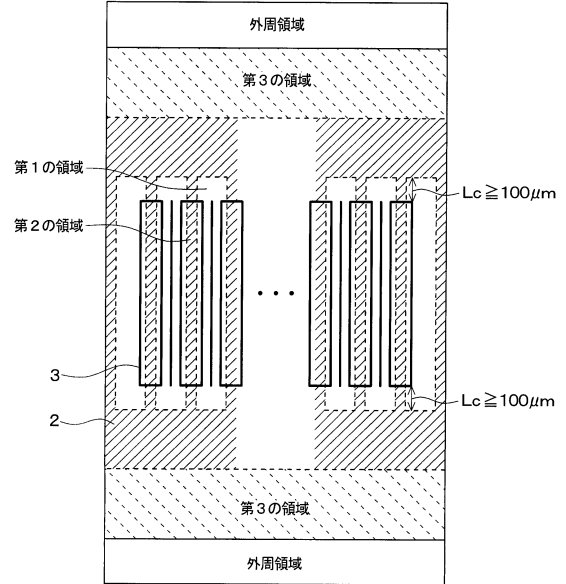
【図 3 2】



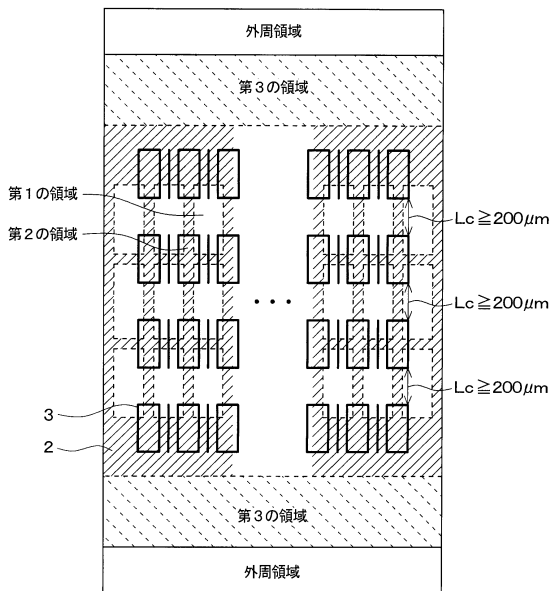
【図 3 3】



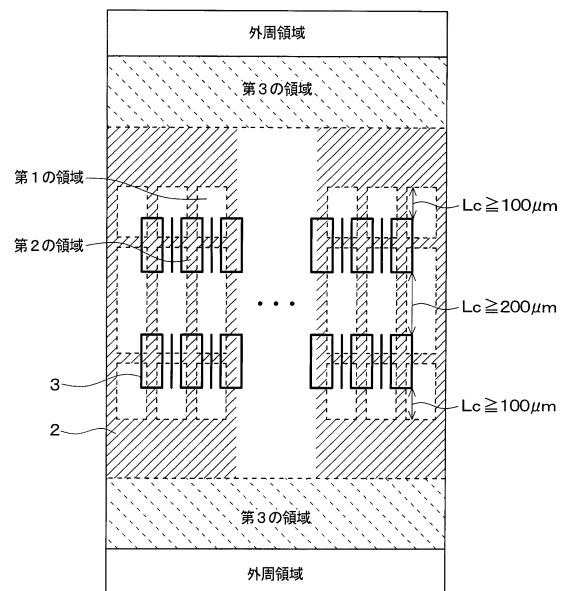
【図 3 4】



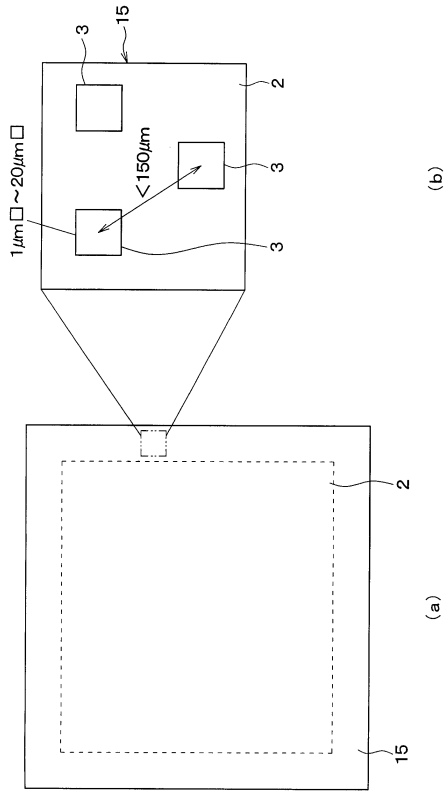
【図 3 5】



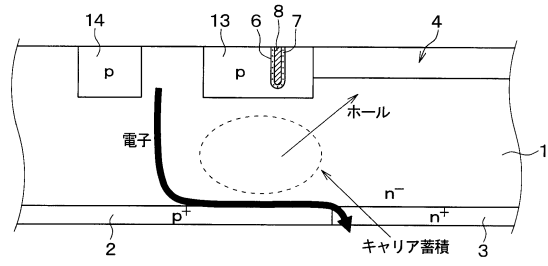
【図 3 6】



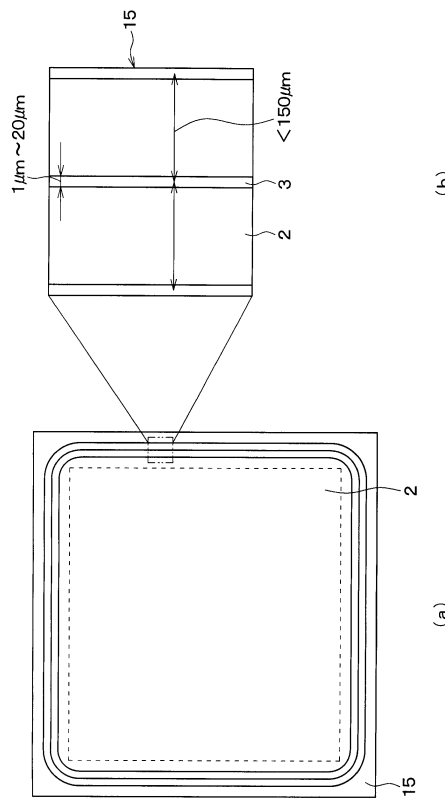
【図 37】



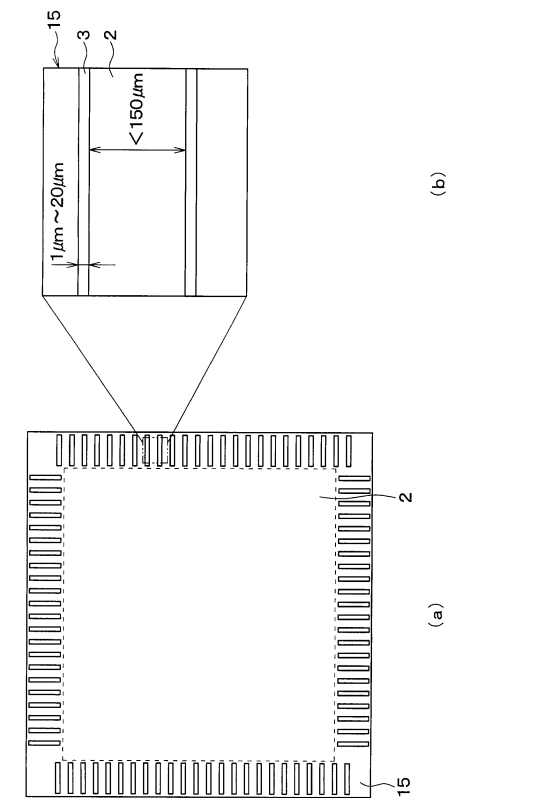
【図 38】



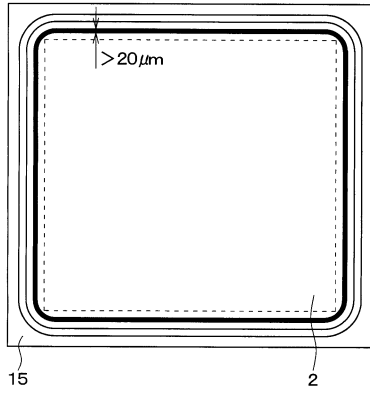
【図 39】



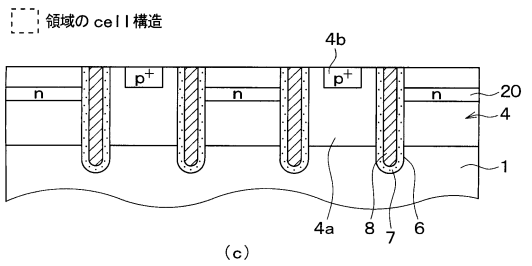
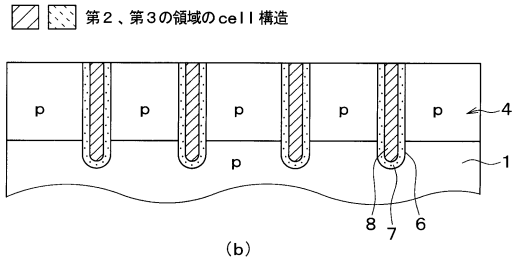
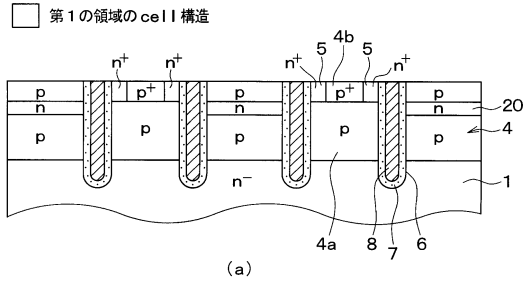
【図 40】



【図 4 1】



【図 4 2】



フロントページの続き

審査官 空 哲次

(56)参考文献 特開2010-186805(JP,A)
米国特許出願公開第2010/0156506(US,A1)
特開平08-102536(JP,A)

(58)調査した分野(Int.Cl., DB名)
H01L 27/04
H01L 29/739
H01L 29/78