

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



# [12] 发明专利说明书

专利号 ZL 03147731.3

G06F 9/38 (2006.01)  
G06F 12/00 (2006.01)  
G06F 13/28 (2006.01)  
G06T 1/00 (2006.01)  
G09G 5/00 (2006.01)

[45] 授权公告日 2006 年 8 月 16 日

[11] 授权公告号 CN 1270232C

[22] 申请日 2003.6.23 [21] 申请号 03147731.3

[30] 优先权

[32] 2002.6.24 [33] JP [31] 2002-182766

[71] 专利权人 精工爱普生株式会社

地址 日本东京

[72] 发明人 工藤真

审查员 袁文婷

[74] 专利代理机构 北京康信知识产权代理有限公司  
代理人 余刚

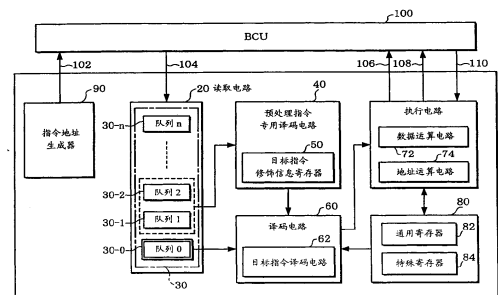
权利要求书 5 页 说明书 29 页 附图 19 页

## [54] 发明名称

信息处理装置以及电子设备

## [57] 摘要

本发明的目的在于提供一种信息处理装置以及电子设备，其在不增大电路规模的前提下可高速执行，并且价格性能比良好，其指令系统包括预处理指令。进行流水线控制的信息处理装置包括：读取电路(20)，其将多个指令的指令码读取到指令队列(30)；预处理指令专用译码电路(40)，其输入译码前的指令码，判断是否为指定的预处理指令，当是指定的预处理指令时，将目标指令译码所必需的信息，存储到目标指令修饰信息寄存器(50)；以及译码电路(60)，其将预处理指令以外的指令码作为译码对象指令输入，并进行译码。当译码对象指令为目标指令时，根据目标指令修饰信息，对预处理指令修饰的目标指令进行译码。



1. 一种进行流水线控制的信息处理装置，其特征在于包括：

读取电路，其将指定的目标指令和多个指令的指令码读取到指令队列，所述多个指令的指令码设置在所述目标指令前，包括修饰目标指令功能的预处理指令；

预处理指令专用译码电路，其输入被读取到指令队列的译码前的指令码，判断是否为指定的预处理指令，当是指定的预处理指令时，将预处理指令修饰的目标指令译码所必需的信息，存储到目标指令修饰信息寄存器，进行预处理指令专用译码处理；以及

译码电路，其将读取到指令队列的预处理指令以外的指令码，作为译码对象指令输入，并进行译码，其中：

所述译码电路，

当译码对象指令为目标指令时，根据目标指令修饰信息寄存器中存储的目标指令修饰信息，对预处理指令修饰的目标指令进行译码；

所述读取电路，

连接的总线带宽至少大于等于指令码两倍，通过所述总线，在1个时钟脉冲里，将多个指令读取到指令队列。

2. 一种进行流水线控制的信息处理装置，其特征在于包括：

读取电路，其将指定的目标指令和多个指令的指令码读取到指令队列，所述多个指令的指令码设置在所述目标指令前，包括修饰目标指令功能的预处理指令；

预处理指令专用译码电路，其输入被读取到指令队列的译码前的指令码，判断是否为指定的预处理指令，当是指定的预处理指令时，将预处理指令修饰的目标指令译码所必需的信息，存储到目标指令修饰信息寄存器，进行预处理指令专用译码处理；以及

译码电路，其将读取到指令队列的预处理指令以外的指令码，作为译码对象指令输入，并进行译码，其中：

所述译码电路，

当译码对象指令为目标指令时，根据目标指令修饰信息寄存器中存储的目标指令修饰信息，对预处理指令修饰的目标指令进行译码；

其中，目标指令连续配置在修饰所述目标指令的预处理指令之后；

所述译码电路在第一指令的译码中，所述预处理指令专用译码电路对接在第一指令后的第二指令，进行预处理指令专用译码处理。

3. 一种进行流水线控制的信息处理装置，其特征在于包括：

读取电路，其将指定的目标指令和多个指令的指令码读取到指令队列，所述多个指令的指令码设置在所述目标指令前，包括修饰目标指令功能的预处理指令；

预处理指令专用译码电路，其输入被读取到指令队列的译码前的指令码，判断是否为指定的预处理指令，当是指定的预处理指令时，将预处理指令修饰的目标指令译码所必需的信息，存储到目标指令修饰信息寄存器，进行预处理指令专用译码处理；以及

译码电路，其将读取到指令队列的预处理指令以外的指令码，作为译码对象指令输入，并进行译码，其中：

所述译码电路，

当译码对象指令为目标指令时，根据目标指令修饰信息寄存器中存储的目标指令修饰信息，对预处理指令修饰的目标指令进行译码；

所述指定的预处理指令，包括移位预处理指令，其用于对目标指令的执行结果进行移位，所述目标指令是所述预处理指令的功能扩展对象；

所述预处理指令专用译码电路，

当输入的命令码为移位预处理指令时，将所必需的移位信息存储到目标指令修饰信息寄存器中，用于对移位预处理指令修饰的目标指令的执行结果进行移位；

所述译码电路，

当译码对象指令为移位预处理指令的目标指令时，根据目标指令修饰信息寄存器中存储的所述移位信息，对移位预处理指令修饰的目标指令的执行结果进行移位，然后译码，以执行目标指令。

4. 一种进行流水线控制的信息处理装置，其特征在于包括：

读取电路，其将指定的目标指令和多个指令的指令码读取到指令队列，所述多个指令的指令码设置在所述目标指令前，包括修饰目标指令功能的预处理指令；

预处理指令专用译码电路，其输入被读取到指令队列的译码前的指令码，判断是否为指定的预处理指令，当是指定的预处理指令时，将预处理指令修饰的目标指令译码所必需的信息，存储到目标指令修饰信息寄存器，进行预处理指令专用译码处理；以及

译码电路，其将读取到指令队列的预处理指令以外的指令码，作为译码对象指令输入，并进行译码，其中：

所述译码电路，

当译码对象指令为目标指令时，根据目标指令修饰信息寄存器中存储的目标指令修饰信息，对预处理指令修饰的目标指令进行译码；

所述指定的预处理指令，包括执行控制预处理指令，其用于控制作为所述预处理指令的功能扩展对象的目标指令有无执行；

所述预处理指令专用译码电路，

当输入的命令码为执行控制预处理指令时，将所必需的执行控制信息存储到目标指令修饰信息寄存器，用于控制预处理指令修饰的目标指令有无执行；

所述译码电路，

当译码对象指令为执行控制预处理指令的目标指令时，根据目标指令修饰信息寄存器中存储的所述执行控制信息，判断执行控制预处理指令修饰的目标指令有无执行，然后译码，以执行目标指令。

5. 根据权利要求 1 至 4 中任一项所述的信息处理装置，其特征在于：

所述指定的预处理指令，包括即值扩展预处理指令，其用于对目标指令执行时所必需的即值进行扩展，所述目标指令是所述预处理指令的功能扩展对象；

所述预处理指令专用译码电路，

当输入的命令码为即值扩展预处理指令时，将所必需的即值扩展信息存储到目标指令修饰信息寄存器，以使在执行即值扩展预处理指令修饰的目标指令时扩展即值；

所述译码电路，

当译码对象指令为即值扩展预处理指令的目标指令时，根据目标指令修饰信息寄存器中存储的所述即值扩展信息，在执行即值扩展预处理指令修饰的目标指令时，扩展即值，然后译码，以执行目标指令。

6. 根据权利要求 1 至 4 中任一项所述的信息处理装置，其特征在于：所述指定的预处理指令，包括寄存器扩展预处理指令，其对目标指令执行时所必需的寄存器进行扩展，所述目标指令是所述预处理指令的功能扩展对象；

所述预处理指令专用译码电路，

当输入的命令码为寄存器扩展预处理指令时，将所必需的寄存器扩展信息存储到目标指令修饰信息寄存器，用于在执行寄存器扩展预处理指令修饰的目标指令时扩展寄存器；

所述译码电路，

当译码对象指令为寄存器扩展预处理指令的目标指令时，根据目标指令修饰信息寄存器中存储的所述寄存器扩展信息，在执行寄存器扩展预处理指令修饰的目标指令时，扩展寄存器，然后译码，以执行目标指令。

7. 一种电子设备，其特征在于包括：

权利要求 1 - 4 中任一项所述的信息处理装置；

接收输入信息的装置；以及

用于输出的装置，其根据输入信息，输出所述信息处理装置的处理结果。

## 信息处理装置以及电子设备

### 技术领域

本发明涉及一种信息处理装置以及电子设备。

### 背景技术

本申请人发明了一种微型计算机（广义上指信息处理装置），该计算机具有指令系统，该指令系统设置在目标指令前，包括修饰（扩展）目标指令功能的预处理指令。例如当目标指令包括即值时，该预处理指令可给出该即值的高位位，并具有对目标指令的即值进行扩展的 ext 指令等。

但是，以往在流水线控制的微型计算机中，为实现由预处理指令修饰目标指令的功能，需要执行预处理指令和目标指令两个指令，需要两个时钟脉冲。

在这里，影响微型计算机性能的最重要因素是其执行速度，所以，最好提供一种以尽可能低的成本，实现高速执行，并且价格性能比良好的微型计算机。

## 发明内容

本实施例是一种进行流水线控制的信息处理装置，包括：

读取电路，其将指定目标指令和多个指令的指令码读取到指令队列，该多个指令的指令码设置在该目标指令前，包括修饰目标指令功能的预处理指令；

预处理指令专用译码电路，其输入读取到指令队列的译码前的指令码，判断是否为指定的预处理指令，当是指定的预处理指令时，将预处理指令修饰的目标指令译码所必需的信息，存储到目标指令修饰信息寄存器，再进行预处理指令专用译码处理；以及

译码电路，其将读取到指令队列的预处理指令以外的指令码作为译码对象指令来输入，并进行译码，

该译码电路的特征是：

当译码对象指令为目标指令时，根据目标指令修饰信息寄存器中存储的目标指令修饰信息，对预处理指令修饰的目标指令进行译码，

在上述信息处理装置中，所述读取电路，

连接的总线带宽至少大于等于指令码两倍，通过所述总线，在1个时钟脉冲里，将多个指令读取到指令队列。

或者，在上述信息处理装置中，目标指令连续配置在修饰所述目标指令的预处理指令之后；

所述译码电路在第一指令的译码中，所述预处理指令专用译码电路对接在第一指令后的第二指令，进行预处理指令专用译码处理。

或者，在上述信息处理装置中，所述指定的预处理指令，包括移位预处理指令，其用于对目标指令的执行结果进行移位，所述目标指令是所述预处理指令的功能扩展对象；



所述预处理指令专用译码电路，

当输入的命令码为移位预处理命令时，将所必需的移位信息存储到目标命令修饰信息寄存器中，用于对移位预处理命令修饰的目标命令的执行结果进行移位；

所述译码电路，

当译码对象命令为移位预处理命令的目标命令时，根据目标命令修饰信息寄存器中存储的所述移位信息，对移位预处理命令修饰的目标命令的执行结果进行移位，然后译码，以执行目标命令。

或者，在上述信息处理装置中，所述指定的预处理命令，包括执行控制预处理命令，其用于控制作为所述预处理命令的功能扩展对象的目标命令有无执行；

所述预处理命令专用译码电路，

当输入的命令码为执行控制预处理命令时，将所必需的执行控制信息存储到目标命令修饰信息寄存器，用于控制预处理命令修饰的目标命令有无执行；

所述译码电路，

当译码对象命令为执行控制预处理命令的目标命令时，根据目标命令修饰信息寄存器中存储的所述执行控制信息，判断执行控制预处理命令修饰的目标命令有无执行，然后译码，以执行目标命令

另一个实施例是一种电子设备，其特征包括：

以上所述的信息处理装置；

接收输入信息的装置；

用于输出的装置，其根据输入信息，输出该信息处理装置的处理结果。

## 附图说明

图 1 是对现有的微型计算机（广义上指信息处理装置）中流水线控制的一个实例进行说明的示意图。

图 2A 和图 2B 是对本实施例的特征进行说明的示意图。

图 3 是对本实施例的微型计算机（广义上指信息处理装置）的构成进行说明的功能框图。

图 4 表示的是对读取电路中的指令队列的具体电路结构的一个实例进行说明的示意图。

图 5A 和图 5B 是对即值扩展预处理指令及其目标指令进行说明的示意图。

图 6A~图 6C 表示的是类型 1 指令的操作式和执行该操作时使用的已扩展的即值字段图。

图 7 是当预处理指令为即值扩展预处理指令时，就预处理指令专用译码电路对指令队列的指令进行译码处理的流程进行说明的流程图。

图 8 是对译码对象指令进行译码处理的流程进行说明的流程图，该译码对象指令含有即值扩展预处理指令中的目标指令。

图 9A、图 9B 和图 9C 是对移位预处理指令进行说明的示意图。

图 10 是当预处理指令为移位预处理指令时，就预处理指令专用译码电路对指令队列中的指令进行译码处理的流程进行说明的流程图。

图 11 是对译码对象指令进行译码处理的流程进行说明的流程图，该译码对象指令含有移位预处理指令中的目标指令。

图 12A、图 12B 和图 12C 是对寄存器扩展预处理指令进行说明的示意图。

图 13 是当预处理指令为寄存器扩展预处理指令时，就预处理指令专用译码电路对指令队列中的指令进行译码处理的流程进行说明的流程图。

图 14 是对译码对象指令进行译码处理的流程进行说明的流程图，该译码对象指令含有寄存器扩展预处理指令中的目标指令。

图 15A、图 15B 和图 15C 是对执行控制预处理指令进行说明的示意图。

图 16 是当预处理指令为执行控制预处理指令时，就预处理指令专用译码电路对指令队列中的指令进行译码处理的流程进行说明的流程图。

图 17 是对译码对象指令进行译码处理的流程进行说明的流程图，该译码对象指令含有执行控制预处理指令中的目标指令。

图 18A、图 18B 和图 18C 示出了含有微型计算机的电子设备的一个实例的框图。

图 19A、图 19B 和图 19C 示出了各种电子设备的实例外观图。

## 具体实施方式

以下，就本实施例进行说明。

另外，以下说明的本实施例，不是对权利要求书中描述的本发明内容的限定。而且本实施例中所描述的全部构件，不一定是本发明所必须的构成要件。

(1) 本实施例是一种进行流水线控制的信息处理装置，包括：

读取电路，其将指定目标指令和多个指令的指令码读取到指令队列，该多个指令的指令码设置在该目标指令前，包括修饰目标指令功能的预处理指令；

预处理指令专用译码电路，其输入读取到指令队列的译码前的指令码，判断是否为指定的预处理指令，当是指定的预处理指令时，将预处理指令修饰的目标指令译码所必需的信息，存储到目标指令修饰信息寄存器，再进行预处理指令专用译码处理；以及，

译码电路，其将读取到指令队列的预处理指令以外的指令码作为译码对象指令来输入，并进行译码，

该译码电路的特征是：

当译码对象指令为目标指令时，根据目标指令修饰信息保持寄存器中存储的目标指令修饰信息，对预处理指令修饰的目标指令进行译码。

本实施例的信息处理装置，输入目标指令以及扩展该目标指令功能的预处理指令。在后续的目标指令得到执行时，预处理指令具有扩展其目标指令的功能。

这里所说的指令队列是指在译码之前，指令码的存储队列，也可以是读取队列或者预读取队列等。

译码对象指令是否为目标指令，也可以根据译码对象指令的指令码以及目标指令修饰信息寄存器两者中的至少一个来进行判断。

另外，译码对象指令不是目标指令时所进行的译码，实现的是该指令的通常功能。

预处理指令专用译码电路也可以在指令队列中存储的各指令移交到译码电路的至少大于等于1个时钟脉冲之前读出该指令，再进行预处理指令专用译码处理。另外，当读出的指令为预处理指令时，至少在修饰的目标指令译码前，把预处理指令修饰的目标指令译码所必需的信息，存储到目标指令修饰信息寄存器。

而且，当存储在指令队列的指令为预处理指令时，该指令控制译码电路不进行译码。

这样，可使预处理指令，在译码电路中不被译码，在提前执行的其他指令被译码电路译码期间，通过预处理指令专用译码电路进行译码后，将执行目标指令所必需的信息，存储到目标指令修饰信息寄存器。另外，在目标指令译码时，参照目标指令修饰信息寄存器，进行译码，因此，实质上在0时钟脉冲里就可以实现预处理指令，并可以实现信息处理装置的高速化。

而且，预处理指令专用译码电路的电路规模和通常的译码电路相比非常小，因此，不会导致电路规模的增大，可以实现信息处理装置的高速化。

(2) 本实施例的信息处理装置的特征在于:

该指定的预处理指令, 包括即值扩展预处理指令, 其用于对目标指令执行时所必需的即值进行扩展, 该目标指令是该预处理指令的功能扩展对象;

该预处理指令专用译码电路,

当输入的命令码为即值扩展预处理指令时, 将所必需的即值扩展信息存储到目标指令修饰信息寄存器, 以使在即值扩展预处理指令修饰的目标指令执行时扩展即值;

该译码电路,

当译码对象指令为即值扩展预处理指令的目标指令时, 根据目标指令修饰信息寄存器中存储的该即值扩展信息, 在执行即值扩展预处理指令修饰的目标指令时, 扩展即值, 然后译码, 以执行目标指令。

所谓的在目标指令执行时扩展即值所必需的即值扩展信息, 例如, 包括执行时所必需的即值的部分位的值(相当于扩展部分的位值等)等。

这里所说的即值的扩展, 例如, 除了例如通常的立即扩展和符号扩展之外, 还包括延长指令码中描述的即值的位的宽度, 对已延长的部分, 补充设定的位的情况。

根据本实施例, 不会导致电路规模的增大, 即值扩展预处理指令扩展执行目标指令时所必需的即值, 实际上可在0时钟脉冲实现, 并可以实现信息处理装置的高速化。

(3) 本实施例的信息处理装置的特征在于:

该指定的预处理指令, 包括移位预处理指令, 其用于将目标指令的执行结果移位, 该目标指令是该预处理指令的功能扩展对象;

该预处理指令专用译码电路,

当已输入的命令码为移位预处理指令时, 将移位信息存储到目标指令修饰信息寄存器中, 该移位信息是对移位预处理指令修饰的移位目标指令的执行结果进行移位所必需的;

该译码电路,

当译码对象指令为移位预处理指令的目标指令时, 根据目标指令修饰信息寄存器中存储的该移位信息, 对移位预处理指令修饰的目标指令的执行结果进行移位, 然后译码, 以执行目标指令。

所谓的移位目标指令的执行结果所必需的移位信息, 包括: 目标指令的实施结果例如作左移位还是作右移位的信息; 作逻辑移位还是作算术移位的信息; 移位数(移位值)等。

根据本实施例, 不会导致电路规模的增大, 移位预处理指令对目标指令的执行结果进行移位, 实际上可在0时钟脉冲内实现, 并能实现信息处理装置的高速化。

(4) 本实施例的信息处理装置的特征在于:

该指定的预处理指令, 包括寄存器扩展预处理指令, 其对成为该预处理指令的功能扩展对象的目标指令的执行所必需的寄存器进行扩展;

该预处理指令专用译码电路，

当已输入的命令码为寄存器扩展预处理指令时，在执行用寄存器扩展预处理指令修饰的目标指令时，把扩展寄存器所必需的寄存器扩展信息，存储到目标指令修饰信息寄存器；

该译码电路，

当译码对象指令为寄存器扩展预处理指令的目标指令时，根据目标指令修饰信息寄存器中存储的该寄存器扩展信息，在执行用寄存器扩展预处理指令修饰的目标指令时，扩展寄存器，然后译码，以使目标指令得到执行。

所谓的目标指令执行时扩展寄存器所必需的寄存器扩展信息，包括例如执行目标指令时使用的通用寄存器号码的信息等。

根据本实施例，不会导致电路规模增大，寄存器扩展预处理指令在执行目标指令时扩展需要的寄存器，实际上可在0时钟脉冲内实现，并能实现信息处理装置的高速化。

(5) 本实施例的信息处理装置的特征在于：

该指定的预处理指令，包括执行控制预处理指令，其用来控制成为该预处理指令的功能扩展对象的目标指令有无被执行；

该预处理指令专用译码电路，

当已输入的命令码为执行控制预处理指令时，把控制目标指令有无执行所必需的执行控制信息，存储到目标指令修饰信息寄存器，该目标指令是执行控制预处理指令所修饰的目标指令；



该译码电路，

当译码对象指令为执行控制预处理指令的目标指令时，根据目标指令修饰信息寄存器中存储的该执行控制信息，判断有无执行目标指令，然后译码，以使执行目标指令，该目标指令是被执行控制预处理指令修饰的目标指令。

所谓的控制目标指令的有无执行所必需的执行控制信息也可以是，例如，当根据执行控制预处理指令之前执行的比较指令的比较结果，控制目标指令有无执行时，与目标指令未执行或者目标指令执行相对应的比较结果等。

而且，当比较指令的比较结果与被定义的比较码一致时，也可以将目标指令设定成 NOP 指令。

根据本实施例，不会导致电路规模的增大，用于控制目标指令有无执行的执行控制预处理指令，实质上可在 0 时钟脉冲内实现，并能实现信息处理装置的高速化。

(6) 本实施例的信息处理装置的特征在于：

该读取电路，

连接的总线带宽至少大于等于指令码两倍，通过该总线，在 1 个时钟脉冲里，将多个指令读取到指令队列。

(7) 本实施例的信息处理装置的特征在于：

目标指令连续配置在修饰该目标指令的预处理指令之后；

该译码电路在第一指令的译码中，该预处理指令专用译码电路对接在第一指令后的第二指令，进行预处理指令专用译码处理。

(8) 本实施例描述了一种电子设备，其特征在于包括：

上述任一所述的信息处理装置；

接收输入信息的装置；以及

用于输出的装置，其根据输入信息，输出该信息处理装置的处理结果。

根据本实施例，由于内装了低成本、且可以高速运行的信息处理装置，从而可以提供一种廉价而又高性能的电子设备。

以下参照附图对本发明的优选实施例进行详细说明。

### 1.信息处理装置

图1是对在以往的微型计算机（广义上指信息处理装置）中进行流水线控制的一个实例进行说明的示意图。

该图表示的是在进行 Fetch (F), Decode (D), Execute (E), Access (A), Write (W) 5 段流水线控制的微型计算机中，处理①~④指令的时间表。

这里②ext 和③ext 均是修饰后续的④add 的预处理指令。即④add 是由②ext 和③ext 修饰的目标指令。

在进行流水线控制的微型计算机中，当执行包括预处理指令和目标指令的4个指令时，如该图时间表所示，需要4个时钟脉冲。

图2A和图2B是对本实施例的特征进行说明的示意图。图2A是对本实施例的信息处理装置的特征部分构成进行说明的示意图。本实施例的信息处理装置包括：读取电路20，其将多个指令的指令

码读取到指令队列（预读取队列）30-0, 30-1...；预处理指令专用译码电路 40，其输入被读取到指令队列 30 的译码前的指令码（这里为存储在队列 1（30-1）的指令码、存储在队列 2（30-2）的指令码），再判断是否为指定的预处理指令，当为预处理指令时，其将预处理指令修饰的目标指令的译码所必需的信息，存储到目标指令修饰信息寄存器 50，进行预处理指令专用译码处理；译码电路 60，其对读取到指令队列 30 的预处理指令之外的指令码进行输入，并且进行译码；以及执行电路 70，其执行被译码的指令。

图 2B 是对本实施例的信息处理装置的特征部分动作进行说明的示意图。

这里图 1 中的①~④指令（sub, ext, ext, add）存储到指令队列 30-0、30-1...。

指令队列 0（30-0）中存储的第一指令（这里为 sub）在被传送到译码电路 60 的同时（s1），指令队列 1（30-1）中存储的第二指令（这里为 ext）、指令队列 2（30-2）中存储的第三指令（这里为 ext），被输入到预处理指令专用译码电路 40（s2, s3），该译码电路 60 在第一指令（这里为 sub）的译码中，该预处理指令专用译码电路 40 对续在第一指令后的第二指令（这里为 ext）以及第三指令（这里为 ext），进行预处理指令专用译码处理。

在这里，因为第二指令（在这里为 ext）以及第三指令（在这里为 ext）是预处理指令，所以，预处理指令修饰的目标指令的译码所必需的信息，被存储到目标指令修饰信息寄存器 50（S4）。

接下来，指令队列 1（30-1）中存储的第二指令（在这里为 ext）、指令队列 2（30-2）中存储的第三指令（在这里为 ext），因为是预处理指令，所以，这些指令不向译码电路传送，指令队列 3（30-0）中存储的第 4 指令（在这里为 add）被传送到译码电路 60（S5）。

在译码电路中，输入目标指令修饰信息寄存器 50 中存储的信息 (S6)，对第 4 指令 (在这里为 add) 进行译码处理，使其作为被预处理指令修饰的目标指令执行。

通过这种做法，实质上，预处理指令的执行为 0 时钟脉冲。

并且在这里，就该指令码译码电路在队列 1 中存储的指令码的第一指令译码中，该预处理指令专用译码电路对在队列 1 (30-1) 中存储的指令码以及队列 2 (30-2) 中存储的第二指令以及第三指令，进行预处理指令专用译码处理的情况做出了说明，但并不仅限于此。

例如，当修饰 1 个目标指令的预处理指令只有 1 个的情况时，该指令码译码电路在第一指令的译码中，该预处理指令专用译码电路对第二指令进行预处理指令专用译码处理。

另外，例如，当修饰 1 个目标指令的预处理指令有 n 个的情况时，该指令码译码电路在第一指令译码中，该预处理指令专用译码电路对第二~第 n+1 指令进行预处理指令专用译码处理。

图 3 是对本实施例的微型计算机 (广义上指信息处理装置) 的构成进行说明的功能块图。

本实施例的微型计算机包括：CPU (广义上是处理电路) 10 和 BCU (总线控制单元) 100。并且，微型计算机 100 除此以外还可包括 ROM (Read Only Memory)、RAM (Random Access Memory)、MMU (Memory Management Unit)、DMAC (Direct Access Memory Controller)、LCD (Liquid Crystal Display) 驱动器或者 SIO (Serial Input Output) 等各种外围电路。

CPU 10 按照 ROM 和 RAM 中存储的程序，对指令的读取、指令的译码、运算处理、向寄存器写入等进行流水线控制。CPU 10 的构成是处理 32 位宽的数据，但处理 16 位的指令码。

BCU(总线控制单元)100 对没有图示的 32 位的指令数据总线、用于指令数据存取的指令地址总线、32 位数据总线、用于数据存取的数据地址总线和用于控制信号的控制总线等的各种总线进行总线控制处理。

而且，该 CPU 10 通过该各种总线与外部进行信号通信。

另外 CPU 10 的构成包括：读取电路 20；预处理指令专用译码电路 40；译码电路 60；执行电路 70；寄存器文件 80（通用寄存器 82、特殊寄存器 84）；以及指令地址生成器 90 等。

读取电路 20，将指定的目标指令和放置在该目标指令之前、包括具有修饰目标指令功能的预处理指令的多个指令的指令码，预读取到指令队列（例如预读取队列）30-0，30-1...。

预处理指令专用译码电路 40 通过信号线与指定的指令队列（在这里为 30-1，30-2）连接，输入读取到指定的指令队列的译码前的指令码，判断是否为指定的预处理指令，当是指定的预处理指令时，将预处理指令修饰的目标指令的译码所必需的信息，存储到目标指令修饰信息寄存器 50。

译码电路 60 通过信号线连接到指令队列，对读取到指令队列中的预处理指令以外的指令码进行输入，并译码。

另外，该译码电路包括目标指令译码电路 62 通过信号线连接目标指令修饰信息寄存器 50，输入目标指令修饰信息寄存器 50 中

存储的目标指令修饰信息，对由预处理指令所修饰的目标指令进行译码。

执行电路 70，根据该译码电路 60 译码的指令的操作内容，执行该指令。执行电路 70 包括进行数据运算的数据运算电路 72 和进行地址运算的地址运算电路 74，根据需要，访问通用寄存器 82 和存储器（RAM 等），执行由译码电路 60 译码的指令的功能。

寄存器文件 80 拥有通用寄存器 R0~R15 的 16 个通用寄存器、程序计数器（PC）、处理机状态寄存器（PSR）、顺序处理机（SP）、运算低位寄存器（ALR）、运算高位寄存器（AHR）等 CPU 使用的寄存器。

指令地址生成器 90，根据没有图示的程序计数器等，生成在指令队列上读取的指令地址。

图 4 是对读取电路的指令队列的具体电路构成的一个实例进行说明的示意图。

读取电路通过没有图示的总线和信号线 IRIN，输入存储在 ROM 和 RAM 中的指令码。在这里，对指令长度为 16 位、数据传送为 32 位的运行情况进行说明。

另外，可以这样构成：指令队列 Q0~Q5 具有 6 个指令队列，可以读取 6 个指令码。

读取电路将读入的 32 位数据分成位（31: 16）部分和位（15: 0）部分，按 Q0~Q5 顺序存储、按顺序译码，这样控制其执行。例如，还可以：检索是否可以按指令队列 Q0~Q5 的顺序使用，然后，存储可使用的队列中读入的指令。

另外，读取电路进行的控制是，各时钟脉冲都向译码电路输入指令队列 Q0 的输出，以相同的计时向预处理指令专用译码电路输入指令队列 Q1 和 Q2 的输出。

而且，预处理指令专用译码电路 40，当判断指令队列 Q1 和 Q2 指令为指定的预处理指令时，控制这些个指令使之不能输入到译码电路。也进行这样控制：例如当指令队列 Q1 和 Q2 指令是指定的预处理指令时，不存储到指令队列 Q0，而是将 Q3 存储到 Q0，使这些个指令不向译码电路输入。

另外，存储在指令队列 Q5~Q3 的指令，控制经由指令队列 Q1 或者指令队列 Q2 的任一个，使其存储到指令队列 Q0。通过这种做法，通过预处理指令专用译码电路 40，可以判断出各指令是否是预处理指令，当是预处理指令时，可令其进行预处理指令专用的译码。

并且，在上例中，连接具有指令码 2 倍带宽的总线，1 个时钟脉冲可读取 2 个指令，以这样的电路构成为例进行了说明，但并不仅限于此。

例如，也可以这样构成：连接的总线带宽至少大于等于指令码的 3 倍，通过该总线，将大于等于 3 个指令的指令，以 1 个时钟脉冲读取到指令队列。

## 2. 即值扩展预处理指令

图 5A 是指令码 210 的位字段示意图，该指令码 210 是可能成为即值扩展预处理指令的目标指令的指令，图 5B 表示的是 ext 指令（即值扩展预处理指令）的指令码 220 的位字段。位字段的上的数字表示位的位置，如该图（A）和（B）所示，指令码有从位 15 到 0 的 16 位宽的字段。

指令码 **210** 可能成为图 5A 所示的即值扩展预处理指令的目标指令的指令，其具有从位 15 到位 10 的 6 位操作码指定区域 **212**、从位 9 到位 4 的 6 位即值指定区域 **216**，以及从位 3 到位 0 的 4 位寄存器指定区域 **218**。

操作码指定区域 **212** 中存储有用于特定操作内容的操作码。

该即值指定区域 **216** 中存储有 6 位即值 (imm6) 的值，寄存器指定区域 **218** 中存储有表示某一个通用寄存器 (rd) 的代码。

在这里可能成为即值扩展预处理指令的目标指令的指令，对该即值 (imm6) 和通用寄存器 (rd) 进行该操作码表示的运算，对通用寄存器 (rd) 进行写入结果的动作指令。

另外，如图 5B 所示，ext 指令 (即值扩展预处理指令) 的指令码 **220** 具有从位 15 到位 13 的 3 位操作码指定区域 **222**，以及指定从位 12 到位 0 的 13 位即值的区域 **224**。

操作码指定区域 **212** 中，存储有表示其为即值扩展预处理指令的操作码。

在指定该即值的区域 **224** 中，存储有 13 位即值 (imm13) 的值。

由于 ext 指令是预处理指令，所以不单独在 CPU 的 ALU 进行任何运算等的执行，但在后续的目标指令得到执行时，对其目标指令执行中使用的即值，具有扩展功能。例如，如图 5A 的指令，指令码中包含即值的指令为 ext 指令的目标指令的情况下，在执行目标指令时，使用 ext 指令的 6 位即值 (imm6)，对目标指令的指令码中含有的即值，具有扩展功能。

在这里，首先就类型 1 指令被单独执行时的执行内容进行说明。图 3 中，首先，类型 1 指令从没有图示的 ROM，通过没有图示的



指令数据总线，由读取电路 20 存储到指令寄存器队列 30。而且，通过预处理指令专用译码电路 40，可判断出是否为预处理指令。

而且，由于不是预处理指令，所以被输入到译码电路 60 进行译码。此时由于译码对象指令不是目标指令，所以进行通常功能（不用预处理指令扩展的功能）的译码，执行通常的功能。

也就是说，指令码指定的通用寄存器（rd）中存储的数据由寄存器文件 80 输入到 ALU（数据运算电路 72）。另外，指令码指定的即值（imm6）由指令译码电路输出，在没有图示的即值生成电路 170 中，该即值（imm6）被立即扩展或者符号扩展为 32 位，该被扩展的即值被输入到 ALU（数据运算电路 72）。而且，ALU（数据运算电路 72）进行类型 1 指令的操作码表示的运算，将运算结果存到寄存器文件 80 的通用寄存器（rd）。

这样，可能成为即值扩展预处理指令的目标指令的指令既可以单独执行，也可以和这之前的 1 个或者多个 ext 指令组合执行。当和 ext 指令组合执行的情况，首先，存储在指令队列的 ext 指令，在目标指令专用译码电路（参照图 3 的 40）被译码，指令码指定的即值（图 5B 的 imm13），由目标指令专用译码电路输出，被存储到目标指令修饰信息寄存器 50。

然后，ext 指令后续的目标指令被读入译码电路中，通过目标指令功能扩展电路（参见图 3 的 62），使用目标指令修饰信息寄存器（参见图 3 的 50）保持的先前的 ext 指令的即值，进行 imm16 扩展。

所以，根据可能成为即值扩展预处理指令的目标指令的指令是单独执行或和此之前的 1 个或者多个 ext 指令组合执行的情况的不同，生成的扩展的即值不同。

图 6A~图 6C 表示的是类型 1 指令操作的方式和用于执行该操作的经扩展的即值的字段图。

图 6A 表示的是可能成为即值扩展预处理指令的目标指令的指令在单独执行时的操作方式，和用于执行的已扩展的即值 230 的位字段图。如该图所示，类型 1 指令的 6 位即值 (imm6) 采用以立即扩展或者符号扩展的某一方法进行扩展，成为 32 位的即值 230。被立即扩展时，从位 6 到位 31 的区域 232 全部为零；被符号扩展时，从位 6 到位 31 的区域 232 全部为 imm6 的最高位的位，即和位 5 是相同的位。

图 6B 表示的是和此之前的 1 个 ext 指令组合执行时的操作方式，以及用于该操作执行的经扩展的即值 240 的位字段图。如该图所示，可能成为即值扩展预处理指令的目标指令的指令的 6 位即值 (imm6) 可置入位 5 到位 0 的字段 246，在此之前的 1 个 ext 指令的 13 位即值 (imm13) 可置入位 18 到位 6，生成 19 位的即值 (imm19)。而且，该 19 位即值 (imm19)，采用立即扩展或者符号扩展的某一个扩展方法，变为 32 位的即值 240。当采用立即扩展的方法时，从第 19 位到第 31 位的区域 242 全部为零，当用符号扩展的情况，从第 19 位到第 31 位区域 242 全部为 imm19 的最高位的位，即成为和第 18 位相同的位。

图 6C 表示的是和 2 个 ext 指令组合执行时的操作方式，和用于执行该操作时的经扩展的即值 250 的位字段图。如该图所示，可能成为即值扩展预处理指令的目标指令的指令的 6 位即值 (imm6) 置入位 5 到位 0 的字段 256，第一次的 ext 指令的 13 位即值 (imm13) 置入位 31 到位 19，第二次的 ext 指令的 13 位即值 (imm13) 置入位 18 到位 6，生成 32 位的即值 (imm32) 250。

图 7 是当预处理指令为即值扩展预处理指令时，预处理指令专用译码电路对指令队列的指令进行译码的处理流程进行说明的流程图。

判断指令队列 1 中存储的指令是否是即值扩展预处理指令，当是即值扩展预处理指令时，进行以下处理（步骤 S10）。

首先，将目标指令修饰信息寄存器的即值扩展状态位置于 ON，将除此之外的状态位置于 OFF（步骤 S20）。

然后将指令码的 imm13 保持（hold）到目标指令修饰信息寄存器的即值扩展信息保持部分（步骤 S30）。

而且，使指令队列 1 的指令无效（步骤 S40）。这里所说的使指令队列 1 的指令无效，包括为了控制指令队列 1 指令不成为译码电路的译码对象而进行的必要的处理。

图 8 是对译码对象指令进行译码处理的流程进行说明的流程图，该译码对象指令含有即值扩展预处理指令中的目标指令。

判断译码对象指令是否可成为即值扩展预处理指令的目标指令的指令（步骤 S50）。这里，因为可成为预处理指令的目标指令的指令是预先指定的，所以，也可以将译码对象指令的指令码和预先指定的可成为即值扩展预处理指令的目标指令的指令的指令码进行比较后再进行判断。

当译码对象指令为可能成为即值扩展预处理指令的目标指令的指令时，判断即值扩展状态位是否为 ON（步骤 S60）

而且，当即值扩展状态位为 ON 时，使用即值扩展信息保持部分保持的即值，扩展目标指令的即值，然后进行译码，使目标指令得到执行（步骤 S70）。

另外，当译码对象指令是不可成为即值扩展预处理指令的目标指令的指令时，或者当即值扩展状态位不是 ON 时，进行译码，以使译码对象指令按通常功能进行译码（步骤 S80）。

### 3. 移位预处理指令

图 9A、图 9B 和图 9C 是对移位预处理指令进行说明的示意图。

图 9A 表示的是移位预处理指令的指令码 310 的位字段的示意图。

如该图所示，移位预处理指令的指令码 310 具有：从位 15 到 4 的操作码指定区域 312；位 3 的左移位 OR 右移位信息 314；位 2 的逻辑移位 OR 算术移位信息 316；以及位 1~位 0 的移位值信息 318。对移位值信息 318，可以在 1~4 的范围内指定移位值。

操作码指定区域 312 中存储的是表示移位预处理指令的操作码。

图 9B 是对可能成为移位预处理指令的目标指令的 add 指令单独执行时的操作进行说明的示意图。所谓 add 指令单独执行，是指 add 指令不能成为移位预处理指令的目标指令执行的情况。这种情况下，如该图所示，可进行这样的操作：把寄存器 2 加“3”的结果存入寄存器 2。

图 9C 是对 add 指令作为移位预处理指令的目标指令执行时的操作进行说明的示意图。

在这里，提前执行的 ext 指令（移位预处理指令）是指示将目标指令的执行结果向右方作 1 位的逻辑移位的预处理指令。（操作数“srl”表示 shift right logical，“1”表示移位 1 位）。

这种情况下，如该图所示，按照提前执行的 ext 指令（移位预处理指令）的指示，将寄存器 2 加“3”的结果，向右方作 1 位的逻辑移位，并进行存入寄存器 2 的操作。

图 10 是当预处理指令为移位预处理指令时，对预处理指令专用译码电路将指令队列中的指令进行译码处理的流程进行说明的流程图。

判断存储在指令队列 1 的指令是否为移位预处理指令，当是移位预处理指令时，进行以下处理（步骤 S110）。

首先，将目标指令修饰信息寄存器的移位状态位置于 ON，将除此之外的状态位置于 OFF（步骤 S120）。

然后，将指令码的右移位 OR 左移位信息、逻辑移位 OR 算术移位信息，以及移位值信息，保持到目标指令修饰信息寄存器的移位方向选择位、移位类型选择位和移位值指定部分（步骤 S130）。

此外，使指令队列 1 的指令无效（步骤 S140）。这里所说的使指令队列 1 的指令无效，包括为控制指令队列 1 的指令不成为译码电路的译码对象而进行的必要的处理。

图 11 是对译码对象指令进行译码处理的流程进行说明的流程图，该译码对象指令含有移位预处理指令中的目标指令。

判断译码对象指令是否为可能成为移位预处理指令的目标指令的指令（步骤 S150）。这里因为可成为移位预处理指令的目标指令的指令是预先指定的，所以，也可以将译码对象指令的指令码和预先指定的可成为移位预处理指令的目标指令的指令码进行比较后再进行判断。

当译码对象指令是可能成为移位预处理指令的目标指令的指令时，判断移位状态位是否为 ON（步骤 S160）。

而且，当移位状态位为 ON 时，使用目标指令修饰信息寄存器的移位方向选择位、移位类型选择位、保持在移位值指定部分的右移位 OR 左移位信息、逻辑移位 OR 算术移位信息，以及移位值信息，执行目标指令，将运算结果移位（步骤 S170）。

另外，当译码对象指令不可成为移位预处理指令的目标指令的指令时，或者移位状态位不是 ON 时，进行译码以使译码对象指令用通常功能译码（步骤 S180）。

#### 4. 寄存器扩展预处理指令

图 12A、图 12B 和图 12C 是对寄存器扩展预处理指令进行说明的示意图。

图 12A 表示的是寄存器扩展预处理指令的指令码的位字段的示意图。如该图所示，从寄存器扩展预处理指令的指令码 320 的位 15 到位 4 为操作码指定区域 322；位 3~位 0 为寄存器扩展信息 324。

操作码指定区域 322 中存储操作码，该操作码表示的是寄存器扩展预处理指令。寄存器扩展信息 324 中存储的是目标指令执行时作为寄存器目的地而使用的寄存器号码。

图 12B 是对可能成为寄存器扩展预处理指令的目标指令 add 指令单独执行时的操作进行说明的示意图。所说的 add 指令单独执行是指 add 指令不成为寄存器扩展预处理指令的目标指令执行的情况。这种情况下，如该图所示，可进行这样的操作：把寄存器 2 加“3”的结果存储到寄存器 2。

图 12C 是对 add 指令作为寄存器扩展预处理指令的目标指令执行时的操作进行说明的示意图。这种情况下，如该图所示，可进行这样的操作：把寄存器 2 加“3”的结果，存入由提前执行的 ext 指令（寄存器扩展预处理指令）指定的寄存器 2。

图 13 是对预处理指令为寄存器扩展预处理指令时预处理指令专用译码电路对指令队列中的指令进行译码处理的流程进行说明的流程图。

判断指令队列 1 存储的指令是否为寄存器扩展预处理指令，当是寄存器扩展预处理指令时，进行以下处理（步骤 S210）。

首先，将目标指令修饰信息寄存器的寄存器扩展状态位置于 ON，将除此之外的状态位置于 OFF（步骤 S220）。

然后，根据指令码，将寄存器扩展信息，保持到目标指令修饰信息寄存器的寄存器扩展信息保持部分（步骤 S230）。

而且，使指令队列 1 的指令无效（步骤 S240）。这里所说的使指令队列 1 的指令无效，包括为了控制使指令队列 1 的指令不成为译码电路的译码对象而进行的必要处理。

图 14 是对译码对象指令进行译码处理的流程进行说明的流程图，该译码对象指令含有寄存器扩展预处理指令中的目标指令。

判断译码对象指令是否可能成为寄存器扩展预处理指令的目标指令的指令（步骤 S250）。在这里，因为可能成为寄存器扩展预处理指令的目标指令的指令是预先指定的，所以，也可以将译码对象指令的指令码和可能成为预先指定的寄存器扩展预处理指令的目标指令的指令的指令码，进行比较后再判断。

当译码对象指令为可能成为寄存器扩展预处理指令的目标指令的指令时，判断寄存器扩展状态位是否为 ON（步骤 S260）。

并且，当寄存器扩展状态位为 ON 时，使用在目标指令修饰信息寄存器的扩展寄存器信息保持部分中保持的扩展寄存器信息，扩展目标指令执行时使用的寄存器并译码，以使目标指令得到执行（步骤 S270）。

另外，当译码对象指令不会成为寄存器扩展预处理指令的目标指令的指令时，或者寄存器扩展状态位不是 ON 时，进行译码，以使译码对象指令可用通常功能译码（步骤 S280）。

## 5. 执行控制预处理指令

图 15A、图 15B 和图 15C 是对执行控制预处理指令进行说明的示意图。

图 15A 表示的是执行控制预处理指令的指令码的位字段的示意图。如该图所示，执行控制预处理指令的指令码 330 的位 15 到 位 4 为操作码指定区域 332，位 3~位 0 为执行控制条件判断码 334。

操作码指定区域 332 中存有表示执行控制预处理指令的操作码。执行控制条件判断码 334 可存储“LT”“LE”“GT”“GE”“EQ”“NE”... 等各种执行控制条件判断码。例如，当“LT”在“cmp%R1、%R2”，当“%R1 比 %R2 小”时，表示将目标指令设定为 NOP。

图 15B 表示的是执行控制预处理指令的使用例的示意图，图 15C 是对图 15B 的使用例的操作进行说明的示意图。

如图 15C 以及图 15B 所示，ext 指令（执行控制预处理指令）具有这样的功能，其置于 cmp 指令（比较指令）之后，根据比较指



令的比较结果，对继 ext 指令（执行控制预处理指令）之后的目标指令有无执行（在这里为 add 指令）进行控制。

图 16 是对当预处理指令为执行控制预处理指令时，对预处理指令专用译码电路将指令队列中的指令进行译码处理的流程进行说明的流程图。

判断储存在指令队列 1 中的指令是否为执行控制预处理指令，当是执行控制预处理指令时，进行以下处理（步骤 S310）。

首先，将目标指令修饰信息寄存器的执行控制状态位置于 ON，将除此之外的状态位置于 OFF（步骤 S320）。

然后，将指令码的执行控制判断码保持到目标指令修饰信息寄存器的执行控制判断码保持部分（步骤 S330）。

另外，使指令队列 1 的指令无效（步骤 S340）。这里所说的使指令队列 1 的指令无效，包括为了控制指令队列 1 的指令不成为译码电路的译码对象而进行的必要处理。

图 17 是对译码对象指令进行译码处理的流程进行说明的流程图，该译码对象指令含有执行控制预处理指令中的目标指令。

判断译码对象指令是否可能成为执行控制预处理指令的目标指令（步骤 S350）。在这里，因为可成为执行控制预处理指令的目标指令的指令是预先指定的，所以，也可以将译码对象指令的指令码和可成为预先指定的执行控制预处理指令的目标指令的指令的指令码，进行比较后再判断。

当译码对象指令可成为执行控制预处理指令的目标指令的指令时，判断执行控制状态位是否为 ON（步骤 S360）。

而且，当执行控制状态位为 ON 时，使用目标指令修饰信息寄存器的执行控制条件判断码信息保持部分中保持的执行控制条件判断码，判断目标指令执行的有无后译码，以使目标指令得到执行（步骤 S370）。

另外，当译码对象指令不会成为执行控制预处理指令的目标指令的指令时，或者执行控制状态位不是 ON 时，进行译码，以使译码对象指令能用通常功能进行译码（步骤 S380）。

## 6. 电子设备

接下来，对包括上述的微型计算机的电子设备做出说明。

例如，图 18A 表示的是电子设备之一的汽车导航系统的内部方框图，图 19A 表示的是其外观图。汽车导航系统的操作使用遥控器 710 来进行，根据来自 GPS 和陀螺仪的信息，位置检测部分 720 检测出车的位置。地图等的信息存储于 CDROM 730（信息存储介质）。存储器 740 是作为图像处理 and 声音处理时的作业区的存储器，所生成的图像通过图像输出部分 750 显示给驾驶人员。另外，所生成的汽车导航用的导向声音通过声音输出部分 735 输出给驾驶人员。微型计算机 700，输入来自遥控器 710、位置检测部分 720、CDROM 730 等的信息输入源的信息，进行各种处理，并将处理后的信息通过图像输出部分 750、声音输出部分 735 等的输出装置输出。

图 18B 表示的是电子设备之一的游戏机的内部方框图，图 19B 表示的是其外观图。该游戏机根据游戏控制器 760 操作人员的操作信息、CDROM 770 的游戏程序、IC 卡 780 操作人员的信息等，把存储器 790 作为作业区域，生成游戏图像和游戏声音，并通过图像输出部分 810、声音输出部分 800 输出。

图 18C 表示的是电子设备之一的打印机的内部方框图，图 19C 为其外观图。该打印机是根据操作面板 820 的操作信息、代码存储器 830 以及数字图形聚点式存储器 840 的字符信息，把位变换存储器 850 作为作业区，生成印刷图像，并通过印刷输出部分 860 输出。另外，将打印机的状态和方式，通过显示面板 870 传达给用户。

并且，作为可配置在微型计算机的电子设备，除了上文提到的以外，例如，还可以有：便携式电话（蜂窝电话）、PHS、寻呼机、便携式信息终端、数码相机、硬盘装置、光盘（CD、DVD）装置、光磁磁盘（MO）装置、音响设备、电子记事本、电子台式计算机、POS 终端、配有触摸屏的装置、投影仪、文字处理器、个人电脑、电视机、反光镜式或者监控直视式带式录音机等各种产品。

并且，本发明并不仅限于本实施例，在本发明的主题范围之内可以采取各种实施方式。

另外，本发明的电子设备的构成，也并不仅限于图 18A~图 18C、图 19A~图 19C 中说明的内容，可以采取各种实施方式。

尽管本发明已经参照附图和优选实施例进行了说明，但是，对于本领域的技术人员来说，本发明可以有各种更改和变化。本发明的各种更改、变化和等同物由权利要求书的内容涵盖。

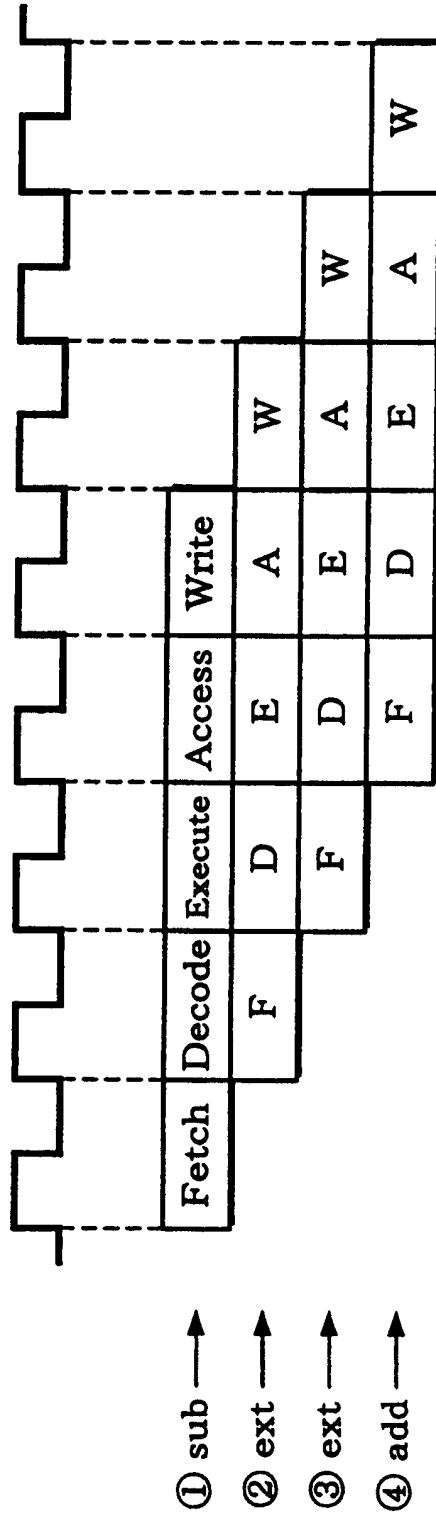


图 1

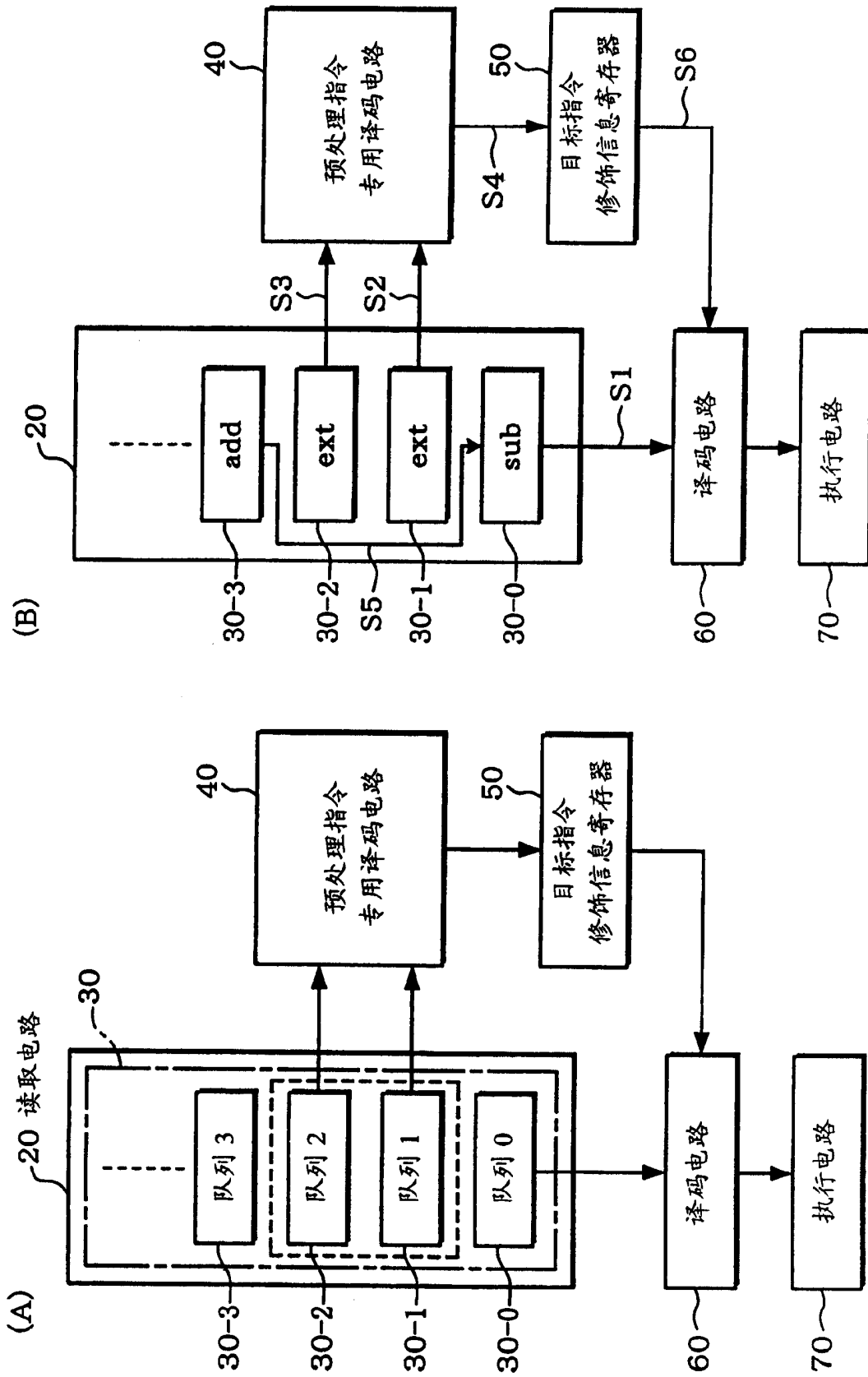


图 2

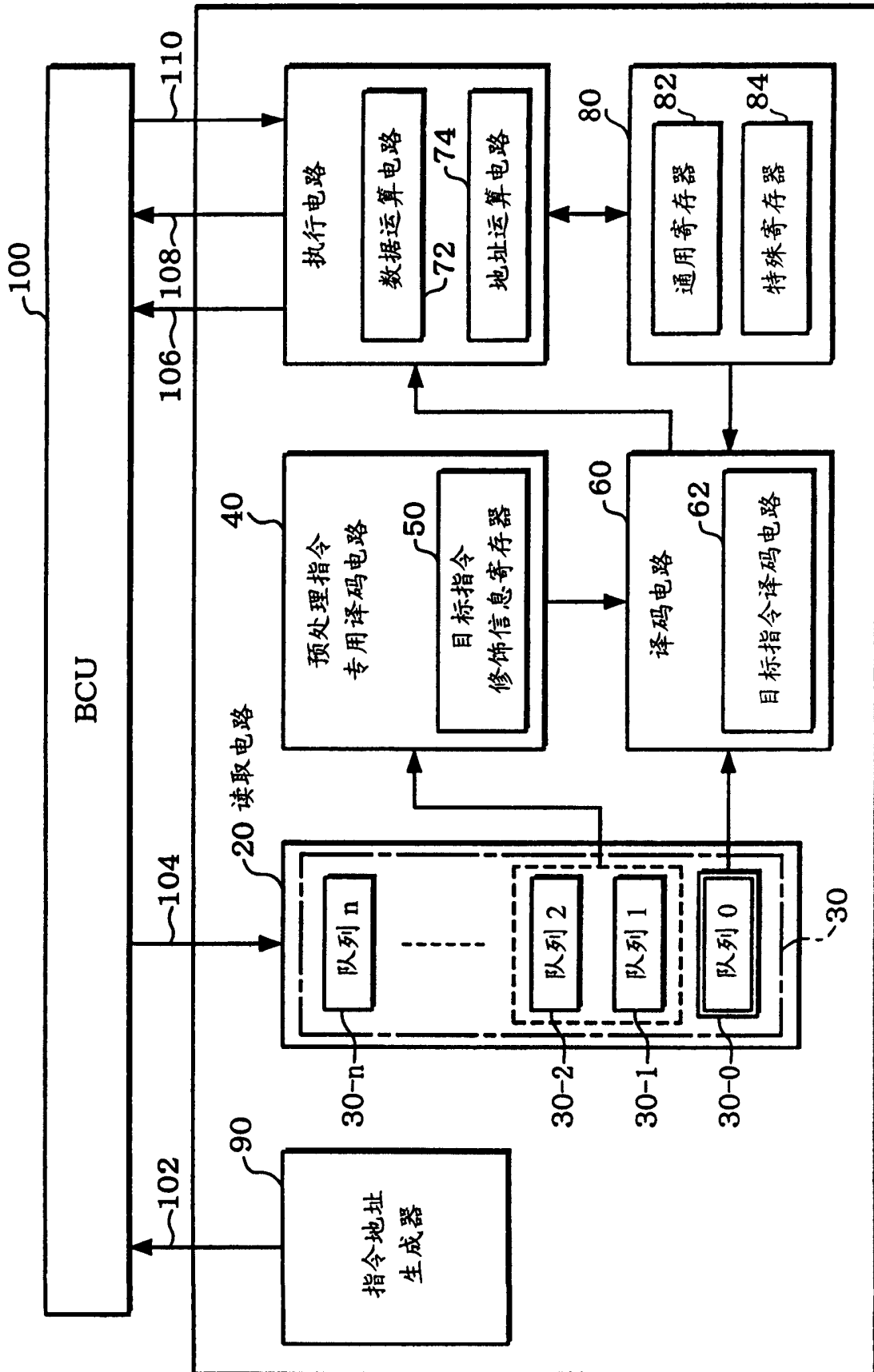
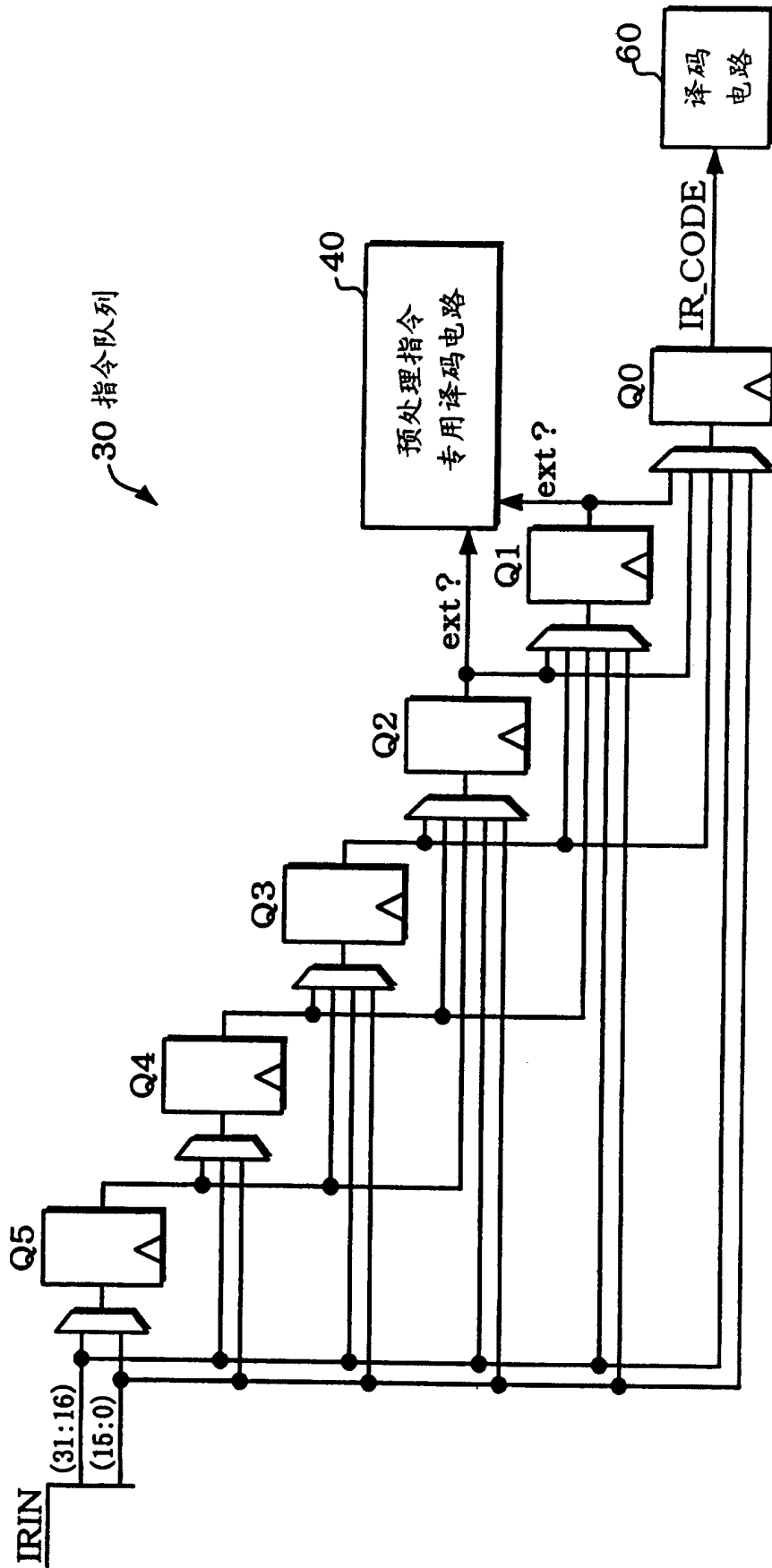


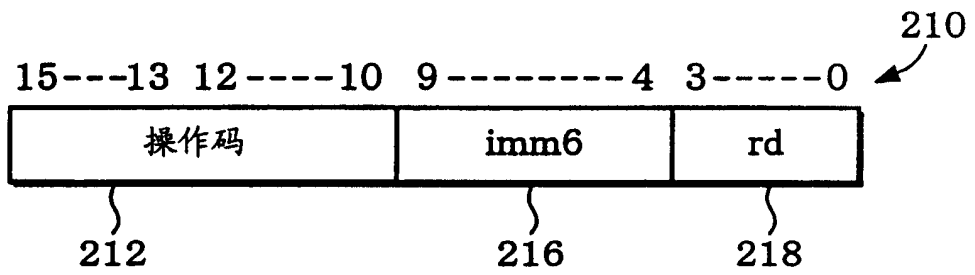
图 3



30 指令队列

图 4

(A)



(B)

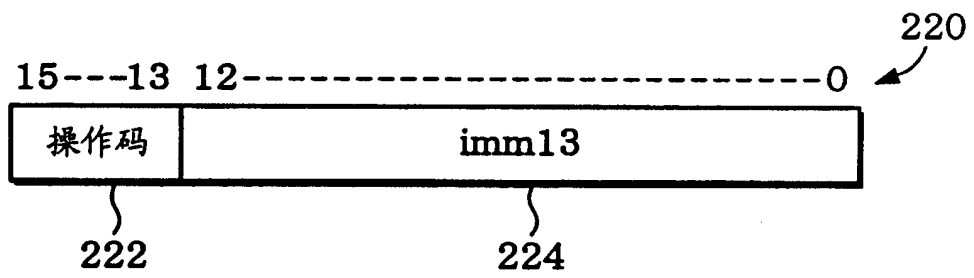


图 5



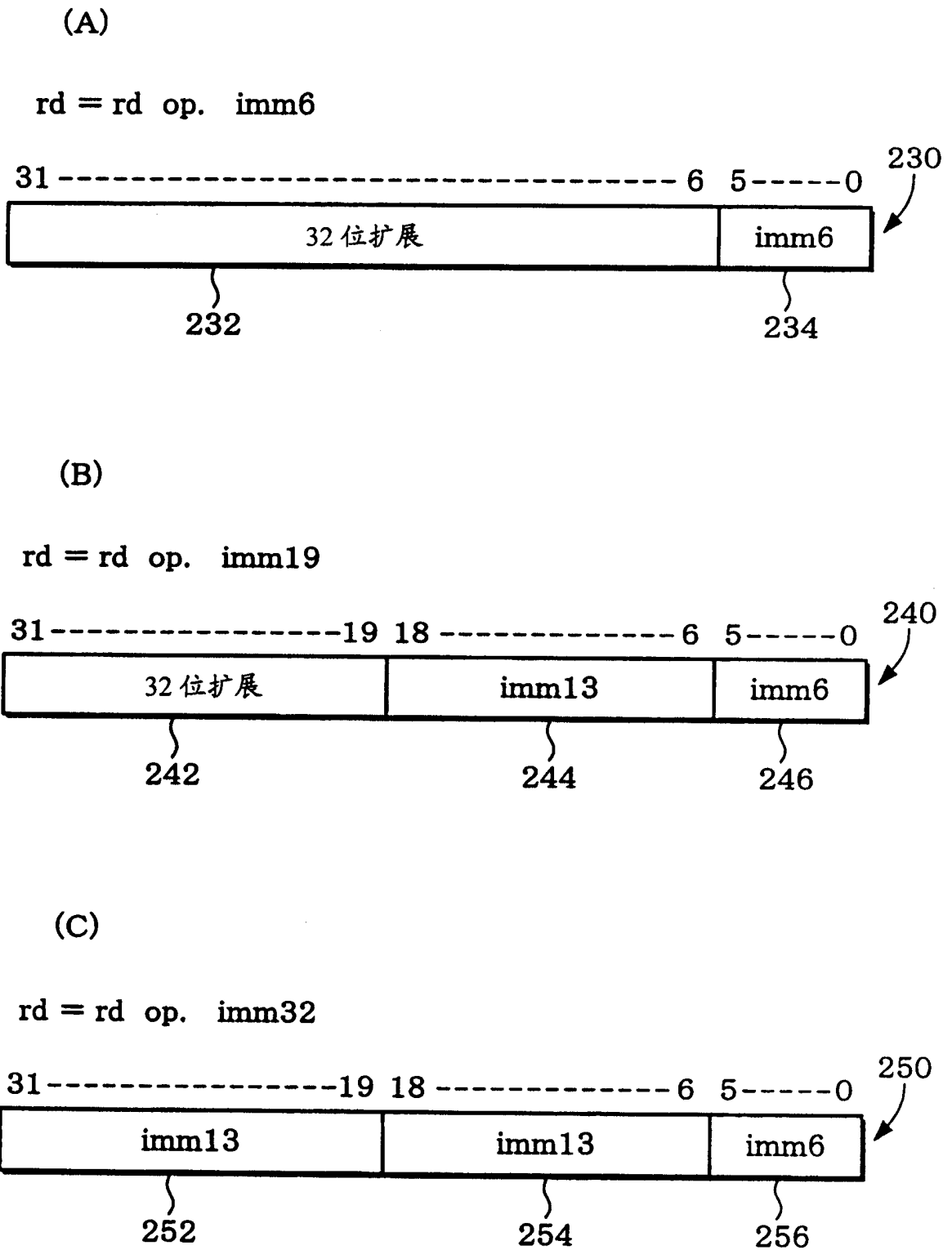


图 6

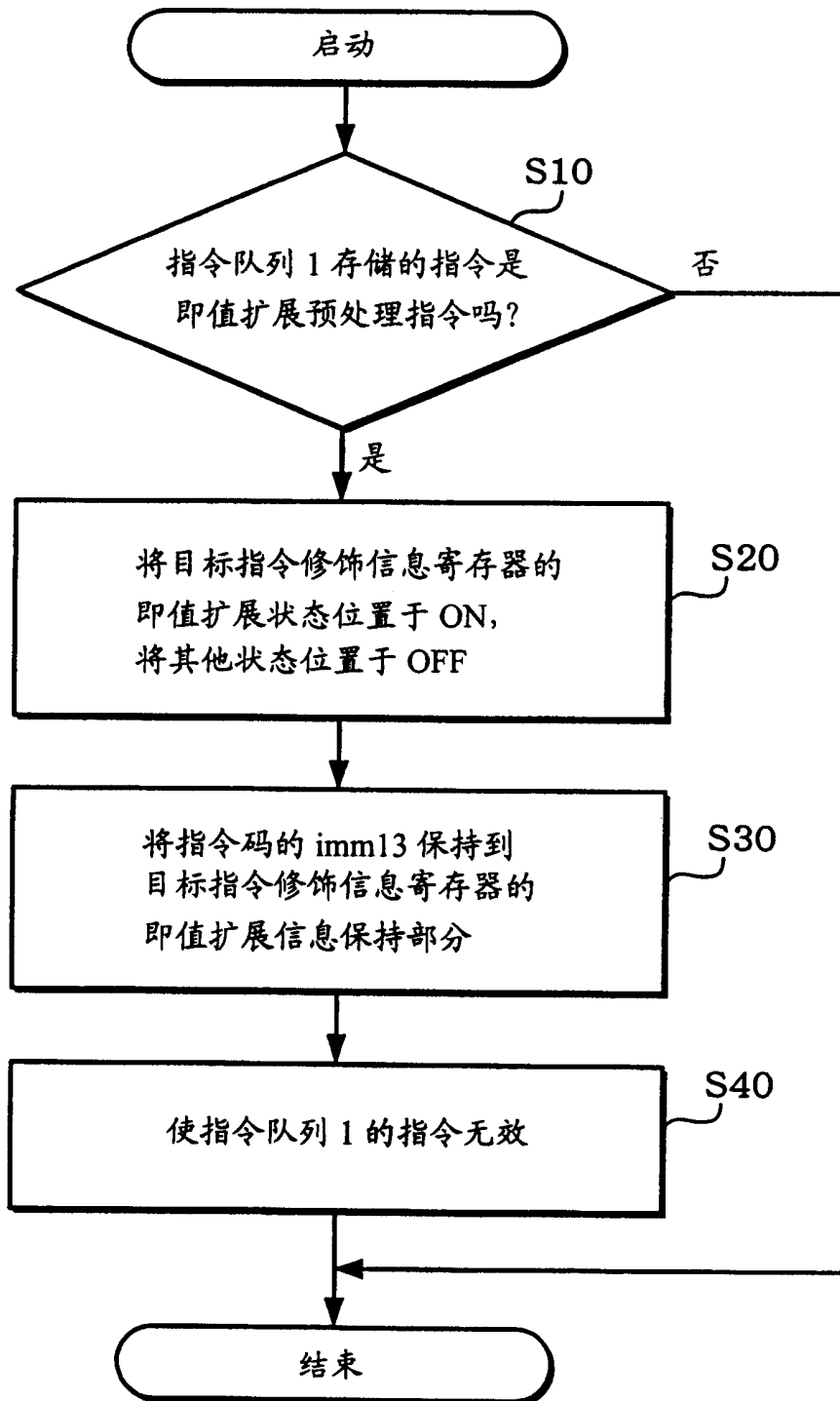


图 7

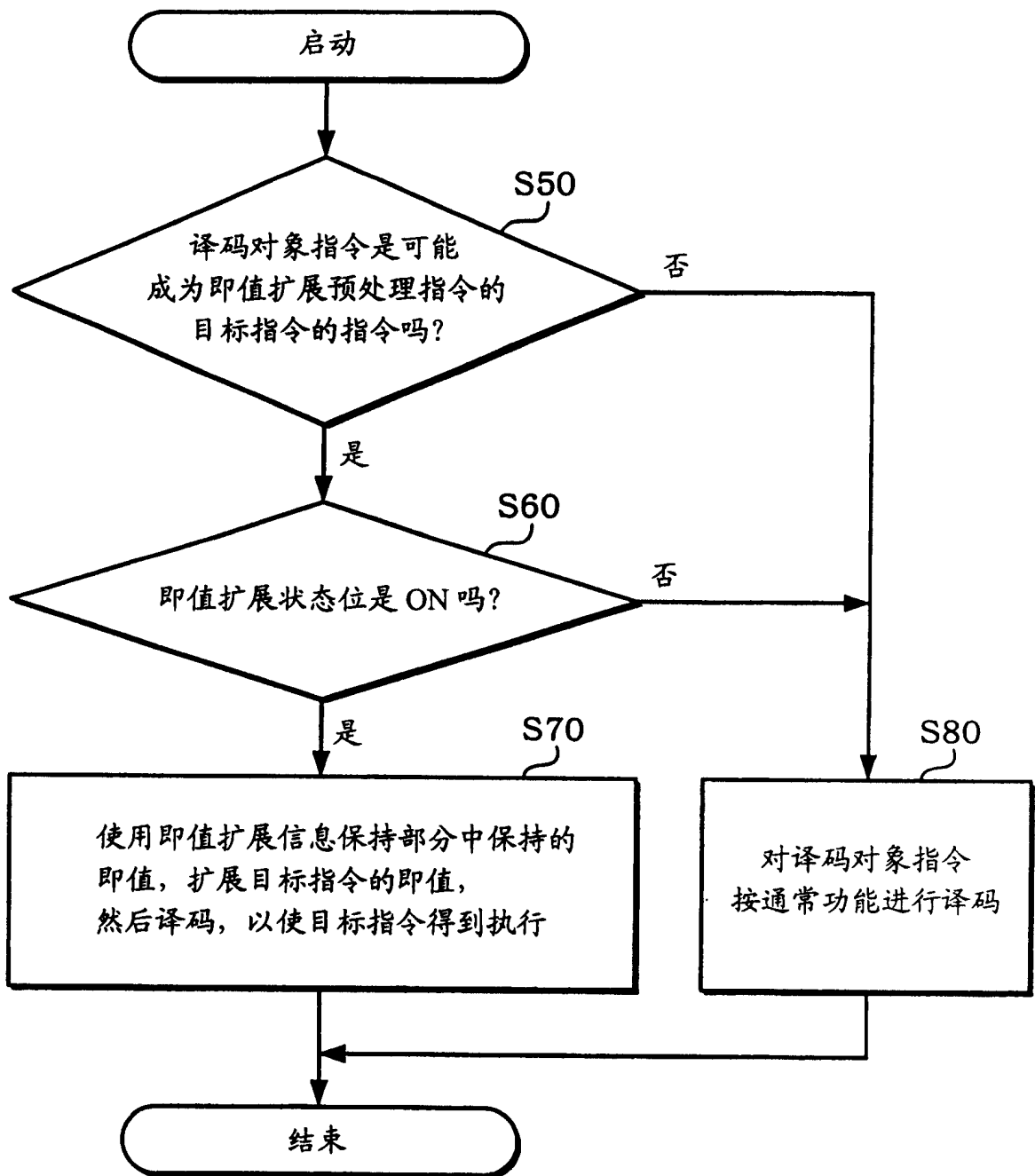
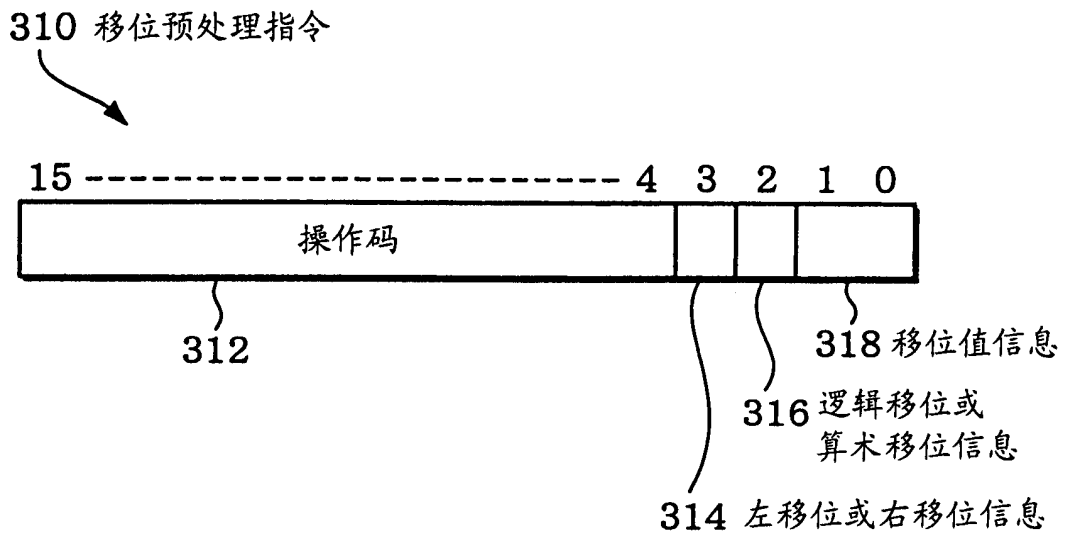


图 8

(A)



(B)

```
add    %r2, 3 → r2 + 3
```

(C)

```
ext    srl, 1 }
add    %r2, 3 } → r2 = (r2+3) » 1
```

图 9

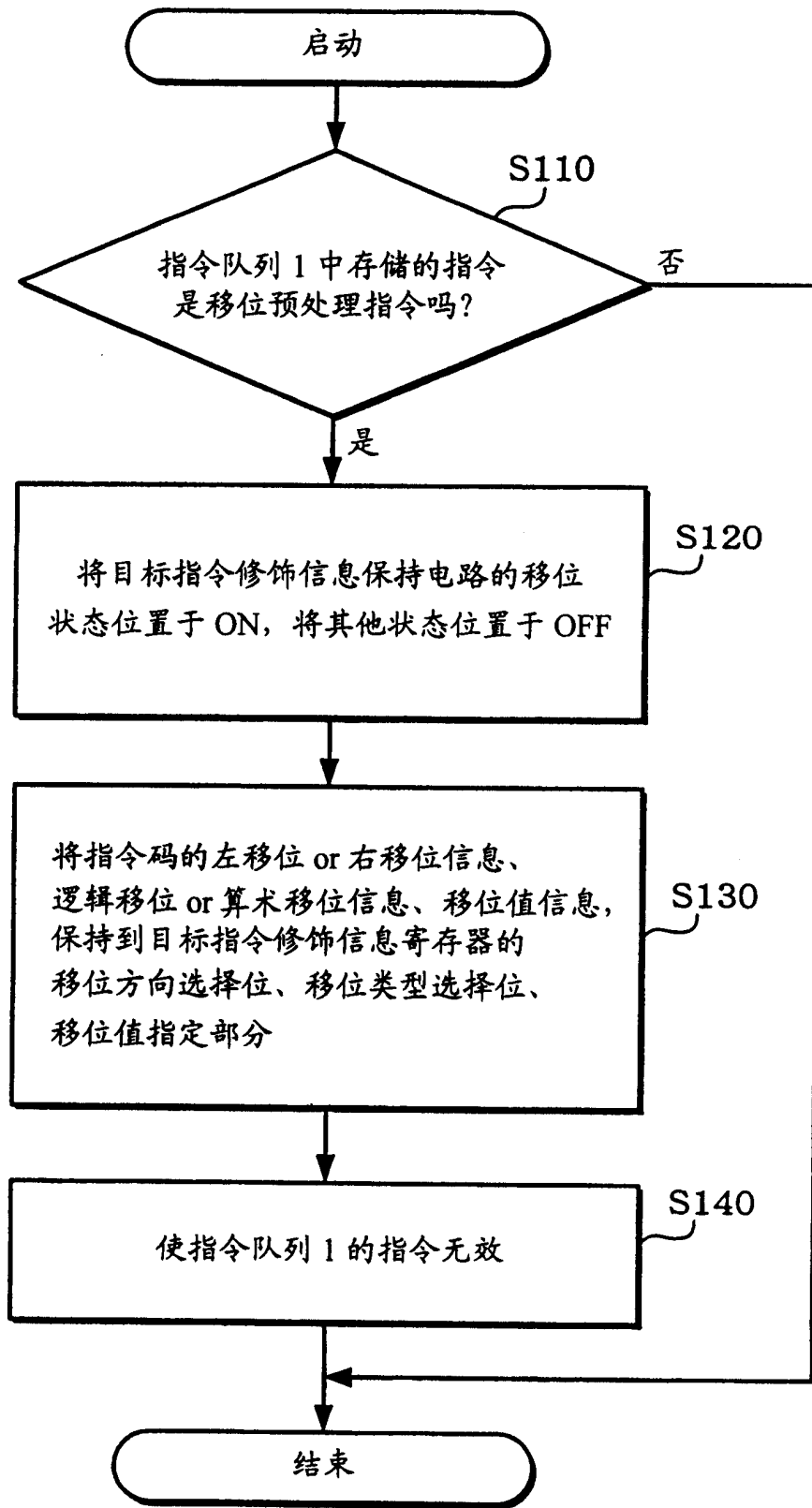


图 10

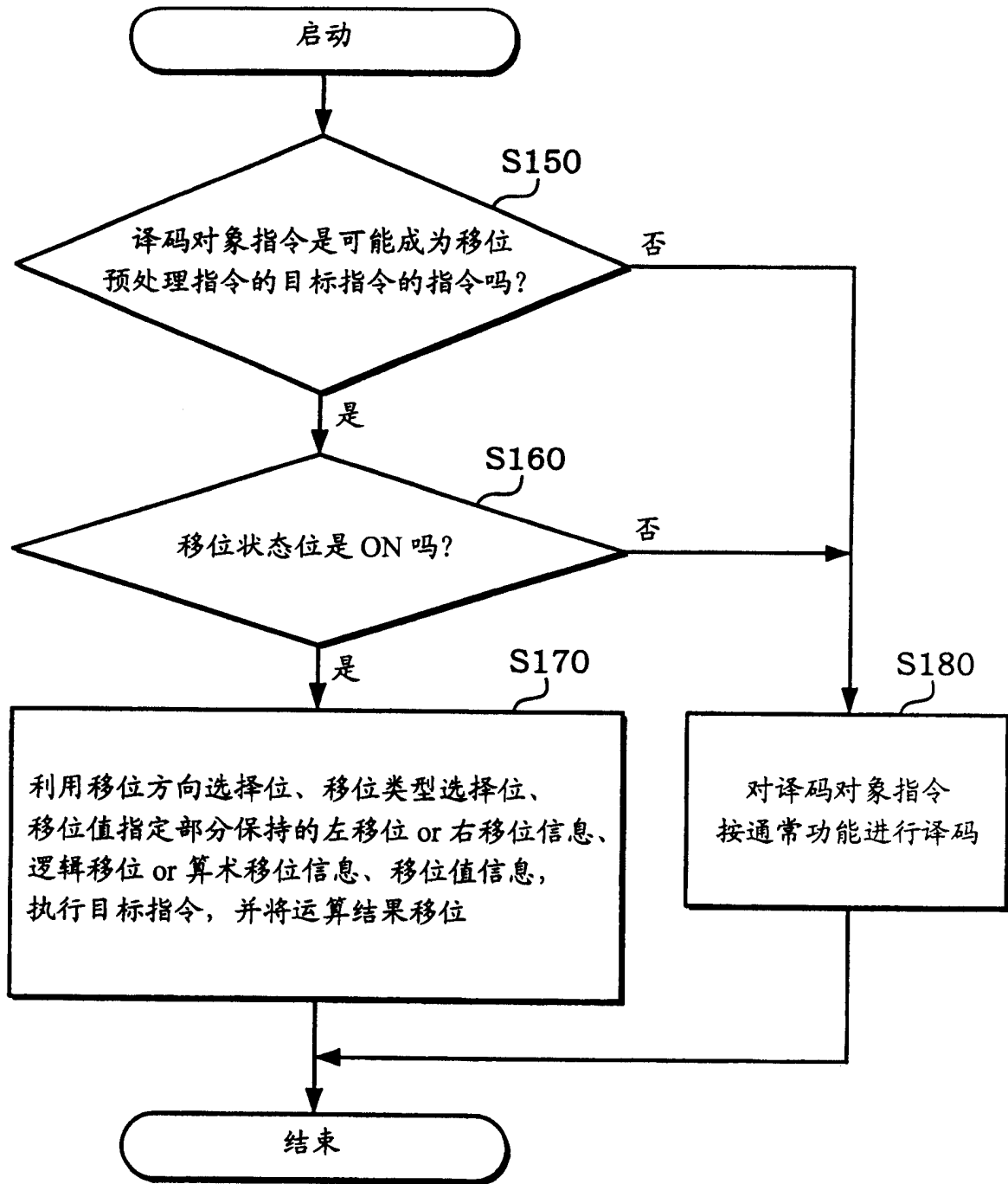
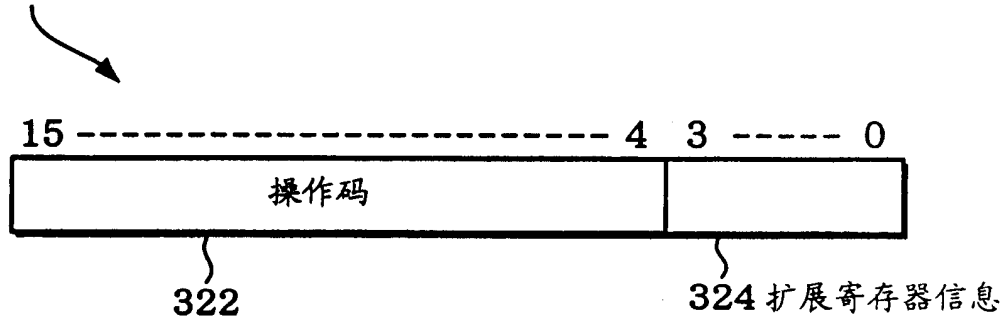


图 11

(A)

320 寄存器扩展预处理指令



(B)

$$\text{add \%r2,3} \longrightarrow r2 = r2+3$$

(C)

$$\left. \begin{array}{l} \text{ext \%r1} \\ \text{add \%r2,3} \end{array} \right\} \longrightarrow r1 = r2+3$$

图 12

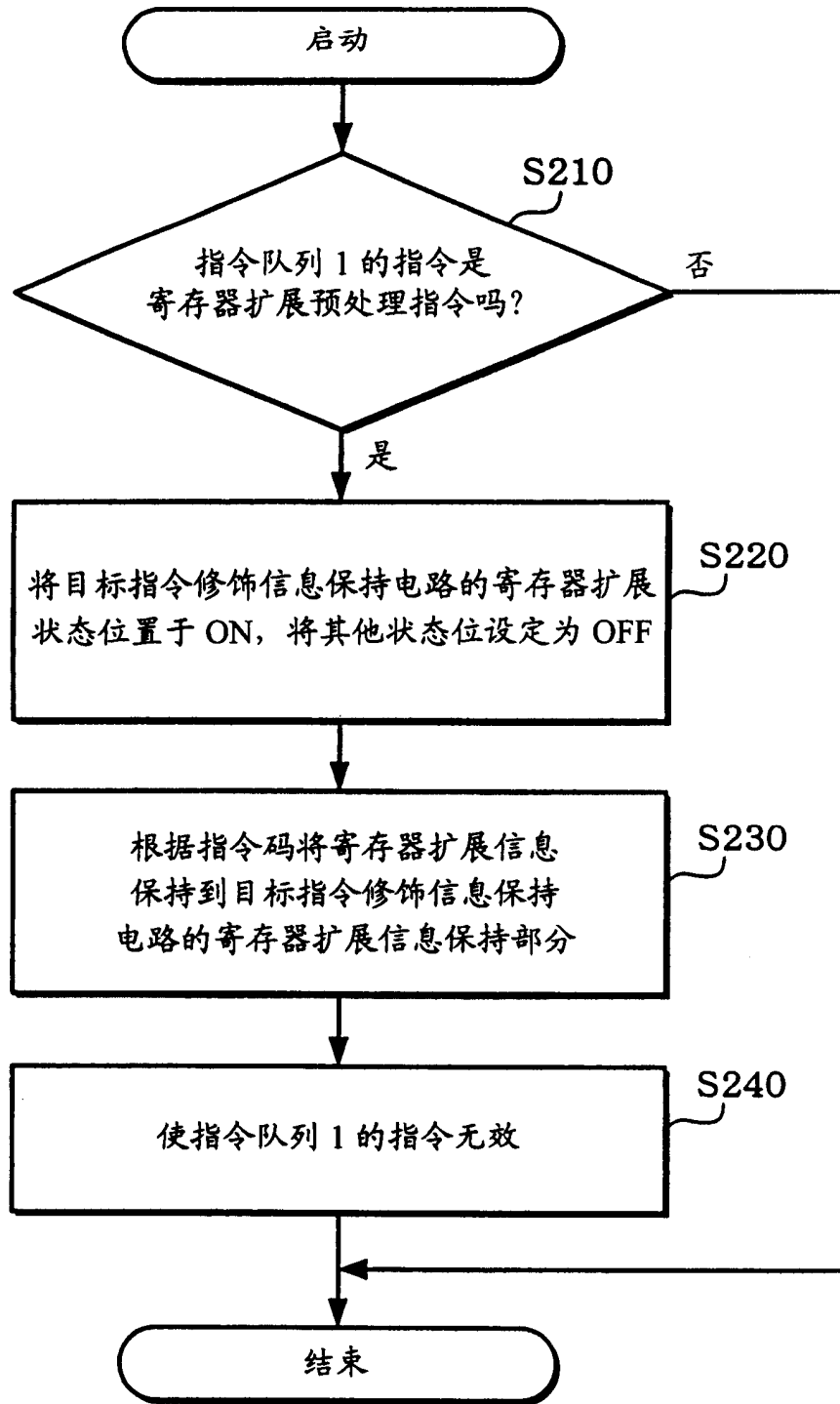


图 13



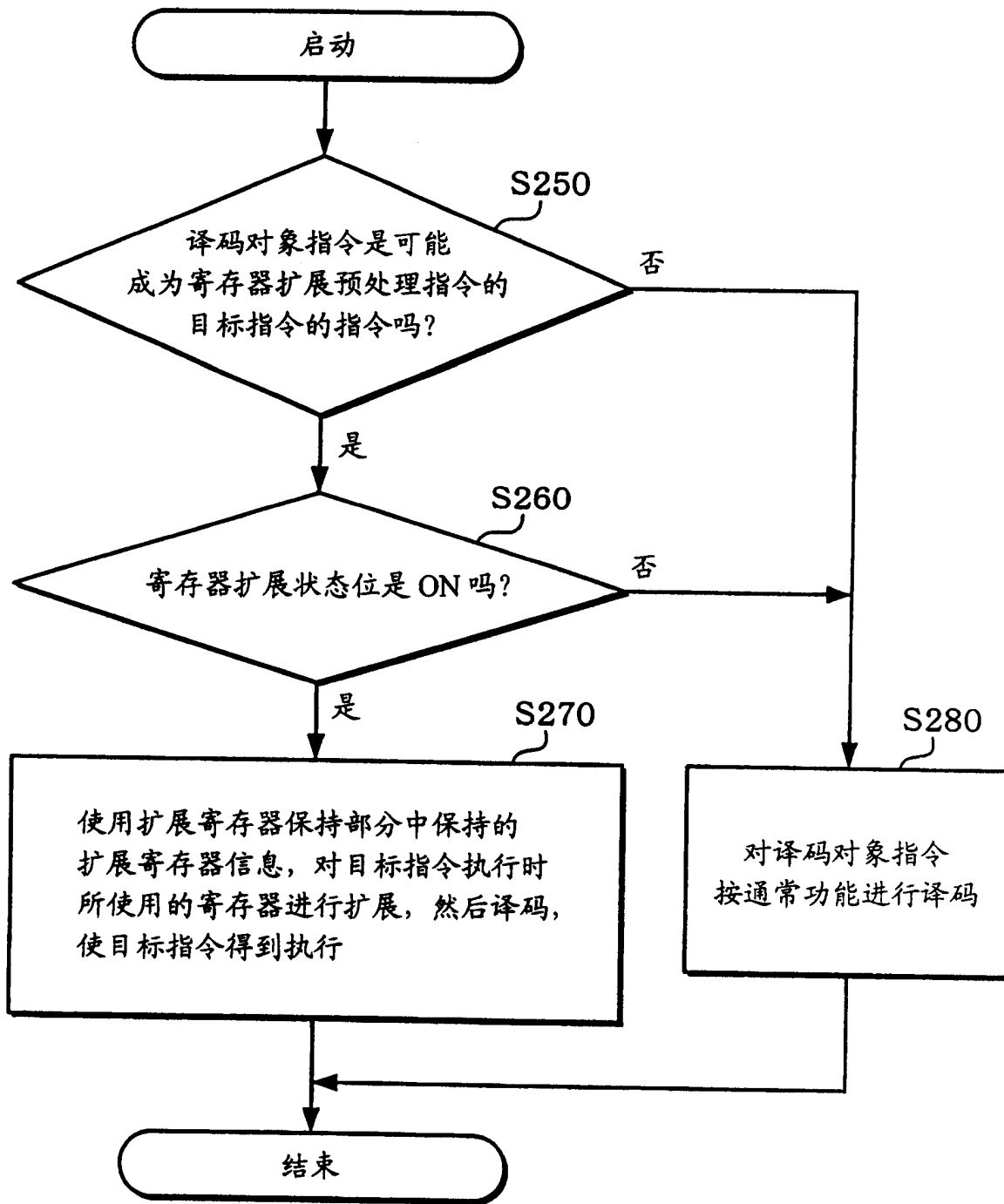
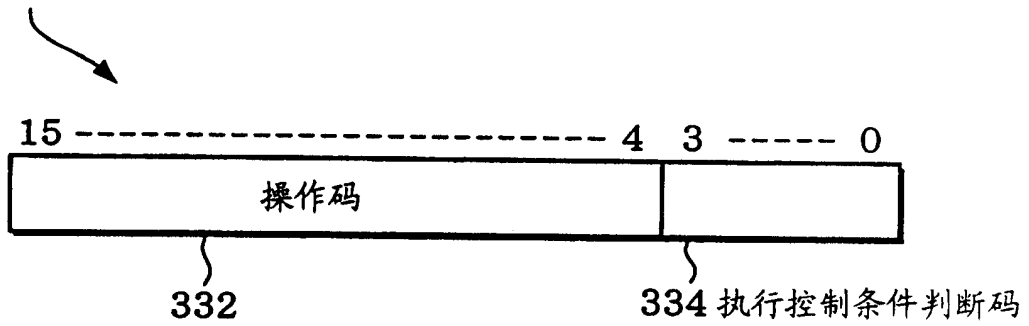


图 14

(A)

330 执行控制预处理指令



(B)

```
cmp    %r1    %r2
ext    EQ
add    %r1    1
```

(C)

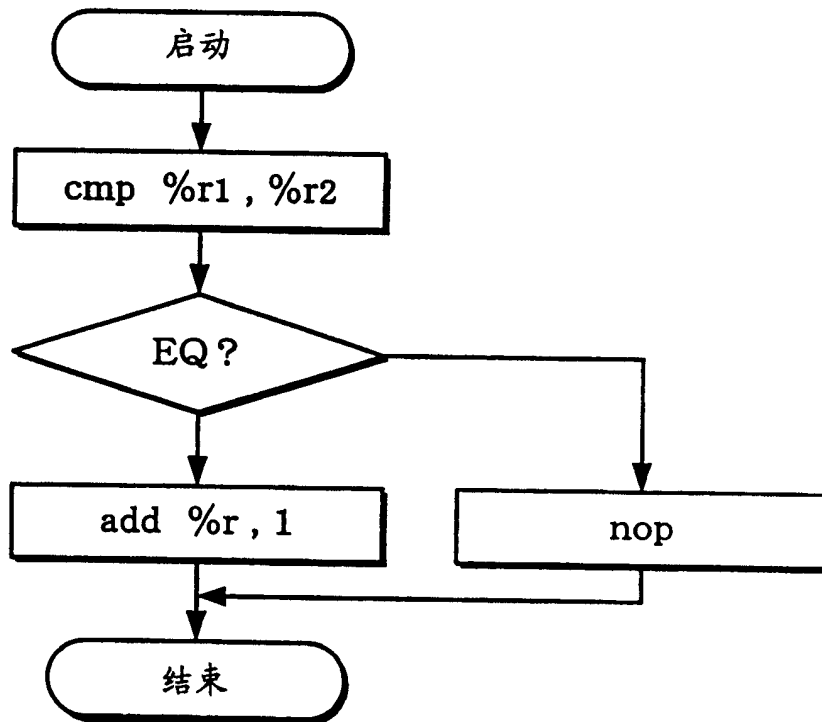


图 15

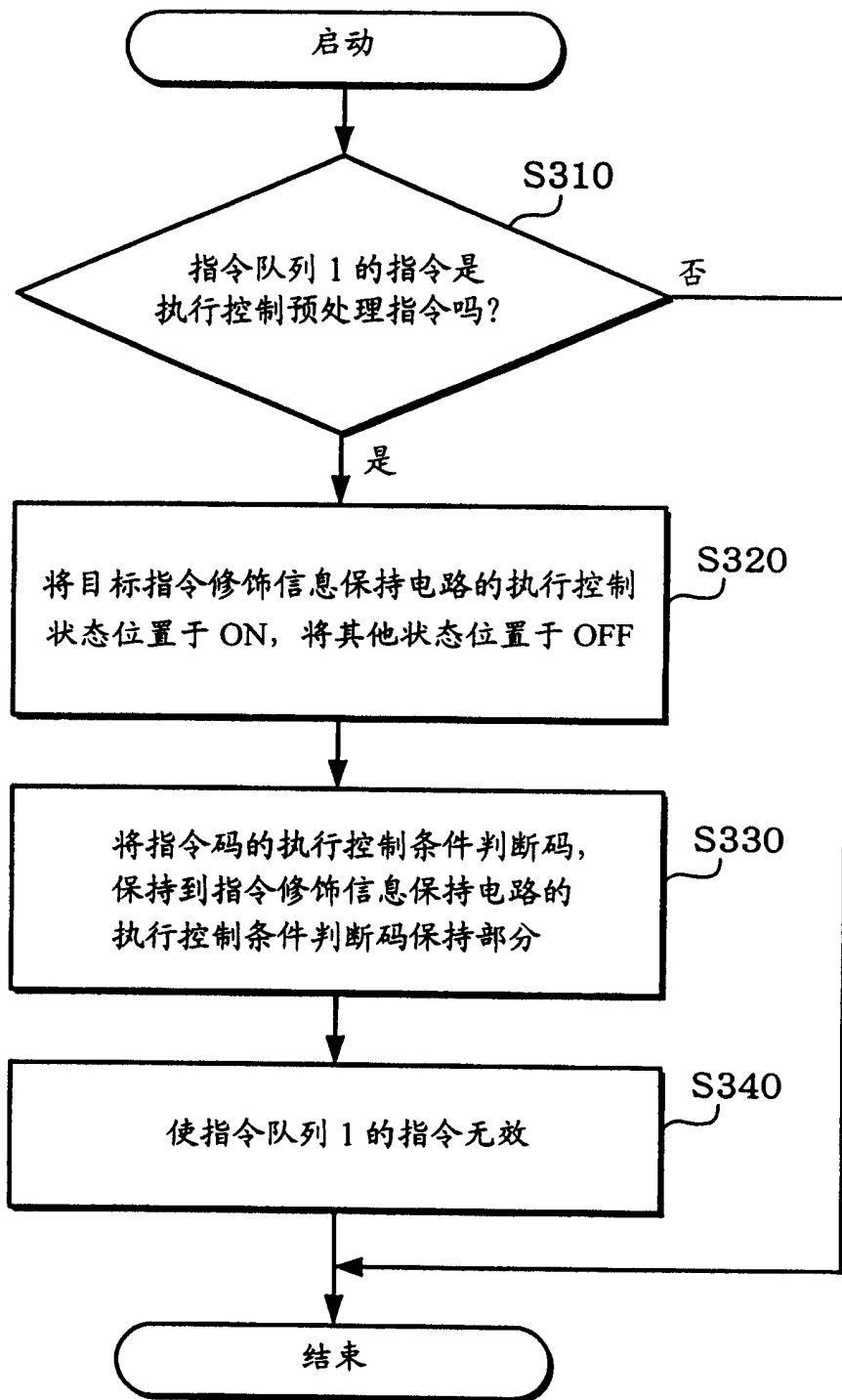


图 16

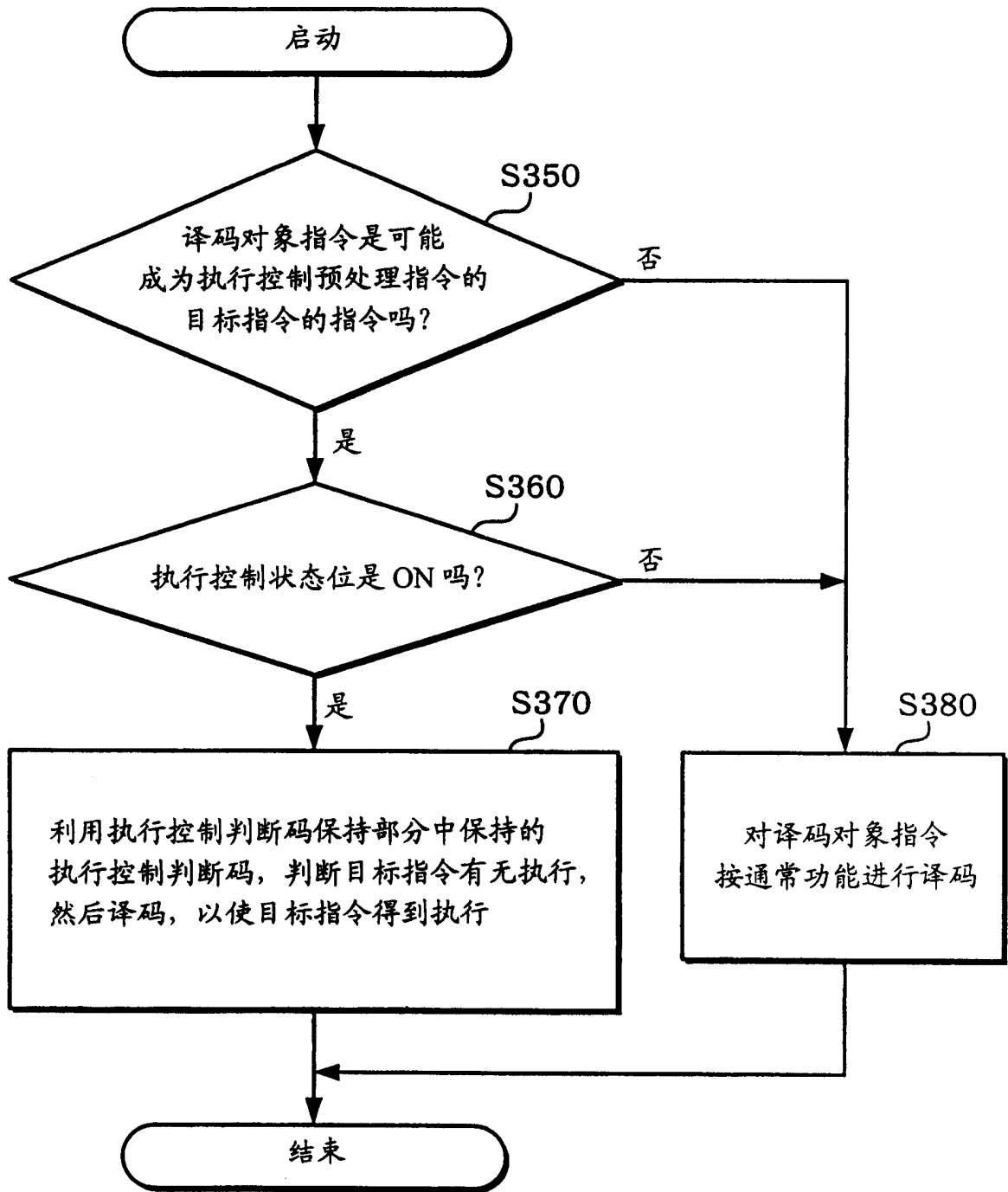


图 17

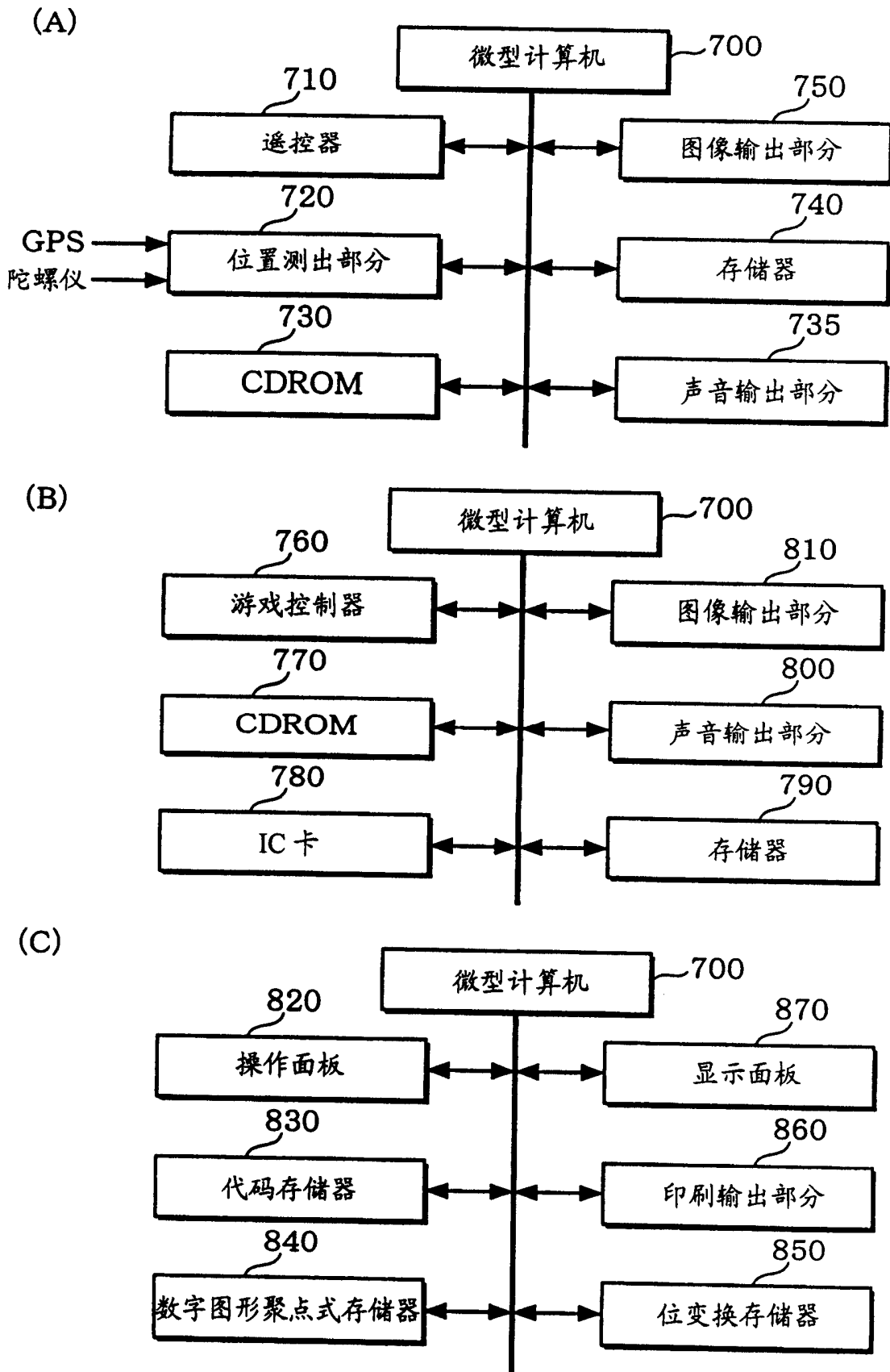


图 18

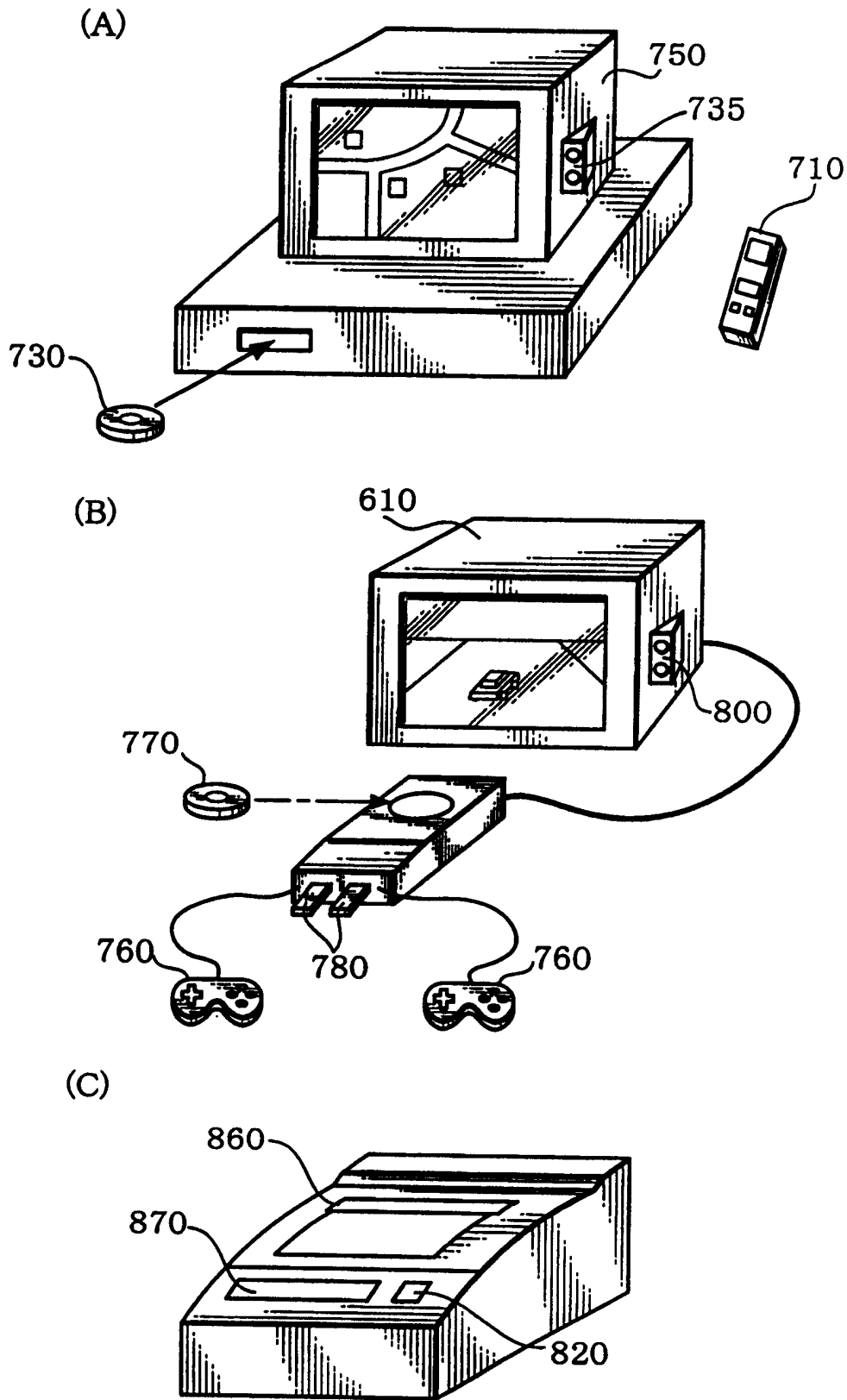


图 19