

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶ (45) 공고일자 2005년08월29일
G06F 17/00 (11) 등록번호 10-0482894

(24) 등록일자 2005년04월04일

(21) 출원번호 10-1998-0006703

(65) 공개번호 10-1998-0079792

(22) 출원일자 1998년03월02일

(43) 공개일자 1998년11월25일

(30) 우선권주장 08/805,862 1997년03월03일 미국(US)

(73) 특허권자 프리스케일 세미컨덕터, 인크.
미합중국 텍사스 (우편번호 78735) 오스틴 윌리엄 캐논 드라이브 웨스트 6501

(72) 발명자 폴레라, 사티아무르티
미국, 텍사스 78737, 오스티나이프 3500레이스톤 들

에드워스, 티모시 제이.
미국, 텍사스 78749, 오스틴, 알타 로마 드라이브 4717

노튼, 요셉
미국, 텍사스 78705, 오스틴, 킹 스트리트 3110에이

다르쵸두리, 압히지트
미국, 텍사스 78750, 오스틴, 허리지 홀로우 드라이브 6519

플라우, 데이비드
미국, 텍사스 78737, 오스틴, 카미노 세코 5911

(74) 대리인 이병호
신현문
정상구
이범래

심사관 : 손영태

(54) 반도체디바이스에서의소자크기들을최적화하는방법

요약

필요한 실제 지연 시간에 기초하여, 슬랙 시간(slack time)이 회로의 각 노드에 대해 계산된다(302). 회로에서의 각 소자에 대해서, 감도와 성능 지수가 계산된다(304, 306). 상기 계산된 성능 지수들에 대한 분산(variance)이 결정된다(308). 최소의 절대 성능 지수를 갖는 회로 소자는 상기 분산이 미리 규정된 문턱값보다 더 작을 때 최적화된다(310, 312).

대표도

도 2

명세서

도면의 간단한 설명

도 1은 소자 크기화(sizing)의 슬랙 기반(slack-based)의 방법을 설명하는데 유용한 예시적 회로.

도 2는 슬랙 기반의 소자 크기화 방법의 흐름도.

도 3은 회로의 소자들에 대한 분산값 및 문턱값 대 본 발명에 따른 다수의 최적화 통과들의 그래프.

도 4는 개시된 다양한 방법론들이 구현 및 실행될 수 있는 시스템의 블록도.

도 5는 도 4에 개시된 최적화된 셀 레이아웃 기구(52)를 이용하는 집적 회로 구성을 도시한 블록도.

* 도면의 주요부분에 대한 부호의 설명*

10 : CPU 14 : RAM

15 : 전용 하드웨어 옵션 16 : ROM

17 : 데이터 처리 네트워크 18 : I/O 어댑터

22 : 이용자 인터페이스 어댑터 24 : 키보드

34 : 통신 어댑터 36 : 디스플레이 어댑터

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

관련 출원들에 대한 참고 문헌

데이비드 티. 블라우(David T. Blaauw) 등에 의해 발명된 미국 특허 제 5,619,418호인 "그에 의해 회로 영역이 최적화되면서 회로 속도가 개선되는 집적 회로에 대한 논리 게이트 크기 최적화 처리(A Logic Gate Size Optimization Process For An Integrated Circuit Whereby Circuit Speed Is Improved While Circuit Area Is Optimized)".

본 발명의 분야

본 발명은 일반적으로 집적 회로 설계에 관한 것으로서, 특히 어떤 설계 기준에 관해 최적화되는 집적 회로들의 설계 및 제조에 관한 것이다.

본 발명의 배경

모든 종류의 전자 디바이스들에 대한 수요가 계속되고 증가됨에 따라, 이들 전자 디바이스들의 품질을 개선하고 제조 시간을 단축시키는 것이 동시에 필요하게 되었다. 통상, 모든 전자 디바이스들은 반도체 재료의 하나의 소형 기판 상에 수 백만 개의 트랜지스터들 및 접속들을 집적하는 적어도 하나의 집적 회로("IC") 또는 "칩(chip)"을 포함한다. 집적 회로들의 소형화와 집적 회로들이 제어하는 제품들은 시장에서 계속해서 중요하며 이러한 제품들의 제조에 대해 추진력을 제공한다.

집적 회로들의 설계에 있어서, 어떤 비용과 다른 설계 제약들 내에서 가장 양호한 종합적 결과들을 제공하는 집적 회로에 대한 설계 및 온-칩 레이아웃(on-chip layout)을 실현하기 위해 서로에 대해 최적화될 필요가 있는 몇몇 주요 기준들이 있다. 이러한 기준들은 칩의 크기, 칩의 전력 소비량, 칩내에서 완성된 다양한 기능들을 위한 동작의 속도를 포함하고 있다. 이러한 종류의 최적화 분석은, 설계된 집적 회로가 구현될 각각의 특정한 응용에 대한 다양한 설계 기준의 상대적 중요성을 갖도록 차례로 동작하는 다양한 분석들 및 설계 프로그램들을 실행하는 워크스테이션 또는 다른 컴퓨터 시스템에서 통상 실행된다.

이러한 가장 중요한 설계 기준들 중 하나는, 실행 조건들과 일관된 가능한 최소 시간에 회로의 어떤 키 포인트들 또는 노드들에 이르도록 집적 회로상의 특정한 경로 또는 경로들을 통해 진행시키기 위한 디지털 신호를 위한 특정한 설계에 관련된 시간 지연이다. 이상적으로, 최적의 집적 회로 설계는 신호가 최단 시간에 어떤 키 포인트들 사이의 예정된 레이아웃을 횡단할 수 있게 하는 설계이며, 여기서 상기 레이아웃 또는 집적 회로는 최소의 전력을 소모하며 최소량의 구현할 반도체 영역을 필요로 한다. 대부분의 경우에서, 이들 기준들은, 적어도 어느 정도 다른 것의 효능을 감소시키지 않고 개선될 수 없도록 서로 대립된다.

예를 들면, 제안된 집적 회로 설계에 대한 특정한 트랜지스터들의 "크기화(sizing)"에 있어서, 설계에서의 트랜지스터들의 영역을 증가시키는 것이 통상적으로 신호 전송에서의 시간 지연을 감소시킬지라도, 칩의 크기와 전력을 또한 증가시킬 것이며, 따라서 어떤 제품 영역들에서의 칩의 적응성을 제약할 뿐 아니라 칩의 수익성을 감소시킬 것이다. 또한, 칩의 크기의 감소는 통상적으로 전력 소모, 열 발생, 칩 신호 간섭을 감소시킬 것이다. 상기 설계 제약들 및 다른 것들의 각각의 우선권과, 특정한 출원에 대한 가장 양호한 가능한 해법은 집적 회로가 사용되는 출원에 의존할 것이다. 대부분의 경우, 설계되는 집적 회로를 위한 특정한 출원에 관하여 또는 특정한 출원을 고려하여 최적화되는 트레이드-오프들(trade-offs)의 조합을 통해 가장 양호한 결과가 얻어진다.

발명이 이루고자 하는 기술적 과제

최적화 수준을 결정하고 어떤 특정한 설계의 유효성을 평가하기 위해서, 어떤 분석들이 산업 분야에 이용되었다. 이러한 일반적인 평가 기술은 상술한 바와 같은 디지털 회로를 통해서 신호의 시간 지연을 추정하도록 의도된 타이밍 분석이다. 과거에는, 새로운 집적 회로 설계를 위한 기준값들의 새로운 조합의 효능 또는 "세기(strength)" 또는 크기를 최적화하기 위해서, 이러한 많은 타이밍 접근법들이 회로 설계자들에 의해 이용되었다. 과거의 일부 사람들에 의해 채용된 이러한 접근법은 우선 타이밍 분석이 회로에 대해 이루어지고 이어서 "임계 경로(critical path)"가 식별되며 그 임계 경로상의 성분들 및 소자들만이 가능한 크기화 최적화를 위해 분석되는 방법이다. 그 접근은 통상 만족스러운 반면에, 집적 회로 설계에서의 소자의 크기화 최적화에 보다 포괄적인 접근을 위한 개선된 방법이 필요하다.

또한, 설계되는 집적 회로들에 대한 신호 천이 속도(signal transition speed) 및 실리콘 영역의 최적화 외에도, 원하는 회로 네트리스트 및 회로 최적화들이 칩 설계 처리 동안 더 빠르고 더 효율적으로 정확히 얻어질 수 있도록 최적화된 네트리스트(netlist)를 제공하는 설계 처리 자체를 계속 최적화할 필요성이 있다. 그러한 요구 조건은 접근법들의 구현 및 이후 개시된 방법들을 통해 충족될 수 있다.

발명의 구성 및 작용

양호한 실시예의 다음의 상세한 설명이 상기 도면과 관련하여 고려되는 경우, 본 발명을 보다 정확히 이해할 수 있다.

본 발명은 필요한 실제 지연 시간에 기초하여 회로에서의 각 노드에 대한 슬랙 시간을 결정한다. 회로에서의 각 소자에 대해, 감도 및 성능 지수가 계산된다. 계산된 성능 지수들에 대해 분산이 계산된다. 최소의 절대 성능 지수를 갖는 소자는 분산이 미리 규정된 문턱값보다 더 작을 때 최적화된다.

본 발명의 전체의 슬랙 기반의 집적 회로 설계 최적화 시스템은, 이용자의 필요들과 제조상의 제약들을 충족시키기 위해, 회로 설계에서 하나 또는 그 이상의 소자들의 특성들을 변화시키도록 회로 노드의 포인트들에서 슬랙 시간 결정을 이용하는 것을 널리 포함하고 있다. 회로 소자의 "세기" 또는 "성능 지수(figure of merit)" 특성은 예를 들면 그러한 소자의 이로운 또는 바람직한 특성들의 누적적인 추상적 척도(cumulative abstract measure)라 한다. 다음의 예에서, 소자의 크기는 변화되는, 즉 슬랙 기반의 방법에 따라 증가되는 세기 특성의 특정한 파라미터이다.

슬랙 기반의 최적화는 회로에서의 임계 경로로부터 소자들을 선택하는데 제한되지 않는 현행 방법들을 통해 회로 성능을 개선한다. 대신에, 회로에서의 모든 소자들은 슬랙 기반의 소자 크기화 방법의 매번 반복시 크기 증가를 위한 후보들로서

조사된다. 이는, 임계 경로 상에 있지 않지만 설계를 필요한 해법으로 이동시키는데 있어서 높은 효능을 가지는 소자가 선택될 수 있다는 이점을 갖는다. 제 2 이점은 소자의 성능 지수가 단지 그 임계 경로 효과(impact)에만 기초하지 않는다는 점이다. 임계 경로는 단지 하나의 입력 노드와 하나의 출력 노드만을 포함한다. 슬랙 방법에 있어서, 소자의 성능 지수는 소자의 모든 입력들 및 출력들의 슬랙상의 효과에 기초한다. 따라서, 모든 그 주변 노드들에 양의 효과를 갖는 소자는, 하나 또는 몇 개의 노드들에 양의 효과를 갖지만 다른 노드들에서는 음의 효과를 갖는 소자와는 구별될 수 있다.

본 명세서에 개시한 슬랙 기반의 IC 소자 크기화 방법에 있어서, 회로의 출력들에서 필요한 시간들은 회로를 통해 전파되고 회로에서의 노드마다 최초의 필요한 시간이 결정된다. 회로에서의 각 노드에서 신호들의 최종 도착 시간들도 결정된다. 각 노드에서의 최종 도착 시간과 최초 필요한 시간 사이의 차는 노드의 슬랙으로서 결정되는데, 즉 본 예에서, 필요한 시간 빼기 회로에서의 노드에 대한 다른 노드까지의 도착 시간이 슬랙과 같다.

회로에서의 노드마다 문턱값 레벨보다 더 큰 슬랙을 가질 때, 회로는 이용자 지정된 타이밍 제약들을 충족시키도록 통상 고려되며, 슬랙 기반의 방법이 완료된다. 슬랙이 비교되는 문턱값 레벨은, 이용자가 타이밍 분석의 부정확성을 보상하거나 책임질 수 있도록 허용하거나 제조 처리 변화들을 보상할 수 있도록 허용하기 위해 이용된다.

집적 회로들의 타이밍 분석에 있어서, 대안적 스위칭 시나리오들에 관련된 과도적 및 누적적인 시간 지연들의 정확성 및 정밀도가 가장 중요하다. 수 백만 개의 트랜지스터들을 포함하는 집적 회로에 대해서, 전파 지연 모델들에서 매우 작은 부정확성들조차도, 특히 그러한 부정확성들의 누적적 효과를 고려하여, 회로 성능 추정들에서 상대적으로 큰 예러들을 야기할 수 있다. 따라서, 회로 성능 최적화 도구들 또는 프로그램들이 회로 설계 처리 동안 설계된 디지털 회로들 및 게이트들의 모든 출력 노드들에서의 전파 지연 및 출력 과도 시간의 유효하고 정확한 추정들을 전달하는 것이 필수적이다.

설계 최적화를 위한 전자 회로들 및 게이트들의 모델링(modeling)의 한 방법은, 트랜지스터 특성들이 다양한 방법들에 의해 접근되고 그에 의해 컴퓨터 이용 설계 (CAD :computer aided design) 프로그램 구현이 소비자 명세(specification)에 관해 최적화되는 최종 설계 파일 또는 네트리스트에서 반복해서 도착하도록 향상되는 트랜지스터 네트워킹 타이밍 시뮬레이션을 관련시킨다.

통상, 소자 크기화를 위해 설계되는 집적 회로들은 트랜지스터들 및 논리 게이트들을 포함하는 복수의 소자들로 구성됨을 주지한다. 이러한 각 트랜지스터 또는 게이트는 그와 연관된 고유의 신호 전파 지연 시간을 가지며, 그 지연은 전형적으로 나노초(nanosecond)나 피코초(picosecond) 단위로 측정된다. 집적 회로들에서의 타이밍 제약들은 종종 나노초 단위로 지정되고, 집적 회로에서의 두 개의 서로 다른 포인트들 사이에서 신호의 최대 허용 전파 시간을 나타낸다. 이러한 타이밍 제약들은, 시장에 경쟁 제품을 제공하거나 대형 시스템에서의 다른 집적 회로들과 호환성이 있도록 신호 처리가 발생하여야 하는 속도와 관해 집적 회로가 전체 명세를 충족시키기 위해, 충족되어야 한다.

집적 회로의 속도는 통상 그 크기에 비례한다. 예를 들면, 트랜지스터의 세기는 그 게이트의 폭과 관련이 있다. 집적 회로들의 설계에 있어서, 초기 설계가 선택되고, 소자들의 수가 동일하게 남지만 고객 또는 이용자 제약들은 최대 칩 크기가 충족되도록 최적 크기로 변경된다.

집적 회로 소자 크기화의 종래 방법에 있어서, 칩 설계는 회로의 임계 경로를 식별하기 위해 먼저 분석되었다. 집적 회로의 임계 경로는 크기가 증가될 때 전체의 회로 속도의 개선에 직접 기여할 소자들을 포함한다. 모든 집적 회로들에 있어서, 오프 임계 경로(off-critical-path)의 소자의 크기의 증가가 그 소자의 전파 지연을 감소시킬지라도, 다운스트림 게이트가 어떤 경우에 나중에 발생하는 신호를 기다려야할 것이므로 집적 회로의 전체 속도에 영향을 미치지 않기 때문에, 소위 임계 경로 상에 있지 않은 소자들이 있다. 임계 경로는 그러한 나중에 발생하는 신호를 발생시킴에 따라, 칩의 전체 속도에 대해 임계인 소자들의 경로를 말한다.

소자 크기 결정의 전체의 처리를 잘 기술하기 위해서 도 1을 참조해야 한다. 도 1에서는, 신호들 게이트들(201 및 203)에 의해 수신되고 추가의 게이트들(205 및 207)에 차례로 인가되는 출력 신호들을 제공하는, 집적 회로의 예시적인 부분이 도시되어 있다. 또한 인버터 회로(209)는 입력 신호를 수신하고 그로부터의 출력 신호들을 게이트(207) 및 다른 인버터(211)에 인가한다. 도시된 회로에서의 각 게이트는 고유의 신호 전파 지연 시간을 포함한다. 예를 들면, 게이트(209)는 "D3"표기로 표시되는 3 나노초(ns)의 지연 시간을 갖는다. 유사하게, 게이트들(203 및 207)은 그와 연관된 각각 2ns, 5ns의 지연들을 갖는다. 또한, 인버터들(209 및 211)은 그들 소자들과 연관된 각각 3ns, 2ns의 지연들을 갖는다.

도면에서, "최악의 경우(worst case)" 도착 시간들은 칩에서의 디바이스들의 모든 출력들에 대하여 계산된다. 최악의 경우 도착 시간은 회로내의 특정한 노드에서 신호가 도착할 수 있는 최종 시간이다. 도 1에서, 예와 같이, 도착 시간들 "A"는 AND 게이트(203)에 대한 하부의 입력에 대해 6ns이다. 유사하게, 인버터(209)는 5 나노초의 신호 도착 시간을 가지며, 3

나노초의 고유의 인버터(209) 지연을 초래한 후, 8나노초의 포인트에서 도착 시간을 갖는 인버터(209)의 출력 노드에서 나타난다. 도시된 시간들은 임의적이며 예시적인 것으로서, 예시적인 집적 회로부와 연관된 상대적인 도착 및 지연 시간들을 나타내기 위해 선택된다.

또한, 전체의 시스템 설계 요구조건들을 충족시키기 위해 충족되어야 하는 동일 노드에서 상대적인 "필요한(required)" 시간 또는 이용자 제약된 시간 "R"이 도 1에 도시되어 있다. AND 게이트(203)는 예를 들어 5 나노초의 필요한 시간 "R"을 갖는다. 유사하게, 인버터(209)는 3 나노초의 입력 R 시간과, 6 나노초의 출력 R 시간(3 나노초의 디바이스 지연을 더한 후에)을 갖는다. 게이트(207)는 12ns의 출력 R 시간을 가지며 인버터(211)는 8ns의 출력 R 시간을 갖는다.

전체의 슬랙 기반의 소자 크기화 방법에 따라서, 슬랙이 각 노드에 대해서 결정된다. 본 명세서에 전술한 바와 같이, 슬랙 시간은 신호가 적당한 노드에 도착하는 "도착(arrival)" 시간 또는 실제 시간보다 짧은 "필요한" 시간으로서 규정된다. "필요한" 시간은, 신호가 노드에 도착할 수 있고 또한 회로가 특정한 이용자 타이밍 제약을 충족시키도록 허용할 수 있는 최종 시간이다. 본 발명의 방법을 구현함에 있어서, 최악의 경우 필요한 시간들은 모든 노드들에서 계산된다. 각 노드에 대해서, 필요한 시간은 그 최초의 출력으로부터 얻어진 후, 바로 앞의 "필요한" 시간들에 바로 앞의 소자들의 고유의 지연 시간을 뺀으로써 계산된다. 슬랙을 계산하는데 있어서, 게이트(203)에 관해서는, 예를 들어, 5 나노초의 "필요한" R 시간보다 후의 1초인 6 나노초 표시에 신호가 도착한다면, 노드는 "-1" 나노초의 "슬랙(slack)" 시간을 갖는다. 인버터(209)는 5ns의 도착 시간 A와 3ns의 필요한 시간 R을 가지며, 결국 "-2"ns의 슬랙 시간을 갖는다.

도 2에 기술한 바와 같이, 전체의 슬랙 기반의 소자 크기화 방법은 단계(300)에서 실행된 타이밍 분석 기능을 포함한다. 타이밍 분석 기능은 회로에서의 각 소자의 노드에 나타나는 전파된 신호에 대해서 실제의 도착 및 필요한 도착 시간들을 계산한다. 이 단계는 회로 또는 고려중의 회로부의 모든 노드들에서 실제 신호 도착 시간들을 계산함으로써 회로의 타이밍을 분석하는 것을 관련시킨다. 그 외에도, 노드들의 각각에서 필요한 신호 도착 시간들이 결정 또는 제공된다. 필요한 신호 도착 시간은 회로의 출력 노드들에서 회로 명세의 부분으로서 통상 제공된다.

다음에, 단계(302)는 회로에서의 각 노드에 대해서 슬랙, 즉 필요한 시간 빼기 도착 시간의 계산 또는 결정을 관련시킨다. 다음에, 단계(304)에서, 그 소자의 어떤 특성이 변화될 때, 각 소자의 슬랙 시간의 감도 또는 효과가 계산된다. 본 예에서, 특성은 소자의 크기이며 변화는 소자 크기의 증가이다.

단계(306)에서, 최적화된 회로의 각 소자에 대해 성능 지수가 계산된다. 성능 지수는 전체 설계의 최적화에 대해 개별 소자가 가질 수 있는 효과를 나타낸다. 소자에 대한 성능 지수는 모든 노드들의 슬랙 시간들에 대한 각 소자의 감도값 또는 값들, 각 소자에 대한 슬랙 기반의 가중치 인자와, 및 각 소자에 대한 경로 기반 가중치 인자(path-based weighting factor)에 기초한다. 성능 지수는 주어진 소자가 설계 지연을 최적화하는 총 가중된 효과를 나타낸다. 경로 기반의 가중치 인자는 얼마나 많은 임계 경로들이 소자에 실행되는지를 나타낸다. 슬랙 기반의 가중치 인자는 슬랙이 소자에 의해 영향을 받는 노드들의 상대적인 임계도를 고려한다. 감도값은 소자의 영역을 특정한 양만큼 증가시킴으로써 임계 경로들에 따라 기대되는 지연 또는 슬랙의 향상을 나타낸다. 소자에 대한 감도값들은 경로 기반의 가중치 인자 및 슬랙 기반의 가중치 인자에 의해 가중된다. 설명을 위해, 전체 설계에 대한 큰 효과를 미칠 수 있는 소자들은 보다 양의 성능 지수를 가질 것이며, 최적으로 최적화된 디바이스들은 영의 성능 지수를 가질 것이며, 음의 성능 지수는 또다른 최적화가 전체 회로에 대한 음의 효과를 갖는 소자들을 나타낸다. 다른 성능지수값들이 상술한 경우들을 나타내기 위해 모든 양의 값들을 사용하도록 이용될 수 있음을 본 기술 분야의 숙련자들이 인식할 수 있다.

다음에, 단계(308)에서, 각 소자의 성능 지수들에 대해 분산이 계산된다. 다음에, 단계(310)에서, 지정된 문턱값 분산보다 더 큰 분산인지의 여부가 결정된다. 지정된 문턱값 분산은 자동으로 계산될 수 있거나 이용자 규정될 수 있으며, 분산 곡선의 특성들에 의존할 수 있다. 도 3을 참조하면, 성능 지수 분산은 최적화 반복들의 수에 기초하여 변화하는 것을 알 수 있다. 특히, 도 3의 그래프의 원점 또는 원점 부근에서, 분산이 레벨 A인 것으로 도시되어 있다. 레벨 A는 회로에서의 모든 성능 지수들에 대해 계산된 분산을 나타낸다. 추가적인 최적화 통과들이 발생함에 따라(도 3의 X축으로 표시됨), 분산이 변화한다.

이 변화는 통상 보다 더 최적의 회로가 얻어진 것을 나타내는, 성능 지수들의 전체 분산의 감소이다. 이러한 개선은, 각 개별 소자가 최적화됨에 따라, 또 다른 최적화가 바람직하지 않는 포인트에 소자가 이를 때까지 더 적은 최적화가 가능함을 나타내어, 그 성능 지수가 더 작아지기 때문에 발생한다.

분산은 모든 성능 지수들(i)에 대한 $(m_i - M_m)^2$ 의 합과 같다. 여기서 m_i 는 소자(i)에 대한 성능 지수를 나타내고, M_m 은 모든 소자들의 평균이다. 본 발명에 의해 인식된 분산 곡선의 특성은 급경사 영역(403)이다. 본 발명은 급경사 영역(403)의 존재를 인식한다. 급경사 영역(403)은 분산에서의 급강하가 대략 A의 값에서 대략 B의 값까지 발생하는 최적화 처리에

서의 포인트이다. 변화 강하(variation drop)는 3 번의 최적화 반복들 이내, 통상 한번의 반복이내에서 발생하는 것으로 실험적으로 관측되었다. 따라서, 또 다른 최적화들을 종결하는데 이용된, 실제의 분산 문턱값(402)은 이용자에 의해 지정된 원하는 최적화를 가리키는 문턱값이거나, 급경사 영역(403)을 인식하는 분산 곡선(401)의 함수일 수 있다.

특정한 실시예에서, 분산 문턱값(402)은 최적화 이전의 분산 곡선(401)보다 더 큰 대략 1차수의 크기로 계산된다. 예를 들면, 분산 곡선(401)의 현재값이 A이면, 문턱값은 대략 A를 10으로 나눈값이다. 따라서, 분산 문턱값 곡선(402)은 또한 분산 곡선(401)에 따라 변화한다. 다음에 오는 최적화가 문턱값보다 더 큰 것으로 분산이 계산될 때, 도 2의 방법은 종료된다. 분산이 분산 문턱값보다 더 작을 때, 흐름도는 최적화 단계(312)로 진행한다.

단계(312)에서, 소자를 최소의 절대 성능 지수로 선택하고 예정된 양만큼 그 크기를 축소함으로써 설계는 최적화된다. 예를 들면, 예정된 양은 선택된 소자의 현재 크기의 비율, 또는 최소 트랜지스터 크기의 반(半)과 같은 최소 트랜지스터 크기에 기초한 고정량으로 구성될 수 있다. 이 예정된 영역은 회로를 더 최적화하기 위해 절대 최소의 성능 지수를 가진 소자로부터 제거된다. 다른 실시예들은 하나의 회로 소자보다 많이 선택할 수 있음에 주의해야 한다. 일반적으로, 선택된 소자(들)는 최소의 절대 성능(merit)을 가질 것인데, 예를 들면 소자의 총 수의 10퍼센트가 선택될 수 있으며, 여기서 선택된 10퍼센트는 주어진 시간에서 최적화될 수 있는 최소의 성능 지수들을 통상 갖는다.

단계(312)에서의 최적화 다음에, 흐름은 단계(300)에서 시작하여 타이밍 분석을 반복한다. 분산미 문턱값 분산보다 클 때까지 흐름이 계속된다. 최소의 절대 성능 지수를 갖는 소자를 최적화함으로써, 설계에 있어서의 다른 소자들의 성능 지수들이 변화할 수 있고, 도 3의 급경사 영역(403)에 의해 도시한 바와 같이, 확실히 변화할 수 있다. 분산 곡선(401)은 회로에서의 모든 성능 지수들의 분산에 대해 단일 또는 작은 수의 소자들을 변경한 효과를 그래프로 표현한 것이다.

도 4에 도시한 바와 같이, 상기 기술한 다양한 방법들이 전용 하드웨어(15)내에서, 또는 데이터 처리 시스템(13)내에 구현된 처리들 내에서 구현될 수 있다. 본 명세서에 개시한 방법론을 실현하도록 구현될 수 있는 워크스테이션의 전형적인 하드웨어 구성이 도시되어 있으며, 종래의 마이크로프로세서와 같은 중앙 처리 장치(CPU)(10), 및 시스템 버스(12)를 통해 서로 접속된 다수의 다른 유닛들을 포함한다. 도 4에 도시된 워크스테이션은 랜덤 액세스 메모리(RAM)(14), 판독 전용 메모리(ROM)(16), 디스크 유닛들(20)과 테이프 유닛들(40)과 같은 주변 디바이스들을 버스(12)에 접속시키는 입력/출력(I/O) 어댑터(18)를 포함한다. 이용자 인터페이스 어댑터(22)는 키보드 디바이스(24)와 마우스(26)를 시스템 버스(12)에 접속하기 위해 사용된다. 터치 스크린 디바이스(도시되지 않음)와 같은 다른 이용자 인터페이스 디바이스들도 또한 이용자 인터페이스 어댑터(22)를 통해 시스템 버스(12)에 연결될 수 있다.

또한, 워크스테이션을 데이터 처리 네트워크(17)에 접속하기 위한 통신 어댑터(34)가 도시되어 있다. 또한, 디스플레이 어댑터(36)는 시스템 버스(12)를 디스플레이 디바이스(38)에 접속한다. 본 발명의 방법은 하나 또는 그 이상의 디스크 유닛들(20), 테이프 드라이브들(40), ROM(16) 및/또는 RAM(14)에 구현되고 저장되거나, 통신 어댑터(34)를 통한 네트워크 접속을 통해 시스템(13)에 이용할 수 있고, 그 후에 CPU(10)에 의해 처리될 수 있다. 본 발명을 구현하는 장치는 대부분 당업자에 공지된 전자 부품들 및 회로들로 구성되었으므로, 본 발명의 기본적 개념들을 이해하고 인식하며 본 발명의 가르침으로부터 판단을 흐리게 하거나 벗어나지 않도록, 회로 설명은 상술한 바와 같이 필요성을 고려하여 대부분 설명하지 않는다.

도 5는 도 4에 개시된 최적화된 셀 레이아웃 도구(52)를 이용하는 집적 회로 구성을 도시한 블록도이다. 최적화된 셀 레이아웃 도구(52)는 최적화된 회로 레이아웃(54)을 발생시키기 위해 회로 레이아웃(50)을 이용한다. 물리적 설계 파일(58)은 최적화된 회로 레이아웃(54)으로부터 발생된다(56). 회로 레이아웃(50), 최적화된 회로 레이아웃(54), 및 물리적 설계 파일(58)은 전형적으로, 디스크 유닛들(20)과 같은 컴퓨터 판독 가능한 매체들 상에 데이터 파일로서 저장된다. 물리적 설계 파일(58)은 집적 회로 치수들, 소자 치수들, 집적 회로내의 소자 위치들을 포함한다. 물리적 설계 파일(58)은 집적 회로 다이의 2차원 기관 영역 내에서 소자들 및 접속 들의 위치를 정한다. 바람직하게는, 물리적 설계 파일(58)은 물리적 설계 파일(58)이 파생된 집적 회로 설계의 기능들을 실행하기 위한 물리적 구조를 포함한다. 물리적 설계(58)는 물리적 설계 파일(58)에서의 층들에 대응하는 리소그래픽 마스크들(62) 세트로 전환된다(60).

본 명세서에 언급된 방법은 집적 회로에 관한 정보와, 집적 회로에서 게이트들, 트랜지스터들 등의 배치를 포함하는 CAD(컴퓨터 이용 설계) 데이터 파일들을 생성하는데 이용된다. 그 후 이들 파일들은, 집적 회로 구성의 용이성을 이용하여 복수의 웨이퍼들 상에 복수의 집적 회로들을 구성하는데 이용되는 리소그래픽 마스크를 형성하는데 이용된다. 설계 양상은 Addison-Wesley에 의해 1985년 출판된, VLSI 시리즈에서 N.H.E. Weste와 K. Eshragian저 "Principles of CMOS VLSI Design: A Systems Perspective" 에 설명되어 있다. 제조 기술들은 Lattice Press에 의해 1986년 출판된, Wolf와

Tauber저 "Silicon Processing for the VLSI Era, Volume 1: Process Technology"에 약술되어 있다. 처리 통합은 Lattice Press에 의해 1990년 출판된, 시리즈 2권인 "Silicon Processing for the VLSI Era, Volume 2: Process Integration"에 설명되어 있다.

본 발명의 방법들 및 구현 장치는 본 명세서에 개시된 바와 같은 양호한 실시예들과 관련하여 기술되었다. 본 발명의 전형적인 실시예가 그의 임의의 변형들과 함께 본 명세서에 상세히 도시되고 기술되었지만, 본 발명의 가르침을 구체화하는 다른 많은 여러 가지 실시예들이 본 기술 분야의 숙련자들에 의해 용이하게 구성될 수 있다. 따라서, 본 발명은 본 명세서에서 밝힌 특정한 형태에 한정되지 않아서, 본 발명의 정신과 범위내에 합당하게 포함될 수 있는 바와 같이, 그러한 대안책들, 변형들 및 동등물들(equivalents)을 포함하도록 의도된다.

발명의 효과

본 발명은 필요한 실제 지연 시간에 근거한 회로의 각 노드에 대한 슬랙 시간을 결정한다. 회로내의 각 소자에 대해서, 감도 및 성능 지수가 계산된다. 계산된 성능 지수에 대한 분산이 계산된다. 최소의 절대 성능 지수를 갖는 소자는 분산이 예정된 문턱값 분산보다 작을 때 최적화된다.

(57) 청구의 범위

청구항 1.

반도체 디바이스에서의 회로 소자 크기들을 최적화 방법에 있어서,

복수의 회로 소자들이 특정한 출력 시간에 출력 신호를 제공할 수 있게 하기 위해 전달된 입력 신호가 복수의 회로 소자들의 예정된 노드들에 도착해야 하는 필요한 시간을 결정하는 단계로서, 상기 필요한 시간은 예정된 입력 시작 시간으로부터 측정되는, 상기 필요한 시간 결정 단계,

상기 예정의 입력 시간 시간으로부터 측정된 대응하는 도착 시간들을 결정하는 단계로서, 상기 대응하는 도착 시간들은 상기 전달된 입력 신호가 예정의 노드들에 실제 도착하는 시간들을 표시하는, 상기 도착 시간 결정 단계,

상기 예정된 노드들의 각각에서 슬랙 시간을 계산하는 단계로서, 상기 슬랙 시간은 상기 대응하는 도착 시간과 상기 필요한 시간 사이의 시간차로 표시되는, 상기 슬랙 시간 계산 단계,

변화된 회로 소자 크기들에 대한 상기 예정의 노드들의 각각에서의 상기 슬랙 시간의 영향을 결정하는 단계,

성능 지수들의 세트를 생성하기 위해 상기 복수의 회로 소자들의 각 회로 소자에 대해 성능 지수를 계산하는 단계,

상기 성능 지수들의 세트의 분산을 계산하는 단계, 및

상기 분산이 분산 문턱값보다 더 작다고 결정될 때, 최소의 절대 성능 지수를 갖는 상기 복수의 회로 소자들 중 어떤 하나의 회로 소자를 선택하고 상기 회로 소자의 크기를 예정된 양만큼 축소하는 단계를 포함하는 회로 소자 크기들 최적화 방법.

청구항 2.

반도체 디바이스에서의 회로 소자 크기들을 최적화 방법에 있어서,

복수의 회로 소자들이 특정한 출력 시간에 출력 신호를 제공할 수 있게 하기 위해 전달된 입력 신호가 복수의 회로 소자들의 예정된 노드들에 도착해야 하는 필요한 시간을 결정하는 단계로서, 상기 필요한 시간은 예정된 입력 시작 시간으로부터 측정되는, 상기 필요한 시간 결정 단계,

상기 예정된 입력 시간 시간으로부터 측정된 대응하는 도착 시간들을 결정하는 단계로서, 상기 대응하는 도착 시간들은 상기 전달된 입력 신호가 예정된 노드들에 실제 도착하는 시간들을 표시하는, 상기 도착 시간 결정 단계,

상기 예정된 노드들의 각각에서 슬랙 시간을 계산하는 단계로서, 상기 슬랙 시간은 상기 대응하는 도착 시간과 상기 필요한 시간 사이의 시간차를 표시하는, 상기 슬랙 시간 계산 단계,

변화된 회로 소자 크기들에 대해 상기 예정된 노드들의 각각에서의 상기 슬랙 시간의 영향을 결정하는 단계,

성능 지수들의 세트를 생성하기 위해 상기 복수의 회로 소자들의 각 회로 소자에 대해 성능 지수를 계산하는 단계,

상기 복수의 회로 소자들 중 어떤 하나의 회로 소자를 선택하고 상기 회로 소자의 크기를 예정된 양만큼 축소하는 단계, 및

상기 회로 소자 크기들이 예정된 기준에 따라 최적화될 때까지 상기 단계들을 반복하는 단계를 포함하는 회로 소자 크기들 최적화 방법.

청구항 3.

제 2 항에 있어서,

상기 회로 소자를 선택하는 단계는 최소의 절대 성능 지수를 갖는 상기 소자를 선택하는 단계를 더 포함하는, 회로 소자 크기들 최적화 방법.

청구항 4.

제 2 항에 있어서,

상기 회로 소자 크기들이 예정된 기준에 따라 최적화될 때까지 상기 단계들을 반복하는 단계는,

상기 성능 지수의 세트의 분산을 계산하는 단계, 및

상기 분산이 분산 문턱값보다 더 작다고 결정될 때 상기 단계들을 반복하는 단계를 더 포함하는, 회로 소자 크기들 최적화 방법.

청구항 5.

반도체 디바이스에서의 회로 소자 크기들을 최적화 방법에 있어서,

복수의 회로 소자들이 특정한 출력 시간에 출력 신호를 제공할 수 있게 하기 위해 전달된 입력 신호가 복수의 회로 소자들의 예정된 노드들에 도착해야 하는 필요한 시간을 결정하는 단계로서, 상기 필요한 시간은 예정된 입력 시작 시간으로부터 측정되는, 상기 필요한 시간 결정 단계,

상기 예정된 입력 시간 시간으로부터 측정된 대응하는 도착 시간들을 결정하는 단계로서, 상기 대응하는 도착 시간들은 상기 전달된 입력 신호가 예정된 노드들에 실제 도착하는 시간들을 표시하는, 상기 도착 시간 결정 단계,

상기 예정된 노드들의 각각에서 슬랙 시간을 계산하는 단계로서, 상기 슬랙 시간은 상기 대응하는 도착 시간과 상기 필요한 시간 사이의 시간차를 표시하는, 상기 슬랙 시간 계산 단계,

변화된 회로 소자 크기들에 대해 상기 예정된 노드들의 각각에서의 상기 슬랙 시간의 영향을 결정하는 단계,

성능 지수들의 세트를 생성하기 위해 상기 복수의 회로 소자들의 각 회로 소자에 대한 성능 지수를 계산하는 단계,

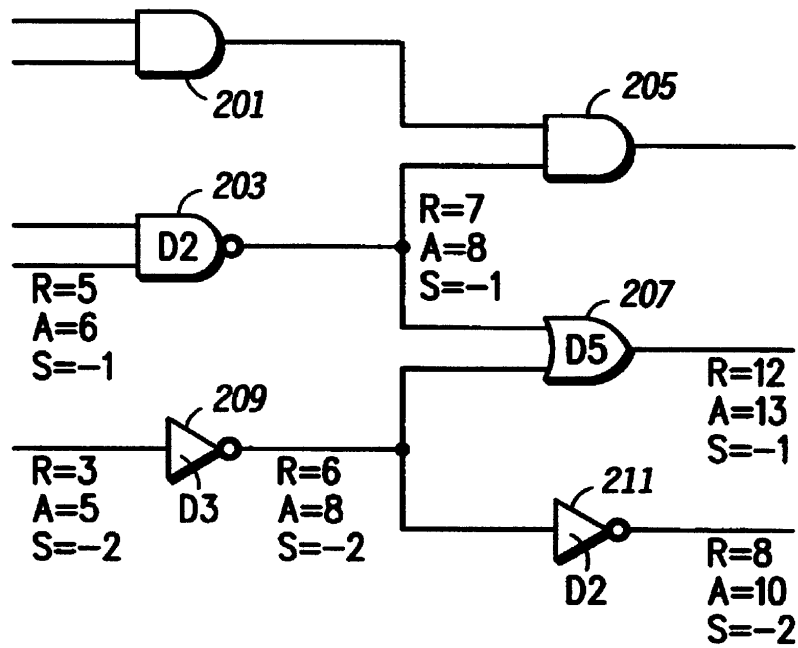
상기 성능 지표들의 세트의 분산을 계산하는 단계,

상기 분산이 분산 문턱값보다 더 작다고 결정될 때, 최소의 절대 성능 지수를 갖는 상기 복수의 회로 소자들 중 어떤 하나의 회로 소자를 선택하고 상기 회로 소자의 크기를 예정된 양만큼 축소하는 단계, 및

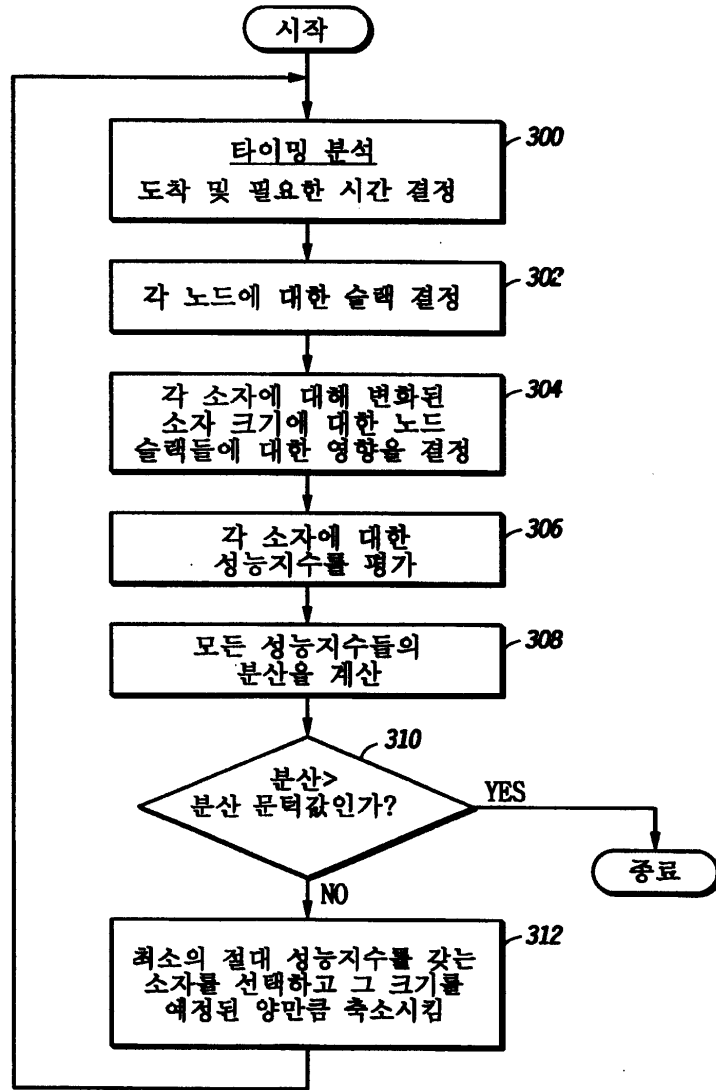
상기 분산이 상기 분산 문턱값보다 더 작지 않을 때까지 상기 단계들을 반복하는 단계로서, 상기 분산 문턱값은 각 반복 후에 재계산되며 예정된 인자로 곱해진 미리 계산된 분산인 것으로서 결정되는, 상기 반복 단계를 포함하는 회로 소자 크기 최적화 방법.

도면

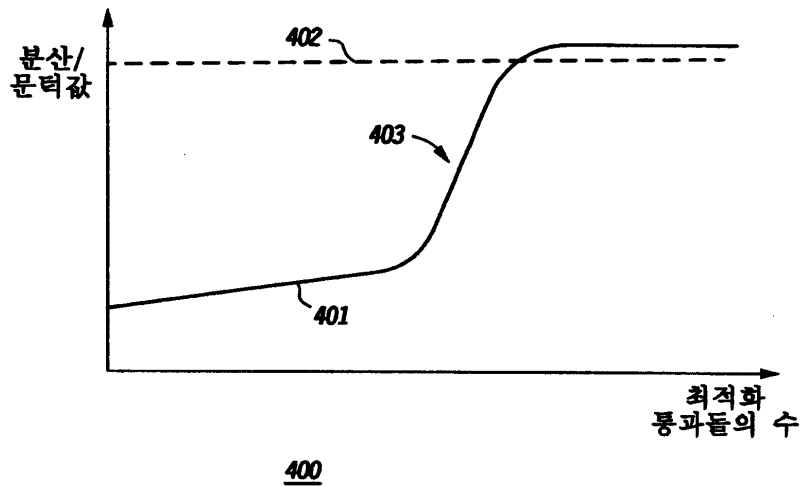
도면1



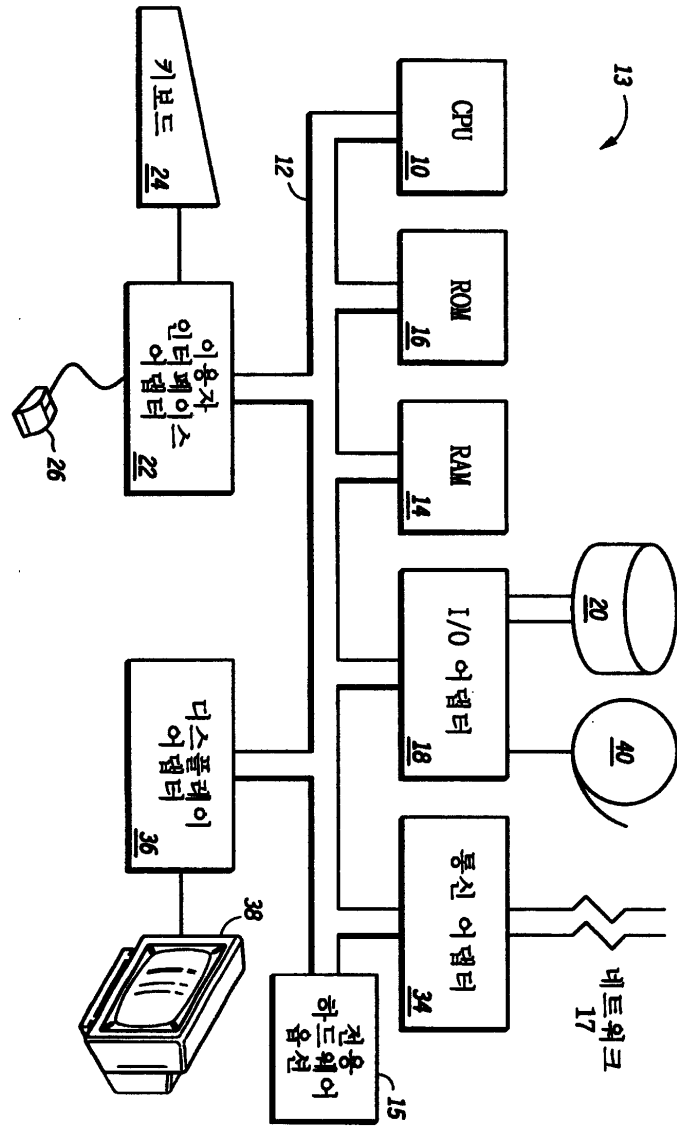
도면2



도면3



도면4



도면5

