

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6448289号  
(P6448289)

(45) 発行日 平成31年1月9日(2019.1.9)

(24) 登録日 平成30年12月14日(2018.12.14)

(51) Int. Cl.	F I	
<b>HO4N 5/369 (2011.01)</b>	HO4N 5/369	
<b>HO1L 27/146 (2006.01)</b>	HO1L 27/146	A
<b>HO4N 5/341 (2011.01)</b>	HO4N 5/341	
<b>GO2B 7/34 (2006.01)</b>	GO2B 7/34	
<b>GO3B 13/36 (2006.01)</b>	GO3B 13/36	

請求項の数 12 (全 24 頁) 最終頁に続く

(21) 出願番号	特願2014-206281 (P2014-206281)	(73) 特許権者	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成26年10月7日(2014.10.7)	(74) 代理人	100094112 弁理士 岡部 譲
(65) 公開番号	特開2016-76832 (P2016-76832A)	(74) 代理人	100101498 弁理士 越智 隆夫
(43) 公開日	平成28年5月12日(2016.5.12)	(74) 代理人	100106183 弁理士 吉澤 弘司
審査請求日	平成29年10月3日(2017.10.3)	(74) 代理人	100128668 弁理士 齋藤 正巳
		(72) 発明者	箕輪 雅章 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

最終頁に続く

(54) 【発明の名称】 撮像装置及び撮像システム

(57) 【特許請求の範囲】

【請求項1】

入射された光量に応じた電荷を生成する複数の光電変換部と、  
前記複数の光電変換部に対応して設けられ、前記複数の光電変換部で生成された電荷を保持する第1半導体領域を有する複数の電荷保持部と、

前記複数の光電変換部に共有されて設けられ、入射光を前記光電変換部に導く集光部とをそれぞれが含む複数の画素が行列状に配置された画素領域を有し、

複数の前記第1半導体領域のうち、同一の画素に含まれ、隣り合って配された複数の前記第1半導体領域の間には、前記第1半導体領域と異なる導電型を有する第2半導体領域が形成され、

複数の前記第1半導体領域のうち、異なる画素に含まれ、隣り合って配された複数の前記第1半導体領域の間には、前記第1半導体領域と異なる導電型を有する第3半導体領域が形成され、

前記第1半導体領域と同じ深さにおいて、前記第2半導体領域の不純物濃度は、前記第3半導体領域の不純物濃度よりも低い

ことを特徴とする撮像装置。

【請求項2】

入射された光量に応じた電荷を生成する複数の光電変換部と、  
前記複数の光電変換部に対応して設けられ、前記複数の光電変換部で生成された電荷を保持する第1半導体領域を有する複数の電荷保持部と、

前記複数の光電変換部に共有されて設けられ、入射光を前記光電変換部に導く集光部とをそれぞれが含む複数の画素が行列状に配置された画素領域を有し、

複数の前記電荷保持部のうち、同一の画素に含まれ、各々が隣り合って配された複数の前記電荷保持部に含まれる、複数の前記第1半導体領域の間には、前記第1半導体領域と異なる導電型を有する第2半導体領域を有し、複数の前記電荷保持部どうしを分離する第1分離部が形成され、

複数の前記電荷保持部のうち、異なる画素に含まれ、各々が隣り合って配された複数の前記電荷保持部に含まれる、複数の前記第1半導体領域の間には、前記第1半導体領域と異なる導電型を有する第3半導体領域を有し、前記複数の電荷保持部どうしを分離する第2分離部が形成され、

前記第2半導体領域の不純物濃度は、前記第3半導体領域の不純物濃度よりも低いことを特徴とする撮像装置。

【請求項3】

同一の画素に含まれる2つの前記第1半導体領域の間の第1のポテンシャル障壁の高さ $V_b$ が、それぞれ異なる画素に含まれる2つの前記第1半導体領域の間の第2のポテンシャル障壁の高さ $V_a$ よりも小さいことを特徴とする請求項1又は2に記載の撮像装置。

【請求項4】

同一の画素に含まれる2つの前記第1半導体領域の間の第1のポテンシャル障壁の高さ $V_b$ が、前記光電変換部の空乏化電圧と前記電荷保持部の空乏化電圧の差 $V_{dep}$ よりも小さいことを特徴とする請求項1乃至3のいずれか1項に記載の撮像装置。

【請求項5】

前記光電変換部の空乏化電圧と前記電荷保持部の空乏化電圧の差 $V_{dep}$ が、それぞれ異なる画素に含まれる2つの前記第1半導体領域の間の第2のポテンシャル障壁の高さ $V_a$ よりも小さいことを特徴とする請求項4に記載の撮像装置。

【請求項6】

同一の画素に含まれる2つの前記光電変換部の間の第3のポテンシャル障壁の高さ $V_d$ が、それぞれ異なる画素に含まれる2つの前記光電変換部の間の第4のポテンシャル障壁の高さ $V_c$ よりも小さいことを特徴とする請求項1乃至5のいずれか1項に記載の撮像装置。

【請求項7】

入射された光量に応じた電荷を生成する複数の光電変換部と、  
前記複数の光電変換部に対応して設けられ、前記複数の光電変換部で生成された電荷を保持する複数の電荷保持部と、  
前記複数の光電変換部に共有されて設けられ、入射光を前記光電変換部に導く集光部とをそれぞれが含む複数の画素が行列状に配置された画素領域を有し、  
同一の画素に含まれる2つの前記電荷保持部の間の第1のポテンシャル障壁の高さ $V_b$ が、前記光電変換部の空乏化電圧と前記電荷保持部の空乏化電圧の差 $V_{dep}$ よりも小さいことを特徴とする撮像装置。

【請求項8】

同一の画素に含まれる2つの前記光電変換部の間の第3のポテンシャル障壁の高さ $V_d$ が、それぞれ異なる画素に含まれる2つの前記光電変換部の間の第4のポテンシャル障壁の高さ $V_c$ よりも小さいことを特徴とする請求項7に記載の撮像装置。

【請求項9】

前記第1のポテンシャル障壁の高さ $V_b$ が、同一の画素に含まれる2つの前記光電変換部の間の第3のポテンシャル障壁の高さ $V_d$ よりも大きいことを特徴とする請求項7又は8に記載の撮像装置。

【請求項10】

前記複数の画素のそれぞれは、前記電荷保持部で保持された電荷が転送されるフローティングディフュージョンを有することを特徴とする請求項1乃至9のいずれか1項に記載

10

20

30

40

50

の撮像装置。

【請求項 1 1】

請求項 1 乃至 1 0 のいずれか 1 項に記載の撮像装置と、  
前記撮像装置から出力された信号を処理する信号処理装置と  
を備えることを特徴とする撮像システム。

【請求項 1 2】

前記信号処理装置は、前記撮像装置から出力される、前記複数の光電変換部のうちの第 1 の光電変換部で生成された電荷に基づく信号と、前記複数の光電変換部のうちの第 2 の光電変換部で生成された電荷に基づく信号とを処理することにより、前記撮像装置から被写体までの距離情報を取得することを特徴とする請求項 1 1 に記載の撮像システム。

10

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、撮像装置及び撮像システムに関する。

【背景技術】

【0 0 0 2】

特許文献 1 及び特許文献 2 において、グローバル電子シャッタ機能と、撮像面での位相差方式による焦点検出機能を両立する撮像装置が提案されている。これらの撮像装置は、画像信号用及び焦点検出用の信号電荷を出力する複数の光電変換部と、当該光電変換部から転送された信号電荷を保持する複数の電荷保持部とを有する。

20

【先行技術文献】

【特許文献】

【0 0 0 3】

【特許文献 1】特開 2 0 0 7 - 2 4 3 7 4 4 号公報

【特許文献 2】特開 2 0 1 3 - 1 7 2 2 1 0 号公報

【発明の概要】

【発明が解決しようとする課題】

【0 0 0 4】

特許文献 1 及び特許文献 2 に記載された撮像装置において、複数の電荷保持部のうちの 1 つ以上が飽和すると、当該飽和した電荷保持部に保持されるべき電荷が、隣接する画素の電荷保持部に漏れる場合がある。また、当該飽和した電荷保持部に保持されるべき電荷が、光電変換部から転送されずに光電変換部に残る場合もある。このような原因により、複数の電荷保持部のうちの 1 つ以上が飽和すると、それ以外の電荷保持部が飽和していない場合であっても、画質が劣化する可能性があった。

30

【0 0 0 5】

本発明は上述した課題に鑑みてなされたものであって、グローバル電子シャッタ機能と、撮像面での位相差方式による焦点検出機能とを有する撮像装置において、画質を向上させることを目的とする。

【課題を解決するための手段】

【0 0 0 6】

本発明の一態様に係る撮像装置は、入射された光量に応じた電荷を生成する複数の光電変換部と、前記複数の光電変換部に対応して設けられ、前記複数の光電変換部で生成された電荷を保持する複数の電荷保持部と、前記複数の光電変換部に共有されて設けられ、入射光を前記光電変換部に導く集光部とをそれぞれが含む複数の画素が行列状に配置された画素領域を有し、複数の前記第 1 半導体領域のうち、同一の画素に含まれ、隣り合って配された複数の前記第 1 半導体領域の間には、前記第 1 半導体領域と異なる導電型を有する第 2 半導体領域が形成され、複数の前記第 1 半導体領域のうち、異なる画素に含まれ、隣り合って配された複数の前記第 1 半導体領域の間には、前記第 1 半導体領域と異なる導電型を有する第 3 半導体領域が形成され、前記第 1 半導体領域と同じ深さにおいて、前記第 2 半導体領域の不純物濃度は、前記第 3 半導体領域の不純物濃度よりも低いことを特徴と

40

50

する。

また、本発明の他の一態様に係る撮像装置は、入射された光量に応じた電荷を生成する複数の光電変換部と、前記複数の光電変換部に対応して設けられ、前記複数の光電変換部で生成された電荷を保持する第1半導体領域を有する複数の電荷保持部と、前記複数の光電変換部に共有されて設けられ、入射光を前記光電変換部に導く集光部とをそれぞれが含む複数の画素が行列状に配置された画素領域を有し、複数の前記電荷保持部のうち、同一の画素に含まれ、各々が隣り合って配された複数の前記電荷保持部に含まれる、複数の前記第1半導体領域の間には、前記第1半導体領域と異なる導電性を有する第2半導体領域を有し、複数の前記電荷保持部どうしを分離する第1分離部が形成され、複数の前記電荷保持部のうち、異なる画素に含まれ、各々が隣り合って配された複数の前記電荷保持部に含まれる、複数の前記第1半導体領域の間には、前記第1半導体領域と異なる導電性を有する第3半導体領域を有し、前記複数の電荷保持部どうしを分離する第2分離部が形成され、前記第2半導体領域の不純物濃度は、前記第3半導体領域の不純物濃度よりも低いことを特徴とする。

10

また、本発明の更に他の一態様に係る撮像装置は、入射された光量に応じた電荷を生成する複数の光電変換部と、前記複数の光電変換部に対応して設けられ、前記複数の光電変換部で生成された電荷を保持する複数の電荷保持部と、前記複数の光電変換部に共有されて設けられ、入射光を前記光電変換部に導く集光部とをそれぞれが含む複数の画素が行列状に配置された画素領域を有し、同一の画素に含まれる2つの前記電荷保持部の間の第1のポテンシャル障壁の高さ $V_b$ が、前記光電変換部の空乏化電圧と前記電荷保持部の空乏化電圧の差 $V_{dep}$ よりも小さいことを特徴とする。

20

#### 【発明の効果】

##### 【0007】

本発明によれば、グローバル電子シャッタ機能と、撮像面での位相差方式による焦点検出機能とを有する撮像装置において、画質を向上させることができる。

##### 【図面の簡単な説明】

##### 【0008】

【図1】第1の実施形態に係る撮像装置の構成を示す図である。

【図2】第1の実施形態に係る画素の回路図である。

30

【図3】第1の実施形態に係る撮像装置の駆動タイミングチャートである。

【図4】第1の実施形態に係る画素の上面図である。

【図5】第1の実施形態に係る画素におけるポテンシャル図である。

【図6】第1の実施形態の効果の説明するポテンシャル図である。

【図7】第1の実施形態に係る画素の断面構造である。

【図8】第1の実施形態に係る画素の断面構造である。

【図9】第2の実施形態に係る画素におけるポテンシャル図である。

【図10】第2の実施形態の効果の説明するグラフ及びポテンシャル図である。

【図11】第3の実施形態に係る撮像装置の駆動タイミングチャートである。

【図12】第4の実施形態に係る撮像装置の駆動タイミングチャートである。

40

【図13】第5の実施形態に係る画素の回路図である。

【図14】第5の実施形態に係る撮像装置の駆動タイミングチャートである。

【図15】第5の実施形態に係る画素の上面図である。

【図16】第6の実施形態に係る画素の回路図である。

【図17】第6の実施形態に係る撮像装置の駆動タイミングチャートである。

【図18】第6の実施形態に係る画素の上面図である。

【図19】第6の実施形態に係る画素におけるポテンシャル図である。

【図20】第7の実施形態に係る撮像システムのブロック図である。

##### 【発明を実施するための形態】

##### 【0009】

50

図面を参照しつつ本発明の実施形態を説明する。各実施形態の図面において、同様な機能を有する要素には同一の符号を付し、重複した説明を省略することもある。

【0010】

(第1の実施形態)

図1は本発明の第1の実施形態に係る撮像装置の構成を示す図である。撮像装置10は、画素領域11、垂直走査回路12、列増幅部16、列信号保持部17、水平走査回路18及び出力回路20を有する。画素領域11は、撮像装置10の受光部であり、行列状に配置された複数の画素100を含む。垂直走査回路12は、画素100に対して制御信号を送信する回路である。垂直走査回路12は、撮像装置10の行ごとに設けられた制御信号線13を介して画素100に接続される。なお、図1では制御信号線13は各画素に1本ずつ接続された線として図示されているが、複数の種類の制御信号を送信可能なように複数の配線で構成されていてもよい。

10

【0011】

画素100は入射された光を電気信号に変換して出力する素子である。各画素100には撮像装置10の列ごとに設けられた垂直信号線14が接続される。各垂直信号線14に接続された電流源15によって供給される電流により、画素100からの信号は列増幅部16に出力される。列増幅部16は、増幅回路等を有しており、入力された信号に対し増幅等の処理を行い列信号保持部17に出力する。列信号保持部17は列増幅部16から入力された信号を一時的に保持する回路である。水平走査回路18は列信号保持部17に対し列選択等のための制御信号を送信する。水平走査回路18からの制御信号に応じて、列信号保持部17は各画素列からの信号を出力信号線19を介して出力回路20に順次出力する。出力回路20は入力された信号に対し増幅等の処理を行い、撮像装置10の後段の信号処理部等に出力する。上述した撮像装置10の構成は一例であり、回路の追加等を適宜行ってもよい。

20

【0012】

図2は第1の実施形態に係る画素100の回路図である。画素100は、光電変換部(PD)201、202、電荷保持部(MEM)203、204及びフローティングディフュージョン(FD)205を有する。PD201、202は、入射された光量に応じた電荷を生成するフォトダイオード等の光電変換素子を有する。MEM203、204はPD201、202で生成された電荷を一時的に保持する素子である。

30

【0013】

画素100はさらに、PD201、202からMEM203、204にそれぞれ電荷を転送する第1転送トランジスタ206、207と、MEM203、204からFD205に電荷を転送する第2転送トランジスタ208、209とを有する。第1転送トランジスタ206、207は制御信号PTX1によりオン又はオフに制御される。第2転送トランジスタ208は制御信号PTX21によりオン又はオフに制御され、第2転送トランジスタ209は制御信号PTX22によりオン又はオフに制御される。

【0014】

画素100はさらに、リセットトランジスタ210、増幅トランジスタ211及び選択トランジスタ212を有する。リセットトランジスタ210のドレインにはリセット電圧が供給され、リセットトランジスタ210のソースはFD205に接続される。リセットトランジスタ210がオンになるとFD205に転送された電荷がリセットされる。FD205は増幅トランジスタ211のゲートノードであり、増幅トランジスタ211はFD205に転送された電荷量に応じた信号を増幅して出力する。増幅トランジスタ211のソースは選択トランジスタ212のドレインに接続され、選択トランジスタ212のソースは垂直信号線14に接続される。選択トランジスタ212をオンにすることにより、読み出す画素行が選択され、増幅トランジスタ211からの信号が垂直信号線14に出力される。リセットトランジスタ210は制御信号PRESによりオン又はオフに制御され、選択トランジスタ212は制御信号PSELによりオン又はオフに制御される。

40

【0015】

50

画素 100 はさらに、オーバーフロードレイン (OFD) 及び OFD 制御トランジスタ 213、214 を有する。OFD 制御トランジスタ 213、214 は光電変換部 201、202 と OFD の間にそれぞれ接続される。OFD 制御トランジスタ 213、214 は制御信号 POFD によりオン又はオフに制御されており、OFD 制御トランジスタ 213、214 がオンになると PD 201、202 がそれぞれリセットされる。

【0016】

画素 100 はさらに、入射光を PD 201、202 に導くためのマイクロレンズ 215 (集光部) を有する。PD 201、202 は一つのマイクロレンズ 215 を共有している。

【0017】

図 3 (a) 及び図 3 (b) は第 1 の実施形態に係る撮像装置の駆動タイミングチャートである。図 3 (a) は、1 フレーム期間の動作を示すタイミングチャートであり、図 3 (b) が 1 水平期間の動作を示すタイミングチャートである。1 水平期間は 1 行分の画素信号を読み出す期間であり、1 フレーム期間は全画素の画素信号を読み出す期間である。

【0018】

図 3 (a) を参照して、1 フレーム期間の動作を説明する。本実施形態の撮像装置 10 においては、あるフレームにおける PD への電荷蓄積と、他のフレームの信号読み出しとが同時に行われる。したがって、同一時刻に複数フレームの処理が同時に行われる期間がある。そのため、以下の説明においては、本説明で着目するフレーム (当該フレーム) だけでなく、その一つ前のフレーム (前フレーム) 及び一つ後のフレーム (次フレーム) についても言及することがある。なお、以下のタイミングチャートの説明において、各制御信号がハイレベルのとき、各トランジスタはオン (導通) になり、各制御信号がローレベルのとき、各トランジスタはオフ (非導通) になるものとする。

【0019】

時刻  $t_{301}$  において、前フレームの信号が MEM 203、204 に保持されており、時刻  $t_{301}$  ~ 時刻  $t_{303}$  の期間において、前フレームの信号が順次読み出される (図 3 (a) の「MEM READ」)。

【0020】

前フレームの信号の読み出しと並行して時刻  $t_{301}$  ~ 時刻  $t_{305}$  の期間において、当該フレームのための PD 201、202 のリセット及び PD 201、202 への電荷蓄積が行われる (図 3 (a) の「PD リセット」及び「PD 蓄積」)。時刻  $t_{301}$  ~ 時刻  $t_{302}$  の期間において、制御信号 POFD がハイレベルとなる。これにより、OFD 制御トランジスタ 213、214 がオンになり、PD 201、202 がリセットされる。この期間において、制御信号 PTX1 はローレベルであり、第 1 転送トランジスタ 206、207 はオフである。

【0021】

時刻  $t_{302}$  において、制御信号 POFD がローレベルとなる。OFD 制御トランジスタ 213、214 がオフになり、PD 201、202 において、全画素同時に信号電荷の蓄積が開始される。

【0022】

時刻  $t_{304}$  ~ 時刻  $t_{305}$  の期間において、制御信号 PTX1 がハイレベルとなり、第 1 転送トランジスタ 206、207 がオンになる。これにより、PD 201、202 に蓄積された信号電荷が全画素同時に MEM 203、204 にそれぞれ転送される。

【0023】

時刻  $t_{305}$  において、PTX1 がローレベルとなり、第 1 転送トランジスタ 206、207 がオフになる。これにより、全画素同時に信号電荷の蓄積が終了する。このように、PD 201、202 の電荷蓄積期間を全画素同時とすることにより、グローバル電子シャッタが実現される。なお、図 3 (a) においては、第 1 転送トランジスタ 206、207 を 1 フレーム期間に一度のみオンにしている。しかしながら、時刻  $t_{302}$  ~ 時刻  $t_{305}$  の期間において、第 1 転送トランジスタ 206、207 を複数回オンにすることで P

10

20

30

40

50

D 2 0 1、2 0 2 の電荷を複数回 M E M 2 0 3、2 0 4 に転送してもよい。

【 0 0 2 4 】

時刻  $t_{305}$  ~ 時刻  $t_{306}$  の期間において、制御信号 P O F D がハイレベルとなり、O F D 制御トランジスタ 2 1 3、2 1 4 がオンになる。これにより、P D 2 0 1、2 0 2 の電荷が O F D に排出され、P D 2 0 1、2 0 2 がリセットされる。時刻  $t_{306}$  において、制御信号 P O F D がローレベルとなり、O F D 制御トランジスタ 2 1 3、2 1 4 がオフになる。時刻  $t_{306}$  より、次フレームの P D 2 0 1、2 0 2 への信号蓄積が開始される。

【 0 0 2 5 】

時刻  $t_{305}$  ~ 時刻  $t_{307}$  の期間において、M E M 2 0 3、2 0 4 に蓄積された当該フレームの信号電荷が順次読み出される。信号電荷の読み出しは、図 3 ( b ) のタイミングチャートにより行われる。

10

【 0 0 2 6 】

次に、図 3 ( b ) を参照して、1 水平期間の動作を説明する。図 3 ( b ) の時刻  $t_{311}$  において、制御信号 P T X 1、P S E L、P T X 2 1、P T X 2 2 はローレベルであり、制御信号 P R E S はハイレベルである。よって、第 1 転送トランジスタ 2 0 6、2 0 7、選択トランジスタ 2 1 2 及び第 2 転送トランジスタ 2 0 8、2 0 9 はオフであり、リセットトランジスタ 2 1 0 はオンである。

【 0 0 2 7 】

時刻  $t_{312}$  において、制御信号 P S E L がハイレベルとなり、読み出しを行う行の画素の選択トランジスタ 2 1 2 がオンになる。

20

【 0 0 2 8 】

時刻  $t_{313}$  において、制御信号 P R E S がローレベルとなり、リセットトランジスタ 2 1 0 がオフとなる。これにより、F D 2 0 5 のリセットが解除されるとともに、F D 2 0 5 のリセットレベルに相当する信号が増幅トランジスタ 2 1 1 で増幅されて垂直信号線 1 4 に出力される。

【 0 0 2 9 】

時刻  $t_{313}$  ~ 時刻  $t_{314}$  の期間において、F D 2 0 5 のリセットレベルに相当する信号が読み出し回路 ( 列増幅部 1 6、列信号保持部 1 7 等 ) により取得される ( 以下、「N 読み」とする ) 。

30

【 0 0 3 0 】

時刻  $t_{314}$  ~ 時刻  $t_{315}$  の期間において、制御信号 P T X 2 1 がハイレベルとなり、第 2 転送トランジスタ 2 0 8 がオンになる。これにより、M E M 2 0 3 に保持された信号電荷が F D 2 0 5 に転送される。これにより、M E M 2 0 3 に保持されていた電荷量に応じた信号が、増幅トランジスタ 2 1 1 で増幅されて垂直信号線 1 4 に出力される。

【 0 0 3 1 】

時刻  $t_{315}$  ~ 時刻  $t_{316}$  の期間において、M E M 2 0 3 に保持されていた電荷量に応じた信号が読み出し回路により取得される ( 以下、「A 読み」とする ) 。

【 0 0 3 2 】

時刻  $t_{316}$  ~ 時刻  $t_{317}$  の期間において、制御信号 P T X 2 1、P T X 2 2 がハイレベルとなり、M E M 2 0 3、2 0 4 に保持されていた信号電荷がいずれも F D 2 0 5 に転送される。これにより、M E M 2 0 3、2 0 4 に保持されていた電荷量の和に応じた信号が、増幅トランジスタ 2 1 1 で増幅されて垂直信号線 1 4 に出力される。

40

【 0 0 3 3 】

時刻  $t_{317}$  ~ 時刻  $t_{318}$  の期間において、M E M 2 0 3、2 0 4 に保持されていた電荷量の和に応じた信号が読み出し回路により取得される ( 以下、「A + B 読み」とする ) 。

【 0 0 3 4 】

時刻  $t_{318}$  において、制御信号 P R E S がハイレベルとなり、リセットトランジスタ 2 1 0 がオンになる。これにより F D 2 0 5 が再びリセットされる。

50

## 【 0 0 3 5 】

時刻  $t_{319}$  において、制御信号  $PSEL$  がローレベルとなり、選択トランジスタ  $212$  がオフになる。これにより画素行の選択が解除される。

## 【 0 0 3 6 】

時刻  $t_{311}$  ~ 時刻  $t_{320}$  の期間において、画素領域  $11$  内に行列状に配置された画素  $100$  の  $1$  行分の信号の読み出しが完了する。読み出し行を走査しながらこの動作を各行に対して順次実行することにより、全画素の信号を読み出すことができる。時刻  $t_{311}$  ~  $t_{320}$  の処理に要する時間を  $T_h$  とすると、全行の読み出し時間に相当する時間 ( $T_h \times$  行数) が図 3 (a) における時刻  $t_{301}$  ~ 時刻  $t_{303}$  あるいは時刻  $t_{305}$  ~ 時刻  $t_{307}$  に要する時間に対応する。

10

## 【 0 0 3 7 】

A 読みで取得された信号と N 読みで取得された信号の差分を取得することにより、リセットノイズ等のノイズが除去され、MEM  $203$  に保持された電荷に応じた信号  $SA$  が得られる。同様に、A + B 読みで取得された信号と A 読みで取得された信号の差分を取得することにより、MEM  $204$  に保持された電荷に応じた信号  $SB$  が得られる。信号  $SA$  と信号  $SB$  を用いて位相差方式の焦点検出が可能になる。

## 【 0 0 3 8 】

A + B 読みで取得した信号と N 読みで取得した信号の差により、MEM  $203$  と  $204$  に保持された電荷の和に応じた信号  $SAB$  が得られる。信号  $SAB$  は撮像用の画素信号として使用される。信号  $SAB$  と、信号  $SA$ 、 $SB$  とは用途が異なるため、要求される精度が異なる。信号  $SAB$  の精度は画質に影響するため、信号  $SAB$  には高い  $S/N$  比が要求される。それに対し、信号  $SA$ 、 $SB$  は焦点検出に用いるのみであるため、信号  $SAB$  よりも低い精度であっても許容され得る。

20

## 【 0 0 3 9 】

なお、図 3 (a) 及び図 3 (b) に示したタイミングチャートは動画撮影時を想定したものであるが、静止画撮影においても本実施形態の構成は適用可能である。その場合、フレーム間隔を長くすることができるため、前フレームの信号読み出し期間と当該フレームの PD 蓄積期間が同時刻でなくてもよい。例えば、前フレームの信号読み出しが終了してから当該フレームの PD 蓄積を開始するように構成してもよい。

## 【 0 0 4 0 】

図 4 は本実施形態の画素の上面図である。図 2 と対応する部分には図 2 と同じ符号が付されている。図 4 において、第 1 転送トランジスタ  $206$  等の各トランジスタに対応する符号が付されたハッチング部はゲート電極のパターンを示しており、PD  $201$ 、 $202$ 、MEM  $203$ 、 $204$ 、FD  $205$  のハッチング部は不純物拡散領域を示している。各部分の接続関係は図 2 に示した回路図と同様であるため説明を省略する。

30

## 【 0 0 4 1 】

図 5 は本実施形態の画素におけるポテンシャル図である。図 5 に示された A - A'、B - B'、C - C' のポテンシャルはそれぞれ図 4 の A - A'、B - B'、C - C' の位置に対応する。ここで、OFD のポテンシャルの深さを  $V(OFD)$ 、PD  $201$  のポテンシャルの深さを  $V(PD201)$  等のように表記することとする。なお、ポテンシャルの深さとは、注目している領域のポテンシャルと、当該注目している領域と隣り合う領域のポテンシャルとの差を意味する。たとえば、PD  $201$  のポテンシャル深さ  $V(PD201)$  は、PD  $201$  の不純物拡散領域が形成されている部分とその外側の領域 (画素間の素子分離部など) とのポテンシャル差を意味する。このとき、画素  $100$  を構成する各部分のポテンシャルの深さには、以下の関係がある。

40

$$V(OFD) > V(FD205)$$

$$V(FD205) > V(MEM203)$$

$$V(MEM203) = V(MEM204)$$

$$V(MEM203) > V(PD201)$$

$$V(PD201) = V(PD202)$$

50

## 【 0 0 4 2 】

各部分のポテンシャルの深さをこのような関係とすることにより、PD 2 0 1、2 0 2 からMEM 2 0 3、2 0 4への電荷の完全転送と、MEM 2 0 3、2 0 4からFD 2 0 5への電荷の完全転送とが可能になる。本実施形態では、MEM 2 0 3とMEM 2 0 4との間のポテンシャル障壁の高さ $V_b$ は、当該画素のMEM 2 0 3又はMEM 2 0 4と隣接画素のMEMとの間のポテンシャル障壁の高さ $V_a$ より低い。ポテンシャル障壁の高さは、着目する領域にある信号電荷が、当該着目する領域から外に移動するために必要なポテンシャルエネルギーのことである。

## 【 0 0 4 3 】

なお、PD 2 0 1とMEM 2 0 3のポテンシャル深さの差( $V(\text{MEM 2 0 3}) - V(\text{PD 2 0 1})$ )は、PD 2 0 1の空乏化電圧と、MEM 2 0 3の空乏化電圧との差 $V_{dep}$ となる。このとき $V_b$ は、 $V_{dep}$ より高くしてもよく、低くしてもよいが、図5に示した本実施形態の構成では $V_b > V_{dep}$ としている。また、PD 2 0 1は画素の周辺領域よりもポテンシャルが低いので、 $V_{dep}$ と $V_a$ との間には $V_a > V_{dep}$ の関係がある。

10

## 【 0 0 4 4 】

PD 2 0 1とPD 2 0 2の間のポテンシャル障壁の高さ $V_d$ と隣接画素のPDとの間のポテンシャル障壁の高さ $V_c$ との間には、 $V_d < V_c$ の関係がある。図5のように $V_d < V_c$ とした場合、PD 2 0 1、2 0 2での電荷を蓄積する期間中に一方のPDが飽和したとしても、溢れた電荷を他方のPDに移すことができる。これにより、当該画素でのPD

20

## 【 0 0 4 5 】

さらに、PD 2 0 1、2 0 2での信号蓄積期間である時刻 $t_{303}$ ～時刻 $t_{304}$ の期間においては、PD 2 0 1とOFDの間のポテンシャル障壁よりもPD 2 0 1とMEM 2 0 3の間のポテンシャル障壁を低くすることが好ましい。これにより、PD 2 0 1を溢れた電荷をOFDに捨てることなくMEM 2 0 3に蓄積することができる。これに対し、時刻 $t_{302}$ ～時刻 $t_{303}$ の期間においては、PD 2 0 1とOFDの間のポテンシャル障壁よりもPD 2 0 1とMEM 2 0 3の間のポテンシャル障壁を高くすることが好ましい。前フレームの信号が保持されているMEM 2 0 3に対して当該フレームでPD 2 0 1に蓄積された電荷が混入することに起因する画質劣化を低減できるためである。

30

## 【 0 0 4 6 】

図6(a)は本実施形態の効果を説明するポテンシャル図である。図6(b)は本実施形態と対比するための比較例に係るポテンシャル図である。MEM 2 0 3とMEM 2 0 4の間のポテンシャル障壁の高さが図6(a)では $V_b$ であり、図6(b)では $V_a$ である。この点が図6(a)と図6(b)の相違点である。ここで、PD 2 0 1のみに光が入射し、PD 2 0 2に光が入射しない場合を考える。図6(a)及び図6(b)には、PD 2 0 1で発生した電荷をMEM 2 0 3に転送した後のPD 2 0 1、MEM 2 0 3及びMEM 2 0 4のポテンシャルの関係が示されている。なお、以下の説明では、PD 2 0 1、2 0 2で発生し、MEM 2 0 3、2 0 4へ転送される電荷は電子であるものとするが、ホールを信号電荷としてもよい。その場合は、後述する各不純物拡散領域の導電型(p型又はn型)はそれぞれ反対の導電型となる。また、図6(a)及び図6(b)のハッチング部は各部分に蓄積された電子による各部分の電位変化を模式的に示したものである。

40

## 【 0 0 4 7 】

PD 2 0 1で発生した電子が、ポテンシャル障壁の高さ $V_b$ を越えずにMEM 2 0 3に保持可能な電子数よりも多い場合、図6(a)では、MEM 2 0 3から溢れた電子がポテンシャル障壁の高さ $V_b$ を越えてMEM 2 0 4に流れ込む。これに対し、図6(b)では、MEM 2 0 3に転送された電子はMEM 2 0 3とMEM 2 0 4の間のポテンシャル障壁の高さ $V_a$ を越えてMEM 2 0 4に移動することはないため、PD 2 0 1で発生した電子はPD 2 0 1とMEM 2 0 3のみに配分される。そのためPD 2 0 1に残留する電子数は、図6(a)に示す本実施形態の場合の方が、図6(b)の比較例の場合に比べ少なくな

50

る。したがって、本実施形態によれば、PD201からMEM203及び/又はMEM204への転送効率が向上し、画質が向上する。

【0048】

なお、上述のようにPD201で発生した電子がポテンシャル障壁の高さ $V_b$ を越える場合はMEM203から溢れた電子がMEM204に保持される。すなわち、MEM203で保持されるべき電子がMEM204に移動することになるため、焦点検出用の信号SA、SBの精度は劣化し得る。すなわち、焦点検出用の信号SA、SBの精度と、撮像用の信号SABの精度とは互いにトレードオフの関係となり得る。しかしながら、上述のように信号SA、SBは焦点検出に用いる信号であるため、撮像用の信号SABよりも低い精度であっても許容される場合もある。このような場合には、焦点検出用の信号SA、SBの劣化は問題となることなく、高いS/N比が要求される撮像用の信号SABの精度を高めることができる。

10

【0049】

図6(a)に示したMEM204への電子の移動は、PD201の飽和電子数がポテンシャル障壁の高さ $V_b$ を越えずにMEM203に保持され得る電子数よりも多い場合に生じ得る。しかしながら、PD201の飽和電子数が前述の電子数より少ない場合であっても、PD201からMEM203に電子を複数回転送する場合には、図6(a)の状況が生じ得る。また、PD201の飽和電子数を上回る電子数が生じる光量がPD201に入射する場合にも、PD201の飽和電子数を超えて溢れた電子がOFDではなくMEM203に流れ込むポテンシャル構造となっていれば図6(a)の状況が生じ得る。いずれの場合であっても、MEM203とMEM204との間のポテンシャル障壁の高さ $V_b$ を、当該画素のMEM203又はMEM204と隣接画素のMEMとの間のポテンシャル障壁の高さ $V_a$ よりも低くすることにより、同様の効果を得ることができる。

20

【0050】

図7(a)~図7(c)に、図4の点線A-A'における断面構造を3種類例示する。本実施形態の断面構造は図7(a)~図7(c)のいずれであってもよい。画素100は、半導体基板内に形成されたn型半導体領域701~704、714、722と、p型半導体領域708~712、715~717、720、721とを有する。画素100はさらに、ゲート電極705~707、719と、素子間を分離するフィールド絶縁膜713と、入射光がPD以外に入ることを防ぐ遮光膜718を有する。なお、ゲート電極と半導体基板の間には不図示のゲート絶縁膜が形成されている。

30

【0051】

図7(a)において、n型半導体領域701、702、703、704は、それぞれPD201、MEM203、FD205、OFDに対応する。ゲート電極705、706、707は、それぞれ第1転送トランジスタ206、第2転送トランジスタ208、OFD制御トランジスタ213のゲート電極を構成する。p型半導体領域715と716の下方にはn型半導体領域701、702が形成されており、PD201とMEM203は埋め込みフォトダイオード構造となっている。この構造により、半導体領域と絶縁膜の界面の欠陥に起因して生じるノイズが抑制される。n型半導体領域701は、PD201の電荷をMEM203に転送する際、あるいは、PD201の電荷をOFDに排出する際に完全空乏化させることが好適である。また、n型半導体領域702はMEM203の電荷をFD205に転送する際に完全空乏化させることが好適である。このように電子の転送時にn型半導体領域701、702が完全空乏化するように設計することでノイズを低減させることができる。n型半導体領域701の完全空乏化電圧は、n型半導体領域702の完全空乏化電圧よりも低い。これらの完全空乏化電圧の差が図5に示した $V_{dep}$ に対応する。

40

【0052】

p型半導体領域709~711は、基板の深い部分ほどp型不純物濃度が高くなる。これにより、基板の深さ方向にポテンシャル勾配が生じ、基板内の深い部分で発生した信号電子がPD201に集められる。p型半導体領域717はp型半導体領域709よりも高

50

い不純物濃度を有し、基板内の深い部分で発生した電子がMEM203に流入するのを防ぐ。また、n型半導体領域702とp型半導体領域717の間に形成されるPN接合の静電容量を大きくすることにより、MEM203の静電容量を大きくすることができる。p型半導体領域712はp型半導体領域710より不純物濃度が高く、画素間を電氣的に分離する機能を有する。

#### 【0053】

図7(b)は、MEM203の表面にp型半導体領域716を有しない点、及びn型半導体領域702のポテンシャル制御用のゲート電極719を有する点が図7(a)と異なる。ゲート電極719に負電圧を印加することにより、n型半導体領域702の界面近傍のポテンシャルが高くなり、界面近傍にホールが誘起される。これにより界面欠陥に起因して生じるノイズ(暗電流)が低減される。また、ゲート電極719に正電圧を印加することでn型半導体領域702の界面近傍のポテンシャルが低くなる。これにより、PD201からMEM203への電荷の転送効率を向上させることもできる。

10

#### 【0054】

図7(b)においては、第1転送トランジスタ206のゲート電極705とゲート電極719が分割されているが、両者を電氣的に接続してゲート電極705、719に印加する電圧は同一としてもよい。この場合、ゲート電極705、719にハイレベルの電圧を印加して第1転送トランジスタ206をオンにすることで、PD201からMEM203への転送効率が良い状態で電荷転送が行われる。また、ゲート電極705、719にローレベルの電圧(負電圧)を印加し第1転送トランジスタ206をオフにすることで、界面の暗電流が抑制された状態で電荷蓄積が行われる。

20

#### 【0055】

図7(c)はp型半導体領域708~711の代わりに、p型半導体領域720、721及びn型半導体領域722が配されている点が図7(a)と異なる。n型半導体領域722はn型半導体領域701に比べ不純物濃度が低い。n型半導体領域701はn型半導体領域722と接続されており、これらはいずれもPD201の一部となっている。PD201の電荷がMEM203に転送される際、あるいは、PD201の電荷がOFDに排出される際に、n型半導体領域701及びn型半導体領域722が完全空乏化するように設計することでノイズ低減が可能である。

30

#### 【0056】

p型半導体領域720は、p型半導体領域720よりも浅い部分で発生した電子をPD201内に留めることにより、p型半導体領域720より深い部分で発生した電子がPD201に流入するのを防ぐポテンシャル障壁となる。よって、PD201の深さはp型半導体領域720の深さによって決定される。p型半導体領域721は、n型半導体領域702~704とn型半導体領域722との間を分離するための領域である。図7(c)のp型半導体領域716を省略し、図7(b)と同様のポテンシャル制御用のゲート電極719を追加してもよい。

#### 【0057】

図8(a)及び図8(b)に、図4の点線B-B'における界面近傍の断面構造を2種類例示する。本実施形態の断面構造は図8(a)及び図8(b)のいずれであってもよい。画素100は、半導体基板内に形成されたn型半導体領域801、p型半導体領域802~804、807、フィールド絶縁膜805及びゲート電極806を有する。

40

#### 【0058】

n型半導体領域801は図7(a)のn型半導体領域702に対応する。p型半導体領域802はp型半導体領域716に対応し、p型半導体領域803はp型半導体領域717に対応する。p型半導体領域803よりも下方の領域は図7と同様であるため図示及び説明を省略する。p型半導体領域804はMEM203とMEM204とを分離する分離部として機能する。

#### 【0059】

図8(a)において、フィールド絶縁膜805は、当該画素のMEMと隣接画素のME

50

Mとを分離し、あるいは、MEMとMEM以外の素子とを分離する分離部として機能する。フィールド絶縁膜805と半導体領域の界面の欠陥によるノイズを低減するため、フィールド絶縁膜805の周囲にはp型半導体領域807が配されている。フィールド絶縁膜は、酸化シリコン等の絶縁体により構成することができる。

【0060】

図8(b)において、フィールド絶縁膜805及びp型半導体領域807の代わりに分離部としてp型半導体領域808が配されている。p型半導体領域808は当該画素のMEMと隣接画素のMEMとを分離し、あるいは、MEMとMEM以外の素子とを分離する分離部として機能する。

【0061】

図8(a)においては、同一画素内のMEM(MEM203とMEM204)がp型半導体領域804で分離されているのに対し、当該画素のMEMと隣接画素のMEM、あるいは、MEMとMEM以外の素子がフィールド絶縁膜805で分離されている。図8(b)においては、同一画素内のMEMを分離するp型半導体領域804の不純物濃度が、MEMと隣接画素のMEM、あるいは、MEMとMEM以外の素子とを分離するp型半導体領域808の不純物濃度に比べ低い。また、同一画素内のMEM同士の距離は、MEMと隣接画素のMEMの距離、あるいは、MEMとMEM以外の素子の距離に比べ短い。これらのように構成することにより、MEM203とMEM204との間のポテンシャル障壁の高さ $V_b$ を、当該画素のMEM203又はMEM204と隣接画素のMEMとの間のポテンシャル障壁の高さ $V_a$ よりも低くする構造が実現される。

【0062】

なお、図8(a)及び図8(b)では、n型半導体領域801がp型半導体領域804により分離されていればよい。すなわち、MEM203及びMEM204の上に形成されるp型半導体領域802同士、あるいは、MEM203及びMEM204の下に形成されるp型半導体領域803同士が互いに接続されるように素子構造を变形してもよい。また、図7(b)の断面構造のように、p型半導体領域802を省略し、n型半導体領域801の上にゲート絶縁膜を介してポテンシャル制御用のゲート電極が配されていてもよい。

【0063】

(第2の実施形態)

本発明の第2の実施形態と第1の実施形態との差異点は、MEM203とMEM204の間のポテンシャル障壁の高さ $V_b$ が $V_{dep}$ よりも低いことである。画素100の回路図、タイミングチャート、画素の上面図、画素のA-A'断面構造及び画素のB-B'断面構造は、それぞれ第1の実施形態の図2、図3、図4、図7及び図8と同様である。

【0064】

図9に本実施形態の画素におけるポテンシャル図を示す。図5のポテンシャル図とは、MEM203とMEM204の間のポテンシャル障壁の高さ $V_b$ のみが異なる。本実施形態では、MEM203とMEM204の間のポテンシャル障壁の高さ $V_b$ が、PD201の空乏化電圧とMEM203の空乏化電圧との差 $V_{dep}$ よりも低い。また、当該画素のMEM203又はMEM204と隣接画素のMEMとの間のポテンシャル障壁の高さ $V_a$ は $V_{dep}$ よりも高い。すなわち、本実施形態では、 $V_a$ 、 $V_b$ 、 $V_{dep}$ が、 $V_b < V_{dep} < V_a$ の関係を満たすように構成されている。

【0065】

第1の実施形態においては、PD201で発生した電荷がMEM203において空乏化電圧差 $V_{dep}$ を超えることなく保持できる電子数よりも多い場合、PD201の電子はMEM203に完全転送されないため、PD201に一部の電荷が残留する。PD201に残った電荷は信号として読み出されないため、入射光量に対する出力のリニアリティ(線形性)が保たれず、画質劣化の要因となり得る。本実施形態においてはこの電荷の残留を低減することにより、さらに画質を向上させることが可能である。

【0066】

図10(a)~図10(d)は、本実施形態の効果を説明するグラフ及びポテンシャル

10

20

30

40

50

図である。これらの図面を参照しながら本実施形態の構成による画質向上のメカニズムを説明する。

【 0 0 6 7 】

図 1 0 ( a ) は本実施形態の撮像装置 1 0 における入射光量と出力の関係を示すグラフである。図 1 0 ( a ) のグラフは、画素 1 0 0 に光が入射したときに、PD 2 0 1 に PD 2 0 2 より多くの光が入射する状況を想定したものである。入射光量が変わっても PD 2 0 1 に入射する光量と PD 2 0 2 に入射する光量の比率は一定とする。図 1 0 ( a ) では、MEM 2 0 3 の電荷量に相当する出力が破線で示され、MEM 2 0 4 の電荷量に相当する出力が一点鎖線で示され、MEM 2 0 3 と MEM 2 0 4 の電荷量の和に相当する出力が実線で示されている。

10

【 0 0 6 8 】

画素 1 0 0 に入射される光量が  $I_0$  から  $I_1$  の範囲にある場合、MEM 2 0 3 に保持される電荷が MEM 2 0 3 と MEM 2 0 4 の間のポテンシャル障壁の高さ  $V_b$  を越えることはない。光量が  $I_1$  の場合に、MEM 2 0 3 と MEM 2 0 4 の間のポテンシャル障壁の高さ  $V_b$  を越えずに保持できる最大限の電荷量が PD 2 0 1 で生成される。光量  $I_1$  が PD 2 0 1 と PD 2 0 2 に入射され、生成された電子が MEM 2 0 3 及び MEM 2 0 4 に転送された後におけるポテンシャル図を図 1 0 ( b ) に示す。入射された光量が  $I_0$  から  $I_1$  の範囲である場合、PD 2 0 1 と PD 2 0 2 に蓄積された電荷が MEM 2 0 3 及び MEM 2 0 4 に完全転送されるため、PD 2 0 1 と PD 2 0 2 に蓄積された電荷はすべて読み出される。そのため、図 1 0 ( a ) の  $I_0$  から  $I_1$  の範囲におけるグラフから理解されるように、入射光量と出力の関係は線形になる。

20

【 0 0 6 9 】

入射された光量が  $I_1$  から  $I_2$  の範囲では、PD 2 0 1 で発生した電子のうち、ポテンシャル障壁の高さ  $V_b$  を越えた電子が MEM 2 0 4 に溢れ出す。光量が  $I_2$  の場合において、MEM 2 0 3 と MEM 2 0 4 には、MEM 2 0 3 と MEM 2 0 4 の電位がポテンシャル障壁の高さ  $V_b$  の電位になるまで電荷が蓄積される。光量が  $I_2$  の場合におけるポテンシャル図を図 1 0 ( c ) に示す。入射された光量が  $I_1$  から  $I_2$  の範囲では、MEM 2 0 3 の電子数は一定である。そのため、 $I_1$  から  $I_2$  の範囲で光量が増加した場合、光量増加分に相当する電子はすべて MEM 2 0 4 に蓄積される。この場合も、PD 2 0 1 及び PD 2 0 2 で発生した電子は MEM 2 0 3 及び MEM 2 0 4 に完全に転送されるため、入射光量と MEM 2 0 3 + MEM 2 0 4 の出力のリニアリティは保たれる。

30

【 0 0 7 0 】

入射された光量が  $I_2$  から  $I_3$  の範囲では、PD 2 0 1 及び PD 2 0 2 で発生した電荷は、MEM 2 0 3 及び MEM 2 0 4 の両方に保持される。このとき、MEM 2 0 3 及び MEM 2 0 4 に転送される電荷は等量である。光量  $I_3$  の場合におけるポテンシャル図を図 1 0 ( d ) に示す。この領域においても入射光量と MEM 2 0 3 + MEM 2 0 4 の出力のリニアリティは保たれる。

【 0 0 7 1 】

入射された光量が  $I_3$  を超える場合、転送される電荷による電位上昇が  $V_{dep}$  を上回るため、PD 2 0 1 又は PD 2 0 2 の電荷が完全転送できず、MEM 2 0 3、MEM 2 0 4 に電荷を転送した後に PD 2 0 1 又は PD 2 0 2 に電荷が残留する。そのため、生成された電荷の一部が読み出されないため、図 1 0 ( a ) に示すように入射光量と MEM 2 0 3 + MEM 2 0 4 の出力の間のリニアリティが保たれず、グラフの傾きが低下する。

40

【 0 0 7 2 】

本実施形態によれば、MEM 2 0 3 と MEM 2 0 4 の間のポテンシャル障壁の高さ  $V_b$  を PD 2 0 1 の空乏化電圧と、MEM 2 0 3 の空乏化電圧との差  $V_{dep}$  よりも低く設定している。これにより、入射された光量が  $I_3$  以下の範囲、すなわち、MEM 2 0 3 と MEM 2 0 4 の両方に  $V_{dep}$  に相当する電荷が保持される光量以下の範囲において、入射光量と MEM 2 0 3 + MEM 2 0 4 の出力の間のリニアリティが保たれる。

【 0 0 7 3 】

50

## (第3の実施形態)

第3の実施形態と第1及び第2の実施形態との差異点は、信号電荷がPD201、202ではなくMEM203、204に蓄積される点である。図11は本実施形態の1フレーム期間の動作を示すタイミングチャートである。本実施形態の画素100の上面図、ポテンシャル図、断面構造は第1及び第2の実施形態と同様である。すなわち、上面図は図4、ポテンシャル図は図5又は図9、断面構造は図7及び図8と同様である。また、1水平期間のタイミングチャートは図3(b)と同様である。これらについては、重複する説明を省略する。

## 【0074】

時刻t1101において、前フレームの信号読み出しが終了する。この時刻において、制御信号PTX1はローレベル、制御信号POFDはハイレベルである。すなわち、第1転送トランジスタ206、207はオフであり、OFD制御トランジスタ213、214はオンであり、PD201、202はリセットされている。

## 【0075】

時刻t1102において、制御信号POFDがローレベルになり、OFD制御トランジスタ213、214がオフになる。これと同時に制御信号PTX1がハイレベルになり、第1転送トランジスタ206、207がオンになる。これにより、全画素同時に信号電荷の蓄積が開始される。時刻t1102～時刻t1103の期間において第1転送トランジスタ206、207はオンであるため、PD201、202で発生する信号電荷はすぐにMEM203、204に転送され、蓄積される。

## 【0076】

時刻t1103において、制御信号PTX1がローレベルになる。これにより、第1転送トランジスタ206、207がオフになり、全画素同時に信号蓄積が終了する。これと同時に制御信号POFDがハイレベルになり、OFD制御トランジスタ213、214はオンとなる。これにより、PD201、202が再びリセットされる。その後、時刻t1103～時刻t1104の期間において、MEM203、204に保持された信号電荷が順次読み出される。

## 【0077】

図2に示された画素100を有する撮像装置10は電子シャッタ機能を有している。そのため、上述の各実施形態の撮像装置10は、電子シャッタ機能を有しない撮像装置よりも転送トランジスタの個数が多く専有面積が大きくなりやすい。そのため、画素の微細化、多画素化等の要求により撮像装置10の回路の専有面積に制約がある状況においては、PD201、202とMEM203、204の飽和電子数にも制約が生じ得る。本実施形態の駆動方法によれば、PD201、202に電荷を蓄積することがないため、PD201、202の飽和電子数を小さく設計することができる。これにより得られた面積をMEM203、204に割り当てることにより、MEM203、204の飽和電子数を大きく設計できるため、ダイナミックレンジを拡大することができる。

## 【0078】

本実施形態においては、信号電荷はPD201、202で発生するとすぐにMEM203、204に転送され蓄積される。そのため、同一画素に含まれ、隣接するMEM203とMEM204との間のポテンシャル障壁の高さVbが、同一画素に含まれ、隣接するPD201とPD202との間のポテンシャル障壁の高さVdに比べて高くなるように設定することが好ましい。

## 【0079】

本実施形態の構成によれば、第1及び第2の実施形態の効果に加え、ダイナミックレンジを拡大することができる。

## 【0080】

## (第4の実施形態)

第4の実施形態と第1～第3の実施形態との差異点は、前フレームの信号読み出し期間に発生する信号電荷はPD201、202に蓄積され、信号読み出し期間外に発生する信

10

20

30

40

50

号電荷はMEM203、204に蓄積されるように動作する点である。本実施形態の画素100の上面図、ポテンシャル図、断面構造は第1～第3の実施形態と同様である。すなわち、上面図は図4、ポテンシャル図は図5又は図9、断面構造は図7及び図8と同様である。また、1水平期間のタイミングチャートは図3(b)と同様である。これらについては、重複する説明を省略する。

【0081】

図12に本実施形態の1フレーム期間のタイミングチャートを示す。図3(a)と異なる点は、時刻 $t_{1203}$ ～時刻 $t_{1204}$ の期間に、信号電荷をPD201、202ではなくMEM203、204に蓄積することである。時刻 $t_{1201}$ ～時刻 $t_{1203}$ の期間の駆動は図3(a)時刻 $t_{301}$ ～時刻 $t_{303}$ の期間と同じであるため説明を省略する。

10

【0082】

時刻 $t_{1203}$ において、制御信号PTX1がハイレベルとなり、第1転送トランジスタ206、207がオンになる。これにより、時刻 $t_{1202}$ ～時刻 $t_{1203}$ の期間にPD201、202に蓄積された電荷がMEM203、204に転送される。

【0083】

時刻 $t_{1203}$ ～時刻 $t_{1204}$ の期間において、制御信号PTX1はハイレベルに保たれるため、第1転送トランジスタ206、207はオンに保たれている。よって、PD201、202で発生した電荷はすぐにMEM203、204に転送され蓄積される。時刻 $t_{1204}$ において、制御信号PTX1がローレベルとなり、第1転送トランジスタ206、207がオフになる。これにより、全画素が同時に信号蓄積を終了する。その後の、時刻 $t_{1204}$ ～時刻 $t_{1206}$ の期間の駆動は、図3(a)時刻 $t_{305}$ ～時刻 $t_{307}$ の期間の駆動と同じである。

20

【0084】

第3の実施形態の駆動方法では、信号読み出し期間である時刻 $t_{1103}$ ～時刻 $t_{1104}$ の期間にPD201、202で発生する電子が蓄積されない。これに対し、本実施形態の駆動方法によれば、前フレームの信号読み出し期間に発生する信号電荷も蓄積可能となる。さらに、PD201、202に電子を蓄積する期間は図3(a)に比べ短いため、PD201、202に蓄積する必要のある電子数は第1及び第2の実施形態に比べ少ない。そのため、第3の実施形態と同様にPD201、202の飽和電子数を小さく設計することができ、これによりMEM203、204の飽和電子数を大きく設計できるため、ダイナミックレンジを拡大することができる。

30

【0085】

なお、図12においては、時刻 $t_{1203}$ ～時刻 $t_{1204}$ の期間に制御信号PTX1が常時ハイレベルであるように図示されている。しかしながら、PD201、202が飽和する前に電子をMEM203、204に転送しても同様にダイナミックレンジ拡大の効果が得られるため、時刻 $t_{1203}$ ～時刻 $t_{1204}$ の期間において間欠的に制御信号PTX1をハイレベルにしてもよい。この場合、制御信号PTX1を常時ハイレベルとしないことにより、第1転送トランジスタ206、207のゲート直下のシリコン-シリコン酸化膜界面の欠陥から発生する暗電流の蓄積が低減され、画質をさらに改善することもできる。

40

【0086】

本実施形態においても、同一画素に含まれ、隣接するMEM203とMEM204との間のポテンシャル障壁の高さ $V_b$ が、同一画素に含まれ、隣接する複数のPD201とPD202との間のポテンシャル障壁の高さ $V_d$ よりも高く設定することが好ましい。

【0087】

本実施形態の構成によれば、第1及び第2の実施形態の効果に加え、ダイナミックレンジを拡大することができる。

【0088】

(第5の実施形態)

50

第5の実施形態と第1～第4の実施形態との差異点は、同一画素内の複数のPDの信号を異なる複数のFDを使用して読み出す点である。図13に、本実施形態の2画素分の回路図を示す。図2と同じ機能を有する部分には同じ符号が付されている。また、1301～1315は201～215とそれぞれ対応する部分であり、それぞれ同様の機能を有する。マイクロレンズ215は、PD201とPD1301の上に形成されており、PD201と1301が一つの画素のPDを構成する。マイクロレンズ1315は、PD202と1302の上に形成されており、PD202とPD1302がもう一つの画素のPDを構成する。

【0089】

本実施形態の1フレーム期間の駆動タイミングは第1、第3及び第4の実施形態のいずれかと同様とすることができる。すなわち、図3(a)、図11及び図12のいずれかのタイミングチャートの本実施形態にも適用することができる。

【0090】

図14は、本実施形態の2水平期間分のタイミングチャートである。制御信号PTX1、PSEL、PRESの時刻t1401～時刻t1408の期間の動作及び時刻t1408～時刻t1415の期間の駆動は図3(b)の時刻t311～時刻t320の期間の駆動と同様であるため、説明を省略する。

【0091】

図14の制御信号PTX21、PTX22は図3(b)の制御信号PTX21、PTX22と動作が異なる。時刻t1404～時刻t1405の期間において、制御信号PTX21がハイレベルとなり、第2転送トランジスタ208、1308がオンになる。これにより、MEM203、1303に保持されている電荷がFD205、1305にそれぞれ転送される。その後、時刻t1405～時刻t1406の期間に増幅トランジスタ211、1311で増幅された信号が垂直信号線14に出力される。その後、MEM203、1303に保持されていた電荷量に応じた信号が読み出し回路により取得される(以下、「S読み」とする)。

【0092】

時刻t1411～時刻t1412の期間において、制御信号PTX22がハイレベルとなり、第2転送トランジスタ209、1309がオンになる。これにより、MEM204、1304に保持されている電荷がFD205、1305にそれぞれ転送される。その後、時刻t1412～時刻t1413の期間に増幅トランジスタ211、1311で増幅された信号が垂直信号線14に出力される。すなわち、同一画素のPD(PD201とPD1301、又は、PD202とPD1302)の信号が異なるFD(FD205とFD1305)を使用して読み出される。その後、MEM204、1304に保持されていた電荷量に応じた信号のS読みが行われる。

【0093】

なお、図13においては、異なる画素のPD(例えばPD201とPD202)が信号読み出しの際に使用するFD(例えばFD205)を共有している。しかしながら、必ずしもFDを異なる画素間で共有する必要はなく、PDごとにFD、増幅トランジスタ、リセットトランジスタ及び選択トランジスタが個別に設けられていてもよい。

【0094】

図15は、本実施形態の2画素分の上面図である。図13に対応する部分は図13と同じ符号が付されてある。図15に点線で示したA-A'、B-B'、C-C'の断面図は図7(a)～図7(c)及び図8(a)、図8(b)と同様とすることができる。また、各断面におけるポテンシャルは、図5又は図9と同様とすることができる。このようなポテンシャルとすることで、本実施形態においても第1又は第2の実施形態と同様の効果を得ることができる。

【0095】

(第6の実施形態)

第6の実施形態と第1～第5の実施形態との差異点は、各画素に3つ以上のPDと、そ

10

20

30

40

50

れに対応する3つ以上のMEMを有する点である。図16に本実施形態の画素の回路図を示す。図2と同様の部分には同じ符号を付してある。図2に対して、本実施形態の画素1600は、PD1601、MEM1602、第1転送トランジスタ1603、第2転送トランジスタ1604及びOFD制御トランジスタ1605をさらに備える。

#### 【0096】

本実施形態の1フレーム期間の駆動タイミングは第1、第3、及び第4の実施形態のいずれかと同様とすることができる。すなわち、図3(a)、図11、図12のいずれかのタイミングチャートの本実施形態にも適用することができる。

#### 【0097】

図17に本実施形態の1行分の画素信号読み出しのタイミングチャートを示す。時刻t1701~時刻t1708の期間の駆動は図3(b)の時刻t311~時刻t318の駆動と同様であるため、説明を省略する。時刻t1708~時刻t1709の期間において、制御信号PTX21、PTX22、PTX23がハイレベルとなり、第2転送トランジスタ208、209、1604がオンになる。これにより、MEM203、204、1602の信号電荷がいずれもFD205に転送される。時刻t1709~時刻t1710の期間において、PD201、202、1601で発生した信号電荷を加算した信号が出力される(A+B+C読み)。時刻t1710~時刻t1712の期間の駆動は図3(b)の時刻t318~時刻t320の期間の駆動と同様である。

#### 【0098】

図18に本実施形態の画素の上面図を示す。図18は、PD1601、MEM1602、第1転送トランジスタ1603、第2転送トランジスタ1604及びOFD制御トランジスタ1605が追加されている点を除いて図4と同様であるため、詳細な説明を省略する。

#### 【0099】

図19に図18の点線A-A'、B-B'、C-C'における画素のポテンシャル関係を示す。本実施形態では、第1の実施形態と同様に同一画素内のMEM203、204、1602の相互間のポテンシャル障壁の高さVbが、隣接画素のMEMとの間のポテンシャル障壁の高さVaより低い。これにより、本実施形態においても、第1の実施形態と同様の効果を得ることができる。また、ポテンシャル障壁の高さVbをPD201の空乏化電圧とMEM203の空乏化電圧との差Vdepよりも小さくしてもよい。これにより本実施形態においても、第2の実施形態と同様の効果を得ることができる。

#### 【0100】

図18においては、3つのMEMがすべて近接して配置されるように図示されている。しかしながら、PDとMEMの個数が4つ以上であってもよく、同様の効果が得られる。また、MEMの個数が4つ以上の場合に、全てのMEMを近接して配置せず、複数個ずつ分けて配置してもよい。このような場合、近接して配置した複数のMEMの間のポテンシャル障壁を下げることによって、同様の効果が得られる。

#### 【0101】

(第7の実施形態)

本発明の第7の実施形態として、第1~第6の実施形態の撮像装置を用いた撮像システムについて説明する。撮像システムとしては、デジタルスチルカメラ、デジタルカムコーダ、カメラヘッド、複写機、ファックス、携帯電話、車載カメラ、観測衛星などがあげられる。本実施形態の撮像システムの構成の一例を説明するためのデジタルスチルカメラのブロック図を図20に示す。

#### 【0102】

図20において、撮像システムは、レンズの保護のためのバリア1001、被写体の光学像を撮像装置10に結像させるレンズ1002、レンズ1002を通った光量を調整するための絞り1003を有する。ここで、撮像装置10は上述の第1~第6の実施形態の撮像装置であって、レンズ1002により結像された光学像を画像データとして変換する。

。

10

20

30

40

50

## 【 0 1 0 3 】

撮像システムは、さらに信号処理部 1 0 0 7、タイミング発生部 1 0 0 8、全体制御・演算部 1 0 0 9、メモリ部 1 0 1 0、記憶媒体制御インターフェース ( I / F ) 部 1 0 1 1、記録媒体 1 0 1 2、外部 I / F 部 1 0 1 3 を有する。信号処理部 1 0 0 7 は、撮像装置 1 0 より出力された撮像データに各種のノイズ補正、データ圧縮等の処理を行う。タイミング発生部 1 0 0 8 は、撮像装置 1 0 及び信号処理部 1 0 0 7 に、各種タイミング信号を出力する。全体制御・演算部 1 0 0 9 はデジタルスチルカメラ全体を制御する。メモリ部 1 0 1 0 は画像データを一時的に記憶する。記憶媒体制御 I / F 部 1 0 1 1 は記録媒体 1 0 1 2 に記録又は読み出しを行うための I / F 部である。記録媒体 1 0 1 2 は、撮像データの記録又は読み出しを行うための半導体メモリ等の着脱可能な記録媒体又は撮像システムに内蔵された記録媒体である。そして、外部 I / F 部 1 0 1 3 は外部コンピュータ等と通信するためのインターフェース部である。

10

## 【 0 1 0 4 】

タイミング信号は撮像システムの外部から入力されてもよく、撮像システムは少なくとも撮像装置 1 0 と、撮像装置 1 0 から出力された撮像信号を処理する信号処理部 ( 信号処理装置 ) 1 0 0 7 とを有すればよい。

## 【 0 1 0 5 】

また、信号処理部 1 0 0 7 は、第 1 の P D 2 0 1 等で生じた電荷に基づく信号と、第 2 の P D 2 0 2 等で生じた電荷に基づく信号とを処理し、撮像装置 1 0 から被写体までの距離情報を取得するように構成されてもよい。

20

## 【 0 1 0 6 】

本実施形態の撮像システムは、撮像装置 1 0 として、第 1 ~ 第 6 の実施形態の撮像装置を含む。したがって、本実施形態によれば、画質が向上した撮像システムを提供することができる。

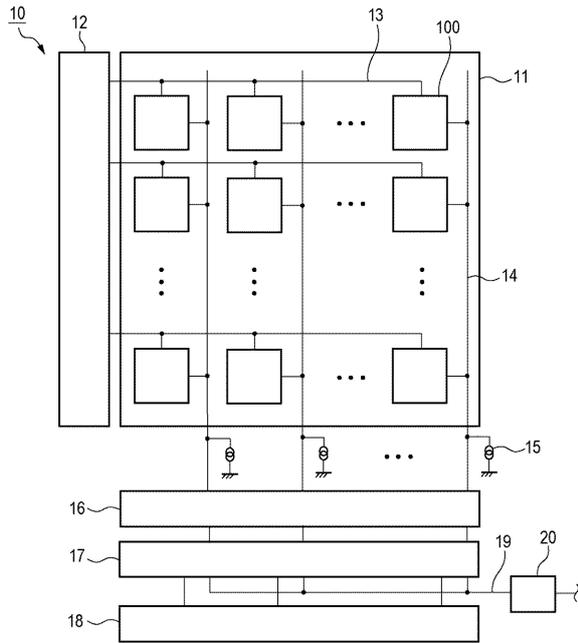
## 【 符号の説明 】

## 【 0 1 0 7 】

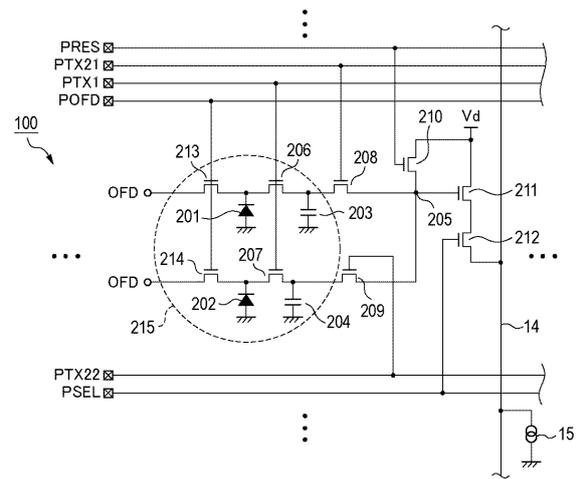
1 0	撮像装置
1 1	画素領域
1 0 0	画素
2 0 1、2 0 2	光電変換部 ( P D )
2 0 3、2 0 4	電荷保持部 ( M E M )
2 1 5	集光部 ( マイクロレンズ )
V a	第 2 のポテンシャル障壁の高さ
V b	第 1 のポテンシャル障壁の高さ

30

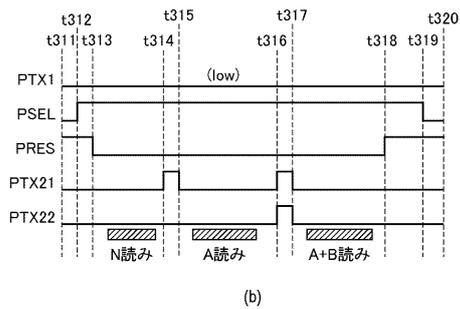
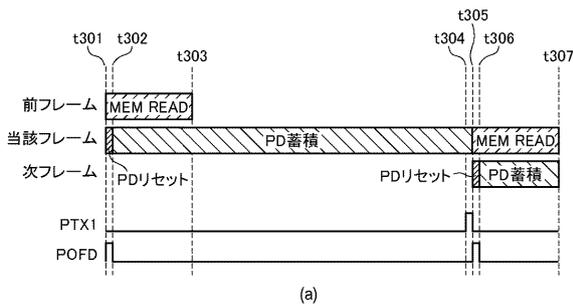
【図1】



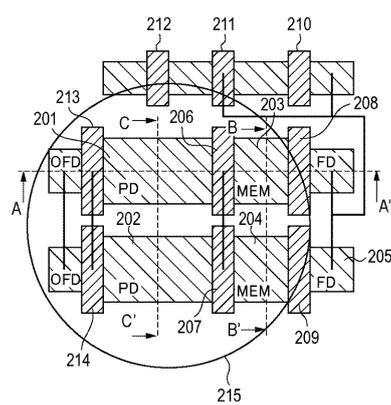
【図2】



【図3】

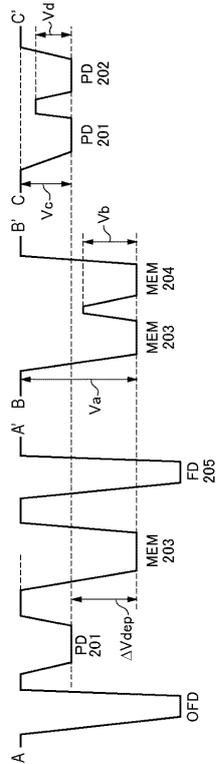


【図4】

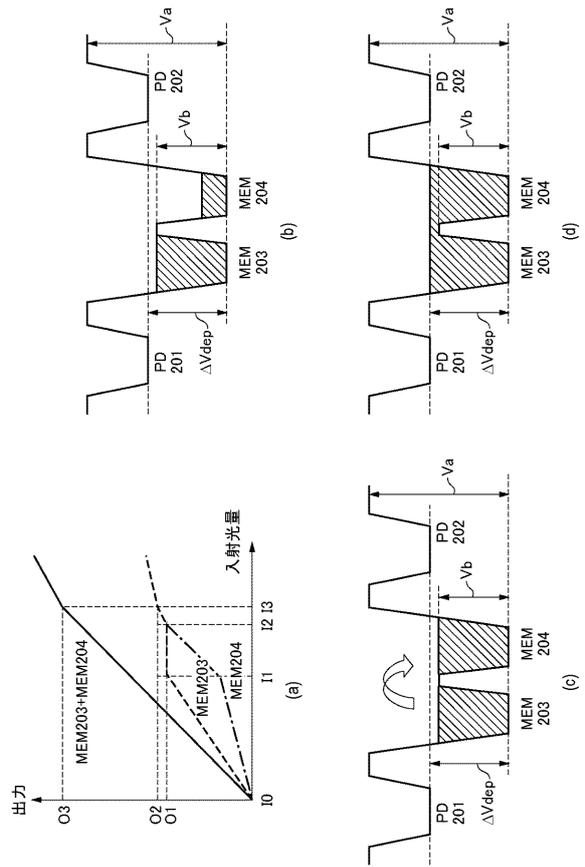




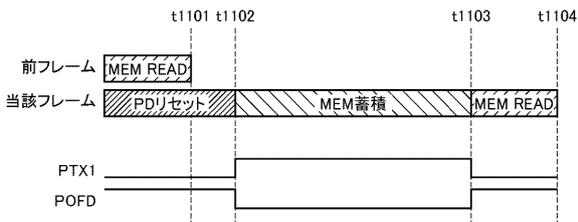
【図9】



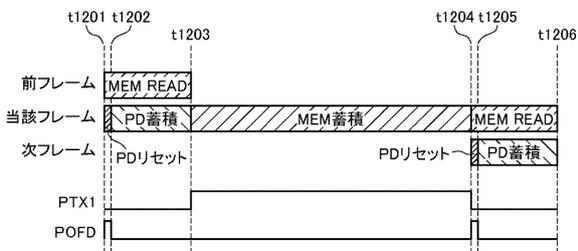
【図10】



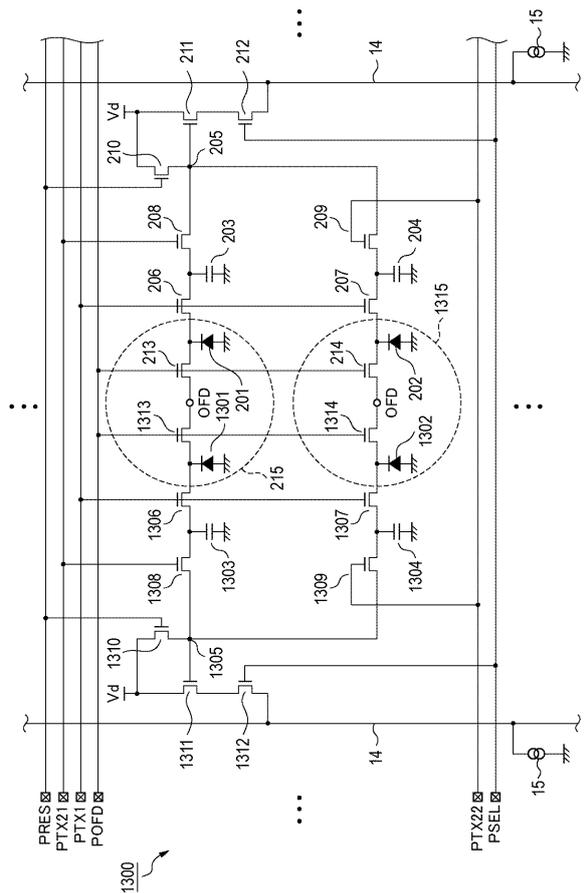
【図11】



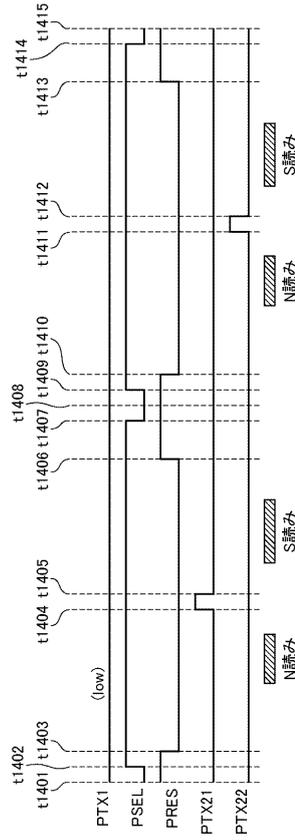
【図12】



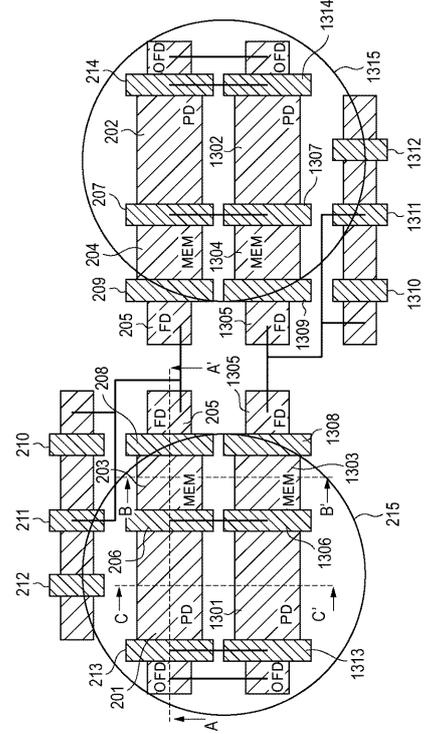
【図13】



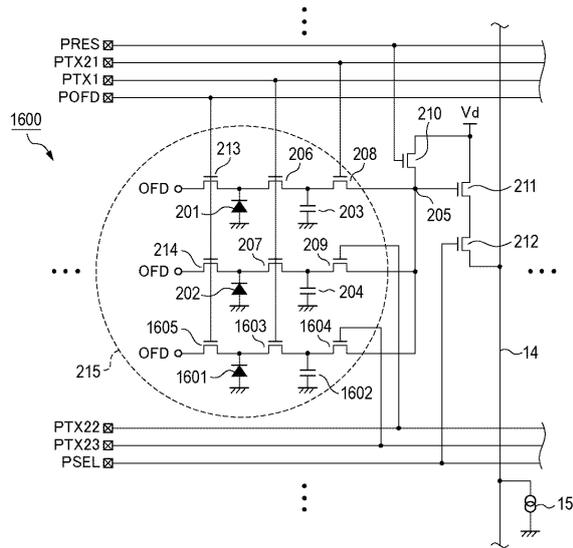
【 図 14 】



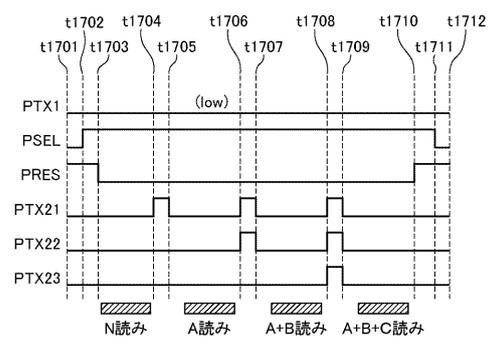
【 図 15 】



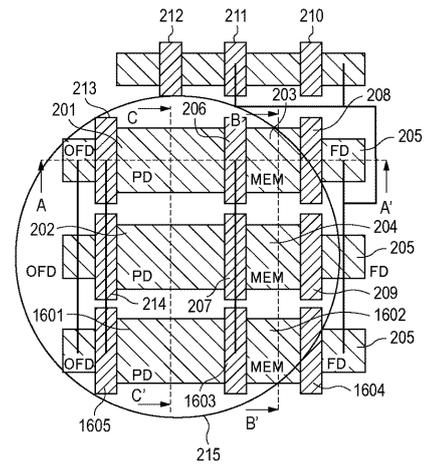
【 図 16 】



【 図 17 】



【 図 18 】





---

フロントページの続き

(51) Int.Cl. F I  
**G 0 3 B 7/093 (2006.01)** G 0 3 B 7/093  
H 0 4 N 101/00 (2006.01) H 0 4 N 101:00

審査官 橋 高志

(56) 参考文献 特開 2 0 0 8 - 1 9 3 5 2 7 ( J P , A )  
特開 2 0 0 6 - 3 1 0 6 5 0 ( J P , A )  
特開 2 0 0 7 - 2 4 3 7 4 4 ( J P , A )  
米国特許出願公開第 2 0 1 3 / 0 2 2 2 5 5 2 ( U S , A 1 )

(58) 調査した分野(Int.Cl. , DB名)  
H 0 4 N 5 / 3 6 9  
G 0 2 B 7 / 3 4  
G 0 3 B 7 / 0 9 3  
G 0 3 B 1 3 / 3 6  
H 0 1 L 2 7 / 1 4 6  
H 0 4 N 5 / 3 4 1