

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-71672

(P2006-71672A)

(43) 公開日 平成18年3月16日(2006.3.16)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G02F 1/133 (2006.01)	G02F 1/133 505	5C006
G09G 3/20 (2006.01)	G02F 1/133 550	5C080
	G09G 3/20 612U	
	G09G 3/20 623F	
審査請求 未請求 請求項の数 9 O L (全 22 頁) 最終頁に続く		

(21) 出願番号 特願2004-251401 (P2004-251401)
 (22) 出願日 平成16年8月31日 (2004.8.31)

(71) 出願人 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町22番22号
 (74) 代理人 100104695
 弁理士 島田 明宏
 (72) 発明者 塩 和也
 大阪府大阪市阿倍野区長池町22番22号
 シャープ株式会社内
 (72) 発明者 湯川 真次
 大阪府大阪市阿倍野区長池町22番22号
 シャープ株式会社内
 (72) 発明者 太田 隆滋
 大阪府大阪市阿倍野区長池町22番22号
 シャープ株式会社内

最終頁に続く

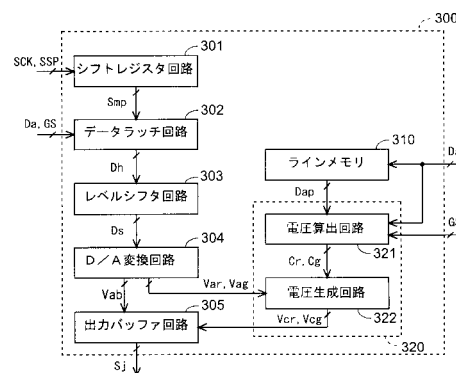
(54) 【発明の名称】 表示装置およびその駆動方法

(57) 【要約】

【課題】 映像信号線時分割駆動方式を採用しつつ、隣接する映像信号線間の寄生容量等による表示輝度または表示色のシフトやにじみなどの悪影響を低減または解消する。

【解決手段】 本映像信号線駆動回路300は、従来構成とほぼ同様のシフトレジスタ回路301から出力バッファ回路305までを備え、さらに1水平走査期間前のデジタル画像信号Dapを出力するラインメモリ310と、隣接する映像信号線間の寄生容量等による映像信号の電圧変動を補正するための補正電圧信号Vcr, Vcgを出力する補正部320とを備える。この補正部320はデジタル画像信号Dap, Daに基づき隣接する映像信号線の電位変動量をそれぞれ算出し、これらの変動量に基づく補正電圧信号Vcr, Vcgを出力する。映像信号線には、映像信号の電圧からこの補正電圧信号の電圧を予め差し引くことにより補正した電圧が印加されるので、上記影響が低減または解消される。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

表示すべき画像を形成するための複数の画素形成部と、前記表示すべき画像を示す複数の映像信号を前記複数の画素形成部に伝達するための複数の映像信号線と、前記複数の映像信号線と交差する複数の走査信号線とを備え、前記複数の画素形成部が前記複数の映像信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置されたアクティブマトリクス型の表示装置であって、

前記複数の走査信号線を選択的に駆動する走査信号線駆動回路と、

2 以上の映像信号線を 1 組として前記複数の映像信号線をグループ化することにより得られる複数組の映像信号線群にそれぞれ対応する複数の出力端子を有し、各出力端子に対応する映像信号線群によって伝達されるべき映像信号を時分割で当該出力端子から出力する映像信号出力回路と、

前記映像信号出力回路の各出力端子に対応する映像信号線群内のいずれかの映像信号線に接続すると共に、各出力端子が接続される映像信号線に対応する映像信号線群内で前記時分割に応じて切り換える接続切換回路とを備え、

前記映像信号出力回路は、前記出力端子に接続される映像信号線に隣接する映像信号線の電位変化に応じ、前記出力端子に接続される映像信号線によって伝達されるべき映像信号の電圧を補正することを特徴とする表示装置。

【請求項 2】

前記映像信号出力回路は、前記出力端子に接続される映像信号線に隣接する一方の映像信号線の電位変化量を V_L とし、所定の比例定数を k とするとき、当該隣接する一方の映像信号線の電位変化の影響を受ける複数の画素形成部に繋がる映像信号線であって前記出力端子に接続される映像信号線によって伝達されるべき映像信号の電圧から $(k \cdot V_L)$ の電圧が差し引かれた電圧を有する信号を前記出力端子から出力することを特徴とする、請求項 1 に記載の表示装置。

【請求項 3】

前記映像信号出力回路は、前記出力端子に接続される映像信号線に隣接する一方の映像信号線の電位変化量を V_L とし、隣接する他方の映像信号線の電位変化量を V_R とし、所定の比例定数を k_1 とするとき、隣接する双方の映像信号線の電位変化の影響を受ける複数の画素形成部に繋がる映像信号線であって前記出力端子に接続される映像信号線によって伝達されるべき映像信号の電圧から $(k_1 \cdot V_L + k_2 \cdot V_R)$ の電圧が差し引かれた電圧を有する信号を前記出力端子から出力することを特徴とする、請求項 1 に記載の表示装置。

【請求項 4】

前記映像信号出力回路は、

所定のサンプリングパルスを出力するシフトレジスタ回路と、

前記シフトレジスタ回路から出力されるサンプリングパルスを受け取ることにより、前記表示すべき画像を示す複数の映像信号に含まれる前記画素形成部に与えられるべき画素値を示すデータをラッチするデータラッチ回路と、

前記データラッチ回路によりラッチされたデジタルデータをアナログ電圧信号に変換し出力する D/A 変換回路と、

前記 D/A 変換回路から出力される前記アナログ電圧信号を前記出力端子に接続される映像信号線に出力する出力バッファ回路と、

前記表示すべき画像を示す複数の映像信号を受け取り、当該映像信号の 1 水平走査期間前の信号を出力する遅延回路と、

前記表示すべき画像を示す複数の映像信号および前記遅延回路から出力される信号に基づき、前記出力端子に接続される映像信号線に隣接する映像信号線の電位変化を算出することにより、前記出力端子に接続される映像信号線に伝達されるべき映像信号の電圧を補正する補正部と

10

20

30

40

50

を含むことを特徴とする、請求項 1 から請求項 3 までのいずれか 1 項に記載の表示装置。

【請求項 5】

前記補正部は、

前記表示すべき画像を示す複数の映像信号および前記遅延回路から出力される信号に基づき、前記出力端子に接続される映像信号線に隣接する映像信号線の電位変化を算出することにより、前記出力端子に接続される映像信号線によって伝達されるべき映像信号の電圧を補正するための補正電圧値を算出する電圧算出回路と、

前記 D / A 変換回路から出力される前記アナログ電圧信号の電圧から、前記電圧算出回路により算出された前記補正電圧値が差し引かれた電圧を有する信号である補正電圧信号を出力する電圧生成回路とを含み、

前記出力バッファ回路は、前記 D / A 変換回路から出力される前記補正電圧信号を前記出力端子から出力することを特徴とする、請求項 4 に記載の表示装置。

10

【請求項 6】

前記映像信号出力回路は、所定の 3 原色を表示する 3 種類の画素形成部にそれぞれ繋がる 3 つの隣り合う映像信号線を 1 組として前記複数の映像信号線をグループ化することにより得られる複数組の映像信号線群にそれぞれ対応する複数の出力端子を有し、各出力端子に対応する映像信号線群によって伝達されるべき映像信号を時分割で当該出力端子から出力することを特徴とする、請求項 1 から請求項 5 に記載の表示装置。

【請求項 7】

表示すべき画像を形成するための複数の画素形成部と、前記表示すべき画像を示す複数の映像信号を前記複数の画素形成部に伝達するための複数の映像信号線と、前記複数の映像信号線と交差する複数の走査信号線とを備え、前記複数の画素形成部が前記複数の映像信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置されたアクティブマトリクス型の表示装置の駆動方法であって、

20

前記複数の走査信号線を選択的に駆動する走査信号線駆動ステップと、

2 以上の映像信号線を 1 組として前記複数の映像信号線をグループ化することにより得られる複数組の映像信号線群によって伝達されるべき映像信号を時分割で出力する映像信号出力ステップと、

前記映像信号線群内のいずれかの映像信号線に前記映像信号出力ステップにおいて出力される映像信号を選択的に与えると共に、当該映像信号が与えられる映像信号線に対応する映像信号線群内で前記時分割に応じて切り換える接続切換ステップと

30

を含み、
前記映像信号出力ステップでは、前記映像信号を与えられる映像信号線に隣接する映像信号線の電位変化に応じ、接続される映像信号線によって伝達されるべき映像信号の電圧を補正することを特徴とする駆動方法。

【請求項 8】

前記映像信号出力ステップでは、前記映像信号を与えられる映像信号線に隣接する一方の映像信号線の電位変化量を V_L とし、所定の比例定数を α とするとき、当該隣接する一方の映像信号線の電位変化の影響を受ける複数の画素形成部に繋がる映像信号線によって伝達されるべき映像信号の電圧から $(\alpha \cdot V_L)$ の電圧が差し引かれた電圧を有する

40

【請求項 9】

前記映像信号出力ステップでは、前記映像信号を与えられる映像信号線に隣接する一方の映像信号線の電位変化量を V_L とし、隣接する他方の映像信号線の電位変化量を V_R とし、所定の比例定数を α とするとき、隣接する双方の映像信号線の電位変化の影響を受ける複数の画素形成部に繋がる映像信号線によって伝達されるべき映像信号の電圧から $(\alpha \cdot V_L + \alpha \cdot V_R)$ の電圧が差し引かれた電圧を有する信号を出力することを特徴とする、請求項 7 に記載の駆動方法。

【発明の詳細な説明】

【技術分野】

50

【0001】

本発明は、アクティブマトリクス型の表示装置に関し、更に詳しくは、表示すべき画像を形成するための複数の画素形成部に映像信号を伝達するための多数の映像信号線が複数本（例えば3本）を1組として複数組の映像信号線群にグループ化され、グループ化された映像信号線群毎に駆動回路から時分割で映像信号が出力される表示装置に関する。

【背景技術】

【0002】

近年、表示装置における表示画像の高精細化の進展が顕著である。このため、例えばアクティブマトリクス型液晶表示装置のように、表示すべき画像の解像度に応じた数の信号線（列電極または行電極）を必要とする表示装置では、表示画像の高精細化に伴って単位長さ当たりの信号線数（電極数）が膨大となる。その結果、それらの信号線に信号を印加する駆動回路の実装において、駆動回路の出力端子と表示パネルの信号線との接続部のピッチ（以下「接続ピッチ」という）が極めて小さなものとなる。このような表示画像の高精細化に伴う接続ピッチの狭小化の傾向は、カラー液晶表示装置のようにR（赤）、G（緑）、B（青）の隣接3画素を表示単位とするカラー表示装置の場合には、映像信号線（列電極）とその駆動回路（「列電極駆動回路」、「データ線駆動回路」または「映像信号線駆動回路」と呼ばれる）との接続部において特に顕著となる。

10

【0003】

このような問題を解決するために、2本以上の映像信号線（例えばR、G、Bの隣接3画素に対応する3本の映像信号線）を1組として映像信号線をグループ化し、各組を構成する複数の映像信号線に映像信号線駆動回路の1つの出力端子を割り当て、画像表示における1水平走査期間内において各組内の映像信号線に時分割的に映像信号を印加するように構成された液晶表示装置が従来より提案されている（例えば特開平6-138851号公報参照）。

20

【0004】

図2(a)は、このような方式（以下「映像信号線時分割駆動方式」という）のアクティブマトリクス型液晶表示装置における映像信号線とその駆動回路（以下「映像信号線駆動回路」という）との接続部の構成を模式的に示している。この図に示した例では、映像信号線 L_s が3本を1組としてグループ化されており、各組を構成する映像信号線群に対して映像信号線駆動回路300の出力端子 TS_1 、 TS_2 、 TS_3 、...が1つずつ対応づけられている。そして、映像信号線駆動回路300の各出力端子 TS_1 、 TS_2 、 TS_3 、...に対応するグループ化された3本の映像信号線との間には、切換スイッチが設けられている。各切換スイッチは、映像信号線 L_s 毎に設けられ一端が映像信号線 L_s に接続されたアナログスイッチ SW_1 、 SW_2 、 SW_3 、...のうち隣接する3個のアナログスイッチ $SW(3j-2)$ 、 $SW(3j-1)$ 、 SW_{3j} から構成される（ $j=1, 2, 3, \dots$ ）。各切換スイッチを構成する3個のアナログスイッチ $SW(3j-2)$ 、 $SW(3j-1)$ 、 SW_{3j} の他端は互いに接続されて、その切換スイッチに対応する映像信号線駆動回路300の出力端子 TS_j に接続されている。これらの切換スイッチは、例えば、この表示装置における液晶パネル基板に形成される薄膜トランジスタ（TF-T: Thin Film Transistor）によるアナログスイッチによって実現される。

30

40

【0005】

図3は、この映像信号線時分割駆動方式の液晶表示装置における走査信号 G_1 、 G_2 、 G_3 、...、各切換スイッチの制御信号（以下「切換制御信号」という） $GS_a \sim GS_c$ 、および映像信号線 $SL_1 \sim SL_6$ に印加される映像信号を示すタイミングチャートである。ここで、走査信号 G_k がハイレベル（Hレベル）のときには k 番目の走査信号線が選択され、走査信号 G_k がローレベル（Lレベル）のときには k 番目の走査信号線が非選択の状態であるものとする（ $k=1, 2, 3, \dots$ ）。また、各切換スイッチは、切換制御信号 GS_a がHレベル（であって切換制御信号 GS_b 、 GS_c がLレベル）のときには、映像信号線駆動回路300の各出力端子 TS_j はそれに対応する3本の映像信号線のうち（図3の）左側の映像信号線 L_s に接続され、切換制御信号 GS_b がHレベル（であって切

50

制御信号 $G S a$, $G S c$ が L レベル) のときには、映像信号線駆動回路 300 の各出力端子 $T S j$ はそれに対応する 3 本の映像信号線のうち中央の映像信号線に接続され、切換制御信号 $G S c$ が H レベル (であって切換制御信号 $G S a$, $G S b$ が L レベル) のときには、映像信号線駆動回路 300 の各出力端子 $T S j$ はそれに対応する 3 本の映像信号線のうち右側の映像信号線に接続されるものとする。

【0006】

このように、この液晶表示装置では、1 水平走査期間すなわち 1 本の走査信号線が選択されている期間内において、各出力端子 $T S j$ が接続される映像信号線が切り換わり、各組を構成する 3 本の映像信号線のうち、各水平走査期間を第 1 から第 3 までの期間に 3 等分したときの第 1 の期間では左側の映像信号線に、各水平走査期間の第 2 の期間では中央の映像信号線に、各水平走査期間の第 3 の期間では右側の映像信号線に、映像信号線駆動回路から映像信号がそれぞれ印加される。これにより、各映像信号線 $L s$ は、その映像信号線 $L s$ に映像信号線駆動回路 300 の出力端子 $T S j$ が接続されている間に、その出力端子 $T S j$ から出力される映像信号の電圧に充電され、その映像信号線と選択されている走査信号線との交差点に対応する画素形成部 $P x$ にその電圧の値が画素値として書き込まれる。

10

【0007】

上記のような映像信号線時分割駆動方式の液晶表示装置では、各組を構成する映像信号線の本数すなわち切換スイッチによる時分割数に応じて、各映像信号線への充電時間が短くなり、上記時分割数を m とすれば、各映像信号線の充電時間は映像信号線時分割駆動方式でない通常の液晶表示装置の場合の $1/m$ となる (図 2 に示した例では $1/3$ となる) 。しかし、上記時分割数を m とする切換スイッチを液晶パネル基板に形成することにより、映像信号線駆動回路の出力端子と映像信号線との接続ピッチを通常の液晶表示装置の場合の m 倍にすることができる。また、このような構成により、1 つの液晶パネルの駆動に複数の集積回路チップ (IC チップ) からなる映像信号線駆動回路が使用される場合には、そのチップの個数を減らすことができる。このような映像信号線時分割駆動方式による利点は広く知られており、このための映像信号線のグループ化は、 R (赤)、 G (緑)、 B (青) の隣接 3 画素に映像信号を伝達する 3 本の映像信号線を 1 組としてグループ化されることが多い。

20

【特許文献 1】特開平 6 - 138851 号公報

30

【特許文献 2】特開平 6 - 250146 号公報

【特許文献 3】特開 2000 - 2867 号公報

【特許文献 4】特開 2003 - 58119 号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

しかし、このような映像信号線時分割駆動方式の液晶表示装置は、隣接する映像信号線間の寄生容量のため、画素形成部 $P x$ に書き込まれるべき映像信号の電圧に変動が生じる。以下、この現象について図を参照して説明する。

【0009】

40

図 6 は、図 3 に示した上記従来の液晶表示装置の映像信号線 $S L 3 \sim S L 5$ に印加される映像信号の電位変化を詳細に示す図である。なお、説明のため、図では上記寄生容量等により生じる電圧変動量を実際の変動量よりも大きく示している。ここで、映像信号線 $S L 4$ の電位変化に着目すると、時刻 t_1 において映像信号線駆動回路から映像信号が映像信号線 $S L 4$ に印加されることにより、映像信号線 $S L 4$ の電位は所望の電位となる。理想的にはこの電位が保持されることにより、対応する画素形成部 $P x$ にその電圧の値が画素値として書き込まなければならない。しかし、時刻 t_2 において、映像信号線 $S L 5$ に映像信号線駆動回路から映像信号が印加されると、映像信号線 $S L 5$ の電位変化に応じて、保持されるべき映像信号線 $S L 4$ の電位も変化する。これは、映像信号線 $S L 4$ と $S L 5$ とが容量結合しているからである。この隣接する映像信号線間の寄生容量は、信号線

50

間の直接的な容量のほか、画素形成部を介して形成される間接的な容量が含まれる。そして、映像信号線 S L 3 および S L 4 も同様に容量結合しているので、時刻 t 3 において映像信号線 S L 3 に映像信号線駆動回路から映像信号が印加されると、映像信号線 S L 3 の電位変化に応じて映像信号線 S L 4 の電位が変化する。この結果、理想的には保持されるべき電位と実際の電位とに電位差 V_4 が生じることにより、表示色のシフトやにじみなどの好ましくない影響が生じる。この電位差 V_4 は時刻 t 7 における映像信号線 S L 4 でも同様に生じ、また、映像信号線 S L 5 の電位も同様の理由により理想的には保持されるべき電位と実際の電位とに電位差 V_5 が生じるので、結果的に表示色のシフトやにじみなどの好ましくない影響は全画面にわたって生じる。

【 0 0 1 0 】

10

そこで本発明では、上記のような映像信号線時分割駆動方式を採用しつつ、隣接する映像信号線間の寄生容量等による表示輝度または表示色のシフトやにじみなどの影響を低減または解消することができる表示装置およびその駆動方法を提供することを目的とする。

【課題を解決するための手段】

【 0 0 1 1 】

第 1 の発明は、表示すべき画像を形成するための複数の画素形成部と、前記表示すべき画像を示す複数の映像信号を前記複数の画素形成部に伝達するための複数の映像信号線と、前記複数の映像信号線と交差する複数の走査信号線とを備え、前記複数の画素形成部が前記複数の映像信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置されたアクティブマトリクス型の表示装置であって、

20

前記複数の走査信号線を選択的に駆動する走査信号線駆動回路と、

2 以上の映像信号線を 1 組として前記複数の映像信号線をグループ化することにより得られる複数組の映像信号線群にそれぞれ対応する複数の出力端子を有し、各出力端子に対応する映像信号線群によって伝達されるべき映像信号を時分割で当該出力端子から出力する映像信号出力回路と、

前記映像信号出力回路の各出力端子を対応する映像信号線群内のいずれかの映像信号線に接続すると共に、各出力端子が接続される映像信号線に対応する映像信号線群内で前記時分割に応じて切り換える接続切換回路とを備え、

前記映像信号出力回路は、前記出力端子に接続される映像信号線に隣接する映像信号線の電位変化に応じ、前記出力端子に接続される映像信号線によって伝達されるべき映像信号の電圧を補正することを特徴とする。

30

【 0 0 1 2 】

第 2 の発明は、第 1 の発明において、

前記映像信号出力回路は、前記出力端子に接続される映像信号線に隣接する一方の映像信号線の電位変化量を V_L とし、所定の比例定数を α とするとき、当該隣接する一方の映像信号線の電位変化の影響を受ける複数の画素形成部に繋がる映像信号線であって前記出力端子に接続される映像信号線によって伝達されるべき映像信号の電圧から $(\alpha \cdot V_L)$ の電圧が差し引かれた電圧を有する信号を前記出力端子から出力することを特徴とする。

40

【 0 0 1 3 】

第 3 の発明は、第 1 の発明において、

前記映像信号出力回路は、前記出力端子に接続される映像信号線に隣接する一方の映像信号線の電位変化量を V_L とし、隣接する他方の映像信号線の電位変化量を V_R とし、所定の比例定数を α とするとき、隣接する双方の映像信号線の電位変化の影響を受ける複数の画素形成部に繋がる映像信号線であって前記出力端子に接続される映像信号線によって伝達されるべき映像信号の電圧から $(\alpha \cdot V_L + \alpha \cdot V_R)$ の電圧が差し引かれた電圧を有する信号を前記出力端子から出力することを特徴とする。

【 0 0 1 4 】

第 4 の発明は、第 1 から第 3 までのいずれか 1 つの発明において、

50

前記映像信号出力回路は、

所定のサンプリングパルスを出力するシフトレジスタ回路と、

前記シフトレジスタ回路から出力されるサンプリングパルスを受け取ることにより、前記表示すべき画像を示す複数の映像信号に含まれる前記画素形成部に与えられるべき画素値を示すデータをラッチするデータラッチ回路と、

前記データラッチ回路によりラッチされたデジタルデータをアナログ電圧信号に変換し出力するD/A変換回路と、

前記D/A変換回路から出力される前記アナログ電圧信号を前記出力端子に接続される映像信号線に出力する出力バッファ回路と、

前記表示すべき画像を示す複数の映像信号を受け取り、当該映像信号の1水平走査期間前の信号を出力する遅延回路と、 10

前記表示すべき画像を示す複数の映像信号および前記遅延回路から出力される信号に基づき、前記出力端子に接続される映像信号線に隣接する映像信号線の電位変化を算出することにより、前記出力端子に接続される映像信号線に伝達されるべき映像信号の電圧を補正する補正部と

を含むことを特徴とする。

【0015】

第5の発明は、第4の発明において、

前記補正部は、

前記表示すべき画像を示す複数の映像信号および前記遅延回路から出力される信号に基づき、前記出力端子に接続される映像信号線に隣接する映像信号線の電位変化を算出することにより、前記出力端子に接続される映像信号線によって伝達されるべき映像信号の電圧を補正するための補正電圧値を算出する電圧算出回路と、 20

前記D/A変換回路から出力される前記アナログ電圧信号の電圧から、前記電圧算出回路により算出された前記補正電圧値が差し引かれた電圧を有する信号である補正電圧信号を出力する電圧生成回路とを含み、

前記出力バッファ回路は、前記D/A変換回路から出力される前記補正電圧信号を前記出力端子から出力することを特徴とする。

【0016】

第6の発明は、第1から第5までのいずれか1つの発明において、 30

前記映像信号出力回路は、所定の3原色を表示する3種類の画素形成部にそれぞれ繋がる3つの隣り合う映像信号線を1組として前記複数の映像信号線をグループ化することにより得られる複数組の映像信号線群にそれぞれ対応する複数の出力端子を有し、各出力端子に対応する映像信号線群によって伝達されるべき映像信号を時分割で当該出力端子から出力することを特徴とする。

【0017】

第7の発明は、表示すべき画像を形成するための複数の画素形成部と、前記表示すべき画像を示す複数の映像信号を前記複数の画素形成部に伝達するための複数の映像信号線と、前記複数の映像信号線と交差する複数の走査信号線とを備え、前記複数の画素形成部が前記複数の映像信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置されたアクティブマトリクス型の表示装置の駆動方法であって、 40

前記複数の走査信号線を選択的に駆動する走査信号線駆動ステップと、

2以上の映像信号線を1組として前記複数の映像信号線をグループ化することにより得られる複数組の映像信号線群によって伝達されるべき映像信号を時分割で出力する映像信号出力ステップと、

前記映像信号線群内のいずれかの映像信号線に前記映像信号出力ステップにおいて出力される映像信号を選択的に与えると共に、当該映像信号が与えられる映像信号線に対応する映像信号線群内で前記時分割に応じて切り換える接続切換ステップとを含み、

前記映像信号出力ステップでは、接続される映像信号線に隣接する映像信号線の電位変 50

化に応じ、接続される映像信号線によって伝達されるべき映像信号の電圧を補正することを特徴とする。

【0018】

第8の発明は、第7の発明において、

前記映像信号出力ステップでは、前記映像信号を与えられる映像信号線に隣接する一方の映像信号線の電位変化量を V_L とし、所定の比例定数を α とするとき、当該隣接する一方の映像信号線の電位変化の影響を受ける複数の画素形成部に繋がる映像信号線によって伝達されるべき映像信号の電圧から $(\alpha \cdot V_L)$ の電圧が差し引かれた電圧を有する信号を出力することを特徴とする。

【0019】

第9の発明は、第7の発明において、

前記映像信号出力ステップでは、前記映像信号を与えられる映像信号線に隣接する一方の映像信号線の電位変化量を V_L とし、隣接する他方の映像信号線の電位変化量を V_R とし、所定の比例定数を α とするとき、隣接する双方の映像信号線の電位変化の影響を受ける複数の画素形成部に繋がる映像信号線によって伝達されるべき映像信号の電圧から $(\alpha \cdot V_L + \alpha \cdot V_R)$ の電圧が差し引かれた電圧を有する信号を出力することを特徴とする。

【発明の効果】

【0020】

第1の発明によれば、映像信号出力回路が各出力端子に対応する映像信号線群によって伝達されるべき映像信号を時分割で当該出力端子から出力するとき、出力端子に接続される映像信号線に隣接する映像信号線の電位変化に応じ、出力端子に接続される映像信号線によって伝達されるべき映像信号の電圧を補正する。このことにより、隣接する映像信号線間の寄生容量等による表示輝度または表示色のシフトやにじみなどの影響を低減または解消することができる。

【0021】

第2の発明によれば、映像信号出力回路により、隣接する一方の映像信号線の電位変化の影響を受ける映像信号線によって伝達されるべき映像信号の電圧から $(\alpha \cdot V_L)$ の電圧が差し引かれた電圧を有する信号が出力される。このことにより、隣接する一方の映像信号線との間の寄生容量等による表示輝度または表示色のシフトやにじみなどの影響を低減または解消することができる。

【0022】

第3の発明によれば、映像信号出力回路により、隣接する双方の映像信号線の電位変化の影響を受ける映像信号線によって伝達されるべき映像信号の電圧から $(\alpha \cdot V_L + \alpha \cdot V_R)$ の電圧が差し引かれた電圧を有する信号が出力される。このことにより、隣接する双方の映像信号線との間の寄生容量等による表示輝度または表示色のシフトやにじみなどの影響を低減または解消することができる。

【0023】

第4の発明によれば、遅延回路が映像信号の1水平走査期間前の信号を出力し、補正部がこの遅延回路から出力される信号に基づき、出力端子に接続される映像信号線に隣接する映像信号線の電位変化を算出することにより出力端子に接続される映像信号線に伝達されるべき映像信号の電圧を補正する。このことにより、隣接する映像信号線の電位変化を容易に算出することができるので、隣接する映像信号線間の寄生容量等による表示輝度または表示色のシフトやにじみなどの影響を低減または解消することができる。

【0024】

第5の発明によれば、補正部に含まれる電圧生成回路が、D/A変換回路から出力されるアナログ電圧信号の電圧から、電圧算出回路により算出された補正電圧値を差し引いた電圧を有する補正電圧信号を出力する。このようにD/A変換回路から出力されるアナログ電圧信号の電圧を基準とすることにより、誤差のない正確な補正動作に行うことができる。

10

20

30

40

50

【 0 0 2 5 】

第 6 の発明によれば、所定の 3 原色を表示する 3 種類の画素形成部にそれぞれ繋がる 3 つの隣り合う映像信号線を 1 組とすることにより、一般的なカラー表示装置において隣接する映像信号線間の寄生容量等による表示輝度または表示色のシフトやにじみなどの影響を低減または解消することができる。

【 0 0 2 6 】

第 7 の発明によれば、第 1 の発明と同様の効果を奏する。

【 0 0 2 7 】

第 8 の発明によれば、第 2 の発明と同様の効果を奏する。

【 0 0 2 8 】

第 9 の発明によれば、第 3 の発明と同様の効果を奏する。

10

【 発明を実施するための最良の形態 】

【 0 0 2 9 】

以下、本発明の実施形態について添付図面を参照して説明する。

< 1 . 液晶表示装置の構成および動作 >

< 1 . 1 全体の構成および動作 >

図 1 (a) は、本発明の一実施形態に係る液晶表示装置の構成を示すブロック図である。この液晶表示装置は、表示制御回路 2 0 0 と、映像信号線駆動回路 (「列電極駆動回路」 とも呼ばれる) 3 0 0 と、走査信号線駆動回路 (「行電極駆動回路」 とも呼ばれる) 4 0 0 と、アクティブマトリクス型の液晶パネル 5 0 0 とを備えている。

20

【 0 0 3 0 】

この液晶表示装置における表示部としての液晶パネル 5 0 0 は、外部のコンピュータにおける CPU 等から受け取る画像データ D v の表す画像における水平走査線にそれぞれが対応する複数本の走査信号線 (行電極) と、それら複数本の走査信号線のそれぞれと交差する複数本の映像信号線 (列電極) と、それら複数本の走査信号線と複数本の映像信号線との交差点にそれぞれ対応して設けられた複数の画素形成部とを含む。各画素形成部の構成は、基本的には従来のアクティブマトリクス型液晶パネルにおける構成と同様である (詳細は後述する) 。

【 0 0 3 1 】

本実施形態では、液晶パネル 5 0 0 に表示すべき画像を表す (狭義の) 画像データおよび表示動作のタイミング等を決めるデータ (例えば表示用クロックの周波数を示すデータ) (以下「表示制御データ」という) は、外部のコンピュータにおける CPU 等から表示制御回路 2 0 0 に送られる (以下、外部から送られるこれらのデータ D v を「広義の画像データ」という) 。すなわち、外部の CPU 等は、広義の画像データ D v を構成する (狭義の) 画像データおよび表示制御データを、アドレス信号 A D w を表示制御回路 2 0 0 に供給して、表示制御回路 2 0 0 内の後述の表示メモリおよびレジスタにそれぞれ書き込む。

30

【 0 0 3 2 】

表示制御回路 2 0 0 は、レジスタに書き込まれた表示制御データに基づき、表示のため映像信号線駆動回路 2 0 0 に与えられるソース用クロック信号 S C K およびソース用スタートパルス信号 S S P と、表示のため走査信号線駆動回路 4 0 0 に与えられるゲート用クロック信号 G C K およびゲート用スタートパルス信号 G S P とを含む各種信号を生成する。これらの信号は公知であるため詳しい説明は省略する。また、表示制御回路 2 0 0 は、外部の CPU 等によって表示メモリに書き込まれた (狭義の) 画像データを表示メモリから読み出して、デジタル画像信号 D a として出力する。さらに、表示制御回路 2 0 0 は、映像信号線の時分割駆動のための切換制御信号 G S a ~ G S c (これらの信号を以下では「切換制御信号 G S 」とも言う) を生成し、これらも出力する。このようにして、表示制御回路 2 0 0 によって生成される信号のうち、デジタル画像信号 D a は映像信号線駆動回路 3 0 0 に、切換制御信号 G S a ~ G S c は映像信号線駆動回路 3 0 0 および液晶パネル 5 0 0 内の後述の接続切換回路に、それぞれ供給される。なお、表示制御回路 2 0 0 から

40

50

映像信号線駆動回路300にデジタル画像信号Daを供給するための信号線としては、表示画像の階調数に応じた数の信号線が配設される。

【0033】

映像信号線駆動回路300には、上記のようにして、液晶パネル500に表示すべき画像を表すデータが画素単位でシリアルにデジタル画像信号Daとして供給されると共に、タイミングを示す信号としてソース用クロック信号SCKおよびソース用スタートパルス信号SSP、および切換制御信号GSが供給される。映像信号線駆動回路300は、これらのデジタル画像信号Daとソース用クロック信号SCKとソース用スタートパルス信号SSPと切換制御信号GSとに基づき、液晶パネル500を駆動するための映像信号（以下「駆動用映像信号」ともいう）を生成し、これを液晶パネル500の各映像信号線に印加する。このとき、映像信号線駆動回路300は、隣接する映像信号線間の寄生容量等による表示色のシフトやにじみなどの影響を低減または解消するため、各映像信号線に印加される電圧を補正する動作を行うが、この動作については後述する。

10

【0034】

走査信号線駆動回路400は、ゲート用クロック信号GCKおよびゲート用スタートパルス信号GSPに基づき、液晶パネル500における走査信号線を1水平走査期間ずつ順次に選択するために各走査信号線に印加すべき走査信号G1、G2、G3、...を生成し、全走査信号線のそれぞれを順に選択するためのアクティブな走査信号の各走査信号線への印加を1垂直走査期間を周期として繰り返す。

【0035】

液晶パネル500では、上記のようにして映像信号線に、映像信号線駆動回路300によってデジタル画像信号Daに基づく駆動用の映像信号S1、S2、S3、...が印加され、走査信号線には、走査信号線駆動回路400によって走査信号G1、G2、G3、...が印加される。これにより液晶パネル500は、外部のCPU等から受け取った画像データDvの表す画像を表示する。

20

【0036】

< 1.2 表示制御回路 >

図1(b)は、上記の液晶表示装置における表示制御回路200の構成を示すブロック図である。この表示制御回路200は、入力制御回路20と表示メモリ21とレジスタ22とタイミング発生回路23とメモリ制御回路24と信号線切換制御回路25とを備えている。

30

【0037】

この表示制御回路200が外部のCPU等から受け取る広義の画像データDvを示す信号（以下、この信号も符号“Dv”で表すものとする）およびアドレス信号ADwは、入力制御回路20に入力される。入力制御回路20は、アドレス信号ADwに基づき、広義の画像データDvを、画像データDAと表示制御データDcとに振り分ける。そして、画像データDAを表す信号（以下、これらの信号も符号“DA”で表すものとする）をアドレス信号ADwに基づくアドレス信号ADと共に表示メモリ21に供給することで画像データDAを表示メモリ21に書き込むと共に、表示制御データDcをレジスタ22に書き込む。表示制御データDcは、ソース用クロック信号SCKを含むクロック信号の周波数や画像データDvの表す画像を表示するための水平走査期間および垂直走査期間を指定するタイミング情報を含んでいる。

40

【0038】

タイミング発生回路（以下「TG」と略記する）23は、レジスタ22の保持する上記表示制御データに基づき、ソース用クロック信号SCK、ソース用スタートパルス信号SSPを生成する。また、TG23は、表示メモリ21およびメモリ制御回路24をソース用クロック信号SCKに同期させて動作させるためのタイミング信号を生成する。

【0039】

メモリ制御回路24は、外部から入力されて入力制御回路20を介して表示メモリ21に格納された画像データDAのうち液晶パネル500に表示すべき画像を表すデータを読

50

み出すためのアドレス信号 A D r と、表示メモリ 2 1 の動作を制御するための信号とを生成する。これらのアドレス信号 A D r および制御信号は表示メモリ 2 1 に与えられ、これにより、液晶パネル 5 0 0 に表示すべき画像を表すデータがデジタル画像信号 D a として表示メモリ 2 1 から読み出され、表示制御回路 2 0 0 から出力される。このデジタル画像信号 D a は、既述のように映像信号線駆動回路 3 0 0 に供給される。

【 0 0 4 0 】

信号線切換制御回路 2 5 は、ソース用クロック信号 S C K に基づき、映像信号線の時分割駆動のための切換制御信号 G S a ~ G S c を生成する。この切換制御信号 G S a ~ G S c は、後述のように映像信号線を時分割的に駆動するために、映像信号線駆動回路 3 0 0 から出力される映像信号を印加すべき映像信号線を 1 水平走査期間内で切り換えるための制御信号である。本実施形態では、図 3 に示すように各水平走査期間（走査信号がアクティブとなる期間）を第 1 から第 3 までの期間に 3 等分したときの第 1 の期間で H レベルとなりその他の期間で L レベルとなる信号を切換制御信号 G S a として生成し、第 2 の期間で H レベルとなりその他の期間で L レベルとなる信号を切換制御信号 G S b として生成し、第 3 の期間で H レベルとなりその他の期間で L レベルとなる信号を切換制御信号 G S c として生成する。

10

【 0 0 4 1 】

< 1 . 3 液晶パネルとその駆動方法 >

< 1 . 3 . 1 液晶パネルの構成 >

図 2 (a) は、従来の構成と同様の本実施形態における液晶パネル 5 0 0 の構成を示す模式図であり、図 2 (b) は、この液晶パネルの一部（4 画素に相当する部分）5 1 0 の等価回路図であり、図 2 (c) は、液晶パネルにおける後述の接続切換回路 5 0 1 を構成する切換スイッチを示す等価回路図である。

20

【 0 0 4 2 】

この従来構成と同様の液晶パネルは、アナログスイッチ S W 1 , S W 2 , S W 3 , ... を含む接続切換回路 5 0 1 を介して映像信号線駆動回路 3 0 0 に接続される複数の映像信号線 L s と、走査信号線駆動回路 4 0 0 に接続される複数の走査信号線 L g とを備え、当該複数の映像信号線 L s と当該複数の走査信号線 L g とは、各映像信号線 L s と各走査信号線 L g とが交差するように格子状に配設されている。そして既述のように、当該複数の映像信号線 L s と当該複数の走査信号線 L g との交差点に対応して複数の画素形成部 P x がそれぞれ設けられている。各画素形成部 P x は、図 2 (b) に示すように、対応する交差点を通過する映像信号線 L s にソース端子が接続された T F T 1 0 と、その T F T 1 0 のドレイン端子に接続された画素電極 E p と、上記複数の画素形成部 P x に共通的に設けられた対向電極 E c と、上記複数の画素形成部 P x に共通的に設けられ画素電極 E p と対向電極 E c との間に挟持された液晶層とからなる。そして、画素電極 E p と対向電極 E c とそれらの間に挟持された液晶層とにより画素容量 C p が形成される。

30

【 0 0 4 3 】

上記のような画素形成部 P x は、マトリクス状に配置されて画素形成マトリクスを構成する。ところで、画素形成部 P x の主要部である画素電極 E p は、液晶パネルに表示される画像の画素と 1 対 1 に対応し同一視できる。そこで、以下では、説明の便宜上、画素形成部 P x と画素を同一視するものとし、「画素形成マトリクス」を「画素マトリクス」ともいう。

40

【 0 0 4 4 】

図 2 (a) において、各画素形成部 P x に付されている“ R ” “ G ”または“ B ”は、当該画素形成部 P x により形成される画素の色である赤、緑、または青を表している。なお、これらの色は典型的な 3 原色であるが、その他の 3 原色であってもよい。また、一般に液晶表示装置では、液晶の劣化を抑えると共に表示品位を維持するために交流化駆動が行われており、本実施形態では、典型的な交流化駆動方式として、画素を形成する液晶層への印加電圧の正負極性を 1 走査信号線毎かつ 1 フレーム毎にも反転させるいわゆるライン反転駆動方式が採用されるものとする。また、このライン反転駆動方式に代えて、画素

50

液晶への印加電圧の正負極性を1フレーム毎にのみ反転させる駆動方式であるフレーム反転駆動方式や、1走査信号線毎かつ1映像信号線毎に反転させる(さらに1フレーム毎にも反転させる)いわゆるドット反転駆動方式が採用されてもよい。

【0045】

この液晶パネルには、上記のように、各映像信号線 L_s を映像信号線駆動回路300に接続するための部分として、液晶パネル上の映像信号線 L_s にそれぞれ対応するアナログスイッチ SW_1, SW_2, SW_3, \dots を含む接続切換回路501が形成されており(図2(a))、これらのアナログスイッチ SW_1, SW_2, SW_3, \dots は、隣接する3個を1組として複数組(映像信号線 L_s の本数の $1/3$ の数)のアナログスイッチ群にグループ化されている。そして、各アナログスイッチ SW_i ($i = 1, 2, 3, \dots$)の一端は、そのアナログスイッチ SW_i に対応する映像信号線 L_s に接続され、他端は、そのアナログスイッチ SW_i と同一組に属するアナログスイッチの他端と互いに接続されると共に、映像信号線駆動回路300における1つの出力端子 TS_j ($j = 1, 2, 3, \dots$)に接続されている。このようにして、液晶パネルにおける映像信号線 L_s は3本を1組として複数組の映像信号線群にグループ化され、各映像信号線群(同一組となった3本の映像信号線 L_s)は、同一組となった3個のアナログスイッチを介して映像信号線駆動回路300における1つの出力端子 TS_j に接続される。このようにして、映像信号線駆動回路300の出力端子 TS_j は、映像信号線群と1対1に対応付けられており、同一組となった3個のアナログスイッチを介して同一組の映像信号線群(3本の映像信号線 L_s)に接続される。

10

20

【0046】

ここで、各アナログスイッチ SW_i は、例えば液晶パネル基板に形成された薄膜トランジスタ(TFT)により実現され、図2(c)に示すように、同一組となった3個のアナログスイッチ $SW(3j-2), SW(3j-1), SW_{3j}$ は、切換制御信号 $GS_a \sim GS_c$ に応じてオン・オフするように構成されている($j = 1, 2, 3, \dots$)。したがって、各組の3個のアナログスイッチ $SW(3j-2), SW(3j-1), SW_{3j}$ は、切換スイッチを構成し、映像信号線駆動回路300における各出力端子 TS_j をその出力端子に対応する映像信号線群内の3本の映像信号線に時分割的に接続する。

【0047】

< 1.3.2 駆動方法 >

次に、図3を参照しつつ、本液晶表示装置の駆動方法を説明する。図3は、本液晶表示装置における駆動方法を説明するためのタイミングチャートである。図3に示すように、液晶パネルにおける走査信号線 L_g には、1水平走査期間(1走査線選択期間)ずつ順次Hレベルとなる走査信号 G_1, G_2, G_3, \dots がそれぞれ印加される。このような走査信号 G_1, G_2, G_3, \dots により、各走査信号線 L_g は、Hレベルが印加されると選択状態(アクティブ)となり、その選択状態の走査信号線 L_g に接続される画素形成部 P_x におけるTFT10はオン状態となり、一方、Lレベルが印加されると非選択状態(非アクティブ)となり、その非選択状態の走査信号線 L_g に接続される画素形成部 P_x におけるTFT10はオフ状態となる。図3に示すように、切換制御信号 GS_a は、各水平走査期間(各走査信号 G_k ($k = 1, 2, 3, \dots$)がHレベルとなる期間)を3等分した第1から第3までの期間のうちの第1の期間でHレベルとなり、残りの第2および第3の期間でLレベルとなる。

30

40

【0048】

ここで、接続切換回路501における各アナログスイッチのうち($3j-2$)番目の映像信号線 L_s に接続されるアナログスイッチ $SW(3j-2)$ は、切換制御信号 GS_a がHレベルのときオンし、切換制御信号 GS_a がLレベルのときオフする。また、($3j-1$)番目の映像信号線 L_s に接続されるアナログスイッチ $SW(3j-1)$ は、切換制御信号 GS_b がHレベルのときオンし、切換制御信号 GS_b がLレベルのときオフする。さらに、 $3j$ 番目の映像信号線 L_s に接続されるアナログスイッチ SW_{3j} は、切換制御信号 GS_c がHレベルのときオンし、切換制御信号 GS_c がLレベルのときオフする。

50

【0049】

したがって、映像信号線駆動回路300の各出力端子TS_jは、各水平走査期間の第1の期間では(3j-2)番目の映像信号線L_sに接続され、各水平走査期間の第2の期間では(3j-1)番目の映像信号線L_sに接続され、各水平走査期間の第3の期間では(3j-2)番目の映像信号線L_sに接続される。

【0050】

よって、例えば映像信号線駆動回路300における出力端子TS₁から出力すべき映像信号S₁と、出力端子TS₂から出力すべき映像信号S₂とは、図3に示すような信号となる。ここで、これらの映像信号S₁、S₂を示す図3におけるタイミングチャートはそれぞれ上下2段から構成されており、上段はその映像信号S₁、S₂により画素形成部P_xに表示されるべき色(の画素値)を示しており、下段はその映像信号S₁、S₂が印加されるべき映像信号線を示している。

10

【0051】

このような映像信号を出力するために映像信号線駆動回路300は、まず、画素マトリクスにおける(3j-2)番目の画素列の画素形成部P_xのうち走査信号G_kによってTF_T10がオンされる画素形成部P_xに書き込むべき画素値(ここではRを表示するための画素値)を表示制御回路200から順次入力して、水平走査期間の第1の期間においてそれらの画素値に相当する映像信号S_jを出力端子TS_jから出力する。

【0052】

次に、画素マトリクスにおける(3j-1)番目の画素列の画素形成部P_xのうち走査信号G_kによってTF_T10がオンされる画素形成部P_xに書き込むべき画素値(ここではGを表示するための画素値)を表示制御回路200から順次入力して、水平走査期間の第2の期間においてそれらの画素値に相当する映像信号S_jを出力端子TS_jから出力する。

20

【0053】

続いて、画素マトリクスにおける3j番目の画素列の画素形成部P_xのうち走査信号G_kによってTF_T10がオンされる画素形成部P_xに書き込むべき画素値(ここではBを表示するための画素値)を表示制御回路200から順次入力して、水平走査期間の第3の期間においてそれらの画素値に相当する映像信号S_jを出力端子TS_jから出力する。

【0054】

このように映像信号線駆動回路300は、1水平期間毎にRGBの順で各映像信号線L_sを介して各画素形成部P_xへ各色に対応した画素値を書き込む動作を繰り返すことになる。しかし、このような映像信号線時分割駆動方式の液晶表示装置は、前述したように隣接する映像信号線間の寄生容量のため、画素形成部P_xに書き込まれるべき映像信号の電圧に変動が生じ、その結果として表示色のシフトやにじみなどの影響が生じることがある。そこで、本実施形態における映像信号線駆動回路300は、このような影響を低減または解消するため、画素形成部P_xに書き込まれるべき映像信号の電圧を補正する動作を行う。以下、この映像信号線駆動回路300の構成および動作について詳述する。

30

【0055】

< 1.4 映像信号線駆動回路 >

40

< 1.4.1 映像信号線駆動回路の構成 >

図4は、上記映像信号線駆動回路300の構成を示すブロック図である。以下、図4を参照し各構成要素について説明する。この映像信号線駆動回路300は、図1に示す表示制御回路200から出力されるソース用クロック信号SCKおよびソース用スタートパルス信号SSPを受け取ることにより所定のサンプリングパルスSmpを出力するシフトレジスタ回路301と、表示制御回路200から出力されるデジタル画像信号Daと切替制御信号GSと上記サンプリングパルスSmpを受け取ることによりデジタル画像信号Daに含まれる画素値を示すデータをラッチするデータラッチ回路302と、このデータラッチ回路302によりラッチされたデータの電圧をシフトさせるレベルシフト回路303と、このレベルシフト回路303により電圧をシフトされたデジタルデータをアナログ電

50

圧信号に変換するD/A変換回路304と、このD/A変換回路304からのアナログ電圧信号を対応する映像信号線Lsに印加するための出力バッファ回路305とを備える。なお、これらの構成要素は従来の映像信号線駆動回路の構成要素とほぼ同様である。

【0056】

さらに、映像信号線駆動回路300は、表示制御回路200から出力されるデジタル画像信号Daを受け取り、そのデジタル画像信号Daの1水平走査期間前の信号であるデジタル画像信号Dapを出力するラインメモリ310と、このラインメモリ310からのデジタル画像信号Dapと、表示制御回路200からのデジタル画像信号Daとに基づき、隣接する映像信号線間の寄生容量等による映像信号の電圧変動を補正するための補正電圧信号Vcr, Vcgを出力する補正部320とを備える。

10

【0057】

そして、以下、上記各構成要素のうち従来の映像信号線駆動回路の構成要素とほぼ同様の構成要素の動作（以下この動作を、映像信号線駆動回路の「基本動作」という）について図4を参照して説明する。

【0058】

< 1.4.2 映像信号線駆動回路の基本動作 >

シフトレジスタ回路301は、複数段のフリップフロップ回路を直列に接続した構成であり、上記ソース用クロック信号CLKに同期して上記ソース用スタートパルス信号SSPを上記各段において順次転送することにより、各段から所定のサンプリングパルスSmpを順次出力する。

20

【0059】

データラッチ回路302は、上記シフトレジスタ回路301の各段に対応して1つずつ設けられた複数のラッチ回路を備えており、上記サンプリングパルスSmpによりデジタル画像信号Daに含まれるデータをサンプリングし、その後サンプリングされたデータを所定の期間出力し続ける。ここで、デジタル画像信号Daは、RGB各色の画素値を示すデジタル表示データDR, DG, DB（ここでは各6ビットであるものとする）を含んでおり、これらのデジタル表示データDR, DG, DBは図示されない3組の信号線（ここでは各色6本ずつの合計18本であるものとする）を介して表示制御回路200から同時に与えられる。データラッチ回路302は、シフトレジスタ回路301からのサンプリングパルスSmpに同期して上記デジタル表示データDR, DG, DBを順に時分割でサンプリングする。

30

【0060】

具体的には、1水平走査期間を3等分した第1の期間において、画素マトリクスにおける或る行（例えば1行目）のRの画素形成部Pxに与えられるデジタル表示データDRは、データラッチ回路302に含まれるサンプリングメモリ回路（不図示）に一旦記憶され、記憶されたデータはデータラッチ回路302に含まれるホールドメモリ回路（不図示）に与えられる。このホールドメモリ回路は、ラッチ信号に相当する切換制御信号GS（ここでは切換制御信号GSa）の立ち上がりで対応するサンプリングメモリ回路の各段からの出力信号を取り込み、その出力信号を出力信号Dhとしてレベルシフト回路303に与える。このホールドメモリ回路は、次の切換制御信号GS（ここでは切換制御信号GSb）の立ち上がりまで上記出力信号Dhの出力状態を維持する。次に、第2の期間において画素マトリクスにおける或る行のGの画素形成部Pxに与えられるデジタル表示データDRは、切換制御信号GS（ここでは切換制御信号GSb）の立ち上がりで同様にサンプリングメモリ回路に一旦記憶され、ホールドメモリ回路に与えられる。続く第3の期間においても同様に、切換制御信号GS（ここでは切換制御信号GSa）の立ち上がりでデジタル表示データDGはサンプリングメモリ回路に一旦記憶され、ホールドメモリ回路に与えられる。

40

【0061】

レベルシフト回路303は、上記データラッチ回路302からの出力信号Dhを受け取り、D/A変換回路304において適正な入力信号レベルになるよう当該信号の電圧レベ

50

ルをシフトさせ（一般的には上昇させ）、レベルシフト信号 D_s として出力する。

【0062】

D/A変換回路304は、レベルシフト回路303から出力されるデジタル信号であるレベルシフト信号 D_s を受け取り、これを上記デジタル表示データ DR , DG , DB に対応するアナログ電圧信号 V_{ar} , V_{ag} , V_{ab} に変換する。具体的には、D/A変換回路304は、基準電圧発生回路（不図示）により生成された階調表示のための複数種類のアナログ電圧から、受け取ったデジタル信号に相当するアナログ電圧を選択しアナログ電圧信号 V_{ar} , V_{ag} , V_{ab} として出力する。

【0063】

出力バッファ回路305は、例えばボルテージフォロワ回路で構成されており、上記アナログ電圧信号 V_{ar} を補正した信号である補正電圧信号 V_{cr} と、上記アナログ電圧信号 V_{ag} を補正した信号である補正電圧信号 V_{cg} と、補正されないアナログ信号 V_{ab} とを映像信号 S_j として、対応する出力端子 TS_j から映像信号線 L_s に出力する。なお、アナログ信号 V_{ab} を補正する必要がないことについては後述する。ここで、この出力バッファ回路305は、アナログ電圧信号 V_{ar} , V_{ag} を補正することにより得られる上記補正電圧信号 V_{cr} , V_{cg} を補正部320から受け取り出力する。以下、ラインメモリ310および補正部320によりこの補正電圧信号 V_{cr} , V_{cg} を生成する動作（以下この動作を、映像信号線駆動回路の「補正動作」という）について図4を参照して説明する。

【0064】

< 1.4.3 映像信号線駆動回路の補正動作 >

ラインメモリ310は、先入れ先出し（FIFO: First In First Out）方式のメモリであって、表示制御回路200から出力されるデジタル画像信号 D_a を1水平走査期間記憶することにより、そのデジタル画像信号 D_a の1水平走査期間前の信号であるデジタル画像信号 D_{ap} を出力する。なお、ラインメモリ310は、1水平走査期間だけデジタル画像信号 D_a を遅延させる機能を有するので、このラインメモリ310に代えて、他の公知の遅延回路が使用されてもよい。このデジタル画像信号 D_{ap} は、具体的にはデジタル画像信号 D_a に含まれる各6ビットのデジタル表示データ DR , DG , DB を1組とする18ビットのデジタルデータに対する1水平走査期間前のデジタルデータである。なお、これらのデジタル画像信号 D_a , D_{ap} は、各6ビットのデジタル表示データ DR , DG , DB を1組とする18ビットのデジタルデータが1水平走査期間内で画素マトリクスにおける1行の各列毎に順に含まれている。

【0065】

補正部320は、上記ラインメモリ310からのデジタル画像信号 D_{ap} と、表示制御回路200からのデジタル画像信号 D_a とに基づき、隣接する映像信号線間の寄生容量等による映像信号の電圧変動を補正するための補正電圧値 C_r , C_g を算出し、D/A変換回路304から受け取ったアナログ電圧信号 V_{ar} , V_{ag} を基準として表示制御回路200から受け取った切換制御信号 GS の立ち上がりに合わせて映像信号の電圧値から上記補正電圧値 C_r , C_g が差し引かれた値に相当する補正電圧信号 V_{cr} , V_{cg} を出力する。この補正部320は、上記補正電圧値 C_r , C_g を算出する電圧算出回路321と、上記補正電圧信号 V_{cr} , V_{cg} を出力する電圧生成回路322とを含む。

【0066】

電圧算出回路321は、例えば複数の論理回路から構成されており、隣接する映像信号線間の寄生容量等により映像信号線に印加される映像信号の電圧の予想される変動量を算出することにより、その変動量を映像信号電圧から差し引くための補正電圧値 C_r , C_g を算出する。

【0067】

この変動量は、隣接する双方の映像信号線の電位変動の影響を受ける場合（ここではRの画素形成部 P_x に繋がる映像信号線の場合）、隣接する一方の（ここではBの画素形成

部 P x に繋がる右側の) 映像信号線電圧の変動量 V_S により予想される変動量と、隣接する他方の (ここでは G の画素形成部 P x に繋がる右側の) 映像信号線電圧の変動量 V_D により予想される変動量との和である。以下この変動量を V_{sd} とする。この変動量 V_{sd} は、例えば前述した図 5 に示す映像信号 S L の時刻 t 4 における電位差 V_4 に相当する。ここで、隣接する左側の映像信号線電圧の変動により予想される変動量は、液晶パネル内の容量や配線間の寄生容量などに応じ、隣接する左側の映像信号線電圧の変動量 V_S にほぼ比例する。よってその比例定数を α とするとき、隣接する左側の映像信号線電圧の変動により予想される変動量は $\alpha \cdot V_S$ と表すことができる。同様に、隣接する左側の映像信号線電圧の変動により予想される変動量は、その比例定数を β とするとき $\beta \cdot V_D$ と表すことができる。以上より、隣接する双方の映像信号線の電位変動の影響を受ける場合、隣接する映像信号線間の寄生容量等により映像信号線に印加される映像信号の電圧の予想される変動量 V_{sd} は次式 (1) のように表すことができる。

$$V_{sd} = \alpha \cdot V_S + \beta \cdot V_D \quad \dots (1)$$

【 0 0 6 8 】

なお、上記比例定数 α , β は対応する映像信号線毎に個別に設定されてもよい。例えば、上記比例定数 α , β は、液晶パネル内の容量や配線間の寄生容量などを予め計測しまたは数値シミュレーションをすることにより得られる値に基づき算出される。

【 0 0 6 9 】

また、隣接する映像信号線のうちの一方の電位変動の影響のみを受ける場合 (ここでは G の画素形成部 P x に繋がる映像信号線の場合)、隣接する一方の (ここでは R の画素形成部 P x に繋がる左側の) 映像信号線電圧の変動量 V_S により予想される変動量は 1 水平走査期間の終了時 (選択期間終了時) においては無視できる程度に小さい 0 とみなせる値であり、隣接する他方の (ここでは G の画素形成部 P x に繋がる右側の) 映像信号線電圧の変動量 V_D により予想される変動量のみが隣接する映像信号線間の寄生容量等により映像信号線に印加される映像信号の電圧の予想される変動量となる。以下この変動量を V_d と表記するものとする。この変動量 V_d は、例えば前述した図 5 に示す映像信号 S L 5 の時刻 t 4 における電位差 V_5 に相当する。なお、図 5 に示すように、時刻 t 4 より後の時刻 t 5 までの時点では映像信号線 S L 5 の電位は映像信号 S L 4 の電位変動に応じて変化しているが、映像信号線 S L 5 に繋がる画素形成部 P x には時刻 t 4 における電位が画素値として書き込まれるため、それより後の時点での上記電位変動は上記画素形成部 P x の画素値には影響を与えない。ここで、このような場合に隣接する左側の映像信号線電圧の変動により予想される変動量は、隣接する左側の映像信号線電圧の変動量 V_S に関わらず 0 となるので、変動量 V_d は次式 (2) のように表すことができる。

$$V_d = \beta \cdot V_D \quad \dots (2)$$

【 0 0 7 0 】

さらに、隣接する映像信号線のうちのいずれの電位変動の影響も受けない場合 (ここでは B の画素形成部 P x に繋がる映像信号線の場合)、隣接する双方の (ここでは R の画素形成部 P x に繋がる右側および G の画素形成部 P x に繋がる左側の) 映像信号線電圧の変動により予想される変動量は 0 であるので、この変動量を算出することにより、その変動量を映像信号電圧から差し引くための補正電圧値を算出する必要はない。

【 0 0 7 1 】

なお、全映像信号線が本実施形態とは異なり (逆方向の) B , G , R の順で時分割的に駆動される場合には、ここでの G の画素形成部 P x に繋がる映像信号線は、R の画素形成部 P x に繋がる左側の映像信号線電圧の変動量 V_S により予想される変動量のみが隣接する映像信号線間の寄生容量等により映像信号線に印加される映像信号の電圧の予想される変動量となる。この変動量を V_s と表記するものとする、変動量 V_s は次式 (3) のように表すことができる。

$$V_s = \alpha \cdot V_S \quad \dots (3)$$

【 0 0 7 2 】

次に、上記変動量 V_{sd} および V_d について R G B 各色の画素形成部 P x にそれぞれ

10

20

30

40

50

れ繋がる各映像信号線 L_s 毎に考える。前述したように、RGB各色に対応する3つの映像信号線 L_s は1つの出力端子 $T S_j$ に繋がっているため、これらの映像信号線 L_s は画素マトリクスにおける $(3j-2)$ 列目、 $(3j-1)$ 列目、および $3j$ 列目に対応している。ここで、画素マトリクスにおける或る n 行目に対応する走査信号線が選択されているとき、画素マトリクスにおける $(3j-2)$ 列目のRの画素形成部 P_x に繋がる映像信号線の電圧を $V_r(j, n)$ 、 $(3j-1)$ 列目のGの画素形成部 P_x に繋がる映像信号線の電圧を $V_g(j, n)$ 、 $3j$ 列目のBの画素形成部 P_x に繋がる映像信号線の電圧を $V_b(j, n)$ と表すものとする。例えば、画素マトリクスにおける n 行目が選択されるときの $(3j-2)$ 列目の画素形成部 P_x の左上に配される $(n-1)$ 行目が選択されるときの $(3j-3)$ 列目のBの画素形成部 P_x に繋がる映像信号線の電圧は $V_b(j-1, n-1)$ と表される。

10

【0073】

ここで、RGB各色の画素形成部 P_x にそれぞれ繋がる各映像信号線の電圧変動量のうち隣接する映像信号線間の寄生容量等による電圧変動をそれぞれ $V_r(j, n)$ 、 $V_g(j, n)$ 、 $V_b(j, n)$ とするとき、これらは次式(4)~(6)のように表すことができる。なお、ここでは隣接する映像信号線に対してさらに隣接する他の映像信号線と当該隣接する映像信号線との間の寄生容量等による電圧変動による影響は、その変動量が小さいことから考慮しないものとする。

$$V_r(j, n) = \begin{matrix} \cdot (V_b(j-1, n) - V_b(j-1, n-1)) \\ + \cdot (V_g(j, n) - V_g(j, n-1)) \end{matrix} \dots (4)$$

20

$$V_g(j, n) = \cdot (V_b(j, n) - V_b(j, n-1)) \dots (5)$$

$$V_b(j, n) = 0 \dots (6)$$

【0074】

電圧算出回路321は、上式(4)および(5)に基づき、 $V_r(j, n)$ 、 $V_g(j, n)$ を算出することにより、これらの変動量に相当する補正電圧値 C_r 、 C_g を算出する。なお、 $V_b(j, n)$ に対応する補正電圧値を算出する必要はないことは上述したとおりである。ここで、上式(4)および(5)からわかるように、 $V_r(j, n)$ 、 $V_g(j, n)$ を算出するためには、画素マトリクスにおける1行前の画素値を示すデータに相当する電圧値が必要になる。電圧算出回路321は、ラインメモリ310から1水平走査期間前のデジタル画像信号 D_a であるデジタル画像信号 D_{ap} に含まれるデジタル表示データ D_R 、 D_G を受け取ることにより、上記画素マトリクスにおける1行前のデータに相当する電圧値を得ることができる。

30

【0075】

以上のように各映像信号線毎に算出された補正電圧値 C_r 、 C_g は、電圧算出回路321内の図示されない記憶部に一旦記憶され、データラッチ回路302による上述したラッチ動作のタイミング、すなわち切換制御信号 G_S の立ち上がりに合わせて、各D/A変換回路304および出力バッファ回路305に対応して設けられる電圧生成回路322にそれぞれ与えられる。

【0076】

電圧生成回路322は、上記補正電圧値 C_r 、 C_g を受け取ると、D/A変換回路304から出力されるアナログ電圧信号 V_{ar} 、 V_{ag} を基準として、出力バッファ回路305から出力される映像信号 S_j の電圧値の絶対値がアナログ電圧信号 V_{ar} 、 V_{ag} の電圧値の絶対値よりも補正電圧値 C_r 、 C_g だけ小さくなるような補正電圧信号 V_{cr} 、 V_{cg} を出力する。この補正電圧信号 V_{cr} 、 V_{cg} はアナログ電圧信号 V_{ar} 、 V_{ag} を補正したものであるため、隣接する映像信号線間の寄生容量等による表示色のシフトやにじみなどの影響を低減または解消することができる。なお、電圧生成回路322は、D/A変換回路304から出力されるアナログ電圧信号 V_{ar} 、 V_{ag} が基準とすることにより、デジタル表示データ D_R 、 D_G を基準とするよりも、誤差のない正確な補正動作に行うことができる。

40

【0077】

50

< 2 . 効果 >

以上のように、本実施形態においては、隣接する映像信号線間の寄生容量等による電圧変動量が予め差し引かれた電圧が各映像信号線に印加されるため、隣接する映像信号線間の寄生容量等による電圧変動の影響を結果的に低減または解消することができる。このことを図5を参照して詳しく説明する。

【0078】

図5は、図3に示した本液晶表示装置の映像信号線SL3～SL5に印加される映像信号の電位変化を詳細に示す図である。なお、説明のため、図では上記寄生容量により生じる電圧変動量を実際の変動量よりも大きく示している。ここで、映像信号線SL4の電位変化に着目すると、時刻t1において映像信号線駆動回路から隣接する映像信号線間の寄生容量等による電圧変動量Vが予め差し引かれた電圧を有する映像信号が映像信号線SL4に印加されることにより、映像信号線SL4の電位は所望の電位から電圧変動量Vだけ低い電位となる。なお、対応する画素形成部Pxにこの電圧の値が画素値として最終的に書き込まれてはならないが、対応する走査信号線により選択されている間の映像信号線の電位変動は最終的な表示色に影響を与えないのでここでは問題とならない。その後、時刻t2において、映像信号線SL5に映像信号線駆動回路から映像信号が印加されると、映像信号線SL5の電位変化に応じて、保持されるべき映像信号線SL4の電位も変化する。さらに、時刻t3において映像信号線SL3に映像信号線駆動回路から映像信号が印加されると、映像信号線SL3の電位変化に応じて映像信号線SL4の電位が変化する。この結果、映像信号線SL4の電位は電位差Vの変動により理想的な電位となり、表示色のシフトやにじみなどを解消することができる。このように隣接する映像信号線間の寄生容量等による電圧変動量Vが予め差し引かれた電圧を映像信号線SL4に印加すれば、時刻t7においても同様に理想的な電位となり、また、映像信号線SL5の電位も同様の理由により理想的な電位となるので、結果的に全画面にわたって表示色のシフトやにじみを解消することができる。

10

20

【0079】

< 3 . 変形例 >

本実施形態においては、RGB各色の隣接3画素に映像信号を伝達する3本の映像信号線を1組としてグループ化した時分割数が3の映像信号線時分割駆動方式の液晶表示装置であるが、この時分割数は2であっても、4以上であってもよい。また、各画素形成部により多階調の白黒表示が行われる構成であっても、同様に全画面にわたって表示輝度(表示階調)のシフトやにじみを解消することができる。

30

【0080】

本実施形態においては、映像信号線駆動回路300内にラインメモリ310と補正部320とが備えられるが、これらの1つ以上は映像信号線駆動回路300外に設けられてもよい。例えば、ラインメモリ310は表示制御回路200内に設けられ、デジタル画像信号Dapは表示制御回路200から映像信号線駆動回路300に与えられてもよい。また、電圧算出回路321は表示制御回路200内に設けられ、算出された補正電圧値Cr、Cgが適宜映像信号線駆動回路300内の電圧生成回路322に与えられてもよい。このように、映像信号線駆動回路300とラインメモリ310と補正部320とにより、上記のように補正された電位を有する映像信号を各映像信号線に出力する映像信号出力機能が実現されている。なお、この映像信号出力機能に含まれる補正部320に対応する補正機能は、電圧算出回路321および電圧生成回路322により実現されるが、この電圧算出回路321に対応する電圧算出機能は公知の計算機構(例えば所定の論理回路やソフトウェアなど)により実現されてもよいし、電圧生成回路322に対応する電圧生成機能はD/A変換回路304により実現されてもよい。例えば、上記電圧算出機能により隣接する映像信号線間の寄生容量等による電圧変動量が算出され、算出された電圧変動量を予め差し引いた電圧を有する映像信号が映像信号線駆動回路300に含まれるD/A変換回路304に与えられてもよい。

40

【0081】

50

本実施形態においては、走査信号線は1行毎に順次選択されるが、1行おきまたは2行おき以上を飛び越して順次選択される駆動態様、すなわちインタレース走査による駆動であっても、選択される行および1つ前に選択された行に関連する電圧変動量のみを考慮する構成とすれば、上記と同様の効果を得ることができる。

【図面の簡単な説明】

【0082】

【図1】本発明の一実施形態に係る液晶表示装置の構成を示すブロック図である。

【図2】上記実施形態における液晶パネルの基本となる構成を説明するための模式図(a)ならびに等価回路図(b)、(c)である。

【図3】従来構成と同様の液晶パネルを備える液晶表示装置における駆動方法を説明するためのタイミングチャートである。 10

【図4】上記映像信号線駆動回路の構成を示すブロック図である。

【図5】上記実施形態に係る本液晶表示装置の映像信号線SL3~SL5に印加される映像信号の電位変化を詳細に示す図である。

【図6】従来の液晶表示装置の映像信号線SL3~SL5に印加される映像信号の電位変化を詳細に示す図である。

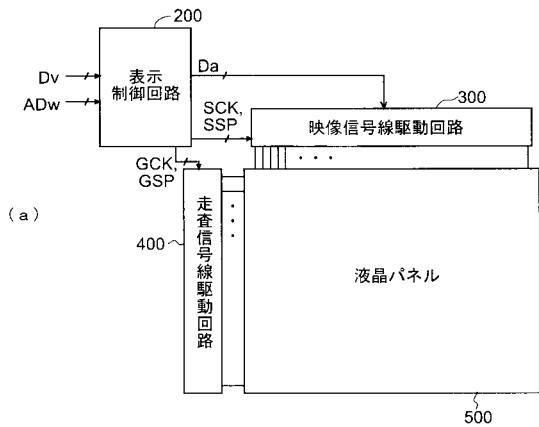
【符号の説明】

【0083】

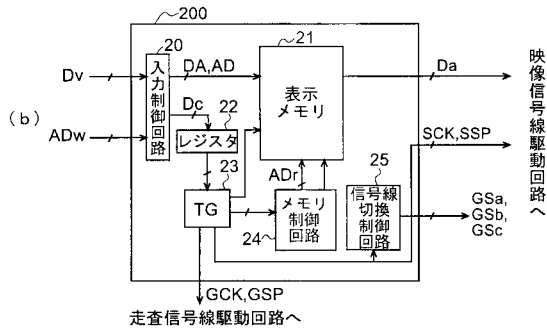
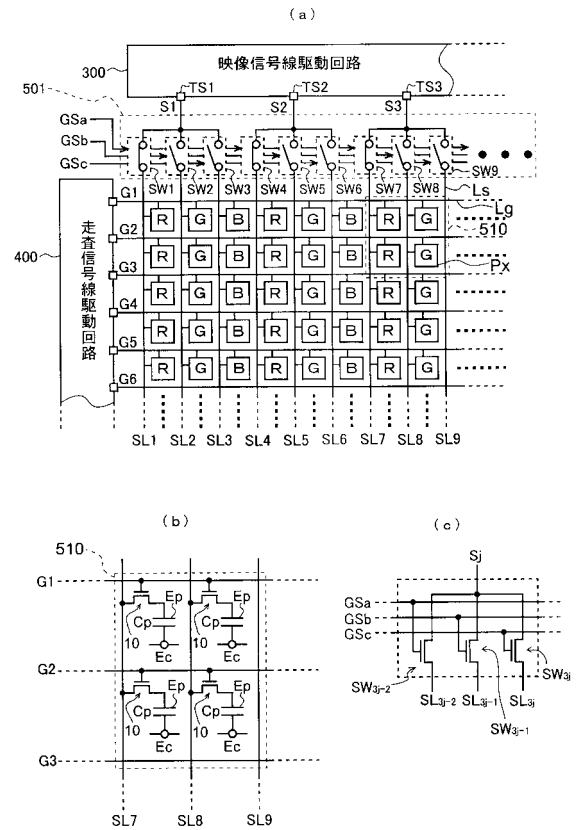
10	... T F T (薄膜トランジスタ)	
25	... 信号線切換制御回路	20
200	... 表示制御回路	
300	... 映像信号線駆動回路	
301	... シフトレジスタ回路	
302	... データラッチ回路	
303	... レベルシフト回路	
304	... D/A変換回路	
305	... 出力バッファ回路	
310	... ラインメモリ	
320	... 補正部	
321	... 電圧算出回路	30
322	... 電圧生成回路	
400	... 走査信号線駆動回路	
500	... 液晶パネル	
501	... 接続切換回路	
SCK	... ソース用クロック信号	
SSP	... ソース用スタートパルス信号	
GCK	... ゲート用クロック信号	
GSP	... ゲート用スタートパルス信号	
Da	... デジタル画像信号	
G Sa ~ G Sc	... 切換制御信号	40
TSj	... 出力端子	
Gk	... 走査信号 (k = 1, 2, 3, ...)	
Sj	... 映像信号 (j = 1, 2, 3, ...)	
LS	... 映像信号線 (列電極)	
Lg	... 走査信号線 (行電極)	
Px	... 画素形成部 (画素)	
Cp	... 画素容量	
Ep	... 画素電極	
Ec	... 対向電極	
Cr, Cg	... 補正電圧値	50

V_{cr}, V_{cg} ... 補正電圧信号
 V_{ar}, V_{ag}, V_{ab} ... アナログ電圧信号
 SW_i ... アナログスイッチ ($i = 1, 2, 3, \dots$)

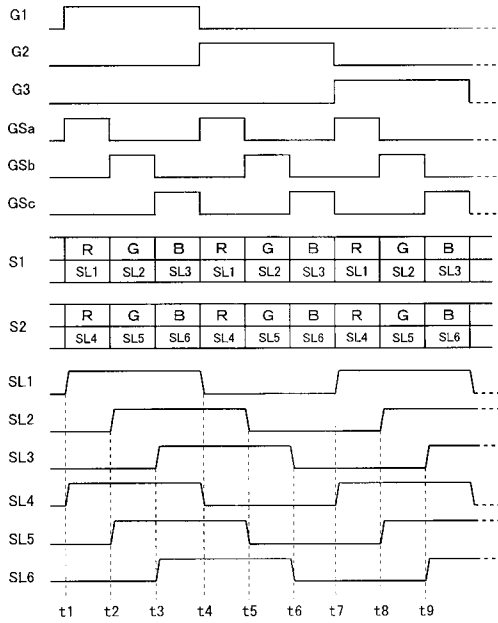
【 図 1 】



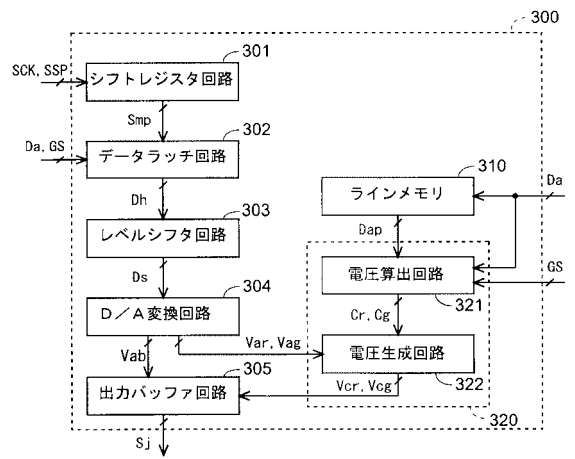
【 図 2 】



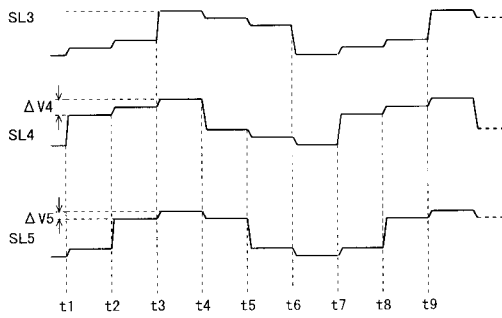
【 図 3 】



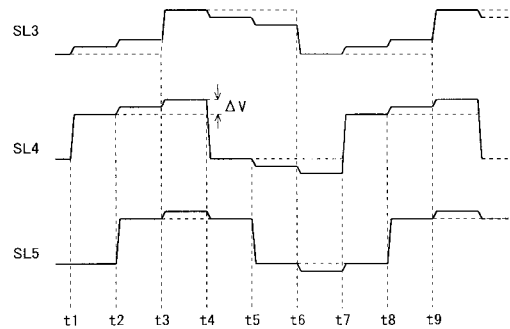
【 図 4 】



【 図 5 】



【 図 6 】



フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 3 G
G 0 9 G	3/20	6 2 3 H
G 0 9 G	3/20	6 2 3 V
G 0 9 G	3/20	6 4 1 P
G 0 9 G	3/20	6 4 2 A

F ターム(参考) 2H093 NA16 NA21 NA61 NB07 NC11 NC22 NC26 NC28 NC34 NC58
NC62 ND01 ND33 ND58 NE10
5C006 AF43 AF46 AF53 AF82 BB16 BC13 BC16 BC23 BF03 BF04
BF07 BF24 BF25 FA22 FA37 GA02
5C080 AA10 BB05 DD05 EE28 FF11 JJ02 JJ03 JJ04