



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G11C 13/02 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년07월04일 10-0735525 2007년06월28일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2006-0001011 2006년01월04일 2006년01월04일	(65) 공개번호 (43) 공개일자
----------------------------------	---	------------------------

(73) 특허권자	삼성전자주식회사 경기도 수원시 영통구 매탄동 416
(72) 발명자	김두응 경기 용인시 풍덕천동 1168 진산마을 삼성아파트 516-1004  이창수 경기 용인시 기흥구 보라동 민속마을신창미션힐아파트 204-703  조우영 경기 수원시 영통구 영통동 살구골7단지 진덕아파트 703-703  조백형 경기 화성시 태안읍 진안리 진안골마을 1106-1104  최병길 경기 용인시 기흥읍 공세리 476-61 진성맨션 201호
(74) 대리인	정상빈 특허법인가산

(56) 선행기술조사문헌 KR1020050046041 A	KR1020050115539 A
------------------------------------	-------------------

심사관 : 손윤식

전체 청구항 수 : 총 26 항

(54) 상변화 메모리 장치

(57) 요약

상변화 메모리 장치가 제공된다. 상변화 메모리 장치는 다수의 비트 라인과 제1 워드 라인 사이에 각각 연결된 다수의 상변화 메모리 셀을 포함하는 제1 메모리 블록과, 다수의 비트 라인과 제2 워드 라인 사이에 각각 연결된 다수의 상변화 메모리 셀을 포함하는 제2 메모리 블록과, 제1 및 제2 워드 라인의 전압 레벨을 각각 풀다운시키고, 일 노드를 공유하는 제1 및 제2 풀다운 트랜지스터를 포함하는 상변화 메모리 셀 어레이, 및 제1 및 제2 워드 라인의 전압 레벨을 각각 풀업시키는 제1 및 제2 풀업 트랜지스터를 구비하는 로우 드라이버를 포함한다.

대표도

도 3

특허청구의 범위

청구항 1.

다수의 비트 라인과 제1 워드 라인 사이에 각각 연결된 다수의 상변화 메모리 셀을 포함하는 제1 메모리 블록과, 다수의 비트 라인과 제2 워드 라인 사이에 각각 연결된 다수의 상변화 메모리 셀을 포함하는 제2 메모리 블록과, 상기 제1 및 제2 워드 라인의 전압 레벨을 각각 풀다운시키고, 일 노드를 공유하는 제1 및 제2 풀다운 트랜지스터를 포함하는 상변화 메모리 셀 어레이; 및

상기 제1 및 제2 워드 라인의 전압 레벨을 각각 풀업시키는 제1 및 제2 풀업 트랜지스터를 구비하는 로우 드라이버를 포함하는 상변화 메모리 장치.

청구항 2.

제 1항에 있어서,

상기 제1 및 제2 풀다운 트랜지스터는 각각 상기 제1 및 제2 메모리 블록당 하나 이상을 포함하는 상변화 메모리 장치.

청구항 3.

제 1항에 있어서,

상기 제1 및 제2 풀다운 트랜지스터가 공유하는 노드는 접지 전압과 연결된 상변화 메모리 장치.

청구항 4.

제 1항에 있어서,

상기 제1 및 제2 풀업 트랜지스터는 일 노드를 공유하고, 제1 및 제2 풀업 트랜지스터가 공유하는 노드는 전원 전압과 연결된 상변화 메모리 장치.

청구항 5.

제 1항에 있어서,

상기 제1 및 제2 풀다운 트랜지스터는 NMOS 트랜지스터이고, 상기 제1 및 제2 풀업 트랜지스터는 PMOS 트랜지스터인 상변화 메모리 장치.

청구항 6.

제 1항에 있어서,

상기 상변화 메모리 셀은 관통 전류에 응답하여 적어도 2개의 저항값을 갖는 상변화 물질을 포함하는 가변 저항 소자와, 상기 관통 전류를 제어하는 액세스 소자를 포함하는 상변화 메모리 장치.

### 청구항 7.

제 6항에 있어서,

상기 액세스 소자는 상기 가변 저항 소자와 직렬로 연결된 셀 다이오드인 상변화 메모리 장치.

### 청구항 8.

다수의 비트 라인과 제1 워드 라인 사이에 각각 연결된 다수의 상변화 메모리 셀을 포함하는 제1 메모리 블록;

상기 다수의 비트 라인과 제2 워드 라인 사이에 각각 연결된 다수의 상변화 메모리 셀을 포함하는 제2 메모리 블록; 및

상기 제1 및 제2 워드 라인의 전압 레벨을 각각 풀다운시키고, 일 노드를 공유하는 제1 및 제2 풀다운 트랜지스터를 포함하는 상변화 메모리 장치.

### 청구항 9.

제 8항에 있어서,

상기 제1 및 제2 풀다운 트랜지스터는 각각 상기 제1 및 제2 메모리 블록당 하나 이상을 포함하는 상변화 메모리 장치.

### 청구항 10.

제 8항에 있어서,

상기 제1 및 제2 풀다운 트랜지스터가 공유하는 노드는 접지 전압과 연결된 상변화 메모리 장치.

### 청구항 11.

반도체 기판;

상기 반도체 기판 상에 일방향으로 연장되어 형성된 제1 및 제2 게이트 전극과, 상기 제1 및 제2 게이트 전극 사이의 상기 반도체 기판 내에 형성된 공통 정션 영역과, 상기 제1 게이트 전극에 대하여 상기 공통 정션 영역의 반대편에 형성된 제1 정션 영역과, 상기 제2 게이트 전극에 대하여 상기 공통 정션 영역의 반대편에 형성된 제2 정션 영역을 포함하는 제1 및 제2 풀다운 트랜지스터;

상기 반도체 기판 상에 상기 제1 및 제2 게이트 전극과 교차되도록 연장되어 형성된 제1 도전 라인; 및

상기 제1 및 제2 정션 영역과 상기 제1 도전 라인 사이에 각각 형성된 제1 및 제2 상변화 메모리 셀을 포함하는 상변화 메모리 장치.

### 청구항 12.

제 11항에 있어서,

상기 반도체 기판 상에 상기 일방향으로 연장되고 상기 제1 및 제2 정선 영역과 각각 전기적으로 연결된 제2a 및 제2b 도전 라인을 더 포함하는 상변화 메모리 장치.

### 청구항 13.

제 12항에 있어서,

상기 제1 및 제2 상변화 메모리 셀은 상기 제2a 및 제2b 도전 라인과 상기 제1 도전 라인 사이에 각각 형성된 상변화 메모리 장치.

### 청구항 14.

제 11항에 있어서,

상기 제1 도전 라인은 상기 반도체 기판 상에 제1 및 제2 게이트 전극과 교차되도록 연장되어 형성된 다수의 도전 라인을 포함하는 상변화 메모리 장치.

### 청구항 15.

제 14항에 있어서,

상기 제1 상변화 메모리 셀은 상기 제1 정선 영역과 상기 다수의 도전 라인 사이에 각각 형성되고, 상기 제2 상변화 메모리 셀은 상기 제2 정선 영역과 상기 다수의 도전 라인 사이에 각각 형성된 상변화 메모리 장치.

### 청구항 16.

제 11항에 있어서,

상기 공통 정선 영역은 접지 전압과 전기적으로 연결된 상변화 메모리 장치.

### 청구항 17.

제 11항에 있어서,

상기 제1 및 제2 상변화 메모리 셀은 각각 관통 전류에 응답하여 적어도 2개의 저항값을 갖는 상변화 물질을 포함하는 가변 저항 소자와, 상기 관통 전류를 제어하는 액세스 소자를 포함하는 상변화 메모리 장치.

### 청구항 18.

제 17항에 있어서,

상기 상변화 물질은 상기 제1 도전 라인과 실질적으로 평행한 상변화 메모리 장치.

**청구항 19.**

제 17항에 있어서,

상기 역세스 소자는 상기 가변 저항 소자와 직렬로 연결된 셀 다이오드인 상변화 메모리 장치.

**청구항 20.**

제 17항에 있어서,

상기 상변화 물질은 게르마늄(Ge), 안티모니(Sb), 텔루리움(Te)을 구비하는 상변화 메모리 장치.

**청구항 21.**

제1 액티브 영역과 제2 액티브 영역이 정의된 반도체 기판;

상기 제1 및 제2 액티브 영역 상에 일방향으로 연장되어 형성된 제1 및 제2 게이트 전극과, 상기 제1 및 제2 게이트 전극 사이의 상기 제1 액티브 영역 내에 형성된 제1 공통 정션 영역과, 상기 제1 게이트 전극에 대하여 상기 제1 공통 정션 영역의 반대편에 형성된 제1 정션 영역과, 상기 제2 게이트 전극에 대하여 상기 제1 공통 정션 영역의 반대편에 형성된 제2 정션 영역을 포함하는 제1 및 제2 풀다운 트랜지스터;

상기 반도체 기판 상에 상기 제1 및 제2 게이트 전극과 교차되도록 연장되어 형성된 제1 도전 라인;

상기 제1 및 제2 정션 영역과 상기 제1 도전 라인 사이에 각각 형성된 제1 및 제2 상변화 메모리 셀; 및

상기 제1 및 제2 게이트 전극과, 상기 제1 및 제2 게이트 전극 사이의 상기 제2 액티브 영역 내에 형성된 제2 공통 정션 영역과, 상기 제1 게이트 전극에 대하여 상기 제2 공통 정션 영역의 반대편에 형성되고 상기 제1 정션 영역과 전기적으로 연결된 제3 정션 영역과, 상기 제2 게이트 전극에 대하여 상기 제2 공통 정션 영역의 반대편에 형성되고 상기 제2 정션 영역과 전기적으로 연결된 제4 정션 영역을 포함하는 제1 및 제2 풀업 트랜지스터를 포함하는 상변화 메모리 장치.

**청구항 22.**

제 21항에 있어서,

상기 반도체 기판 상에 상기 일방향으로 연장되고 상기 제1 및 제2 정션 영역과 각각 연결된 제2a 및 제2b 도전 라인을 더 포함하는 상변화 메모리 장치.

**청구항 23.**

제 22항에 있어서,

상기 제1 및 제2 상변화 메모리 셀은 상기 제2a 및 제2b 도전 라인과 상기 제1 도전 라인 사이에 각각 형성된 상변화 메모리 장치.

**청구항 24.**

제 21항에 있어서,

상기 제1 도전 라인은 상기 반도체 기판 상에 제1 및 제2 게이트 전극과 교차되도록 연장되어 형성된 다수의 도전 라인을 포함하는 상변화 메모리 장치.

## 청구항 25.

제 24항에 있어서,

상기 제1 상변화 메모리 셀은 상기 제1 정션 영역과 상기 다수의 도전 라인 사이에 각각 형성되고, 상기 제2 상변화 메모리 셀은 상기 제2 정션 영역과 상기 다수의 도전 라인 사이에 각각 형성된 상변화 메모리 장치.

## 청구항 26.

제 21항에 있어서,

상기 공통 정션 영역은 접지 전압과 전기적으로 연결된 상변화 메모리 장치.

명세서

### 발명의 상세한 설명

#### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 상변화 메모리 장치에 관한 것으로, 보다 상세하게는 전류 구동 능력이 향상된 상변화 메모리 장치 및 그 제조 방법에 관한 것이다.

상변화 메모리 장치(Phase change Random Access Memory; PRAM)는 가열 후 냉각되면서 결정 상태 또는 비정질 상태로 변화되는 칼코제나이드 합금(chalcogenide alloy)과 같은 상변화 물질을 이용하여 데이터를 저장한다. 즉, 결정 상태의 상변화 물질은 저항이 낮고 비정질 상태의 상변화 물질은 저항이 높기 때문에, 결정 상태는 셋(set) 또는 논리 레벨 0로 정의하고 비정질 상태는 리셋(reset) 또는 논리 레벨 1로 정의할 수 있다.

상변화 메모리 장치는 비트 라인과 워드 라인이 교차되는 영역에 각각 형성된 다수의 상변화 메모리 셀을 포함한다. 여기서, 상변화 메모리 셀은 관통 전류에 따라 저항의 크기가 변화하는 상변화 물질을 포함하는 가변 저항 소자와, 상변화 물질을 흐르는 관통 전류를 제어하는 역세스 소자(예를 들어, 셀 다이오드)를 포함한다.

도 1은 종래의 상변화 메모리 장치를 설명하기 위한 회로도이다.

도 1을 참조하면, 종래의 상변화 메모리 장치(1)는 상변화 메모리 셀 어레이(2)와 로우 드라이버(6)를 포함한다. 구체적으로, 상변화 메모리 셀 어레이(2)는 다수의 비트 라인(BL0~BLn)과 워드 라인(WL0, WL1) 사이에 각각 연결된 다수의 상변화 메모리 셀(3)을 포함한다. 로우 드라이버(6)는 풀업 트랜지스터(7)와 풀다운 트랜지스터(8)로 구성되는 인버터를 구비하고, 로우 어드레스(XS0, XS1)에 응답하여 워드 라인(WL0, WL1)의 전압 레벨을 조절한다.

상변화 메모리 셀(3)에 저장된 데이터를 독출하거나 데이터를 기입할 때, 다수의 비트 라인(BL0~BLn) 중 하나의 비트 라인이 선택되고, 다수의 워드 라인(WL0, WL1) 중 하나의 워드 라인이 선택된다. 예를 들어, 비트 라인(BLn)과 워드 라인(WL1)과 연결된 상변화 메모리 셀(3)이 선택되면 도 1에 도시된 바와 같은 관통 전류(5)가 발생되고, 이러한 관통 전류(5)를 이용하여 독출 또는 기입을 하게 된다.

한편, 이와 같이 전류 패스(path)에 해당하는 각 워드 라인(WL0, WL1)은 자체 저항(R\_WL0, R\_WL1)이 크기 때문에, 하나의 워드 라인에 연결될 수 있는 상변화 메모리 셀(3)의 개수가 제한된다. 또한, 자체 저항(R\_WL0, R\_WL1)이 큰 워드 라인(WL0, WL1)을 구동하기 위해서는 로우 드라이버(6)의 전류 구동 능력(current driving capacity)이 커야 한다.

**발명이 이루고자 하는 기술적 과제**

본 발명이 이루고자 하는 기술적 과제는, 전류 구동 능력이 향상된 상변화 메모리 장치를 제공하는 것이다.

본 발명의 기술적 과제는 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

**발명의 구성**

상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 상변화 메모리 장치는 다수의 비트 라인과 제1 워드 라인 사이에 각각 연결된 다수의 상변화 메모리 셀을 포함하는 제1 메모리 블록과, 다수의 비트 라인과 제2 워드 라인 사이에 각각 연결된 다수의 상변화 메모리 셀을 포함하는 제2 메모리 블록과, 제1 및 제2 워드 라인의 전압 레벨을 각각 풀다운시키고, 일 노드를 공유하는 제1 및 제2 풀다운 트랜지스터를 포함하는 상변화 메모리 셀 어레이, 및 제1 및 제2 워드 라인의 전압 레벨을 각각 풀업시키는 제1 및 제2 풀업 트랜지스터를 구비하는 로우 드라이버를 포함한다.

상기 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 상변화 메모리 장치는 다수의 비트 라인과 제1 워드 라인 사이에 각각 연결된 다수의 상변화 메모리 셀을 포함하는 제1 메모리 블록, 다수의 비트 라인과 제2 워드 라인 사이에 각각 연결된 다수의 상변화 메모리 셀을 포함하는 제2 메모리 블록, 및 제1 및 제2 워드 라인의 전압 레벨을 각각 풀다운시키고, 일 노드를 공유하는 제1 및 제2 풀다운 트랜지스터를 포함한다.

상기 기술적 과제를 달성하기 위한 본 발명의 또 다른 실시예에 따른 상변화 메모리 장치는 반도체 기판, 반도체 기판 상에 일방향으로 연장되어 형성된 제1 및 제2 게이트 전극과, 제1 및 제2 게이트 전극 사이의 반도체 기판 내에 형성된 공통 정션 영역과, 제1 게이트 전극에 대하여 공통 정션 영역의 반대편에 형성된 제1 정션 영역과, 제2 게이트 전극에 대하여 공통 정션 영역의 반대편에 형성된 제2 정션 영역을 포함하는 제1 및 제2 풀다운 트랜지스터, 반도체 기판 상에 제1 및 제2 게이트 전극과 교차되도록 연장되어 형성된 제1 도선 라인, 및 제1 및 제2 정션 영역과 제1 도선 라인 사이에 각각 형성된 제1 및 제2 상변화 메모리 셀을 포함한다.

상기 기술적 과제를 달성하기 위한 본 발명의 또 다른 실시예에 따른 상변화 메모리 장치는 제1 액티브 영역과 제2 액티브 영역이 정의된 반도체 기판, 제1 및 제2 액티브 영역 상에 일방향으로 연장되어 형성된 제1 및 제2 게이트 전극과, 제1 및 제2 게이트 전극 사이의 제1 액티브 영역 내에 형성된 제1 공통 정션 영역과, 제1 게이트 전극에 대하여 제1 공통 정션 영역의 반대편에 형성된 제1 정션 영역과, 제2 게이트 전극에 대하여 제1 공통 정션 영역의 반대편에 형성된 제2 정션 영역을 포함하는 제1 및 제2 풀다운 트랜지스터, 반도체 기판 상에 제1 및 제2 게이트 전극과 교차되도록 연장되어 형성된 제1 도선 라인, 제1 및 제2 정션 영역과 제1 도선 라인 사이에 각각 형성된 제1 및 제2 상변화 메모리 셀, 및 제1 및 제2 게이트 전극과, 제1 및 제2 게이트 전극 사이의 제2 액티브 영역 내에 형성된 제2 공통 정션 영역과, 제1 게이트 전극에 대하여 제2 공통 정션 영역의 반대편에 형성되고 제1 정션 영역과 전기적으로 연결된 제3 정션 영역과, 제2 게이트 전극에 대하여 제2 공통 정션 영역의 반대편에 형성되고 제2 정션 영역과 전기적으로 연결된 제4 정션 영역을 포함하는 제1 및 제2 풀업 트랜지스터를 포함한다.

본 발명의 기타 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

도 2은 본 발명의 실시예들에 따른 상변화 메모리 장치를 설명하기 위한 블록도이다. 본 발명의 실시예들에서는 설명의 편의를 위해서 4개의 메모리 बैं크를 예로 드나, 이에 제한되는 것은 아니다.

도 2을 참조하면, 상변화 메모리 장치(10)는 메모리 बैं크(100\_1, 100\_2, 100\_3, 100\_4), 로우 디코더(12\_1, 12\_2), 로우 드라이버(15\_1, 15\_2, 15\_3, 15\_4), 컬럼 디코더(20\_1, 20\_2), 입출력 회로(30\_1, 30\_2, 30\_3, 30\_4)를 포함한다.

메모리 बैं크(100\_1, 100\_2, 100\_3, 100\_4)는 각각 매트릭스 형태로 배열된 다수의 상변화 메모리 셀을 포함한다.

로우 디코더(12\_1, 12\_2)는 2개의 메모리 बैं크(100\_1, 100\_2 또는 100\_3, 100\_4)에 대응하여 배치되어, 메모리 बैं크(100\_1, 100\_2, 100\_3, 100\_4)에서의 로우 어드레스를 지정한다. 예를 들어, 로우 디코더(12\_1)는 제1 및 제2 메모리 बैं크(100\_1, 100\_2)의 로우 어드레스를 선택할 수 있다.

로우 드라이버(15\_1, 15\_2, 15\_3, 15\_4)는 로우 디코더(12\_1, 12\_2)로부터 제공된 로우 어드레스에 대응하는 워드 라인의 전압 레벨을 조절한다.

또한, 컬럼 디코더(20\_1, 20\_2)는 2개의 메모리 बैं크(100\_1, 100\_3 또는 100\_2, 100\_4)에 대응하여 배치되어, 메모리 बैं크(100\_1, 100\_2, 100\_3, 100\_4)에서의 컬럼 어드레스를 지정한다. 예를 들어, 컬럼 디코더(20\_1)는 제1 및 제3 메모리 बैं크(100\_1, 100\_3)의 컬럼 어드레스를 선택할 수 있다.

입출력 회로(30\_1, 30\_2, 30\_3, 30\_4)는 각 메모리 बैं크(100\_1, 100\_2, 100\_3, 100\_4)에 대응하여 배치되어, 각 메모리 बैं크(100\_1, 100\_2, 100\_3, 100\_4)에서의 기입 및/또는 독출 동작을 한다.

도 3은 본 발명의 일 실시예에 따른 상변화 메모리 장치를 설명하기 위한 회로도이다. 여기서, 설명의 편의상 제2 메모리 बैं크(100\_2) 및 제2 로우 드라이버(15\_2)만을 도시하나, 다른 메모리 बैं크(100\_1, 100\_3, 100\_4), 다른 로우 드라이버(15\_1, 15\_3, 15\_4)에도 동일하게 적용될 수 있음은 자명하다.

도 3을 참조하면, 본 발명의 일 실시예에 따른 상변화 메모리 장치에서 제2 메모리 बैं크(100\_2)는 제1 및 제2 메모리 블록(BLK0, BLK1), 다수의 제1 풀다운 트랜지스터(MN01, MN02, MN03, MN04) 및 다수의 제2 풀다운 트랜지스터(MN11, MN12, MN13, MN14)를 포함하고, 제2 로우 드라이버(15\_2)는 제1 및 제2 풀업 트랜지스터(MP0, MP1)를 포함한다.

제1 메모리 블록(BLK0)은 다수의 비트 라인(BL0~BLn)과 제1 워드 라인(WL0) 사이에 각각 연결된 다수의 상변화 메모리 셀(Cp)을 포함하고, 제2 메모리 블록(BLK1)은 다수의 비트 라인(BL0~BLn)과 제2 워드 라인(WL1) 사이에 각각 연결된 다수의 상변화 메모리 셀(Cp)을 포함한다.

여기서, 상변화 메모리 셀(Cp)은 관통 전류에 따라 결정 상태 또는 비정질 상태로 변화하고, 각 상태마다 서로 다른 저항을 갖는 상변화 물질을 포함하는 가변 저항 소자(Rp)와, 관통 전류를 제어하는 액세스 소자(D)를 포함한다.

구체적으로, 가변 저항 소자(Rp)은 비트 라인(BL0~BLn)과 액세스 소자(D) 사이에 연결되고, 액세스 소자(D)로는 캐소드(cathode)는 워드 라인(WL0, WL1)에 연결되고 애노드(anode)는 가변 저항 소자(Rp)와 연결된 셀 다이오드를 사용할 수 있다. 또한, 도 3에서와는 달리 실시 형태에 따라 가변 저항 소자(Rp)와 액세스 소자(D)의 위치는 바뀔 수 있다.

한편, 상변화 물질은 2개의 원소를 화합한 GaSb, InSb, InSe, Sb<sub>2</sub>Te<sub>3</sub>, GeTe, 3개의 원소를 화합한 GeSbTe, GaSeTe, InSbTe, SnSb<sub>2</sub>Te<sub>4</sub>, InSbGe, 4개의 원소를 화합한 AgInSbTe, (GeSn)SbTe, GeSb(SeTe), Te<sub>81</sub>Ge<sub>15</sub>Sb<sub>2</sub>S<sub>2</sub> 등 다양한 종류의 물질을 사용할 수 있다. 이 중에서 게르마늄(Ge), 안티모니(Sb), 텔루리움(Te)으로 이루어진 GeSbTe를 주로 이용할 수 있다.

다수의 제1 및 제2 풀다운 트랜지스터(MN01, MN02, MN03, MN04, MN11, MN12, MN13, MN14)는 제1 및 제2 워드 라인(WL0, WL1)의 전압 레벨을 각각 풀다운시키는 역할을 한다.

본 발명의 일 실시예에서는 제1 메모리 블록(BLK0)의 상변화 메모리 셀(Cp) 각각에 대응되도록 다수의 제1 풀다운 트랜지스터(MN01, MN02, MN03, MN04)를 배열하고, 제2 메모리 블록(BLK1)의 상변화 메모리 셀(Cp) 각각에 대응되도록 다수의 제2 풀다운 트랜지스터(MN11, MN12, MN13, MN14)를 배열하였으나, 이에 제한되는 것은 아니다. 구체적으로, 제1 및 제2 메모리 블록(BLK1)의 상변화 메모리 셀(Cp) 소정 개수(예를 들어, 2개) 단위의 셀에 대응되도록 제1 및 제2 풀다운 트랜지스터(MN01, MN02, MN03, MN04, MN11, MN12, MN13, MN14)를 각각 배열할 수 있다.



특히, 다수의 제1 및 제2 풀다운 트랜지스터(MN01과 MN11, MN02과 MN12, MN03과 MN13, MN04과 MN14)는 각각 일 노드(N1, N2, N3, N4)를 공유(share)한다. 각 노드(N1, N2, N3, N4)는 접지 전압(VSS)과 연결될 수 있다. 도 3에서와 같이 제1 및 제2 풀다운 트랜지스터(MN01, MN02, MN03, MN04, MN11, MN12, MN13, MN14)가 NMOS 트랜지스터인 경우에는 소오스 노드를 공유할 수 있다. 여기서, 제1 풀다운 트랜지스터(MN02)와 제2 풀다운 트랜지스터(MN12)가 제2 노드(N2)를 공유한 구조를 예를 들어 설명하면, 제1 풀다운 트랜지스터(MN02)는 제1 워드 라인(WL0)과 제2 노드(N2) 사이에 연결되고 제1 어드레스 신호(XS0)에 응답하여 게이팅되고, 제2 풀다운 트랜지스터(MN12)는 제2 워드 라인(WL1)과 제2 노드(N2) 사이에 연결되고 제2 어드레스 신호(XS1)에 응답하여 게이팅된다.

한편, 본 발명의 일 실시예에서 제1 및 제2 풀업 트랜지스터(MP0, MP1)는 일 노드(N5)를 선택적으로 공유할 수 있다. 제5 노드(N5)는 전원 전압(VDD)과 연결될 수 있다. 도 3에서와 같이 제1 및 제2 풀업 트랜지스터(MP0, MP1)가 PMOS 트랜지스터인 경우에는 소오스 노드를 공유할 수 있다. 구체적으로, 제1 풀업 트랜지스터(MP0)는 제1 워드 라인(WL0)과 제5 노드(N5) 사이에 연결되고 제1 어드레스 신호(XS0)에 응답하여 게이팅되고, 제2 풀업 트랜지스터(MP1)는 제2 워드 라인(WL1)과 제5 노드(N5) 사이에 연결되고 제2 어드레스 신호(XS1)에 응답하여 게이팅된다.

이하에서, 도 3을 참조하여 상변화 메모리 장치(10)의 동작을 설명한다.

우선, 상변화 메모리 장치(10)의 기입 동작은, 상변화 물질(Rp)을 녹는점(melting temperature; Tm) 이상으로 가열한 후 빠르게 냉각시켜 논리 레벨 1의 비정질 상태로 되도록 하거나, 결정화 온도(crystallization; Tx) 이상 녹는점(Tm) 이하의 온도로 가열한 후 일정한 시간동안 그 온도를 유지한 후 냉각시켜 논리 레벨 0의 결정 상태가 되도록 한다. 여기서, 상변화 물질(Rp)을 상변화시키기 위해서는 상당히 높은 레벨의 기입 전류가 상변화 물질(Rp)을 관통하게 되는데, 예를 들어 리셋을 시키기 위한 기입 전류는 약 1mA 정도의 크기로 제공되고, 셋을 시키기 위한 기입 전류의 0.6 내지 0.7mA 정도의 크기로 제공된다.

상변화 메모리 장치(10)의 독출 동작은, 상변화 물질(Rp)이 상변화되지 않는 레벨의 독출 전류를 상변화 물질(Rp)에 제공하여 저장된 데이터를 독출하게 된다.

이와 같이 상변화 메모리 셀(Cp)에 저장된 데이터를 독출하거나 데이터를 기입할 때, 다수의 비트 라인(BL0~BLn) 중 하나의 비트 라인(예를 들어, BL1)이 선택되고, 다수의 워드 라인(WL0, WL1) 중 하나의 워드 라인(예를 들어, WL1)이 선택된다. 특히, 선택된 워드 라인(WL1)의 전압 레벨은 로우 레벨이 되어야 하므로, 선택된 워드 라인(WL1)에 대응되는 제2 풀다운 트랜지스터(MN11, MN12, MN13, MN14)는 턴온된다. 도면 부호 I1와 같이, 기입 회로(미도시) 또는 독출 회로(미도시)로부터 제공된 기입 전류 또는 독출 전류는 비트 라인(BL1), 메모리 셀(Cp), 제2 풀다운 트랜지스터(MN12)를 통과하여 접지 전압(VSS)으로 빠져나간다.

본 발명의 일 실시예에 따른 상변화 메모리 장치는, 기입 전류 또는 독출 전류가 자체 저항이 큰 워드 라인을 거치지 않고 상변화 메모리 셀 어레이(100\_2) 내에 위치한 제1 또는 제2 풀다운 트랜지스터(MN01, MN02, MN03, MN04 또는 MN11, MN12, MN13, MN14)를 거쳐 접지 전압(VSS)으로 빠져나가게 된다. 따라서, 워드 라인(WL0, WL1)의 자체 저항으로 인해 워드 라인(WL0, WL1)에 연결될 수 있는 상변화 메모리 셀(Cp)의 개수가 제한되지 않고, 워드 라인(WL0, WL1)의 자체 저항을 고려하지 않아도 되므로 로우 드라이버(15\_2)의 전류 구동 능력이 향상될 수 있다.

뿐만 아니라, 일 노드(N1, N2, N3, N4)를 공유하는 제1 및 제2 풀다운 트랜지스터(MN01, MN02, MN03, MN04, MN11, MN12, MN13, MN14)가 상변화 메모리 셀 어레이(100\_2) 내에 형성되므로, 개별적으로 형성된 제1 및 제2 풀다운 트랜지스터가 상변화 메모리 셀 어레이 내에 형성되는 경우에 비해 집적도가 향상된다.

도 4는 본 발명의 일 실시예에 따른 상변화 메모리 장치를 설명하기 위한 레이아웃도이고, 도 5a는 도 4의 A-A'를 따라 절단한 단면도이고, 도 5b는 도 4의 B-B'를 따라 절단한 단면도이고, 도 5c는 도 4의 C-C'를 따라 절단한 단면도이다. 도 6은 본 발명의 일 실시예에 따른 상변화 메모리 장치를 설명하기 위한 사시도이다. 도 6에서는 설명의 편의상 층간 절연막, 메탈간 절연막 등을 생략하여 도시한다.

도 3 내지 도 6를 참조하면, 제1 도전형(예를 들어, P형)의 반도체 기판(110)에 소자 분리 영역(112)을 형성하여, 제1 및 제2 액티브 영역(Nactive, Pactive)을 정의한다. 구체적으로, 상변화 메모리 셀 어레이 영역(I)에는 다수의 제1 액티브 영역(Nactive)이 정의되고, 로우 드라이버 영역(II)에는 제2 액티브 영역(Pactive)이 정의된다. 반도체 기판(110)은 실리콘

기관, SOI(Silicon On Insulator) 기관, 갈륨 비소 기관, 실리콘 게르마늄 기관, 세라믹 기관, 석영 기관, 또는 디스플레이용 유리 기관 등이 될 수 있다. 또한, 소자 분리 영역(112)은 LOCOS(LOCAl Oxidation of Silicon)방법을 이용한 FOX(Field OXide) 또는 STI(Shallow Trench Isolation)가 될 수 있다.

상변화 메모리 셀 어레이 영역(I)에는 다수의 제1 및 제2 풀다운 트랜지스터(MN01, MN11, MN02, MN12)가 형성되고, 로우 드라이버 영역(II)에는 제1 및 제2 풀업 트랜지스터(MP0, MP1)가 형성된다.

구체적으로, 제1 및 제2 풀다운 트랜지스터(MN01, MN11, MN02, MN12)는 제1 및 제2 액티브 영역(Nactive, Pactive) 상에 일방향으로 연장되어 형성된 제1 및 제2 게이트 전극(120, 121)과, 제1 및 제2 게이트 전극(120, 121) 사이의 제1 액티브 영역(Nactive) 내에 형성된 제1 공통 정션 영역(114)과, 제1 게이트 전극(120)에 대하여 제1 공통 정션 영역(114)의 반대편에 형성된 제1 정션 영역(115)과, 제2 게이트 전극(121)에 대하여 제1 공통 정션 영역(114)의 반대편에 형성된 제2 정션 영역(116)을 포함한다.

여기서, 제1 공통 정션 영역(114)은 제1 및 제2 풀다운 트랜지스터(MN01, MN11, MN02, MN12)가 공유하는 일 노드(N1, N2)(즉, 소오스 노드)에 해당하고, 제1 정션 영역(115)은 제1 풀다운 트랜지스터(MN01, MN02)의 드레인 노드에 해당하며, 제2 정션 영역(116)은 제2 풀다운 트랜지스터(MN11, MN12)의 드레인 노드에 해당한다.

제1 및 제2 풀업 트랜지스터(MP0, MP1)는 상기 제1 및 제2 게이트 전극(120, 121)과, 제1 및 제2 게이트 전극(120, 121) 사이의 제2 액티브 영역(Pactive) 내에 형성된 제2 공통 정션 영역(117)과, 제1 게이트 전극(120)에 대하여 제2 공통 정션 영역(117)의 반대편에 형성된 제3 정션 영역(118)과, 제2 게이트 전극(121)에 대하여 제2 공통 정션 영역(117)의 반대편에 형성된 제4 정션 영역(119)을 포함한다.

여기서, 제2 공통 정션 영역(117)은 제1 및 제2 풀업 트랜지스터(MP0, MP1)가 공유하는 일 노드(도 3의 N5)(즉, 소오스 노드)에 해당하고, 제3 정션 영역(118)은 제1 풀업 트랜지스터(MP0)의 드레인 노드에 해당하며, 제4 정션 영역(119)은 제2 풀업 트랜지스터(MP1)의 드레인 노드에 해당한다.

제1 및 제2 게이트 전극(120, 121)의 하부에는 게이트 절연막이 형성되고, 제1 및 제2 게이트 전극(120, 121)의 측벽에는 스페이서(spacer)가 형성된다. 제1 및 제2 공통 정션 영역(114, 117), 제1 내지 제4 정션 영역(115, 116, 118, 119)은 스페이서가 형성되어 있는 제1 및 제2 게이트 전극(120, 121)을 자기정렬된 이온주입 마스크로 이용하여 불순물을 이온주입하여 제1 및 제2 액티브 영역(Nactive, Pactive) 내에 형성된다.

반도체 기관(110) 상에는, 제1 및 제2 공통 정션 영역(114, 117), 제1 내지 제4 정션 영역(115, 116, 118, 119)을 노출하는 다수의 콘택홀을 구비한 층간 절연막(ILD; Inter-Layer Dielectric)(130)이 형성된다. 여기서, 층간 절연막(130)으로는, FOX(Flowable OXide), TOSZ(Tonen SilaZene), USG (Undoped Silicate Glass), BSG(Borosilicate Glass), PSG (PhosphoSilicate Glass), BPSG(BoroPhosphoSilicate Glass), PE-TEOS(Plasma Enhanced - Tetra Ethyl Ortho Silicate), FSG(Fluoride Silicate Glass), HDP(High Density Plasma)막 등을 사용할 수 있다. 층간 절연막(130)은 CVD 계열의 방식을 이용하여 형성될 수 있다. 여기서, CVD 계열의 방식은 ALD(Atomic Layer Deposition), PEALD(Plasma Enhanced Atomic Layer Deposition), MOCVD(Metal Organic Chemical Vapor Deposition), PECVD(Plasma Enhanced Chemical Vapor Deposition) 등을 포함한다.

다수의 콘택홀에는 제1 및 제2 공통 정션 영역(114, 117)에 각각 접속하는 제1 및 제2 콘택(C1, C2)과, 제1 내지 제4 정션 영역(115, 116, 118, 119)에 각각 접속하는 제3 내지 제6 콘택(C3, C4, C5, C6)이 형성된다.

제1 내지 제6 콘택(C1, C2, C3, C4, C5, C6) 및 층간 절연막(130) 상에는 일방향으로 연장되어 형성된 다수의 제1 도전 라인(M1a, M1b, M1c, M1d)이 배치된다. 구체적으로, 제1a 도전 라인(M1a)은 제1 콘택(C1)과 접속되어 제1 공통 정션 영역(114)과 연결되고, 제1b 도전 라인(M1b)은 제2 콘택(C2)과 접속되어 제2 공통 정션 영역(117)과 연결되고, 제1c 도전 라인(M1c)은 제3 및 제5 콘택(C3, C5)과 접속되어 제1 및 제3 정션 영역(115, 118)이 서로 전기적으로 연결되고, 제1d 도전 라인(M1d)은 제4 및 제6 콘택(C4, C6)과 접속되어 제4 및 제6 정션 영역(116, 119)이 서로 전기적으로 연결된다. 제1c 및 제1d 도전 라인(M1c, M1d)은 워드 라인이 된다. 이러한 다수의 제1 도전 라인(M1a, M1b, M1c, M1d)은 알루미늄, 텅스텐 등으로 형성될 수 있다.

다수의 제1 도전 라인(M1a, M1b, M1c, M1d) 및 층간절연막(130) 상에는, 다수의 제1 도전 라인(M1a, M1b, M1c, M1d)의 소정 영역의 상면을 노출하는 다수의 개구부를 구비하는 제1 메탈간 절연막(140)이 배치된다. 여기서, 제1 메탈간 절연막(140)은 실리콘 산화막(SiOx), 예를 들어, FOX(Flowable OXide), TOSZ(Tonen SilaZene), USG (Undoped

Silicate Glass), BSG (Boro Silicate Glass), PSG (Phospho Silicate Glass), BPSG (BoroPhospho Silicate Glass), PE-TEOS(Plasma Enhanced - Tetra Ethyl Ortho Silicate), FSG(Fluoride Silicate Glass), HDP(high density plasma)일 수 있다.

제1 메탈간 절연막(140)의 각 개구부는 제2 도전형(예를 들어, N형)을 갖는 제1 반도체 패턴(142)과, 제1 반도체 패턴(142) 상에 적층되고 제1 도전형(예를 들어, P형)을 갖는 제2 반도체 패턴(144)이 채워진다. 구체적으로, 제1 및 제2 반도체 패턴(142, 144)은 다수의 개구부의 위치를 따라, 제1c 및 제1d 도전 라인(M1c, M1d) 상에 일 방향을 따라 분리 배열된다.

이러한 제1 및 제2 반도체 패턴(142, 144)은 역세스 소자, 즉 셀 다이오드(D)를 구성한다. 제2 반도체 패턴(144)의 불순물 농도는 제1 반도체 패턴(142)보다 높을 수 있다. 이는 셀 다이오드(D)는 역 바이어스(reverse bias)가 인가되는 경우, 역 바이어스된 셀 다이오드(reverse biased cell diode)를 통해서 흐르는 누설 전류를 감소시키기 위함이다. 역 바이어스는 기입 또는 독출시 비선택된 상변화 메모리 셀의 셀 다이오드(D)에 인가될 수 있다.

도면에서는 제1 메탈간 절연막(140)의 다수의 개구부에 제1 및 제2 반도체 패턴(142, 144)이 채워진 경우만을 예로 들었으나, 다수의 개구부 내의 제2 반도체 패턴(144) 상에 도전성 플러그가 선택적으로 더 채워질 수 있다. 이러한 도전성 플러그는 저항성 접촉을 갖는 금속 플러그이고, 예를 들어, 도전성 플러그는 텅스텐 플러그일 수 있다.

다수의 셀 다이오드(D) 및 제1 메탈간 절연막(140) 상에, 다수의 컨택홀을 구비하는 제2 메탈간 절연막(150)이 배치된다. 제2 메탈간 절연막(150)은 산화막(SiO<sub>x</sub>)일 수 있다. 각 컨택홀에는 하부 전극 컨택(bottom electrode contact)(BEC)이 채워진다. 하부 전극 컨택(BEC)은 예를 들어 TiN을 사용할 수 있다.

하부 전극 컨택(BEC) 및 제2 메탈간 절연막(150) 상에, 각 하부 전극 컨택(BEC)과 접속되는 다수의 가변 저항 소자(GST)가 배열된다. 이러한 가변 저항 소자(GST)를 구성하는 상변화 물질로는 2개의 원소를 화합한 GaSb, InSb, InSe, Sb<sub>2</sub>Te<sub>3</sub>, GeTe, 3개의 원소를 화합한 GeSbTe, GaSeTe, InSbTe, SnSb<sub>2</sub>Te<sub>4</sub>, InSbGe, 4개의 원소를 화합한 AgInSbTe, (GeSn)SbTe, GeSb(SeTe), Te<sub>81</sub>Ge<sub>15</sub>Sb<sub>2</sub>S<sub>2</sub> 등 다양한 종류의 물질을 사용할 수 있다. 이 중에서 게르마늄(Ge), 안티모니(Sb), 텔루리움(Te)으로 이루어진 GeSbTe를 주로 이용할 수 있다.

가변 저항 소자(GST) 상에는 배리어층(162)이 배치될 수 있다. 배리어층(162)은 가변 저항 소자(GST)를 구성하는 상변화 물질과 제2 도전 라인(M2a)의 재료가 서로 확산되는 것을 방지한다. 이러한 배리어층(162)은 예를 들어, Ti/TiN을 적층하여 구성할 수 있다.

도면에서는 가변 저항 소자(GST)와 제2 도전 라인(M2a)이 배리어층(162)을 통해서 접속되어 있는 것을 예를 들었으나, 가변 저항 소자(GST) 상에 상부 전극 컨택(top electrode contact)이 더 형성되어, 가변 저항 소자(GST)와 제2 도전 라인(M2a)이 상부 전극 컨택을 통해서 접속될 수도 있다.

가변 저항 소자(GST) 외의 영역은 제3 메탈간 절연막(160)으로 채워진다.

한편, 제1 내지 제3 메탈간 절연막(140, 150, 160)에는 다수의 비아홀이 형성되고, 다수의 비아홀에는 제1a 도전 라인(M1a)과 제2b 도전 라인(M2b)을 접속하는 제1 비아(V1)와, 제1b 도전 라인(M1b)과 제2c 도전 라인(M2c)을 접속하는 제2 비아(V2)가 형성된다.

가변 저항 소자(GST)와 제3 메탈간 절연막(160) 상에는 제1 및 제2 게이트 전극(120, 121)과 교차되도록 연장되어 형성된 다수의 제2 도전 라인(M2a, M2b, M2c)이 배치된다. 구체적으로, 제2a 도전 라인(M2a)은 다수의 가변 저항 소자(GST)와 접속되고, 접지 전압(VSS)이 인가된 제2b 도전 라인(M2b)은 제1 비아(V1)를 접속되어 제1 공통 정션 영역(114)과 연결되고, 전원 전압(VDD)이 인가된 제2c 도전 라인(M2c)은 제2 비아(V2)와 접속되어 제2 공통 정션 영역(117)과 연결된다. 여기서, 제2a 도전 라인(M2a)은 비트 라인이 된다. 이러한 다수의 제2 도전 라인(M2a, M2b, M2c)은 알루미늄, 텅스텐 등으로 형성될 수 있다.

이하에서, 도 4 및 도 5b를 참조하여 상변화 메모리 장치의 동작을 설명한다.

상변화 메모리 셀(Cp)에 저장된 데이터를 독출하거나 데이터를 기입하기 위해서는, 가변 저항 소자(GST)를 관통하는 독출 전류 또는 기입 전류가 도면 부호 I2와 같은 전류 패스를 통해 빠져나간다. 구체적으로, 제2a 도전 라인(비트 라인)을 따

라 제공된 독출 전류 또는 기입 전류가 가변 저항 소자(GST), 하부 전극 컨택(BEC), 셀 다이오드(D), 제1d 도전 라인(M1d), 제4 컨택(c4), 제2 풀다운 트랜지스터(MN11), 제1 컨택(c1), 제1a 도전 라인(M1a), 제1 비아(V1), 제2b 도전 라인(M2b)을 통해서 접지 전압(VSS)으로 빠져나간다.

도 7은 본 발명의 다른 실시예에 따른 상변화 메모리 장치를 설명하기 위한 회로도이다. 도 3와 실질적으로 동일한 구성 요소에 대해서는 동일한 도면 부호를 사용하며, 해당 구성 요소에 대한 상세한 설명은 생략하기로 한다.

도 7을 참조하면, 본 발명의 다른 실시예에 따른 상변화 메모리 장치는 하나의 제1 풀다운 트랜지스터(MN0)는 제1 메모리 블록(BLK0)에 대응하여 배치되고, 하나의 제2 풀다운 트랜지스터(MN1)는 제2 메모리 블록(BLK1)에 대응하여 배치된다. 제1 및 제2 풀다운 트랜지스터(MN0, MN1)는 일 노드(N6)을 공유하고, 제6 노드(N6)는 접지 전압(VSS)과 연결될 수 있다. 도 7에서와 같이 제1 및 제2 풀다운 트랜지스터(MN0, MN1)가 NMOS 트랜지스터인 경우에는 소오스 노드를 공유할 수 있다.

따라서, 제1 및 제2 메모리 블록(BLK0, BLK1)에 포함되는 다수의 상변화 메모리 셀(Cp)을 관통하는 전류는 각각 제1 및 제2 풀다운 트랜지스터(MN0, MN1)를 통해서 접지 전압(VSS)으로 빠져 나간다. 예를 들어, 도면 부호 I3과 같이, 기입 회로(미도시) 또는 독출 회로(미도시)로부터 제공된 기입 전류 또는 독출 전류는 비트 라인(BL1), 메모리 셀(Cp), 제2 풀다운 트랜지스터(MN1)를 통과하여 접지 전압(VSS)으로 빠져나간다.

도 8은 본 발명의 다른 실시예에 따른 상변화 메모리 장치를 설명하기 위한 레이아웃도이고, 도 9a는 도 8의 A-A'를 따라 절단한 단면도이고, 도 9b는 도 8의 B-B'를 따라 절단한 단면도이고, 도 9c는 도 8의 C-C'를 따라 절단한 단면도이다. 도 10은 본 발명의 다른 실시예에 따른 상변화 메모리 장치를 설명하기 위한 사시도이다. 도 10에서는 설명의 편의상 층간 절연막, 메탈간 절연막 등을 생략하여 도시한다.

도 7 내지 도 10을 참조하면, 제1 도전형(예를 들어, P형)의 반도체 기관(110)의 상변화 메모리 셀 어레이 영역(I)에는 제1 액티브 영역(Nactive)이 정의되고, 로우 드라이버 영역(II)에는 제2 액티브 영역(Pactive)이 정의된다.

상변화 메모리 셀 어레이 영역(I)에는 제1 및 제2 풀다운 트랜지스터(MN0, MN1)가 형성되고, 로우 드라이버 영역(II)에는 제1 및 제2 풀업 트랜지스터(MP0, MP1)가 형성된다. 여기서, 제1 및 제2 정션 영역(115a, 116a)은 각각 워드 라인 역할을 한다.

본 발명의 다른 실시예에서, 제1 및 제2 풀다운 트랜지스터(MN0, MN1)는 각각 제1 및 제2 메모리 블록(BLK0, BLK1)에 대응하여 하나씩 형성되므로, 일 실시예에 비해 제1 및 제2 풀다운 트랜지스터(MN0, MN1)보다 크기가 큼을 알 수 있다.

반도체 기관(110) 상에는 다수의 개구부를 구비한 제1 층간 절연막(230)이 형성된다. 제1 층간 절연막(230)의 각 개구부는 제2 도전형(예를 들어, N형)을 갖는 제1 반도체 패턴(232)과, 제1 반도체 패턴(232) 상에 적층되고 제1 도전형(예를 들어, P형)을 갖는 제2 반도체 패턴(234)이 채워진다. 구체적으로, 제1 및 제2 반도체 패턴(232, 234)은 다수의 개구부의 위치를 따라, 제1 정션 영역(115a) 및 제2 정션 영역(116a) 상에 일 방향을 따라 분리 배열된다. 이러한 제1 및 제2 반도체 패턴(232, 234)은 액세스 소자, 즉 셀 다이오드(D)를 구성한다.

다수의 셀 다이오드(D) 및 제1 층간 절연막(230) 상에, 다수의 컨택홀을 구비하는 제2 층간 절연막(240)이 배치된다. 각 컨택홀에는 하부 전극 컨택(bottom electrode contact)(BEC)이 채워진다.

하부 전극 컨택(BEC) 및 제2 층간 절연막(240) 상에, 각 하부 전극 컨택(BEC)과 접속되는 다수의 가변 저항 소자(GST)가 배열된다. 가변 저항 소자(GST) 상에는 배리어층(252)이 배치될 수 있다. 가변 저항 소자(GST) 외의 영역은 제3 층간 절연막(250)으로 채워진다.

한편, 제1 내지 제3 층간 절연막(230, 240, 250)에는 다수의 컨택홀이 형성되고, 다수의 컨택홀에는 제1 공통 정션 영역(114a)과 접속하는 제1 컨택(C1)과, 제2 공통 정션 영역(117)과 접속하는 제2 컨택(C2)과, 제1 정션 영역(115a)과 접속하는 제3 컨택(C3)과, 제2 정션 영역(116a)과 접속하는 제4 컨택(C4)과, 제3 정션 영역(118)과 접속하는 제5 컨택(C5)과, 제4 정션 영역(119)과 접속하는 제6 컨택(C6)이 형성된다.

다수의 가변 저항 소자(GST)와 제3 층간 절연막(250) 상에는 제1 및 제2 게이트 전극(120, 121)과 교차되도록 연장되어 형성된 다수의 제1a 도전 라인(M1a)이 배치된다. 이러한 제1a 도전 라인(M1a)은 비트 라인이 된다.

또한, 제1 컨택(C1)과 접속하는 제1b 도전 라인(M1b)이 배치되고, 제2 컨택(C2)과 접속하는 제1c 도전 라인(M1c)이 배치된다. 제3 컨택(C3) 및 제5 컨택(C5)과 접속하여 제1 및 제3 정션 영역(115a, 118)을 연결하는 제1d 도전 라인(M1d)과, 제4 컨택(C4) 및 제6 컨택(C6)이 접속하여 제2 및 제4 정션 영역(116a, 119)을 연결하는 제1e 도전 라인(M1e)이 배치된다.

다수의 제1 도전 라인(M1a, M1b, M1c, M1d, M1e)과 제3 층간 절연막(250) 상에는, 다수의 제1 도전 라인(M1a, M1b, M1c, M1d, M1e)의 소정 영역의 상면을 노출하는 다수의 비아홀을 구비하는 메탈간 절연막(260)이 배치된다.

다수의 비아홀에는 제1b 도전 라인(M1b)과 접속하는 제1 비아(V1)와, 제1c 도전 라인(M1c)과 접속하는 제2 비아(V2)가 형성된다.

다수의 비아(V1, V2)와 메탈간 절연막(260) 상에는 다수의 제2 도전 라인(M2a, M2b)이 형성된다. 구체적으로, 접지 전압(VSS)이 인가된 제2a 도전 라인(M2a)은 제1 비아(V1)와 접속되어 제1 공통 정션 영역(114a)과 연결되고, 전원 전압(VDD)이 인가된 제2b 도전 라인(M2b)은 제2 비아(V2)와 접속되어 제2 공통 정션 영역(117)과 연결된다.

이하에서, 도 8 및 도 9b를 참조하여 상변화 메모리 장치의 동작을 설명한다.

상변화 메모리 셀(Cp)에 저장된 데이터를 독출하거나 데이터를 기입하기 위해서는, 가변 저항 소자(GST)을 관통하는 독출 전류 또는 기입 전류가 도면 부호 I4과 같은 전류 패스를 통해 빠져나간다. 구체적으로, 제1a 도전 라인(비트 라인)을 따라 제공된 독출 전류 또는 기입 전류가 가변 저항 소자(GST), 하부 전극 컨택(BEC), 셀 다이오드(D), 제2 풀다운 트랜지스터(MN1), 제1 컨택(C1), 제1b 도전 라인(M1b), 제1 비아(V1), 제2a 도전 라인(M2a)을 통해서 접지 전압(VSS)으로 빠져나간다.

도 11은 본 발명의 또 다른 실시예에 따른 상변화 메모리 장치를 설명하기 위한 사시도이다. 도 10과 실질적으로 동일한 구성 요소에 대해서는 동일한 도면 부호를 사용하며, 해당 구성 요소에 대한 상세한 설명은 생략하기로 한다.

도 11을 참조하면, 본 발명의 다른 실시예에 따른 상변화 메모리 장치는 가변 저항 소자(GST)를 구성하는 상변화 물질이 제1a 도전 라인(M1a), 즉 비트 라인과 평행하게 연장되어 형성된다. 즉, 상변화 물질이 각 상변화 메모리 셀 단위로 배치되는 것이 아니고, 다수의 상변화 메모리 셀 단위로 배치된다. 이와 같이, 상변화 물질을 스트립 타입으로 패터닝하면 식각 공정이 간단하고 정확성이 높아지므로, 상변화 물질이 받는 스트레스가 줄어들어 반복적인 기입 및/또는 독출 동작에 대하여 그 특성을 유지하는 내구성이 우수해진다.

본 발명의 또 다른 실시예의 제조 방법에서는 상변화 물질이 비트 라인과 완전히 평행하게 연장된 경우만을 설명하였으나, 상변화 물질의 일부가 비트 라인과 평행하게 연장되는 경우가 가능함은 본 발명이 속하는 기술 분야의 당업자에게 자명한 사실이다. 또한, 상변화 물질이 상변화 메모리 장치의 특성에 따라 워드 라인과 평행하게 연장될 수도 있다. 또한, 도 4와 같은 형태의 상변화 메모리 장치에서 상변화 물질이 비트 라인과 평행하게 연장되어 형성될 수도 있다.

이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

### 발명의 효과

상기한 바와 같은 상변화 메모리 장치에 따르면 다음과 같은 효과가 하나 혹은 그 이상 있다.

본 발명의 실시예들에 따른 상변화 메모리 장치는 기입 전류 또는 독출 전류가 자체 저항이 큰 워드 라인을 거치지 않고 상변화 메모리 셀 어레이 내에 위치한 풀다운 트랜지스터를 거쳐 접지 전압으로 빠져나가게 된다. 따라서, 워드 라인의 자체 저항으로 인해 워드 라인에 연결될 수 있는 상변화 메모리 셀의 개수가 제한되지 않고, 워드 라인의 자체 저항을 고려하지 않아도 되므로 로우 드라이버의 전류 구동 능력이 향상될 수 있다.

뿐만 아니라, 메모리 블록에 대응하여 형성된 제1 및 제2 풀다운 트랜지스터가 상변화 메모리 셀 어레이 내에 형성되므로, 개별적으로 형성된 제1 및 제2 풀다운 트랜지스터가 상변화 메모리 셀 어레이 내에 형성되는 경우에 비해 집적도가 향상된다.

## 도면의 간단한 설명

도 1은 종래의 상변화 메모리 장치를 설명하기 위한 회로도이다.

도 2은 본 발명의 실시예들에 따른 상변화 메모리 장치를 설명하기 위한 블록도이다.

도 3은 본 발명의 일 실시예에 따른 상변화 메모리 장치를 설명하기 위한 회로도이다.

도 4는 본 발명의 일 실시예에 따른 상변화 메모리 장치를 설명하기 위한 레이아웃도이다.

도 5a는 도 4의 A-A'를 따라 절단한 단면도이고, 도 5b는 도 4의 B-B'를 따라 절단한 단면도이고, 도 5c는 도 4의 C-C'를 따라 절단한 단면도이다.

도 6은 본 발명의 일 실시예에 따른 상변화 메모리 장치를 설명하기 위한 사시도이다.

도 7은 본 발명의 다른 실시예에 따른 상변화 메모리 장치를 설명하기 위한 회로도이다.

도 8는 본 발명의 다른 실시예에 따른 상변화 메모리 장치를 설명하기 위한 레이아웃도이다.

도 9a는 도 8의 A-A'를 따라 절단한 단면도이고, 도 9b는 도 8의 B-B'를 따라 절단한 단면도이고, 도 9c는 도 8의 C-C'를 따라 절단한 단면도이다.

도 10은 본 발명의 다른 실시예에 따른 상변화 메모리 장치를 설명하기 위한 사시도이다.

도 11은 본 발명의 또 다른 실시예에 따른 상변화 메모리 장치를 설명하기 위한 사시도이다.

(도면의 주요부분에 대한 부호의 설명)

10 : 상변화 메모리 장치 12\_1, 12\_2 : 로우 디코더

15\_1, 15\_2, 15\_3, 15\_4 : 로우 드라이버

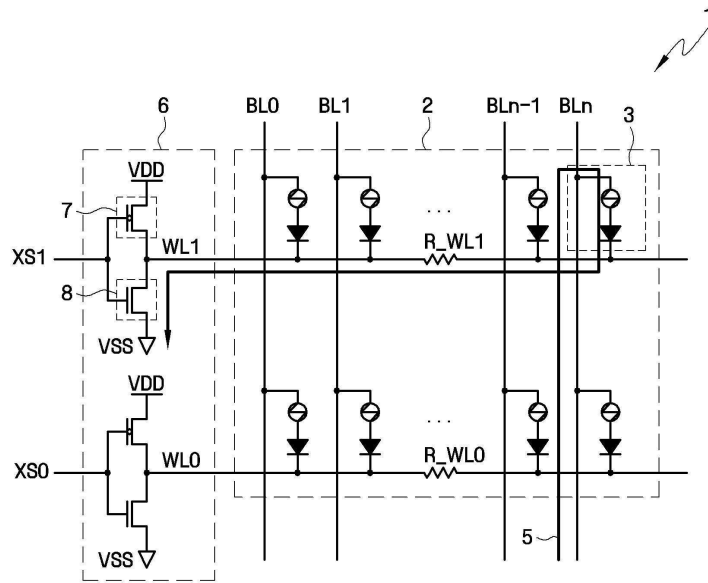
20\_1, 20\_2 : 컬럼 디코더

30\_1, 30\_2, 30\_3, 30\_4 : 입출력 회로

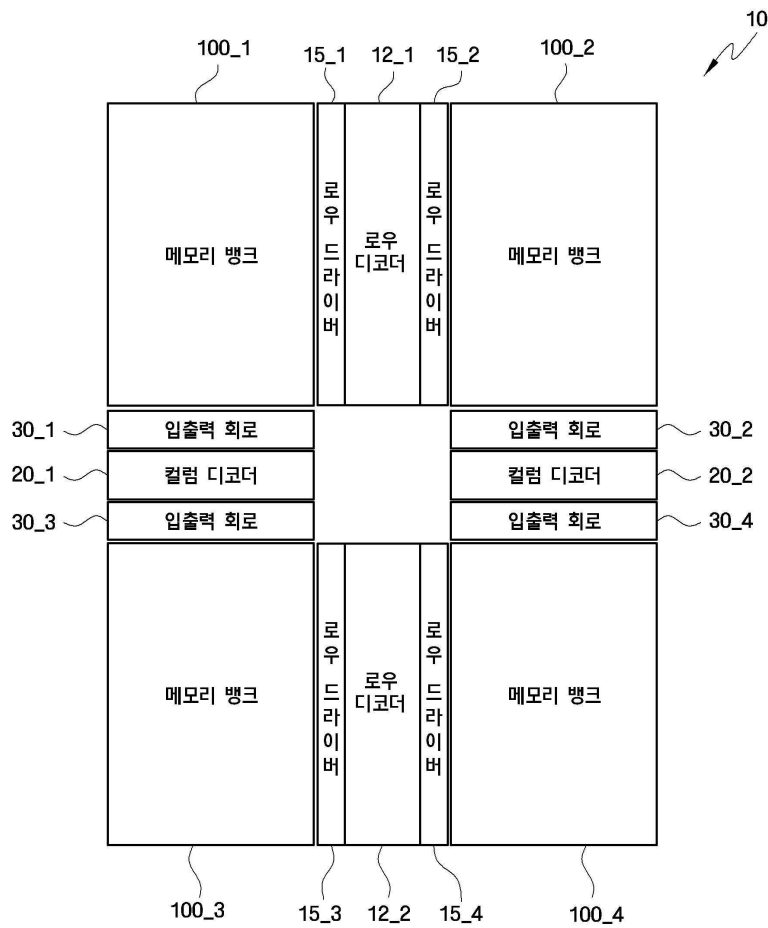
100\_1, 100\_2, 100\_3, 100\_4 : 메모리 बैं크

도면

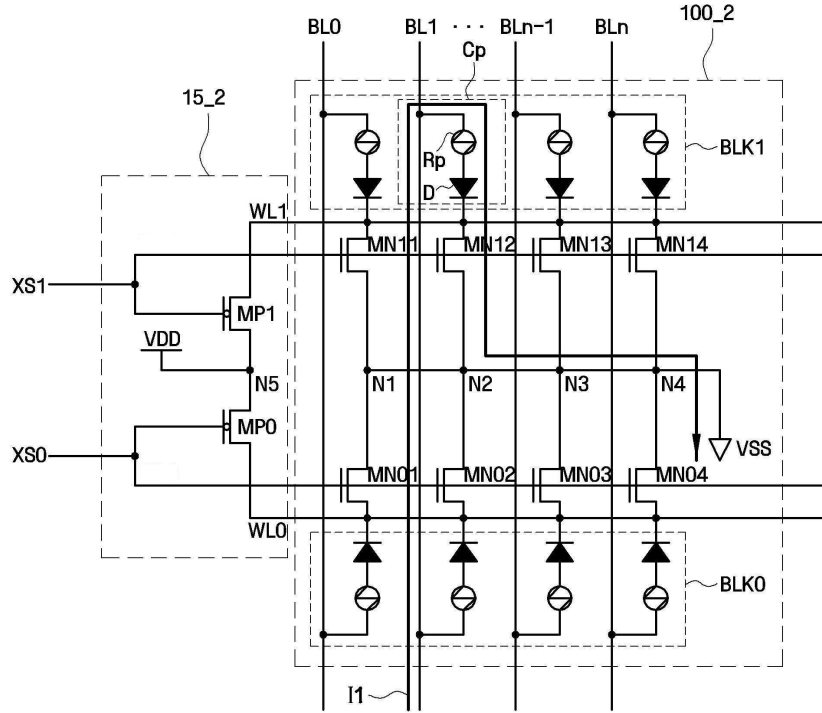
도면1



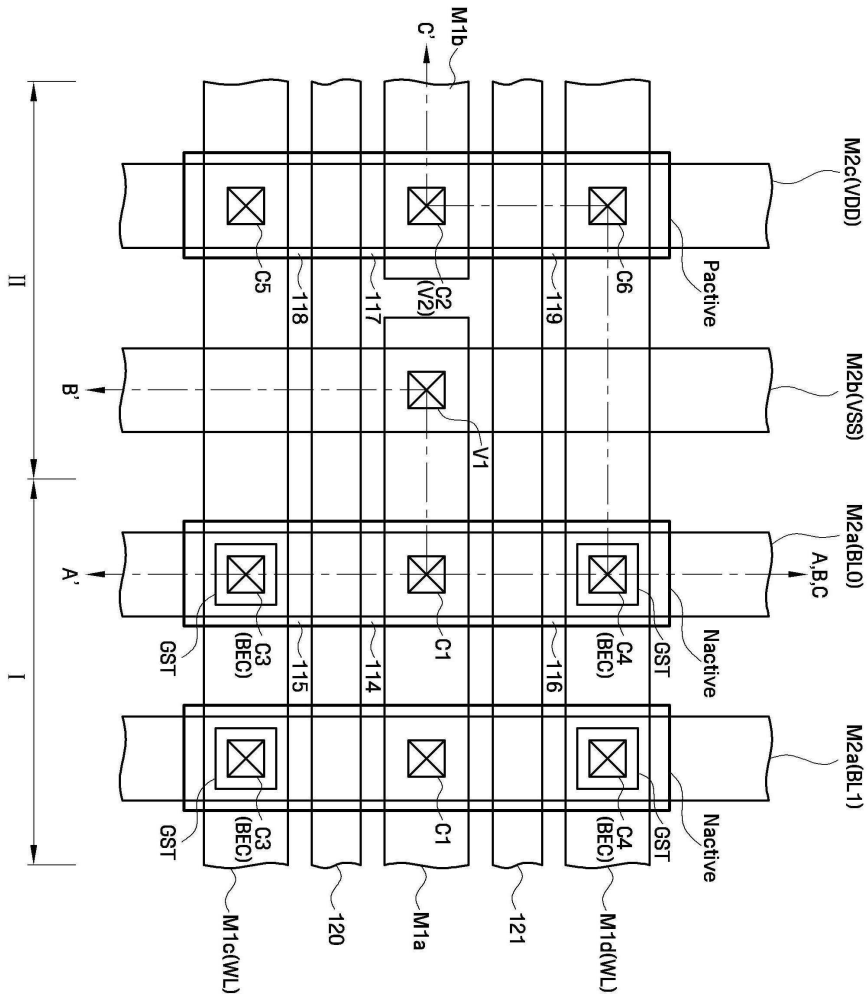
도면2



도면3

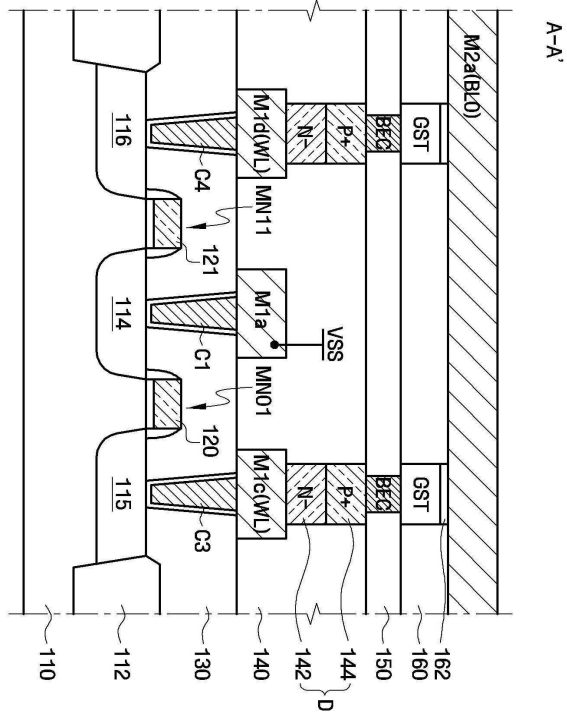


도면4

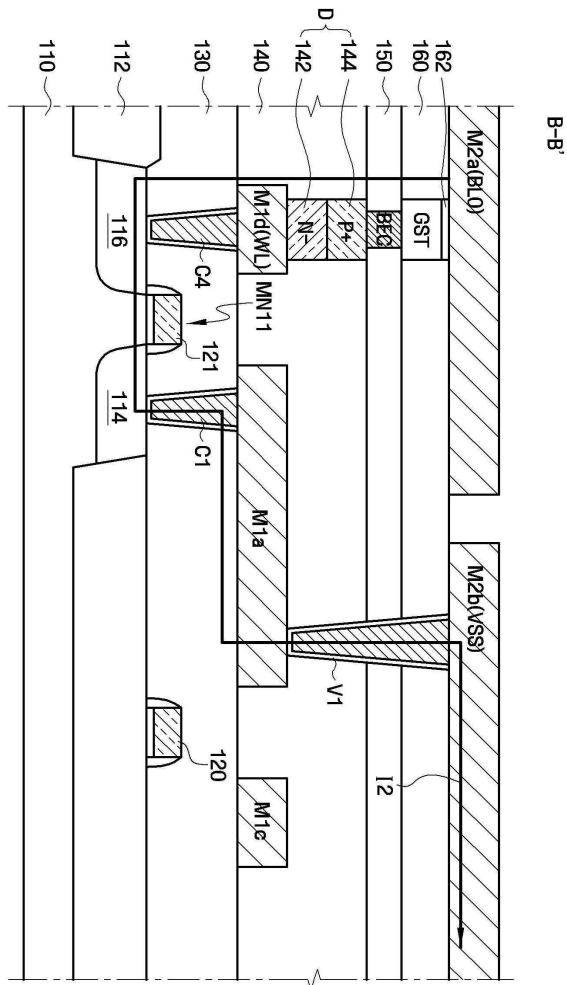




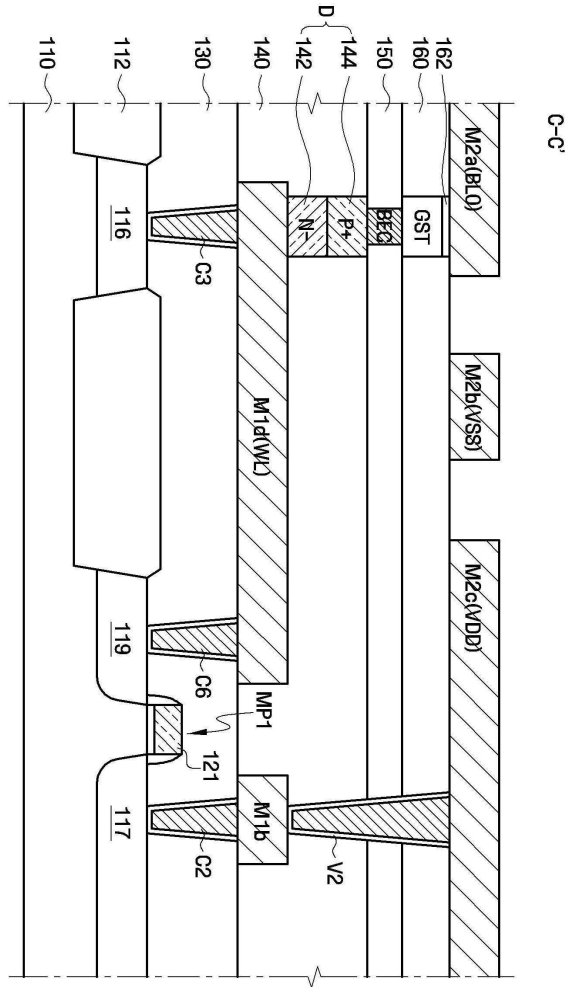
도면5a



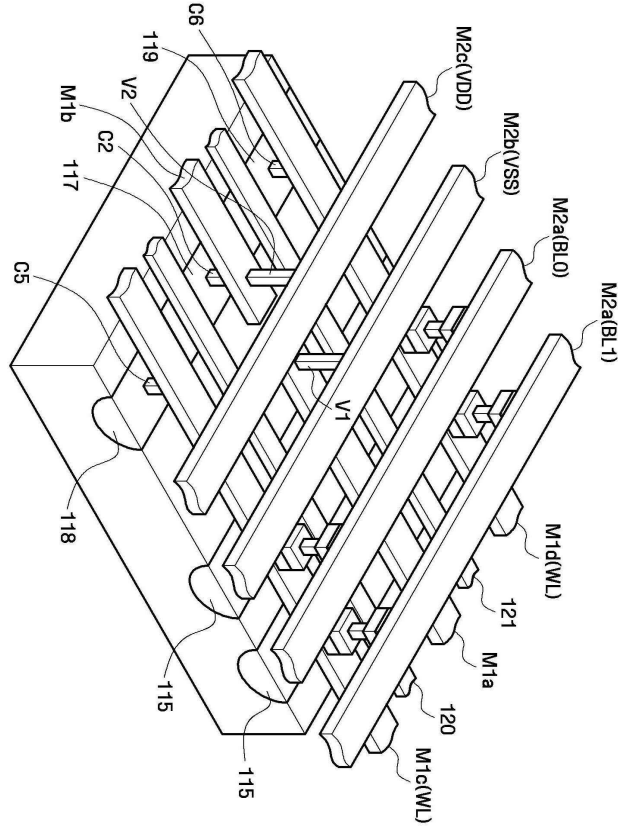
도면5b



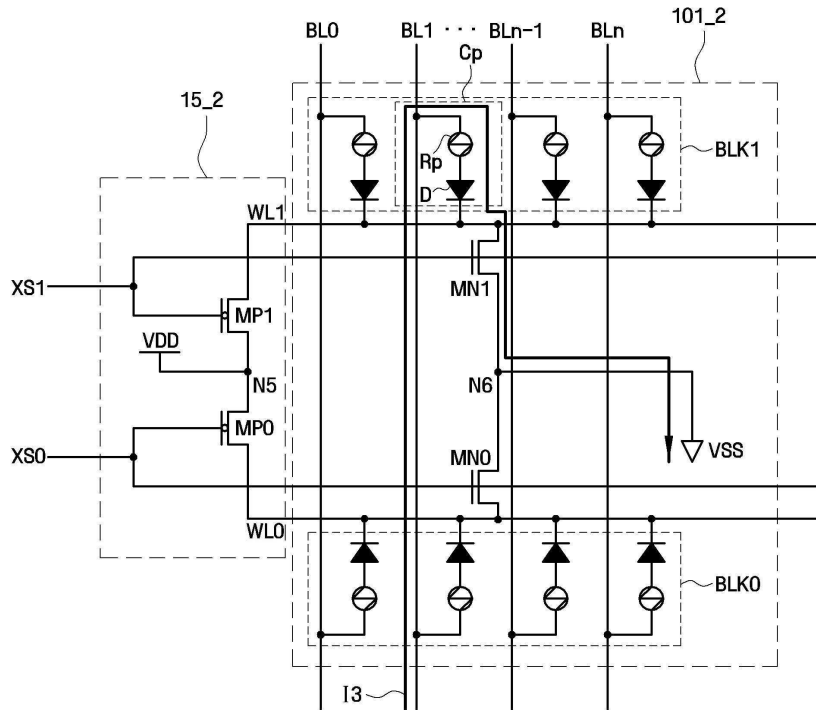
도면5c



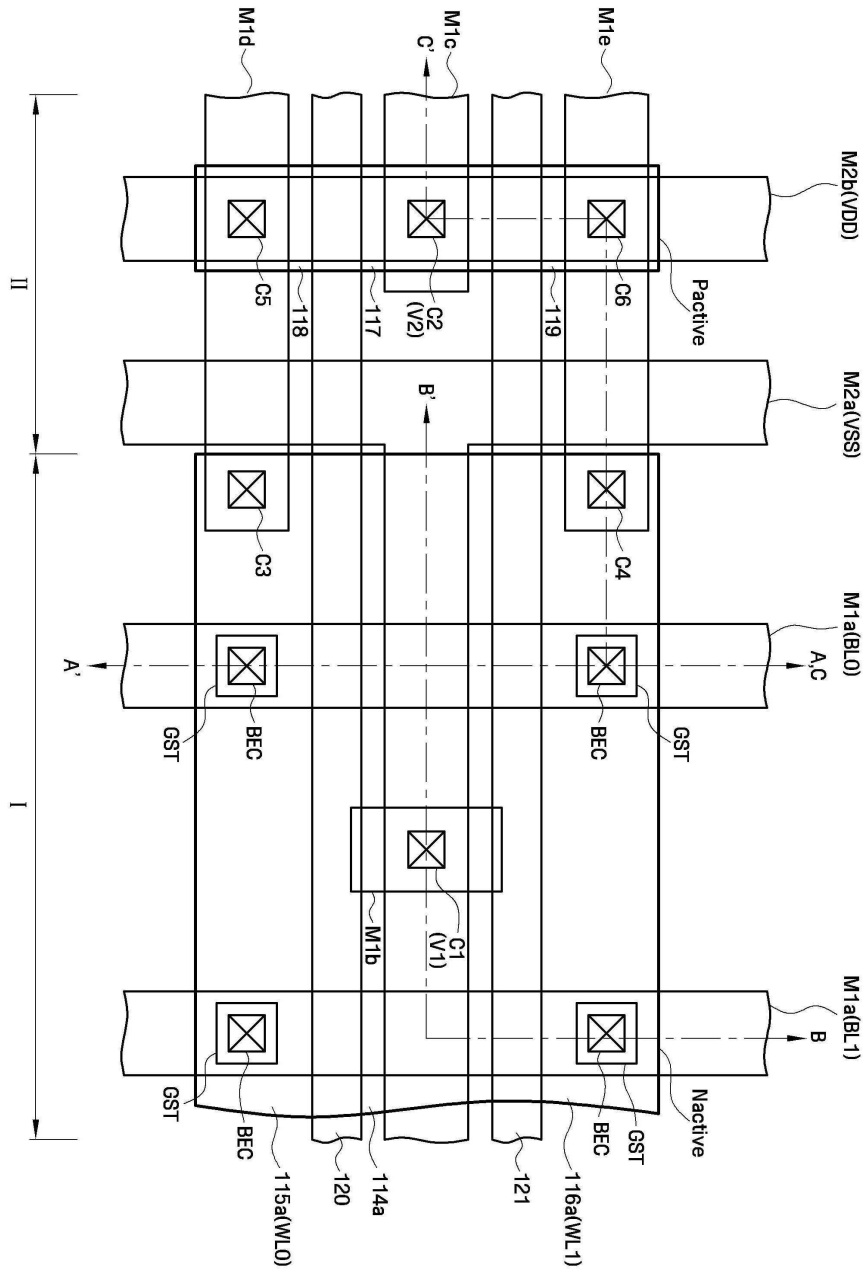
도면6



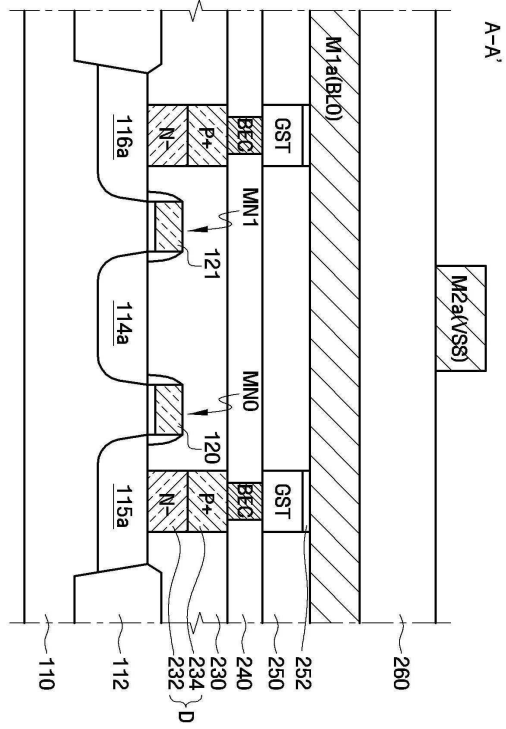
도면7



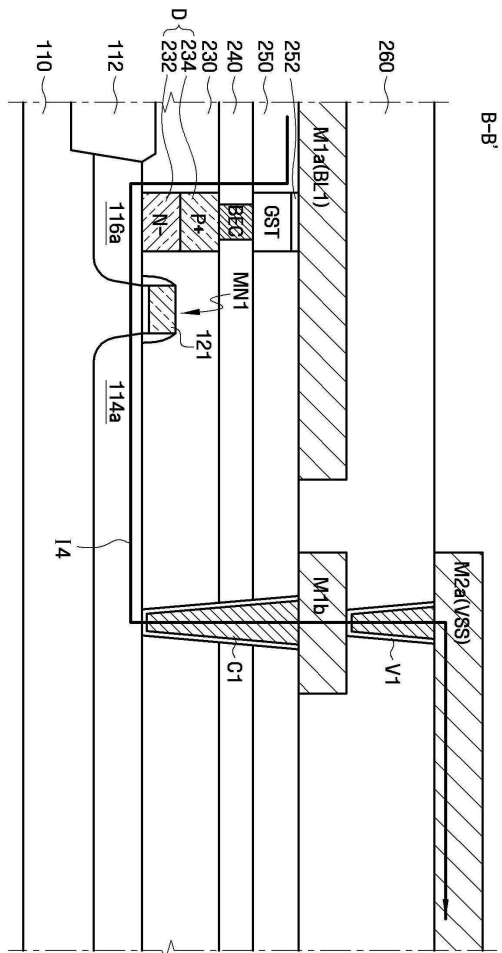
도면8



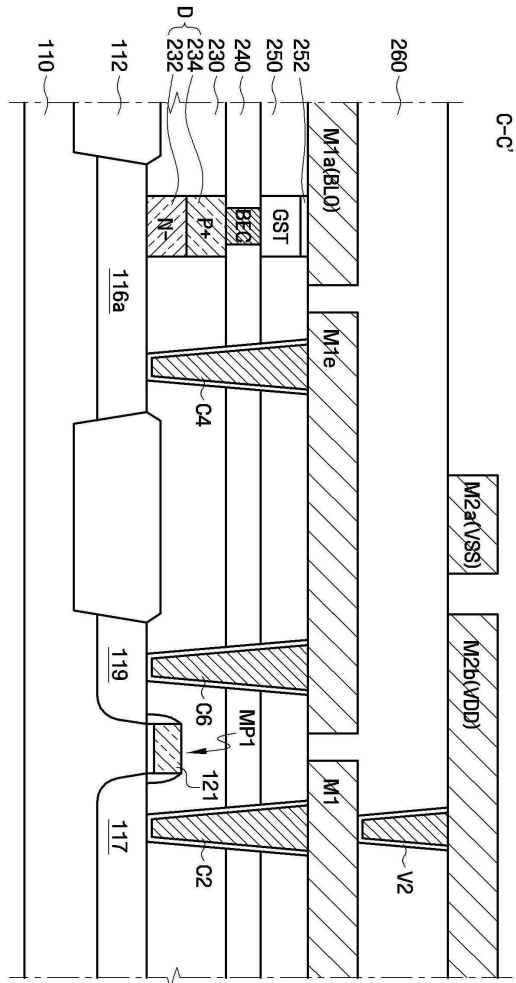
도면9a



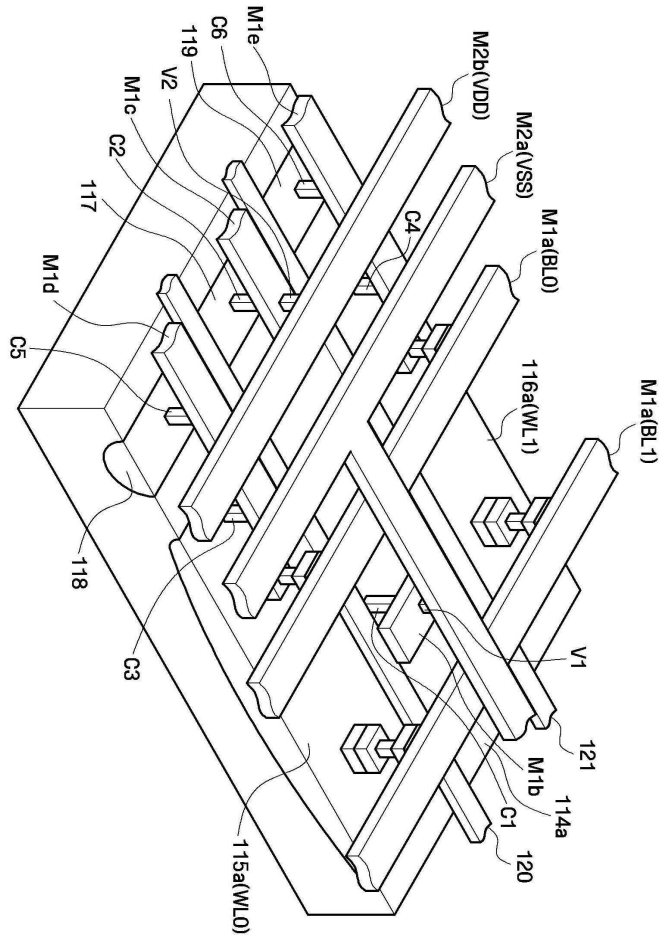
도면9b



도면9c



도면10



도면11

