

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4380088号
(P4380088)

(45) 発行日 平成21年12月9日(2009.12.9)

(24) 登録日 平成21年10月2日(2009.10.2)

(51) Int.Cl.	F I
HO 1 L 25/10 (2006.01)	HO 1 L 25/14 Z
HO 1 L 25/11 (2006.01)	HO 1 L 23/52 C
HO 1 L 25/18 (2006.01)	
HO 1 L 23/52 (2006.01)	

請求項の数 11 (全 19 頁)

(21) 出願番号	特願2001-164433 (P2001-164433)	(73) 特許権者	000004260
(22) 出願日	平成13年5月31日(2001.5.31)		株式会社デンソー
(65) 公開番号	特開2002-359350 (P2002-359350A)		愛知県刈谷市昭和町1丁目1番地
(43) 公開日	平成14年12月13日(2002.12.13)	(74) 代理人	100071135
審査請求日	平成19年7月27日(2007.7.27)		弁理士 佐藤 強
		(72) 発明者	川北 晋一郎
			愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内
		(72) 発明者	西川 英昭
			愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内
		審査官	今井 拓也

最終頁に続く

(54) 【発明の名称】 積層回路モジュールの製造方法

(57) 【特許請求の範囲】

【請求項1】

下地となる配線基板もしくは他の積層回路モジュールの上に半導体チップを電氣的に接続した状態で樹脂封止した構成の積層回路モジュールを積層形成する積層回路モジュールの製造方法において、

前記下地に厚膜のパターン形成材料を塗布する工程と、

前記パターン形成材料に対して前記下地と上部との間を電氣的に接続するための層間接続電極の形状に対応した開口部を形成する工程と、

前記パターン形成材料の開口部を充填するように前記層間接続電極を形成する工程と、

前記パターン形成材料を除去する工程と、

前記半導体チップをベアチップ実装する工程と、

この半導体チップを覆うようにして樹脂を塗布する工程と、

前記塗布された樹脂の上から研削処理を行うことで前記半導体チップを所定の厚さ寸法に研削すると共に前記層間接続電極を露出させる工程と、

露出している前記層間接続電極に電氣的に接続するスタッドバンプを形成する工程と、

前記スタッドバンプの少なくとも上面部分を露出する状態で且つ前記半導体チップの研削された上面部を覆うように樹脂層を形成する工程と

を含んでなる積層回路モジュールの製造方法。

【請求項2】

下地となる配線基板もしくは他の積層回路モジュールの上に半導体チップを電氣的に接

続した状態で樹脂封止した構成の積層回路モジュールを積層形成する積層回路モジュールの製造方法において、

前記下地に厚膜のパターン形成材料を塗布する工程と、

前記パターン形成材料に対して前記下地と上部との間を電氣的に接続するための層間接続電極の形状に対応した開口部を形成する工程と、

前記パターン形成材料の開口部を充填するように前記層間接続電極を形成する工程と、

前記パターン形成材料を除去する工程と、

実装状態での高さ寸法が前記層間接続電極の高さ寸法以下となるようにあらかじめ研削された前記半導体チップをベアチップ実装する工程と、

前記半導体チップを覆うと共に前記層間接続電極の少なくとも上面部を露出させるように樹脂層を形成する工程と

を実施することを特徴とする積層回路モジュールの製造方法。

【請求項 3】

請求項 2 に記載の積層回路モジュールの製造方法において、

前記半導体チップの実装状態では、その高さ寸法が前記層間接続電極の高さ寸法よりも所定寸法以上低くなるように設定されていることを特徴とする積層回路モジュールの製造方法。

【請求項 4】

下地となる配線基板もしくは他の積層回路モジュールの上に半導体チップを電氣的に接続した状態で樹脂封止した構成の積層回路モジュールを積層形成する積層回路モジュールの製造方法において、

前記下地に前記半導体チップを実装する工程と、

前記下地に前記半導体チップを覆うように厚膜のパターン形成材料を塗布する工程と、

前記厚膜のパターン形成材料が塗布された状態で前記半導体チップの高さが所定高さ寸法となるまで研削処理を行う工程と、

前記パターン形成材料に対して前記下地と上部との間を電氣的に接続するための層間接続電極の形状に対応した開口部を形成する工程と、

前記パターン形成材料の開口部を充填するように前記層間接続電極を形成する工程と、

前記パターン形成材料を除去する工程と

を実施することを特徴とする積層回路モジュールの製造方法。

【請求項 5】

請求項 2 ないし 4 のいずれかに記載の積層回路モジュールの製造方法において、

前記半導体チップ及び前記層間接続電極を覆うように塗布された樹脂に対して、上面部から平板により加圧しながら熱硬化処理をすることにより前記層間接続電極の少なくとも上面部を露出させる状態に形成することを特徴とする積層回路モジュールの製造方法。

【請求項 6】

請求項 2 ないし 5 のいずれかに記載の積層回路モジュールの製造方法において、

前記半導体チップ及び前記層間接続電極を覆うように塗布された樹脂に対して、この樹脂を熱硬化させると共に、その後研削処理を行うことにより前記層間接続電極の上面部を露出させる状態に形成することを特徴とする積層回路モジュールの製造方法。

【請求項 7】

請求項 1 ないし 6 のいずれかに記載の積層回路モジュールの製造方法において、

前記パターン形成材料は、ネガ特性もしくはポジ特性を有する感光材料であることを特徴とする積層回路モジュールの製造方法。

【請求項 8】

請求項 7 に記載の積層回路モジュールの製造方法において、

前記パターン形成材料は、紫外線、X線もしくは他の放射線等の可視光よりも短波長の光源で感光させる材料を用いることを特徴とする積層回路モジュールの製造方法。

【請求項 9】

請求項 1 ないし 8 のいずれかに記載の積層回路モジュールの製造方法において、

10

20

30

40

50

前記パターン形成材料は、熱硬化特性を有するものを用いていることを特徴とする積層回路モジュールの製造方法。

【請求項 10】

請求項 1 ないし 9 のいずれかに記載の積層回路モジュールの製造方法において、前記層間接続電極の形成工程では、めっき処理を行うことで前記パターン形成材料の開口部に金属を充填することにより前記層間接続電極を形成することを特徴とする積層回路モジュールの製造方法。

【請求項 11】

請求項 1 ないし 9 のいずれかに記載の積層回路モジュールの製造方法において、前記層間接続電極の形成工程では、前記パターン形成材料の開口部内に埋め込むように導電性ペーストを充填することにより前記層間接続電極を形成することを特徴とする積層回路モジュールの製造方法。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、下地となる配線基板もしくは他の積層回路モジュールの上に積層形成する積層回路モジュールの製造方法に関する。

【0002】

【発明が解決しようとする課題】

近年、電子機器の小形化や高機能化が進み、これに伴って回路部品の実装技術においても高密度化が要求されてきている。特に IC チップの実装技術においては、個々の IC チップに対するパッケージングをすることを止めて、チップを直接配線基板に実装する方法いわゆるフリップチップ実装が行われつつある。これにより、複数の IC チップをベアチップの状態に配線基板に実装し、全体を樹脂等で保護する構成として小形化、高機能化を図るようにしている。

20

【0003】

このように、ベアチップを用いたフリップチップ実装と高密度積層配線基板を用いることで、回路の実装サイズは、搭載部品自体の占有面積（フットプリント面積）程度まで小形化を図ることができるようになる。しかし、このことは、さらなる小形化を図るためにはフットプリント面積よりも小さい面積にする必要があるということを意味しており、平面的な配置では限界がある。

30

【0004】

そこで、従来では、高密度実装あるいは小型化を図るために、ベアチップを複数の層に積層した構成のものが提案されつつある。先に発明者らが提案したものでは、例えば特開 2000-183283 号に示したものがある。これは、積層方向にベアチップを積層して基板面積を小形化すると共に、工程中で樹脂、チップを研削して積層方向の小型化も図れるようにした構造である。

【0005】

しかしながら、上記したものの構成においては、工程中に層間接続電極を形成する際に、JPS (Jet Printing System) と呼ばれる方法を用いて金属粒子を堆積させるようにした技術を用いている。この方法を採用する場合には、電極を個別に形成していく方式であることから、形成する層間接続電極の個数が少ない場合には良い方法であるが、形成個数が多くなると、それに比例して形成に要する全体の時間がかかるようになる。

40

【0006】

この場合、1 個当たりの形成時間が非常に短い場合には問題ないが、現状では例えば 1 個形成するのに 10 秒といった程度の時間を要している。したがって、1 枚の積層回路モジュールに対して数百個といったオーダーで形成する層間接続電極の個数が存在する場合には、数千秒かかってしまうことになり、現実的な製造方法とは言えないという実情であった。

【0007】

50

また、JPSを用いる方法以外に、層間接続電極を形成するために、スタッドバンプを多段に積層することで形成する場合には、2段目以降のスタッドバンプの形成に際してバランスが悪くなりやすくなり、場合によっては積層過程で倒壊してしまう恐れもあり、工程技术として採用するには歩留まりの点で必ずしも適切な方法とは言えない面がある。

【0008】

本発明は、上記事情に鑑みてなされたもので、その目的は、下地となる配線基板もしくは他の積層回路モジュールの上に積層形成する積層回路モジュールの製造方法に係り、特に層間接続電極の形成を迅速且つ確実に進めるようにした積層回路モジュールの製造方法に関する。

【0009】

【課題を解決するための手段】

請求項1の発明によれば、下地に対して積層回路モジュールの構成である層間接続電極を形成する場合に、厚膜のパターン形成材料を塗布し、このパターン形成材料に層間接続電極の形状に対応した開口部を形成し、この開口部を充填するように層間接続電極を形成するので、内部に実装する半導体チップの端子を接続するように設ける多数の層間接続電極を、一括して形成することができるので、形成する個数に関係なく1回の形成処理で迅速に形成することができ、また、パターン形成材料を用いてその開口部に充填するように形成するので、層間接続電極の形状も精度良く形成することができるようになる。

そして、層間接続電極を形成する工程の後に、半導体チップをベアチップ実装し、その半導体チップを覆うようにして樹脂を塗布し、塗布された樹脂の上から研削処理を行うことで半導体チップを所定の厚さ寸法に研削すると共に層間接続電極を露出させるので、樹脂の厚さ寸法を層間接続電極の高さ寸法に合わせるように研削しながら、同時に半導体チップの厚さ寸法も所定厚さ寸法に研削することができ、簡単且つ迅速に層間接続電極を形成した構成を得ることができるようになる。

さらに、樹脂の研削処理が終了した後に、露出している層間接続電極に電氣的に接続するスタッドバンプを形成し、スタッドバンプの上面部分を露出する状態で且つ半導体チップの研削された上面部を覆うように樹脂層を形成するので、上部にさらに積層回路モジュールを重ねて構成する場合でも、その下地構成を簡単に得ることができるようになる。

【0010】

請求項2の発明によれば、下地に対して積層回路モジュールの構成である層間接続電極を形成する場合に、厚膜のパターン形成材料を塗布し、このパターン形成材料に層間接続電極の形状に対応した開口部を形成し、この開口部を充填するように層間接続電極を形成するので、内部に実装する半導体チップの端子を接続するように設ける多数の層間接続電極を、一括して形成することができるので、形成する個数に関係なく1回の形成処理で迅速に形成することができ、また、パターン形成材料を用いてその開口部に充填するように形成するので、層間接続電極の形状も精度良く形成することができるようになる。

そして、層間接続電極を形成した後に、実装状態での高さ寸法が層間接続電極の高さ寸法以下となるようにあらかじめ研削された半導体チップをベアチップ実装し、半導体チップを覆うと共に層間接続電極の少なくとも上部を露出させるように樹脂層を形成するので、半導体チップ実装後に研削処理を行う必要がなくなり、樹脂層の形成方法として研削以外の方法を用いることもできるようになり、製造工程の設計自由度が高くなり、しかも、簡単且つ迅速に層間接続電極を形成した構成を得ることができる。

【0011】

請求項3の発明によれば、上記請求項2の発明において、半導体チップの実装状態では、その高さ寸法が層間接続電極の高さ寸法よりも所定寸法以上低くなるように設定しているので、樹脂を塗布した後に樹脂層を層間接続電極の高さとなるまで研削その他の方法で高さ調整を行うことで、半導体チップの裏面側の絶縁層を設けた構成とすることができるようになる。

【0012】

請求項4の発明によれば、下地に対して積層回路モジュールの構成である層間接続電極

10

20

30

40

50

を形成する場合に、厚膜のパターン形成材料を塗布し、このパターン形成材料に層間接続電極の形状に対応した開口部を形成し、この開口部を充填するように層間接続電極を形成するので、内部に実装する半導体チップの端子を接続するように設ける多数の層間接続電極を、一括して形成することができるので、形成する個数に関係なく1回の形成処理で迅速に形成することができ、また、パターン形成材料を用いてその開口部に充填するように形成するので、層間接続電極の形状も精度良く形成することができるようになる。

そして、層間接続電極を形成するための厚膜のパターン形成材料を塗布する工程に先だって、下地に半導体チップを実装し、この後、厚膜のパターン形成材料を塗布し、厚膜のパターン形成材料が塗布された状態で半導体チップの高さが所定高さ寸法となるまで研削処理を実行し、これに続いて、パターン形成材料に対して層間接続電極の形状に対応した開口部を形成するようにしたので、厚膜のパターン形成材料を塗布した状態で半導体チップを所定の厚さ寸法となるように研削処理した状態で、その高さ寸法と同じ高さ寸法となったパターン形成材料により層間接続電極を形成するので、その高さ寸法を精度良く形成することができると共に、そのパターン形成材料の上面から突出するように層間接続電極を形成すれば、樹脂層を形成する際に簡単な工程で精度良く絶縁層を介した状態に半導体チップを埋込形成することができると共に、層間接続電極を表面に露出する構成とすることができる。

【0013】

請求項5の発明によれば、上記請求項2ないし4の発明において、半導体チップ及び層間接続電極を覆うように塗布された樹脂に対して、上面部から平板により加圧処理することにより層間接続電極の上面部を露出させる状態に形成するようにしたので、あらかじめ半導体チップの厚さ寸法が所定の寸法に研削等により形成されている場合には、層間接続電極を露出させるための処理を迅速且つ確実にし、樹脂層を精度良く形成することができるようになる。

【0014】

請求項6の発明によれば、請求項2ないし5の発明において、半導体チップ及び層間接続電極を覆うように塗布された樹脂に対して、この樹脂を熱硬化させると共に、その後研削処理を行うことにより層間接続電極の上面部を露出させる状態に形成するようにしたので、半導体チップを研削する必要がある場合に、樹脂層を研削する過程で同時にこれを処理することができるようになり、迅速且つ確実に形成することができるようになる。

【0015】

請求項7の発明によれば、上記請求項1ないし6の発明において、パターン形成材料を、ネガ特性もしくはポジ特性を有する感光材料を用いるので、層間接続電極の開口部を形成する際のパターンニング処理をネガあるいはポジのマスクを準備して露光させることで容易に形成することができるようになる。

【0016】

請求項8の発明によれば、請求項7の発明において、パターン形成材料を、紫外線、X線もしくは他の放射線等の可視光よりも短波長の光源で感光させるものとしているので、パターン形成用のマスクを透過する光源が回折や干渉などの現象をおこしてパターンニングの精度が低下するのを極力防止して、シャープなパターン形成を行うことができるようになる。

【0017】

請求項9の発明によれば、上記請求項1ないし9の発明において、パターン形成材料として、熱硬化特性を有するものを用いるので、その耐久性の向上を図ることができ、パターン形成材料を形成した状態で研削等の機械的なストレスがかかる処理を実施する場合でも、これによってパターンニングされた状態を損なうことなく処理を進めることができるようになる。

【0018】

請求項10の発明によれば、上記各発明において、層間接続電極の形成工程では、めっき処理を行うことでパターン形成材料の開口部に金属を充填することにより形成するので

10

20

30

40

50

、所望の部分に選択的に金属をめっきすることで厚膜のパターン形成材料の厚さ寸法もしくはそれ以上の高さ寸法の層間接続電極を形成することができ、これによって、迅速に層間接続電極を形成することができると共に、パターン形成材料の開口部の形成精度に準じた形成精度で層間接続電極を形成することができるようになる。

【0019】

請求項11の発明によれば、請求項1ないし9の発明において、層間接続電極の形成工程では、パターン形成材料の開口部内に埋め込むように導電性ペーストを充填することにより形成するので、例えば印刷手法を用いて開口部内に導電性ペーストを充填した後に熱硬化処理などを行えば層間接続電極を迅速且つ精度良く形成することができるようになる。

10

【0025】

【発明の実施の形態】

(第1の実施形態)

以下、本発明の第1の実施形態として、下地としての配線基板上に1層分の積層回路モジュールを形成する場合の製造方法について図1ないし図5を参照しながら説明する。なお、この構成では、各配線基板の表面には他のICやディスクリット素子などの面実装部品が実装されるようになっている。

【0026】

本発明の製造方法が対象としている積層回路モジュール1は、図3(1)に示す模式的な断面のように構成されている。下地としての配線基板2は、例えば0.6~0.8mm程度の厚さの多層配線基板を用いており、内部には複数層の導体層が所定の配線パターンに形成され、表裏に露出している配線パターン2a, 2bに接続されている。この配線基板2上には、第1層の樹脂層3及び第2の樹脂層4が順次積層形成されている。

20

【0027】

第1層の樹脂層3は、ICやLSIに代表される半導体素子が作り込まれた半導体チップ5及び層間接続電極6等が配線基板1上に実装された状態で埋込形成されている。この場合、半導体チップ5は、素子形成面を下に向けた状態で配線基板1の配線パターンに対してパンプ電極7を介して電氣的に接続されると共に、異方性導電ペースト8を用いて固定されており、いわゆるフェイスダウンでフリップチップ実装された状態となっている。

【0028】

また、層間接続電極6は、下端部が配線基板1の配線パターン2a, 2b等に電氣的に接続され、上端部が第1層の樹脂層3の上面に露出した状態に設けられている。第1層の樹脂層3は、厚さ寸法が例えば150μm程度に形成されており、半導体チップ5は100μm程度まで研削された状態となっている。

30

【0029】

なお、図3(図1及び図2も同様)では、説明を簡単にするために、積層回路モジュール1として半導体チップ5が1個搭載された場合の構成を示しているが、半導体チップ5に相当するさまざまな半導体チップを複数個搭載する構成を想定している。

【0030】

第2層の樹脂層4は、第1層の樹脂層3上に積層形成されるもので、半導体チップ5の上面側に絶縁層として機能するように例えば厚さ寸法が50μm程度となるように形成されている。この第2層の樹脂層4には、その下面側の層間接続電極6と上面側との間を電氣的に導通状態とするためのパンプ電極9が埋め込んだ状態に形成されている。

40

【0031】

なお、後述するように、第1層の樹脂層3の上面は、研削により半導体チップ5と層間接続電極6とが露出するようにして所定厚さ寸法まで除去された結果、平坦な面として形成されている。したがって、半導体チップ5の裏面すなわち上面の半導体部分が露出した状態となっており、第2層の樹脂層4は、この半導体チップ5の露出部分を覆うように形成されるものである。

【0032】

50

上述のように構成しているため、半導体チップ5が実装されている部分が積層回路モジュール1の表面に露出しない構成とすることができ、ディスクリート部品を実装する面積を回路モジュール1の基板面全面を利用して行うこともできるし、他の積層回路モジュールを積層形成することもできるようになる。この結果、三次元的な実装構造を設けることができ、全体の実装効率を高めることができると共に、設計の自由度を高めることができるようになる。

【0033】

次に上記した積層回路モジュール1の製造方法について図4及び図5の工程フロー図ならびに図1ないし図3の各工程における断面構造図を参照しながら説明する。なお、積層回路モジュール1の実際の製造においては、例えば複数個を一度に製造することができるように、配線基板2が複数個分（例えば6個分）の積層回路モジュール1の大きさに形成されており、出来上がったものをダイシングなどの方法により切り離して最終的に積層回路モジュール1として得るものである。

10

【0034】

以下の説明では、図4の工程フローにしたがって、1個分の積層回路モジュール1の製造工程を次の7つの工程に分けて述べる。(1)下地準備工程S1、(2)層間接続電極形成工程S2、(3)チップ実装工程S3、(4)第1層の樹脂層形成工程S4、(5)研削工程S5、(6)配線電極形成工程S6、(7)第2層の樹脂層形成工程S7である。

【0035】

(1)下地準備工程S1

まず積層回路モジュール1を形成するための下地として用いる配線基板2を準備する。配線基板2は、片面を半導体チップ5をフリップチップ実装するのに対応した配線パターンにレイアウトし、その裏面（下面側）には、入出力電極パッドやディスクリート部品実装用パッドなどを配した配線パターンにレイアウトし、内部の配線用導体パターン層を介して接続する。

20

【0036】

(2)層間接続電極形成工程S2

次に、配線基板2上に層間接続電極6を形成する。この工程では、図5に示す工程フローにしたがって処理が行われる。まず、図1(a)に示すように、配線基板2上にパターン形成材料としての厚膜レジスト10を100～150μmの範囲で所定の膜厚に塗布する（厚膜レジスト塗布工程P1）。この場合、厚膜レジスト10は、例えばLIGA(Lithographie Galvanoformung und Abformung)プロセスなどで使用されるIBM社が開発したSU-8と呼ばれるフォトリソレジストを用いており、これはエポキシ系の樹脂で紫外線で露光するネガタイプのレジストとして知られているものである。

30

【0037】

なお、パターン形成材料としては、上述の材料以外でも、厚膜レジストとして機能するものであれば上述したネガタイプで、エポキシ系で、且つ紫外線露光の各条件に限らず、ポジタイプでも良いし、多の材料でも良いし、さらには、紫外線以外の短波長の光であるX線やSR(Synchrotron Radiation)と呼ばれる放射光により露光するものでも良い。

【0038】

続いて、図1(b)に示すように、層間接続電極6を形成するためのパターンを形成したフォトリソマスク11を用いて紫外線で露光する（露光工程P2）。これにより、紫外線が露光された部分の厚膜レジスト10が感光して変質し、レジストパターンング処理において溶けない状態となる。

40

【0039】

層間接続電極6の配置位置は、半導体チップ5を実装する領域の周囲の所定位置で、下地である配線基板2の配線パターン2a, 2bが露出している部分に設定される。同図中では半導体チップ5の両側に層間接続電極6を各1個配置するように示しているが、一般には半導体チップ5の機能に応じて数十個から数百個程度の個数が配置されるようになっている。

50

【 0 0 4 0 】

この後、図 1 (c) に示すように、現像処理を行って層間接続電極 6 を形成する部分の厚膜レジスト 1 0 を選択的に除去して開口部 1 0 a を形成する (開口部形成工程 P 3) 。この開口部 1 0 a は、深さ寸法が 1 0 0 ~ 1 5 0 μm で外径が例えば 1 0 ~ 5 0 μm 程度に形成されるもので、厚膜レジスト 1 0 を用いた技術により、高いアスペクト比で深さ方向に対する精度が良好なパターンを形成することができる。

【 0 0 4 1 】

次に、図 1 (d) に示すように、めっき処理を実施することにより、開口部 1 0 a の部分に層間接続電極 6 となる金属例えば銅 (C u) を充填形成する (電極形成工程 P 4) 。このめっき処理では銅めっきを行う場合で説明しているが、他の金属をめっきすることもできる。続いて、図 2 (e) に示すように、厚膜レジスト 1 1 を除去して層間接続電極 6 を独立して形成された状態にする (厚膜レジスト除去工程 P 5) 。以上のようにして、層間接続電極形成工程 S 1 が終了し、層間接続電極 6 が形成される。

10

【 0 0 4 2 】

(3) チップ実装工程 S 3

続いて、図 2 (f) に示すように、半導体チップ 5 を配線基板 2 にフリップチップ実装する。なお、この半導体チップ 5 の実装に先だって、バンプ電極 7 を形成する。バンプ電極 7 は、金 (A u) や銅 (C u) などのスタッドバンプをボールボンダなどで形成するもので、はんだバンプと異なり半導体チップ 5 を実装する際にはリフロー処理を行うことができないので、前述のように配線基板 2 の実装位置に異方性導電ペースト 8 を塗布する。

20

【 0 0 4 3 】

配線基板 2 に異方性導電ペースト 8 を塗布し、この状態で半導体チップ 5 を載置し、半導体チップ 5 を載置して加圧しながら加熱することで硬化処理を行う。半導体チップ 5 に加える力は、1 個のバンプ電極 7 あたり数百 ~ 千数百 m N (ミリニュートン) であり、その状態で加熱することで異方性導電ペースト 1 2 が熱硬化する。このときの硬化温度は、例えば 1 2 0 ~ 1 4 0 の範囲の所定温度としている。

【 0 0 4 4 】

なお、実装する半導体チップ 5 の厚さ寸法は、例えば製造工程で 1 5 c m 径のウエハを用いている場合には 3 0 0 ~ 6 0 0 μm であり、チップ状態で供給される場合に、少なくとも 3 0 0 μm 程度であることが一般的である。ウエハ状態で比較的厚い場合でもチップに切断する前に研削して薄くする場合もある。また、バンプ電極 7 を金により形成する場合で説明したが、例えば、銅製のバンプ電極を形成するようにしても良い。

30

【 0 0 4 5 】

(4) 第 1 層の樹脂層形成工程 S 4

次に、図 2 (g) に示すように、フリップチップ実装した半導体チップ 5 及び層間接続電極 6 を熱硬化性樹脂 1 2 で埋め込んで第 1 の樹脂層 3 となる構成を形成する。熱硬化樹脂 1 2 は、例えばエポキシ系の材料からなり、配線基板 2 の上面に塗布された後、1 2 0 ~ 1 4 0 の範囲の熱処理温度で熱硬化処理が行われる。この場合、塗布作業は、エポキシ系熱硬化性樹脂 1 2 が半導体チップ 5 及び層間接続電極 6 を完全に覆うように行う。

【 0 0 4 6 】

エポキシ系熱硬化性樹脂 1 2 の選択は、一連の製造工程中の加圧、加熱などの処理に対して十分な耐性を持つものを基準とする。なお、この実施形態においては、エポキシ系熱硬化性樹脂 1 2 として、ガラス転移温度が 1 4 0 以上である材料を用いており、ガラス転移温度以下の温度で熱硬化処理が行われるようになっている。

40

【 0 0 4 7 】

これにより、エポキシ系熱硬化性樹脂 1 2 が熱硬化する際に、軟化して塑性変形したり、半導体チップ 5 に予想外の応力を与えるのを防止することができる。また、熱硬化処理の処理時間は処理温度に依存するが、例えば数分から 2 0 分程度の範囲の所定時間を設定する。この熱処理温度と熱処理時間との関係は、温度を高く設定することで短時間に行うことができるが、半導体チップ 5 に与える応力も大きくなることが予想されるため、それら

50

のことを考慮した上で、適切な温度と時間に設定することが必要となる。

【0048】

(5) 研削工程 S 5

次に、図2(h)に示すように、半導体チップ5と層間接続電極6とを埋め込んだ樹脂層12を研削して第1の樹脂層3を形成する。ここでは、研削機械を用いて樹脂層12を表面から研削してゆき、半導体チップ5が露出すると、これも一緒に研削を行い、最終的に層間接続電極6の上面部が露出した時点で研削処理を終了する。したがって、半導体チップ5の厚さ寸法が100 μ m程度で配線基板2の表面からの高さ寸法が150 μ m程度となるまで研削処理を行うことになる。

【0049】

この結果、研削後の樹脂層12の表面には、半導体チップ5の裏面側が露出すると共に、層間接続電極6の上部が露出した状態となる。これにより、第1の樹脂層3を貫通した状態で埋め込むように層間接続電極6を形成することができると共に、内部には所定厚さ寸法に研削された半導体チップ5が埋込形成された状態とすることができる。

【0050】

(6) 配線電極形成工程 S 6

次に、図3(i)に示すように、パンプ電極9を形成する。これは、前述したと同様にして金(Au)や銅(Cu)のスタッドパンプをボールボンダを用いて形成するものである。この場合、パンプ電極9の高さ寸法は、例えば50 μ m程度である。

【0051】

(7) 第2層の樹脂層形成工程 S 7

続いて、図3(j), (k)に示すように、パンプ電極9を埋め込んだ状態となるように第2の樹脂層4を形成する。まず、研削した第1の樹脂層3の上面に、パンプ電極9を覆うようにしてエポキシ系熱硬化性樹脂13を塗布する(図3(j)参照)。次に、板厚1mm程度で且つその平面度及び平行度が良好な平板ガラス14に離型剤14aを塗布した状態で、塗布した熱硬化性樹脂13の上に載置して加圧しながら熱硬化処理を行う(図3(k)参照)。この場合、平板ガラス14は、加圧時に変形が起こらないようなものを用いており、また、離型剤14aはシリコン系の高耐熱のもので、例えば鋳造で用いる離型剤のようなものを使用している。

【0052】

平板ガラス14で熱硬化性樹脂13で覆われたパンプ電極9を押しつぶす。パンプ電極9に加える力は、1個あたり数百~千数百mN程度としている。そして、この状態で加熱して熱硬化性樹脂13を硬化させ、第2の樹脂層4を形成する。このときの熱硬化温度は、120~140の範囲の所定温度で行う。

【0053】

これにより、第2の樹脂層4が形成され、パンプ電極9はその上面部が露出した状態に形成される。半導体チップ5及び層間接続電極6は、第1の樹脂層3及び第2の樹脂層4に埋め込まれた状態に形成されると共に、層間接続電極6は、パンプ電極9により第2の樹脂層4の表面に電氣的に接続可能な状態に導かれるようになる。

【0054】

以上の工程を経ることにより、1層分の積層回路モジュール1が得られる。さらに多層の構造のものに適用する場合には、上述と同様の工程を繰り返し実施することで、この積層回路モジュール1の上に同様の構造で他の半導体チップを埋込形成した積層回路モジュールを形成することができる。

【0055】

そして、最終的には、前述したように、ダイシング工程などを経て1個ずつの回路モジュール1に分割し、最後に配線基板2に他の半導体素子やディスクリート部品などの面実装部品を実装配置して実装密度の高いコンパクトな構成の回路基板を得ることができるようになる。

【0056】

10

20

30

40

50

このような第 1 の実施形態によれば、層間接続電極 6 を形成する際に、銅などの金属をめっき処理により一括して形成するので、従来技術の J P S 法などを用いた方法に比べて形成に必要な処理時間が 1 個当たりの処理時間に比例するのではなく、すべての層間接続電極 6 を一括して形成することができるようになる。このことは、搭載する半導体チップ 5 の種類すなわち配線電極の数や、搭載する半導体チップ 5 の個数に関係なく、一括して層間接続電極 6 を形成することができるので、形成する層間接続電極 6 の個数が集積度の向上等の目的で増えるにしたがって、その効果は大きくなっていく。また、L I G A プロセスなどに用いる手法を応用しているので、厚膜レジスト 1 0 を利用して効率良くしかも精度良く層間接続電極 6 を形成することができる。

【 0 0 5 7 】

10

(第 2 の実施形態)

図 6 及び図 7 は本発明の第 2 の実施形態を示すもので、上記した第 1 の実施形態と異なるところは、製造工程を示す図 7 のように、チップ実装工程 S 3 に代えて研削済チップ実装工程 S 8 を実施し、研削工程 S 5 に代えて加圧硬化処理工程 S 9 を実施することにより積層回路モジュール 1 5 を形成するようにしたところである。

【 0 0 5 8 】

図 6 (e) は積層回路モジュール 1 5 の断面構成を示しており、この実施形態においては、1 層分の樹脂層 1 6 により前述同様の構成を得るようにしており、この点を除いて第 1 の実施形態と同じ構成となっている。

【 0 0 5 9 】

20

次に、上記構成の製造方法について説明する。この第 2 の実施形態においては、下地準備工程 Q 1 (下地準備工程 S 1 と同じ) を実施して配線基板 2 を準備した後、層間接続電極形成工程 Q 2 (層間接続電極形成工程 S 2 と同じ) を実施して層間接続電極 6 を形成する (図 6 (a) 参照) 。

【 0 0 6 0 】

続いて、図 6 (b) に示すように、あらかじめ研削処理を行って所定厚さ寸法に調整した半導体チップ 5 を配線基板 2 に実装する (研削済チップ実装工程 Q 3) 。このときの半導体チップ 5 の厚さ寸法は、配線基板 2 への実装状態で層間接続電極 6 の高さ寸法よりも低くなるように、あらかじめウエハまたはチップの状態で行って調製されている。

30

【 0 0 6 1 】

この後、図 6 (c) に示すように、エポキシ系熱硬化性樹脂 1 7 を塗布し、半導体チップ 5 及び層間接続電極 6 を埋め込む (樹脂層形成工程 Q 4) 。次に、図 6 (d) に示すように、塗布した熱硬化性樹脂 1 7 の上から離型剤 1 4 a を表面に塗布した平板ガラス 1 4 をあてがって加圧しながら熱硬化処理を行う (加圧硬化処理工程 Q 5) 。

【 0 0 6 2 】

このとき、平板ガラス 1 4 に加える力は、例えば層間接続電極 1 個あたり数百 ~ 千数百 m N 程度となるように設定し、熱硬化温度は 1 1 0 程度である。熱硬化処理後に、平板ガラス 1 4 を取り除くと、樹脂層 1 6 が形成され、その表面には層間接続電極 6 の上部が露出した状態となるように形成されている (図 6 (d) 参照) 。

40

【 0 0 6 3 】

このような第 2 の実施形態によれば、あらかじめ研削処理を行った状態で半導体チップ 5 を実装するので、樹脂層 1 6 を形成する際に研削処理以外の工程を採用することができ、この実施形態におけるように平板ガラス 1 4 で加圧しながら熱硬化処理を行えば簡単且つ安価に積層回路モジュール 1 5 を製作することができるようになる。

【 0 0 6 4 】

(第 3 の実施形態)

図 8 ないし図 1 0 は本発明の第 3 の実施形態を示すもので、第 2 の実施形態と異なるところは、半導体チップ 5 を先に実装してから層間接続電極 6 を形成するようにしたところである。このように半導体チップ 5 を先に実装することにより、研削処理を先に行うことが

50

できるようになる。

【0065】

図10はその製造工程を示すもので、下地準備工程R1（下地準備工程S1と同じ）を実施すると、次に、図8（a）に示すように、準備した配線基板2に半導体チップ5を実装する（チップ実装工程R2）。続いて、図8（b）に示すように、実装した半導体チップ5をその状態で研削処理を行い所定厚さ寸法に調整する（研削工程R3）。

【0066】

次に、層間接続電極形成工程R4を実施することにより、層間接続電極6を形成する。この場合、まず、図8（c）に示すように、配線基板2上に厚膜レジスト10を半導体チップ5を覆うように塗布する（厚膜レジスト塗布工程P1）。次に、図8（d）に示すように、第1の実施形態と同様にしてフォトリソマスク11を用いて紫外線で露光する（露光工程P2）。この後、図9（e）に示すように、現像処理を行って層間接続電極6を形成する部分の厚膜レジスト10を選択的に除去して開口部10aを形成する（開口部形成工程P3）。

10

【0067】

次に、図9（f）に示すように、めっき処理を実施することにより、開口部10aの部分に層間接続電極6となる金属例えば銅（Cu）を充填形成する（電極形成工程P4）。続いて、図9（g）に示すように、厚膜レジスト11を除去して層間接続電極6を独立して形成された状態にする（厚膜レジスト除去工程P5）。以上のようにして、層間接続電極形成工程R4が終了し、層間接続電極6が形成される。

20

【0068】

以下の工程においては、第2の実施形態と同様にして、樹脂層形成工程R5（樹脂層形成工程Q4と同じ）を実施すると共に、加圧硬化処理工程R6（加圧硬化処理工程Q5と同じ）を実施することにより、積層回路モジュール15を得ることができる。

【0069】

このような第3の実施形態によっても同様の効果を得ることができると共に、研削工程R3を層間接続電極6を形成する前に実施するので、層間接続電極6の高さ寸法を半導体チップ5の高さ寸法に対して高くなるように設定することができ、これによって樹脂層16を1層分形成するだけの加工処理で積層回路モジュール15を形成することができるようになる。

30

【0070】

（第4の実施形態）

図11ないし図13は本発明の第4の実施形態を示すもので、第3の実施形態と異なるところは、半導体チップ5を実装した後に、研削工程に先だてて厚膜レジスト10を塗布する工程を実施するようにしたところである。図13はその製造工程を示すもので、下地準備工程T1（下地準備工程R1と同じ）を実施すると共に、図11（a）に示すようにチップ実装工程T2（チップ実装工程R2と同じ）を実施する。

【0071】

続いて、図11（b）に示すように、厚膜レジスト塗布工程T3を実施する。この場合、ここではパターン形成材料である厚膜レジスト18としてポジタイプのレジストを用いている。塗布した後に、厚膜レジスト18を熱硬化させるために、例えば100程度で熱処理する。これは、続く研削処理に対して厚膜レジスト18が損傷を受けないようにするためである。

40

【0072】

そして、厚膜レジスト18を塗布した状態で、続いて図11（c）に示すように、研削工程T4を実施する。つまり、ここでは、厚膜レジスト18と共に半導体チップ5を所定厚さ寸法となるまで研削処理を行うことになる。したがって、厚膜レジスト18としては、研削処理を行ってもこれによって損傷を受けることのない材料を選んで使用することが前提である。

【0073】

50

続いて、図 1 1 (d) に示すように、ポジティブ用のパターニングが施されたフォトマスク 1 9 を研削された面厚膜レジスト 1 8 の表面に位置合わせをして載置して紫外線により露光を行う (露光工程 T 5) 。この後、図 1 1 (e) に示すように、露光された厚膜レジスト 1 8 の現像処理を行って層間接続電極 6 に対応する部分に開口部 1 8 a を形成する (開口部形成工程 T 6) 。

【 0 0 7 4 】

次に、図 1 2 (f) に示すように、形成した開口部 1 8 a に電極金属を充填するように前述したようなめっき処理を行う (電極形成工程 T 7) 。このとき、めっき処理により形成する層間接続電極 6 の高さ寸法は、厚膜レジスト 1 8 の上面よりも突出する所定位置までとされている。開口部 1 8 a の上面部よりも上の部分では層間接続電極 6 はやや広がる傾向となる場合もあるが、実質的に悪影響を及ぼさぬ程度の量である。

10

【 0 0 7 5 】

この後、図 1 2 (g) に示すように、厚膜レジスト 1 8 を除去すると (厚膜レジスト除去工程 T 8) 、第 3 の実施形態における図 9 (g) と同じ状態に形成することができる。この後、同様の製造工程を経て積層回路モジュール 1 5 を得る。具体的には、図 1 2 (h) に示すように、エポキシ系熱硬化性樹脂 1 7 を塗布して樹脂層形成工程 T 9 を実施する。次いで、離型剤 1 4 a を表面に塗布した平板ガラス 1 4 を用いて加圧硬化処理工程 T 9 を実施する。これにより、図 1 2 (j) に示すように、積層回路モジュール 1 5 を得る。そして、このような第 4 の実施形態によっても、第 3 の実施形態と同様の作用硬化を得ることができる。

20

【 0 0 7 6 】

(第 5 の実施形態)

図 1 4 及び図 1 5 は本発明の第 5 の実施形態を示すもので、第 2 , 第 3 あるいは第 4 の実施形態と異なるところは、樹脂層 1 6 を加圧硬化処理工程 Q 5 , R 6 や T 1 0 のように形成するのではなく、熱硬化した樹脂 1 7 を研削することで樹脂層 1 6 を得るようにしたところである。

【 0 0 7 7 】

すなわち、配線基板 2 に実装された半導体チップ 5 は所定厚さ寸法に研削されており、その周辺部には層間接続電極 6 が半導体チップ 5 の高さ寸法よりも高い所定寸法に形成された状態とされた (第 2 の実施形態の図 6 (b) の状態、第 3 の実施形態の図 9 (g) の状態、第 4 の実施形態の図 1 2 (g) の状態) 後に、次の構成が実施される。

30

【 0 0 7 8 】

図 1 5 にその製造工程の一部を示すように、まず、エポキシ系熱硬化性樹脂 1 7 を塗布して樹脂層形成工程 T 9 を実施する (図 1 4 (a) 参照) 。続いて、所定温度で熱処理を行うことで塗布した熱硬化性樹脂 1 7 を硬化させる (熱硬化処理工程 T 1 1) 。この後、図 1 4 (b) に示すように、熱硬化樹脂 1 7 を上面から層間接続電極 6 が露出するまで研削する (研削工程 T 1 2) 。これにより、積層回路モジュール 1 5 を得ることができる。

【 0 0 7 9 】

(第 6 の実施形態)

図 1 6 は本発明の第 6 の実施形態を示すもので、第 4 の実施形態と異なるところは、電極形成工程 T 7 の形成方法とそれ以降の処理工程である。すなわち、この実施形態においては、層間接続電極 2 0 を、めっき処理ではなく印刷処理により形成するようにしたところが異なる。

40

【 0 0 8 0 】

第 4 の実施形態で述べたように、厚膜レジスト 1 8 を露光工程 T 5 を経て開口部形成工程 T 6 により、開口部 1 8 a を形成すると (図 1 1 (e) 参照) 、この後、スクリーン印刷の技術を用いて、スキージ 2 1 により導電性ペースト 2 2 を厚膜レジスト 1 8 の上から印刷処理を行う (図 1 6 (a) 参照) 。これにより、厚膜レジスト 1 8 の開口部 1 8 a の内部に導電性ペースト 2 2 を充填させ、この後、熱硬化処理を行って層間接続電極 2 0 を形成する。

50

【0081】

続いて、図16(b)に示すように、厚膜レジスト18を除去すると、導電性ペースト22により立設された層間接続電極20が得られる。なお、この状態では、印刷処理の関係で、層間接続電極20の高さ寸法を厚膜レジスト18の高さ寸法以上に形成することができないので、半導体チップ5の高さ寸法と同じ寸法に形成されることになる。しがたって、以降の処理工程においては、第4の実施形態と同様の処理工程を実施することができないので、次のようにして処理を実施する。

【0082】

まず、半導体チップ5及び層間接続電極20を覆うようにエポキシ系熱硬化性樹脂を塗布して加圧熱硬化処理工程を行うことで第1層の樹脂層3を形成する。続いて、第1の実施形態における配線電極形成工程S6を実施することで、層間接続電極20の上部に、図16(d)に示すように、パンプ電極9を形成する。続いて、第2層の樹脂層形成工程S7を実施して、パンプ電極9を埋め込むようにして第2層の樹脂層4を形成し、これにより積層回路モジュールを得ることができる。

【0083】

(第7の実施形態)

図17は本発明の第7の実施形態を示すもので、上述の各実施形態と異なり、次のようにして層間接続電極23を形成する。すなわち、配線基板2上に半導体チップ5(厚さ寸法100 μ m程度)を実装し(図17(a)参照)、この状態で、超音波接合装置24を用いて金(Au)製の柱(例えば、高さ200 μ m、直径100 μ m程度の金線)を超音波接合する(図17(b)参照)。この場合、半導体チップ5の実装状態での高さ寸法は150 μ m程度であるから、層間接続電極23は半導体チップ5よりも50 μ m程度高い寸法に設定されている。この後、エポキシ系熱硬化性樹脂12を塗布し(図17(c)参照)、以降は、加圧硬化処理工程を実施して積層回路モジュールを得る。

【0084】

(他の実施形態)

本発明は、上記実施形態にのみ限定されるものではなく、次のように変形また拡張できる。

パターン形成材料として厚膜レジスト10, 18などを用いた場合について説明したが、これに限らず、LIGAプロセス以外に適用される材料であっても、上記目的を達成可能なものであれば使用することができる。

【0085】

第1層の樹脂層3及び第2層の樹脂層4を用いる構成の場合に、同じ樹脂を用いても良いし、異なる種類の樹脂を用いても良い。それらの選択は、応力の関係や親和性あるいは電気的特性などの様々な観点から最適なものを用いることができる。

第2の樹脂層4中に埋込形成しているパンプ電極9は、導電性ペーストを印刷などにより形成しても良い。

【図面の簡単な説明】

【図1】本発明の第1の実施形態を示す処理工程に対応した模式的断面図(その1)

【図2】処理工程に対応した模式的断面図(その2)

【図3】処理工程に対応した模式的断面図(その3)

【図4】工程フロー図(その1)

【図5】工程フロー図(その2)

【図6】本発明の第2の実施形態を示す処理工程に対応した模式的断面図

【図7】工程フロー図

【図8】本発明の第3の実施形態を示す処理工程に対応した模式的断面図(その1)

【図9】処理工程に対応した模式的断面図(その2)

【図10】工程フロー図

【図11】本発明の第4の実施形態を示す処理工程に対応した模式的断面図(その1)

【図12】処理工程に対応した模式的断面図(その2)

10

20

30

40

50

【図13】工程フロー図

【図14】本発明の第5の実施形態を示す処理工程に対応した模式的断面図

【図15】工程フロー図

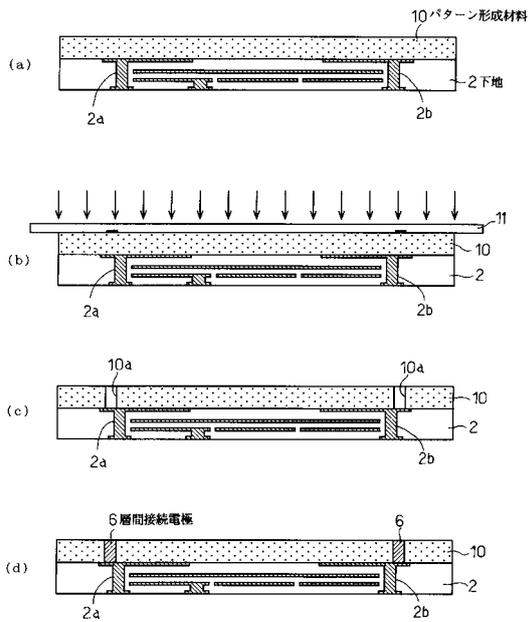
【図16】本発明の第6の実施形態を示す処理工程に対応した模式的断面図

【図17】本発明の第7の実施形態を示す処理工程に対応した模式的断面図

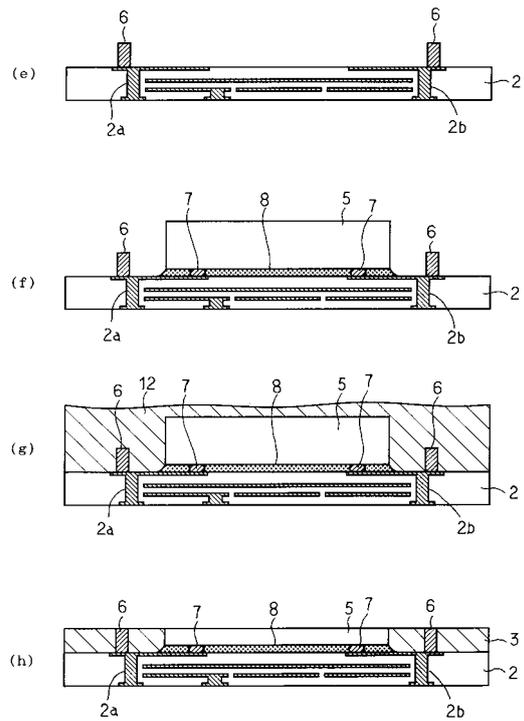
【符号の説明】

1, 15は積層回路モジュール、2は配線基板、3は第1層の樹脂層、4は第2層の樹脂層、5は半導体チップ、6, 20, 23は層間接続電極、7はパンプ電極、8は異方性導電ペースト、9はパンプ電極、10, 18は厚膜レジスト(パターン形成材料)、10aは開口部、11, 19はフォトマスク、12, 13, 17はエポキシ系熱硬化性樹脂、14は平板ガラス、14aは離型剤、16は樹脂層、21はスキージ、22は導電性ペースト、24は超音波接合装置である。

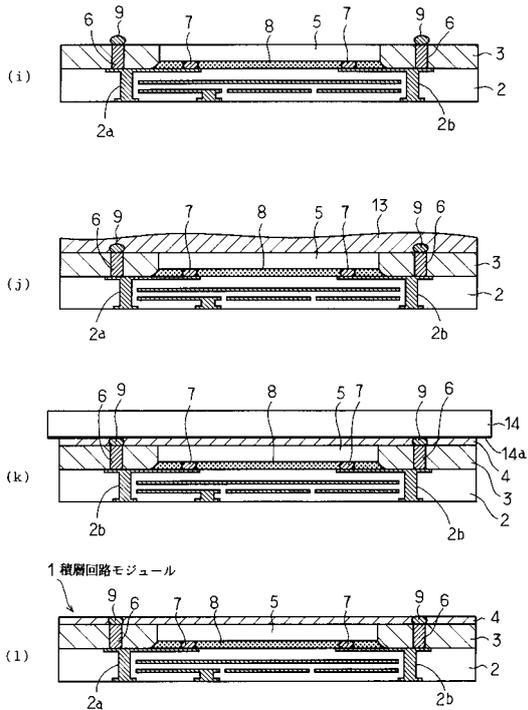
【図1】



【図2】



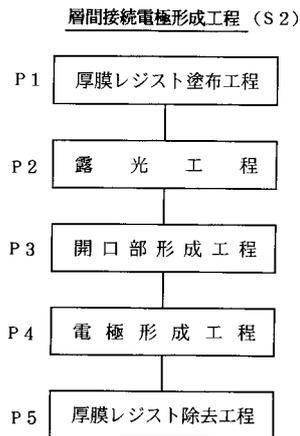
【図3】



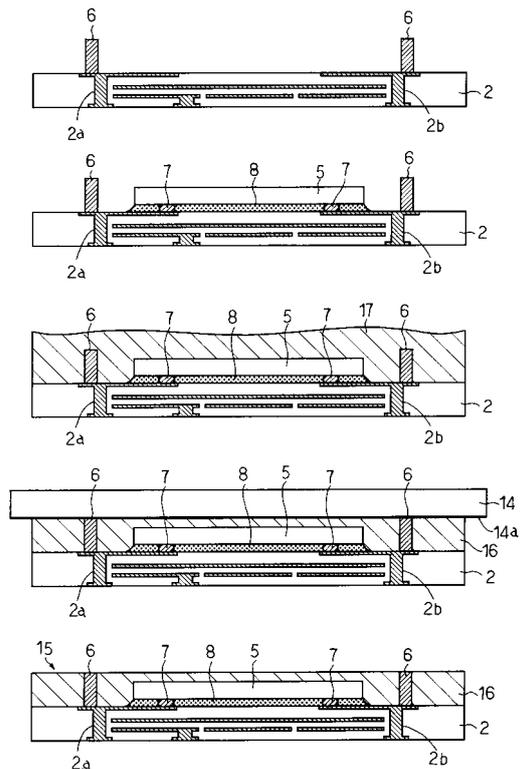
【図4】



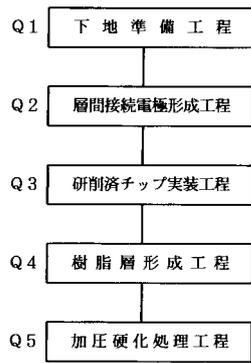
【図5】



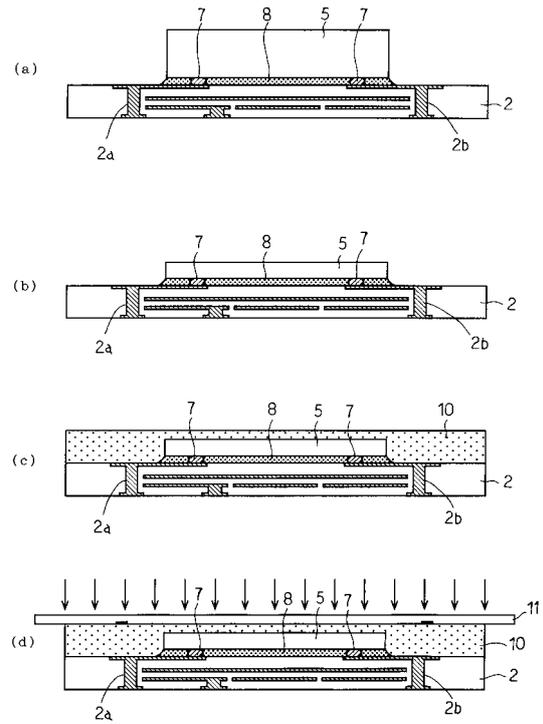
【図6】



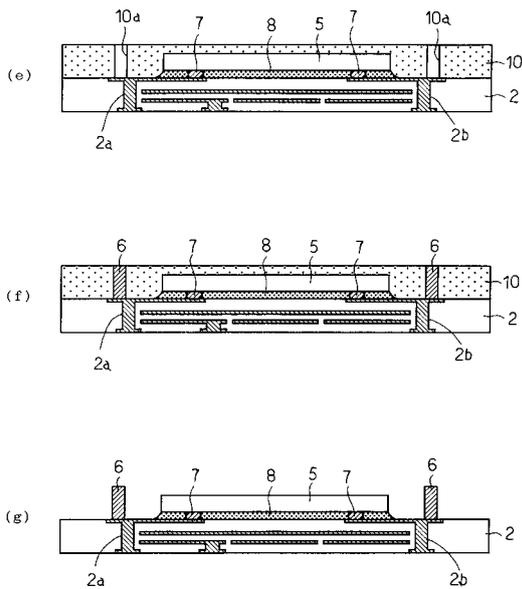
【図7】



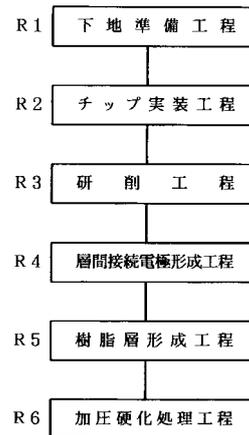
【図8】



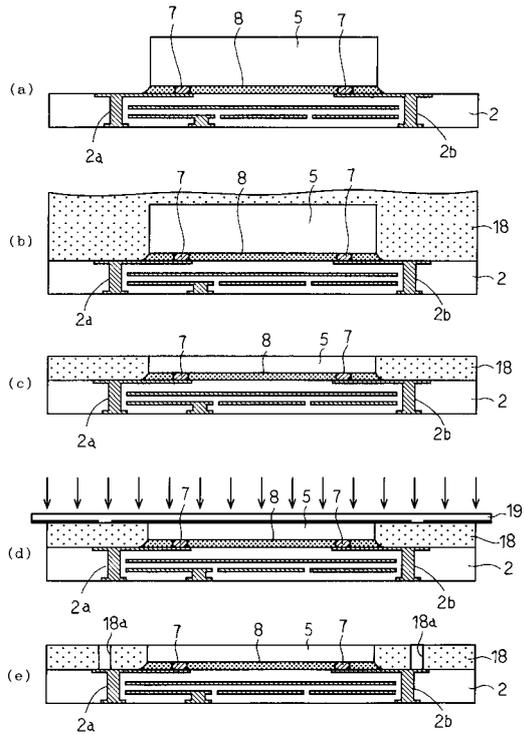
【図9】



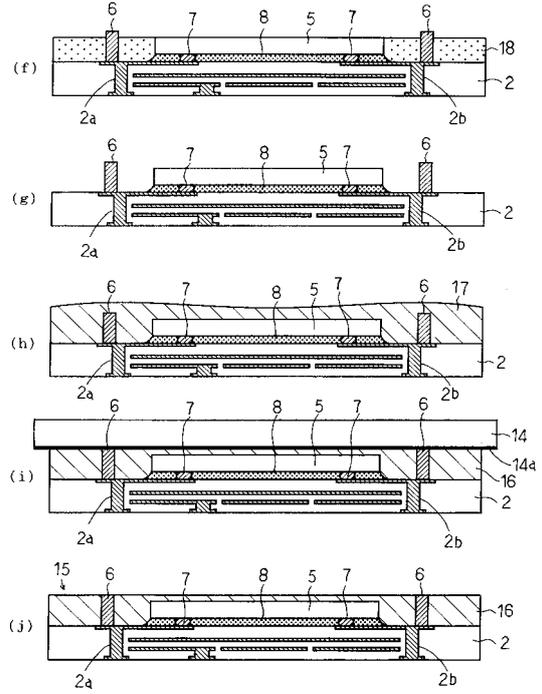
【図10】



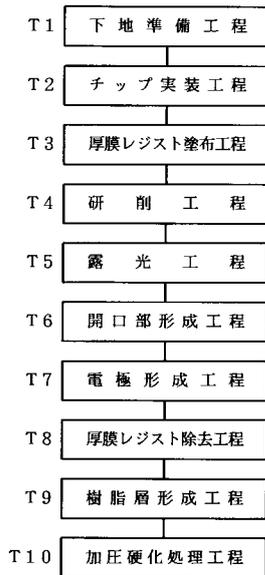
【図11】



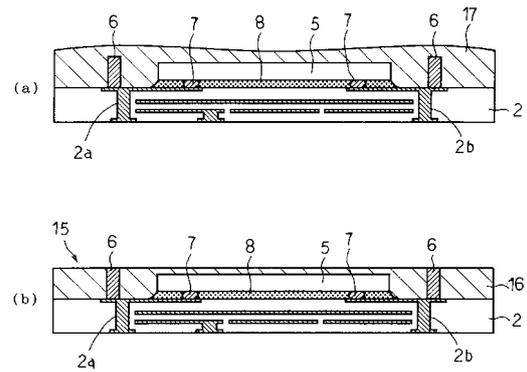
【図12】



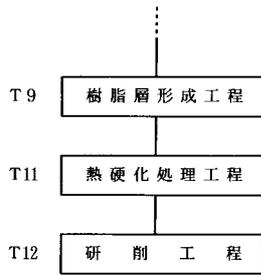
【図13】



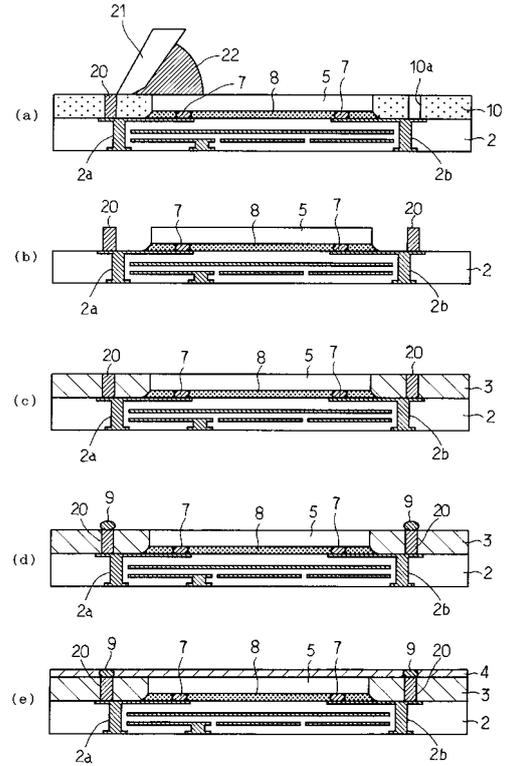
【図14】



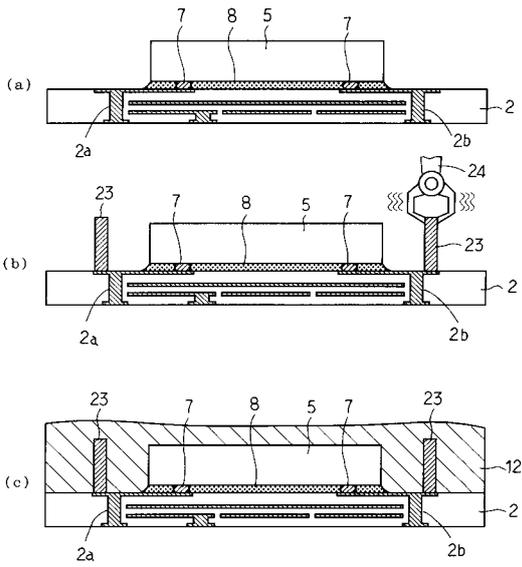
【図15】



【図16】



【図17】



フロントページの続き

- (56)参考文献 特開2001-110829(JP,A)
特開2000-091496(JP,A)
特開2000-183283(JP,A)
特開昭61-125062(JP,A)
特開2002-343904(JP,A)
特開2001-168269(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 25/10
H01L 25/11
H01L 25/18
H01L 23/52