



(12) 发明专利申请

(10) 申请公布号 CN 113228282 A

(43) 申请公布日 2021.08.06

(21) 申请号 202180001192.6

H01L 27/1157 (2017.01)

(22) 申请日 2021.03.29

H01L 21/324 (2006.01)

(85) PCT国际申请进入国家阶段日
2021.05.19

H01L 21/02 (2006.01)

H01L 21/67 (2006.01)

(86) PCT国际申请的申请数据

PCT/CN2021/083492 2021.03.29

(71) 申请人 长江存储科技有限责任公司

地址 430074 湖北省武汉市东湖新技术开
发区未来三路88号

(72) 发明人 李拓 蒲浩 李磊 吴采宇

(74) 专利代理机构 北京永新同创知识产权代理
有限公司 11376

代理人 于景辉 李文彪

(51) Int. Cl.

H01L 27/11582 (2017.01)

权利要求书3页 说明书12页 附图10页

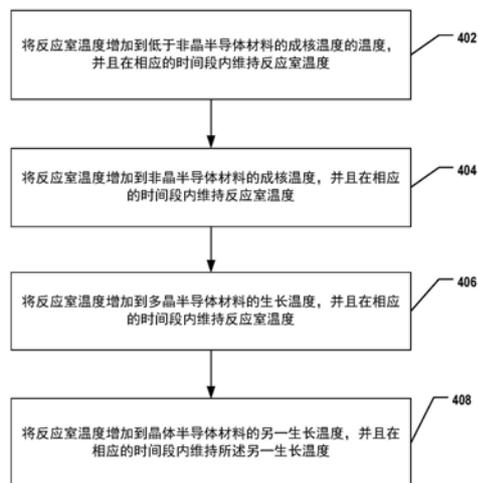
(54) 发明名称

用于增大半导体器件中的多晶硅晶粒尺寸的
阶梯式退火工艺

(57) 摘要

公开了半导体制作方法和半导体器件。根据
一些方面,一种存储器件包括在衬底上的具有交
替的多个导电层和多个绝缘层的存储堆叠层、以
及在存储堆叠层中垂直延伸的沟道结构。沟道结
构包括在存储堆叠层中垂直延伸并且导电连接
至源极结构的半导体沟道。该半导体沟道包括多
晶硅,并且多晶硅的晶粒尺寸在100nm到600nm的
范围内。

400



1. 一种存储器件,包括:
存储堆叠层,所述存储堆叠层包括在衬底上的交替的多个导电层和多个绝缘层;以及
沟道结构,所述沟道结构在所述存储堆叠层中垂直延伸,所述沟道结构包括在所述存储堆叠层中垂直延伸并且导电连接至源极结构的半导体沟道,其中:
所述半导体沟道包括多晶硅,并且
所述多晶硅的晶粒尺寸在100nm到600nm的范围内。
2. 根据权利要求1所述的存储器件,其中,所述半导体沟道包括内层和所述内层之上的外层,所述外层更远离所述半导体沟道的中心,并且其中,
所述内层的第一晶粒尺寸小于所述外层的第二晶粒尺寸。
3. 根据权利要求1或2所述的存储器件,其中,所述多晶硅包括未掺杂的多晶硅。
4. 根据权利要求1-3中的任一项所述的存储器件,其中,所述沟道结构还包括存储膜,所述存储膜包括阻隔层、隧穿层和存储层,其中,
所述阻隔层、所述存储层、所述隧穿层和所述半导体沟道从所述沟道结构的内表面到所述沟道结构的中心向内布置。
5. 根据权利要求1-4中的任一项所述的存储器件,其中,所述半导体沟道导电连接至所述沟道结构的底部处的半导体部分,所述半导体部分导电连接至所述源极结构。
6. 根据权利要求1-5中的任一项所述的存储器件,其中:
所述多个导电层包括钨、钴、铜、铝、硅化物或多晶硅中的至少一种;并且
所述绝缘层包括氧化硅、氮化硅或氮氧化硅中的至少一种。
7. 一种用于形成存储器件中的沟道结构的方法,包括:
在衬底之上形成包括交替的多个第一堆叠层和多个第二堆叠层的堆叠结构;
形成在所述堆叠结构中垂直延伸的沟道孔;
在所述沟道孔的内表面之上沉积半导体材料层,所述半导体材料层包括非晶材料;以及
将所述半导体材料层转化为半导体层,所述半导体层包括多晶材料,其中,转化工艺包括多个阶段,并且所述阶段包括:
在第一时间段内在所述非晶材料的成核温度处执行的第一阶段,以及
在第二时间段内在所述多晶材料的生长温度处执行的第二阶段,所述第一时间段和所述第二时间段均大于零。
8. 根据权利要求7所述的方法,其中,所述生长温度高于所述成核温度。
9. 根据权利要求7或8所述的方法,其中,所述第一阶段包括在低于所述非晶材料的所述成核温度的第一温度处执行的第一周期、以及在所述非晶材料的所述成核温度处执行的第二周期,所述第一温度和所述成核温度之间的差在所述成核温度的3%和3.5%之间。
10. 根据权利要求7或8所述的方法,其中,所述第一阶段包括在所述非晶材料的所述成核温度处执行的第一周期、以及在高于所述非晶材料的所述成核温度的第二温度处执行的第二周期,所述第二温度和所述成核温度之间的差在所述成核温度的3%和3.5%之间。
11. 根据权利要求7-10中的任一项所述的方法,其中,所述非晶材料包括未掺杂的非晶硅,并且所述多晶材料包括未掺杂的多晶硅。
12. 根据权利要求11所述的方法,其中,所述生长温度等于或者低于750摄氏度。

13. 根据权利要求11或12所述的方法,其中,所述未掺杂的非晶硅是在低于所述成核温度的温度处沉积的。

14. 根据权利要求7-13中的任一项所述的方法,其中,所述转化工艺包括退火工艺。

15. 根据权利要求14所述的方法,其中,所述退火工艺是在氢气中执行的。

16. 根据权利要求7-15中的任一项所述的方法,还包括:

在所述半导体层之上沉积第二半导体材料层,所述第二半导体材料层包括所述非晶材料;以及

将所述第二半导体材料层转化为第二半导体层,所述第二半导体层包括多晶材料,其中,所述第二转化工艺包括针对所述半导体层和所述第二半导体材料层的第二退火工艺。

17. 根据权利要求16所述的方法,其中,所述第二退火工艺包括:

在所述第一时间段内在所述非晶材料的所述成核温度处执行的第一阶段,以及

在所述第二时间段内在所述多晶材料的所述生长温度处执行的第二阶段,所述第一时间段和所述第二时间段均大于零。

18. 根据权利要求7-17中的任一项所述的方法,还包括在所述沟道孔的所述内表面和所述半导体材料层之间沉积存储膜,其中,所述存储膜包括所述内表面上的阻隔层、所述阻隔层上的存储层、以及所述存储层上的隧穿层。

19. 一种用于在半导体器件中形成多晶层的方法,包括:

在表面上沉积非晶材料层;以及

将所述非晶材料层转化为多晶材料层,其中,转化工艺包括多个阶段,并且所述阶段包括:

在第一时间段内在所述非晶材料的成核温度处执行的第一阶段,以及

在第二时间段内在所述多晶材料的生长温度处执行的第二阶段,所述第一时间段和所述第二时间段均大于零。

20. 根据权利要求19所述的方法,其中,所述生长温度高于所述成核温度。

21. 根据权利要求19或20所述的方法,其中,所述第一阶段包括在低于所述非晶材料的所述成核温度的第一温度处执行的第一周期、以及在所述非晶材料的所述成核温度处执行的第二周期,所述第一温度和所述成核温度之间的差在所述成核温度的3%和3.5%之间。

22. 根据权利要求19或20所述的方法,其中,所述第一阶段包括在所述非晶材料的所述成核温度处执行的第一周期、以及在高于所述非晶材料的所述成核温度的第二温度处执行的第二周期,所述第二温度和所述成核温度之间的差在所述成核温度的3%和3.5%之间。

23. 根据权利要求19-22中的任一项所述的方法,其中,所述非晶材料包括非晶半导体材料或金属中的至少一种,并且所述多晶材料包括结晶半导体材料或金属中的至少一种。

24. 根据权利要求19-23中的任一项所述的方法,还包括:

在所述多晶材料上沉积另一非晶材料层;以及

将所述另一非晶材料层转化为另一多晶材料层,其中,第二转化工艺包括所述多个阶段,并且所述阶段包括:

在所述第一时间段内在所述非晶材料的所述成核温度处执行的所述第一阶段,以及

在所述第二时间段内在所述多晶材料的所述生长温度处执行的所述第二阶段,所述第一时间段和所述第二时间段均大于零。

25. 一种半导体制造设备,包括:
反应室;
位于所述反应室中的衬底支架,所述衬底支架用于固持衬底;
所述反应室中的加热器,所述加热器用于控制多个工艺温度;以及
气体源,所述气体源通过气体管线连接至所述反应室,并且所述气体源至少包括氢气,
其中:

所述反应室和所述加热器被配置为对所述衬底执行热处理,从而将非晶材料转化为多晶材料;并且

所述多个工艺温度包括处于所述非晶材料的成核温度的第一温度以及处于所述多晶材料的生长温度的第二温度。

26. 根据权利要求25所述的半导体制造设备,其中,所述生长温度高于所述成核温度。

27. 根据权利要求25或26所述的半导体制造设备,其中,所述多个工艺温度在从560摄氏度到800摄氏度的范围内。

28. 根据权利要求25-27中的任一项所述的半导体制造设备,其中,加热器被配置为使所述多个工艺温度均保持相应的时间段。

用于增大半导体器件中的多晶硅晶粒尺寸的阶梯式退火工艺

背景技术

[0001] 本公开涉及半导体制作及其形成的半导体器件。

[0002] 通过改善工艺技术、电路设计、程序设计算法和制作工艺使诸如存储单元的平面半导体器件缩放到更小的尺寸。但是,随着半导体器件的特征尺寸接近下限,平面工艺和制作技术变得更加困难,而且成本更加高昂。3D半导体器件架构能够解决一些平面半导体器件(例如,闪速存储器件)中的密度限制。

[0003] 可以通过堆叠半导体晶圆或管芯并且对它们进行垂直互连而形成3D半导体器件,使得所得到的结构充当单个器件,从而相对于常规平面工艺以减小的功率和更小的占有面积实现性能改善。在用于堆叠半导体衬底的各种技术中,诸如混合接合的接合被认为是一种有前景的技术,因为其能够形成高密度互连。

发明内容

[0004] 本文公开了用于形成半导体制作的结构和方法及其形成的半导体器件。

[0005] 在一个方面中,一种存储器件包括衬底上的具有交替的多个导电层和多个绝缘层的存储堆叠层、以及在存储堆叠层中垂直延伸的沟道结构。沟道结构包括在该存储堆叠层中垂直延伸并且导电连接至源极结构的半导体沟道。该半导体沟道包括多晶硅,并且多晶硅的晶粒尺寸在100nm到600nm的范围内。

[0006] 在另一个方面中,一种用于形成存储器件中的沟道结构的方法包括:在衬底之上形成具有交替的多个第一堆叠层和多个第二堆叠层的堆叠结构;形成在该堆叠结构中垂直延伸的沟道孔;以及在沟道孔的内表面之上沉积半导体材料层。该半导体材料层包括非晶材料。该方法还包括将半导体材料层转化为半导体层。该半导体层具有多晶材料。转化工艺包括多个阶段,并且所述阶段包括在第一时间段内在非晶材料的成核温度处执行的第一阶段、以及在第二时间段内在多晶材料的生长温度处执行的第二阶段,第一时间段和第二时间段均大于零。

[0007] 在又一方面中,一种用于形成半导体器件中的多晶层的方法包括:在表面上沉积非晶材料;以及将非晶材料转化为多晶材料。转化工艺包括多个阶段,并且所述阶段包括在第一时间段内在非晶材料的成核温度处执行的第一阶段、以及在第二时间段内在多晶材料的生长温度处执行的第二阶段,第一时间段和第二时间段均大于零。

[0008] 在又一方面中,一种半导体制造设备包括反应室、位于反应室中的用于保持衬底的衬底支架、以及反应室中的用于控制多个工艺温度的加热器。该半导体制造设备还包括通过气体管线连接至反应室的气体源,并且该气体源至少具有氢气。反应室和加热器被配置为对衬底执行热处理,从而将非晶材料转化为多晶材料。多个工艺温度包括非晶材料的成核温度的第一温度和生长温度的第二温度。

附图说明

[0009] 被并入本文并形成说明书的一部分的附图示出了本公开的方面并与说明书一起

进一步用以解释本公开,并使相关领域的技术人员能够制作和使用本公开。

[0010] 图1示出了根据本公开的一些方面的示范性3D存储器件的截面图。

[0011] 图2A-2D示出了根据本公开的一些方面的在制造工艺的不同阶段处的示范性3D存储器件的截面图。

[0012] 图3示出了根据本公开的一些方面的用于形成3D存储器件的示范性方法的流程图。

[0013] 图4示出了根据本公开的一些方面的用于退火工艺的示范性方法的流程图。

[0014] 图5示出了根据本公开的一些方面的在退火工艺中作为时间的函数的室温度。

[0015] 图6A示出了根据本公开的一些方面的示出由退火工艺形成的半导体沟道的晶粒尺寸的电子显微镜图像。

[0016] 图6B示出了示出由退火工艺形成的半导体沟道的晶粒尺寸的电子显微镜图像。

[0017] 图7示出了根据本公开的一些方面的示范性半导体制造设备。

[0018] 将参考附图描述本公开。

具体实施方式

[0019] 尽管讨论了具体构造和布置,但是应当理解这只是为了说明性目的。照此,在不脱离本公开的范围的情况下可以使用其他构造和布置。而且,还可以在各种各样的其他应用中采用本公开。如在本公开中描述的功能和结构特征可以彼此组合、调整、和修改,并且以未在附图中具体描绘的方式组合、调整、和修改,使得这些组合、调整、和修改在本公开的范围之内。

[0020] 通常,可以至少部分地根据上下文中的使用来理解术语。例如,至少部分地根据上下文,本文所使用的术语“一个或多个”可以用于描述单数意义上的任何特征、结构、或特性,或者可以用于描述复数意义上的特征、结构、或特性的组合。类似地,至少部分地根据上下文,诸如“一个”或“所述”的术语可以同样被理解为表达单数用法或表达复数用法。另外,至少部分地根据上下文,术语“基于”可以被理解为不一定旨在传达一组排他的因素,并且可以代替地允许存在不一定清楚描述的附加因素。

[0021] 应当容易理解,在本公开中“上”、“上方”和“之上”的含义应当以最广义的方式进行解释,使得“上”不仅意味着“直接在某物上”,而且还包括“在某物上”并且其间具有中间特征或层的含义,并且“上方”或“之上”不仅意味着在某物“上方”或“之上”的含义,而且还包括在某物“上方”或“之上”并且其间没有中间特征或层(即,直接在某物上)的含义。

[0022] 此外,为了便于描述,在本文中可以使用诸如“之下”、“下方”、“下部”、“上方”、“上部”等空间相对术语,以描述一个元件或特征与另一个(一个或多个)元件或(一个或多个)特征的如图中所示的关系。除了在图中描述的取向以外,空间相对术语还旨在涵盖器件在使用或操作中的不同取向。设备可以以其他方式定向(旋转90度或以其他取向),并且在本文使用的空间相对描述语可以以类似方式被相应地解释。

[0023] 如本文所使用的,术语“层”是指包括具有厚度的区的材料部分。层可以在整个下层结构或上覆结构之上延伸,或者可以具有小于下层结构或上覆结构的范围。此外,层可以是均质或不均质连续结构的区,所述区具有的厚度小于连续结构的厚度。例如,层可以位于在连续结构的顶表面和底表面之间或在连续结构的顶表面和底表面处的任何一对水平平

面之间。层可以水平地、垂直地和/或沿着锥形表面延伸。衬底可以是一层,可以在其中包括一个或多个层,和/或可以在其上、其上方和/或其下方具有一个或多个层。层可以包括多层。例如,互连层可以包括一个或多个导体和接触层(在其中形成互连线和/或过孔触点)和一个或多个电介质层。

[0024] 如文中使用的,术语“衬底”是指在其上添加后续材料层的材料。能够对衬底本身图案化。添加在衬底顶部上的材料可以被图案化,或者可以保持不被图案化。此外,衬底可以包括宽范围的一系列材料,例如,硅、锗、砷化镓、磷化铟等。或者,衬底可以由非导电材料制成,所述非导电材料例如,玻璃、塑料或者蓝宝石晶圆。

[0025] 如文中使用的,术语“3D存储器件”是指在横向定向的衬底上具有垂直定向的存储单元晶体管串(文中称为“存储串”,例如,NAND存储串)的半导体器件,从而存储串相对于衬底在垂直方向上延伸。如文中使用的,术语“垂直的/垂直地”指标称地垂直于衬底的横向表面。

[0026] 如本文中使用的,术语“以温度”是指在具体温度的合理邻域内。例如,“以温度X”是指在温度X的 $\pm 5\%$ 、 $\pm 10\%$ 或 $\pm 15\%$ 内。

[0027] 3D存储器件包括由栅极导电层和存储串的相交形成的存储单元在。3D存储器件中,使电子和空穴在存储串的漏极和源极之间的半导体沟道中输送,以实现3D存储器件的操作,例如,读取、编程和擦除。半导体沟道往往包括半导体材料(例如,多晶硅)层,其在被偏置时变得导电。半导体沟道的性能/功能往往受该半导体材料的晶体特性和质量的影响。例如,半导体沟道的厚度均匀性和晶粒尺寸可能对载流子迁移率存在影响。随着3D存储器件的堆叠层由于更高的存储容量需求而变得更高,将在具有更大深度的沟道孔中形成半导体沟道。使用当前技术形成具有预期均匀厚度和晶粒尺寸的半导体沟道变得更加困难。

[0028] 用于形成半导体沟道的当前制作工艺包括在沟道孔中沉积非晶硅层并且将非晶硅层转化为多晶态硅(即多晶硅)层。该转化工艺往往包括退火工艺,其中,将反应室温度增加到高于非晶硅的成核温度的温度,并且在周期时间内保持温度。也就是说,在退火工艺期间使反应室温度在非晶硅的成核温度以上保持恒定。在相同的反应室温度下,非晶硅能够成核,并且晶核能够生长,以形成为多晶硅的多晶材料。由于成核和生长是在相同温度下发生的,因而这两个工艺可能相互干扰。其结果是通过这一工艺形成的多晶硅往往具有100nm到300nm的范围内的晶粒尺寸。由于晶粒尺寸往往与电子迁移率成比例相关联,例如,更大的晶粒尺寸产生更高的载流子迁移率,反之亦然,因而由当前退火工艺形成的晶粒尺寸仅能够导致可以满足具有少量级(例如,128级或以下)的3D存储器件的器件速度。然而,对于增加的高度的3D存储器件(例如,192级或更多级的3D存储器件)而言,当前晶粒尺寸过小,无法提供预期的载流子迁移率/器件速度。为了提高增加的级的3D存储器件的载流子迁移率,必须增大半导体沟道的晶粒尺寸。

[0029] 根据本公开的各种实施方式提供了用于形成3D存储器件的结构和方法,所述3D存储器件所具有的半导体沟道具有增加的晶粒尺寸。所述半导体沟道的晶粒尺寸在100nm到600nm的范围内。可以使用“阶梯式退火工艺”来调节反应室/退火温度,以形成具有增大的晶粒尺寸的半导体沟道。该阶梯式退火工艺具有多个阶段,这些阶段至少包括在相应的时间段内在非晶硅的成核温度处的第一阶段和在相应的时间段内在多晶硅的生长温度处的第二阶段。第二阶段是在第一阶段之后执行的,并且生长温度高于成核温度。在第一阶段

内,反应室温度保持在成核温度,从而允许晶核形成并稳定。在第二阶段内,反应室温度保持在生长温度,从而允许晶核按照预期的高速度生长。与针对成核和生长两者保持高于成核温度的同一温度的当前退火工艺相比,所提供的方法采用至少两个阶段,从而将成核工艺和生长工艺分开。成核和生长均可以变得更有效率,从而允许形成增大的晶粒尺寸。在一些实施方式中,取决于制作工艺,可以在第一阶段之前和/或在第二阶段之后执行一个或多个阶段,从而优化膜质量并且使晶粒尺寸最大化。在一些实施方式中,在退火工艺中采用所具有的温度高于当前制作方法中的温度的阶段,并且因而能够减少结晶所需的总退火时间。相应地,能够减少制造成本。

[0030] 图1示出了根据本公开的一些方面的示例性3D存储器件100的截面图。3D存储器件100可以包括衬底102,衬底102可以包括硅(例如,单晶硅)、硅锗(SiGe)、砷化镓(GaAs)、锗(Ge)、绝缘体上硅(SOI)、绝缘体上锗(GOI)或者任何其他适当的材料。在一些实施方式中,衬底102是通过研磨、蚀刻、化学机械抛光(CMP)或其任何组合被减薄的减薄衬底(例如,半导体层)。应当指出,在图1中包括x轴和y轴是为了进一步示出3D存储器件100中的部件的空间关系。3D存储器件100的衬底102包括两个在x方向(即,横向方向)上横向延伸的横向表面(例如,顶表面和底表面)。如文中所使用的,当3D存储器件的衬底(例如,衬底202)在y方向上处于3D存储器件的最低平面中时,该3D存储器件(例如,3D存储器件100)的一个部件(例如,层或器件)是处于另一部件(例如,层或器件)“上”、“上方”还是“下方”是在y方向(即,垂直方向)上相对于该衬底确定的。在本公开中将通篇采用相同的概念来描述空间关系。

[0031] 3D存储器件100可以是单片式3D存储器件的一部分。术语“单片式”是指3D存储器件的部件(例如,外围器件和存储阵列器件)形成在单个衬底上。对于单片3D存储器件而言,由于外围器件处理和存储阵列器件处理的错综复杂,制造面临额外的限制。例如,存储阵列器件(例如,NAND存储串)的制造受到与已经形成在或者将要形成在同一衬底上的外围器件相关联的热预算的限制。

[0032] 替代地,3D存储器件100可以是非单片式3D存储器件的一部分,其中,部件(例如,外围器件和存储阵列器件)可以单独地形成在不同的衬底上,并且之后按照例如面对面的方式接合。在一些实施方式中,存储阵列器件衬底(例如,衬底102)留作接合的非单片式3D存储器件的衬底,并且使外围器件(包括用于促进3D存储器件100的操作的任何适当的数字、模拟和/或混合信号外围电路,例如页缓冲器、解码器和锁存器;未示出)翻转并朝下面向存储阵列器件(例如,NAND存储串),以用于混合接合。应当理解,在一些实施方式中,存储阵列器件衬底(例如,衬底102)被翻转并且朝下面向外围器件(未示出)以用于混合接合,使得在接合的非单片式3D存储器件中,存储阵列器件处于外围器件上方。存储阵列器件衬底(例如,衬底102)可以是减薄衬底(其并非接合的非单片式3D存储器件的衬底),并且可以在减薄的存储阵列器件衬底的背面上形成非单片式3D存储器件的后道工序(BEOL)互连。

[0033] 在一些实施方式中,3D存储器件100是NAND闪速存储器件,其中,存储单元是以NAND存储串110的阵列的形式提供的,NAND存储串均在衬底102上方垂直延伸。存储阵列器件可以包括延伸穿过多个对的NAND存储串110,所述多个对均包括导电层106和电介质层108(本文被称为“导电/电介质层对”)。堆叠的导电/电介质层对在文中又被称为“存储堆叠层”104。在一些实施方式中,在衬底102和存储堆叠层104之间形成焊盘氧化物层(未示出)。存储堆叠层104中的导体/电介质层对的数量确定3D存储器件100中的存储单元的数量。存

储堆叠层104可以包括交替的导电层106和电介质层108。存储堆叠层104中的导电层106和电介质层108可以在垂直方向上交替。导电层106可以包括导电材料,包括但不限于钨(W)、钴(Co)、铜(Cu)、铝(Al)、多晶硅、掺杂的硅、硅化物或其任何组合。电介质层108可以包括电介质材料,包括但不限于氧化硅、氮化硅、氮氧化硅或其任何组合。

[0034] 如图1中所示,NAND存储串110可以包括垂直地延伸穿过存储堆叠层104的沟道结构114。沟道结构114可以包括填充有半导体材料(例如,作为半导体沟道116)和电介质材料(例如,作为存储膜118)的沟道孔。在一些实施方式中,存储膜118是包括隧穿层、存储层(又称为“电荷捕获层”)和阻隔层的复合层。沟道结构114的其余空间可以部分地或者全部地填充有包括电介质材料(例如,氧化硅)的填充层120。沟道结构114可以具有圆柱形状(例如,柱形形状)。根据一些实施方式,填充层120、半导体沟道116、隧穿层、存储层和阻隔层从柱的中间向柱的外表面按此顺序沿径向布置。隧穿层可以包括氧化硅、氮氧化硅或其任何组合。存储层可以包括氮化硅、氮氧化硅或其任何组合。阻隔层可以包括氧化硅、氮氧化硅、高介电常数(高k)电介质或其任何组合。在一个示例中,存储膜118可以包括氧化硅/氮氧化硅(或氮化硅)/氧化硅(ONO)的复合层。

[0035] 半导体沟道116可以包括半导体层,其在被偏置时变得导电。电子和空穴可以在半导体沟道116中被垂直输送。在一些实施方式中,半导体沟道116包括未掺杂的多晶态硅,即未掺杂的多晶硅。未掺杂的多晶硅的晶粒尺寸可以在100nm到600nm的范围内(例如,100nm、150nm、200nm、250nm、300nm、350nm、400nm、450nm、500nm、550nm、600nm或者任何其他适当的值)。在一些实施方式中,未掺杂的多晶硅的晶粒尺寸可以高达800nm(例如,650nm、700nm、750nm、800nm或者任何其他适当的值)。与通过当前制作工艺形成的半导体沟道相比,未掺杂的多晶硅的增大的晶粒尺寸能够有效地提高3D存储器件100的载流子迁移率,并因而提高其器件速度,从而为具有增多的级(例如,导电/电介质层对)的3D存储器件提供预期的器件速度。

[0036] 在一些实施方式中,半导体沟道116包括内层和与内层接触的外层(未示出)。内层和外层均可以包括未掺杂的多晶硅。内层可以更接近沟道结构114的中心,而外层则可以更远离沟道结构114的中心。内层可以具有第一晶粒尺寸,并且外层可以具有第二晶粒尺寸。第一晶粒尺寸可以比第二晶粒尺寸小。在一些实施方式中,第一晶粒尺寸可以在100nm到500nm的范围内(例如,100nm、150nm、200nm、250nm、300nm、350nm、400nm、450nm、500nm或者任何其他适当的值)。在一些实施方式中,第二晶粒尺寸可以在300nm到800nm的范围内(例如,300nm、350nm、400nm、450nm、500nm、550nm、600nm、650nm、700nm、750nm、800nm或者任何其他适当的值)。

[0037] 在一些实施方式中,存储堆叠层104中的导电层106(均是字线的部分)充当NAND存储串110中的存储单元的栅极导体。导电层106可以包括多个NAND存储单元的多个控制栅,并且可以作为终止于存储堆叠层104的边缘处的字线横向延伸(例如,在存储堆叠层104的阶梯结构中)。在一些实施方式中,NAND存储串110中的存储单元晶体管包括由钨制成的栅极导体(例如,与沟道结构114毗邻的导电层106的部分)、包括钛/氮化钛(Ti/TiN)或者钽/氮化钽(Ta/TaN)的粘合剂层(未示出)、由高k电介质材料制成的栅极电介质层(未示出)、以及包括多晶硅的沟道结构214。

[0038] 在一些实施方式中,NAND存储串110还包括在NAND存储串110的下部部分中(例如,

在下端处)的在沟道结构114下方的半导体插塞112。如文中所使用的,在衬底102被放置在3D存储器件100的最低平面中时,部件(例如,NAND存储串110)的“上端”是在y方向上更远离衬底102的一端,部件(例如,NAND存储串110)的“下端”是在y方向上更接近衬底102的一端。半导体插塞112可以包括从衬底102在任何适当方向上外延生长的半导体材料,例如,硅。应当理解,在一些实施方式中,半导体插塞112包括单晶硅,即与衬底102相同的材料。换言之,半导体插塞112可以包括与衬底102的材料相同的外延生长半导体层。在一些实施方式中,可以沉积半导体插塞112。在一些实施方式中,半导体插塞112的部分在衬底102的顶表面上方并且与半导体沟道116接触。半导体插塞112可以充当由NAND存储串110的源极选择栅控制的通道,并且导电连接至NAND存储串110的源极结构。应当理解,在一些实施方式中,3D存储器件100不包括半导体插塞112。

[0039] 在一些实施方式中,NAND存储串110还包括在NAND存储串110的上部中(例如,在上端处)的沟道插塞122。沟道插塞122可以与半导体沟道116的上端接触。沟道插塞122可以包括半导体材料(例如,多晶硅)。通过在3D存储器件100的制作期间覆盖沟道结构114的上端,沟道插塞122能够充当蚀刻停止层,从而防止对填充在沟道结构114中的电介质(例如氧化硅和氮化硅)的蚀刻。在一些实施方式中,沟道插塞122还充当NAND存储串110的漏极。应当理解,在一些实施方式中,3D存储器件100不包括沟道插塞122。

[0040] 图2A-2D示出了根据本公开的一些方面的在制造工艺的不同阶段处的示例性3D存储器件200的截面图。3D存储器件200可以是3D存储器件100的示例。图3示出了根据本公开的一些方面的用于形成3D存储器件200的示例性方法300的流程图。图4示出了根据本公开的一些方面的用于执行方法300中的退火工艺的示例性方法400的流程图。图5示出了根据一些实施方式的退火工艺中的不同阶段。出于更好地解释本公开的目的,将图2A-2D、图3、图4和图5放在一起描述。应当理解,方法300和400中所示的操作并不具有排他性,并且也可以在所示操作中的任何操作之前、之后或之间执行其他操作。此外,所述操作中的一些可以是同时执行的或者可以是按照不同于图2A-2D、图3、图4和图5所示的顺序执行的。

[0041] 如图3中所示,方法300开始于操作302,其中,在衬底上形成具有交替的多个第一堆叠层和多个第二堆叠层的堆叠结构。图2A示出了对应的结构。

[0042] 如图2A中所示,堆叠结构204形成在衬底202上。堆叠结构204包括多个交替的第一堆叠层208和第二堆叠层206。衬底202可以是硅衬底,并且第一堆叠层208和第二堆叠层206可以交替地沉积在衬底202上,以形成堆叠结构204。在一些实施方式中,堆叠结构204是电介质堆叠层,每个第一堆叠层208是第一电介质层,并且每个第二堆叠层206是不同于第一电介质层的第二电介质层(又名牺牲层)。在一些实施方式中,每个第一堆叠层208可以包括氧化硅层,并且每个第二堆叠层206可以包括氮化硅层。堆叠结构204可以由一种或多种薄膜沉积工艺形成的,所述工艺包括但不限于化学气相沉积(CVD)、物理气相沉积(PVD)、原子层沉积(ALD)或其任何组合。在一些实施方式中,通过在衬底202上沉积电介质材料(例如,氧化硅)而在衬底202和堆叠结构204之间形成焊盘氧化物层(未示出)。在一些实施方式中,每个第一堆叠层208是电介质层(例如氧化硅层或氮化硅层);并且每个第二堆叠层206是导电层,例如,掺杂的多晶硅层。

[0043] 重新参考图3,方法300进行至操作304,在该操作中,形成延伸穿过堆叠结构的沟道孔。图2B示出了对应的结构。

[0044] 如图2B中所示,在堆叠结构204中形成开口224。开口224垂直地延伸穿过交替的第一堆叠层208和第二堆叠层206。开口224是穿过交替的第一堆叠层208和第二堆叠层206蚀刻而成的,并且形成了用于3D存储器件200的沟道结构的沟道孔。在一些实施方式中,形成穿过堆叠结构204的多个开口,使得每个开口变成用于在后面的工艺中生长个体NAND存储串的位置。在一些实施方式中,用于形成开口224的制造工艺可以包括湿法蚀刻和/或干法蚀刻,例如,DRIE。在一些实施方式中,开口224还可以延伸到衬底202的顶部部分中。在一些实施方式中,开口224可以与衬底202中的导电连接至3D存储器件200的源极结构的掺杂区接触。

[0045] 参考图3,方法300进行至操作306,在该操作中,在沟道孔的内表面之上沉积存储膜,并且在存储膜之上沉积非晶半导体层。图2C示出了对应的结构。

[0046] 如图2C中所示,在开口224(例如,沟道孔)的内表面之上沉积存储膜218,并且在存储膜218之上沉积非晶半导体层215。非晶半导体层215可以包括非晶半导体材料层,其可以被转化成充当3D存储器件200的半导体沟道的多晶材料。在一些实施方式中,存储膜218包括在开口224的内表面上的阻隔层、阻隔层上的存储层、以及存储层上的隧穿层。存储膜218和非晶半导体层215的沉积可以包括CVD、PVD和/或ALD。在一些实施方式中,非晶半导体层215包括非晶硅,并且是以例如在450摄氏度和500摄氏度之间的低温沉积的。在一些实施方式中,非晶硅是以470摄氏度沉积的。可选地,在沉积存储膜218和非晶半导体层215之前通过外延生长或沉积(例如,CVD、PVD和/或ALD)形成半导体插塞212。

[0047] 重新参考图3,方法300进行至操作308,在该操作中,执行退火工艺,从而将非晶半导体材料转化成多晶半导体材料,以形成半导体沟道。图2D示出了对应的结构。

[0048] 如图2D中所示,可以通过将非晶半导体层215转化成多晶半导体材料层而形成半导体沟道216。将热处理,例如,“阶梯式退火工艺”用于该转化工艺。阶梯式退火可以包括多个阶段,每个阶段在相应的时间段内在相应温度处。图4示出了用于操作308中的退火工艺的方法400,并且图5示出了根据一些实施方式的在退火工艺中使用的多个阶段。在一些实施方式中,在热处理中使用适当的气体,例如,氢气,从而例如在退火工艺期间去除缺陷。

[0049] 参考图4,方法400开始于操作404,在该操作中,将反应室温度提高到非晶半导体材料的成核温度,并且使其在相应的时间段内保持在成核温度。图5示出了对应的阶段504。在一些实施方式中,在阶段504中将反应室温度从例如非晶半导体材料的沉积温度提高到非晶半导体材料的成核温度T1。例如,非晶半导体材料可以包括非晶硅,并且成核温度T1为600摄氏度左右。在一些实施方式中,具体材料的成核温度T1包括具有低端和高端的范围,并且从该范围选择具体值用作这一操作中的成核温度。在阶段504中,反应室温度在适当的时间段内保持在成核温度T1,从而允许晶核形成并且稳定。在一些实施方式中,对于非晶硅而言,阶段504的时间段t1可以是几个小时,例如,2-3小时。

[0050] 方法400进行至操作406,在该操作中,使反应室温度提高到多晶半导体材料的生长温度T2,并且在相应的时间段内保持在生长温度T2。图5示出了发生在阶段504之后的对应的阶段506。在一些实施方式中,在阶段506中将反应室温度从例如成核温度T1提高到多晶半导体材料的生长温度T2。在一些实施方式中,较高的生长温度可以导致晶核的较高生长速度。生长温度T2可以表示多个生长温度中的适当的一个(例如,低端),在这些生长温度上自由粒子(例如,原子)开始吸附到晶核上,并且使晶体结构从成核位置向外传播。在一些

实施方式中,为阶段504选择相对低的生长温度,以促成缓慢生长速率和更均匀的膜以及预期质量。在阶段506中,使反应室温度在适当的时间段内保持在生长温度 T_2 ,从而允许多晶硅的晶核生长。在一些实施方式中,多晶半导体材料包括多晶硅,并且生长温度 T_2 可以在600摄氏度到750摄氏度的范围内(例如,600、630、650、680、700、730、750摄氏度)。在一些实施方式中, T_2 被选择为650摄氏度。在一些实施方式中,对于多晶硅而言,阶段506的时间段 t_2 可以是几个小时,例如,2-3小时。

[0051] 在各种实施方式中,热处理至少包括阶段504和阶段506,其中,可以将用于成核和生长的反应室条件设置为是分开的,从而在结晶工艺期间使成核和生长之间的干扰最小化。可以在相应的(一个或多个)温度上优化成核和生长中的每个。从而能够增大多晶半导体材料的晶粒尺寸。在一些实施方式中,可以向热处理增加额外阶段,从而进一步优化多晶半导体材料的结构。可选地,如图4中所示,方法400包括操作402,在该操作中,将反应室温度提高到低于非晶半导体材料的成核温度的温度,并且保持相应的时间段。

[0052] 如图5中所示,在阶段504之前添加阶段502。在一些实施方式中,将反应室温度从例如非晶半导体材料的沉积温度提高到低于成核温度 T_1 的温度 T_0 ,并且在相应的时间段内保持在 T_0 。 T_0 可以略低于成核温度 T_1 。在一些实施方式中, T_0 低于非晶半导体材料的任何成核温度。在一些其他实施方式中, T_0 是非晶半导体材料的低于 T_1 的另一成核温度。在一些实施方式中,成核的临界条件可以出现在 T_0 和 T_1 之间。例如, T_1 和 T_0 之间的差可以在成核温度 T_1 的3%到3.5%之间。在一些实施方式中,对于非晶硅而言,成核温度是600摄氏度,并且 T_0 是580摄氏度。在一些实施方式中, T_0 和 T_1 两者包括在非晶半导体材料的成核温度的范围内。例如,非晶硅可以在580摄氏度和600摄氏度之间的任何温度处成核。选择不止一个在成核温度上和/或略低于成核温度的温度的阶段可以优化非晶半导体材料的成核条件,从而允许晶核更有效率地形成并且稳定。在一些实施方式中,在阶段502中,使反应室温度在适当的时间段内保持在温度 T_0 ,从而允许晶核开始形成。在一些实施方式中,对于多晶硅而言,阶段502的时间段 t_0 可以是几个小时,例如,2-3小时。

[0053] 可选地,如图4中所示,方法400进行至操作408,在该操作中,可以在阶段506之后增加另一阶段,并且在该阶段内可以将反应室温度提高到另一生长温度并且保持相应的时间段。所述另一生长温度可以高于 T_2 。例如,可以将反应室温度从生长温度 T_2 提高到另一生长温度 T_3 ,并且在相应的时间段内保持在 T_3 。例如,对于多晶硅而言, T_3 可以是在650摄氏度到750摄氏度之间的任何适当的温度,例如,680、700、730、750摄氏度。在一些实施方式中,对于多晶硅而言,该阶段的时间段 t_3 可以是几个小时,例如,2-3小时。在一些实施方式中,该阶段处于相对高的温度,例如,750摄氏度,从而提高晶核的生长速率。在一些实施方式中,可以省略较低的生长温度(例如, T_2),并且可以将反应室温度从成核温度 T_1 立即提高到相对高的温度,例如,750摄氏度。应当指出,成核和生长中的或者围绕成核和生长的阶段的数量应当是基于多晶半导体材料的膜质量和晶体特性确定的,而不应受到本公开的实施方案的限制。尽管附图中未示出,但是在一些实施方式中,可以在阶段506之后增加不止一个处于较高生长温度的阶段,和/或可以在阶段504之前增加不止一个处于低于成核温度 T_1 的温度的阶段。

[0054] 在一些实施方式中,在所有阶段中提供的总热能可以足够使非晶半导体材料转化为多晶半导体材料。总热能可以与反应室温度和时间段的长度是成比例相关联的。因而,可

以基于反应室温度和阶段长度调整热处理的总时间。在一些实施方式中,热处理的总时间短于当前制作工艺的相应总时间。在热处理之后,非晶半导体材料(例如,非晶硅)可以被转化成多晶半导体材料(例如,多晶硅),并且可以形成半导体沟道216。

[0055] 在一些实施方式中,可以在半导体沟道216中形成不止一个多晶半导体材料层。例如,当在操作308中形成了多晶半导体材料层(例如,外层)之后,可以在多晶半导体材料层之上沉积第二非晶半导体材料层。可以使用方法400对第二非晶半导体材料层执行第二热处理,例如,第二退火工艺,以形成第二多晶半导体材料层(例如,内层)。在一些实施方案中,当第二非晶半导体材料层正在经历第二热处理时,多晶半导体材料层也经历第二热处理。第二热处理还可以增大多晶半导体材料层的晶粒尺寸。在一些实施方式中,多晶半导体材料层具有比第二多晶半导体材料层大的晶粒尺寸。

[0056] 重新参考图3,方法300进行至操作310,在该操作中,在沟道孔中形成存储串。图2D示出了对应的结构。如图2D中所示,在热处理之后,在开口224中形成NAND存储串210。NAND存储串210在衬底202上方垂直地延伸穿过堆叠结构204,并且可以包括垂直地延伸穿过堆叠结构204的沟道结构214。沟道结构214可以包括半导体沟道216、存储膜218、帽盖层220和沟道插塞222。帽盖层220可以被沉积在半导体沟道216之上,以完全或者部分地填充开口224中的空间。之后,在NAND存储串210的上部部分中形成沟道插塞222。半导体沟道216可以与沟道插塞222以及NAND存储串210的下部部分中的半导体插塞212接触。沟道结构214可以具有圆柱形状(例如,柱形形状)。在一些实施方式中,帽盖层220的形成包括CVD、PVD和/或ALD。在一些实施方式中,沟道插塞222的形成包括CVD、PVD、ALD、电镀和/或接合。

[0057] 应当理解,在图2A-2D中,包括第一堆叠层208和第二堆叠层206的堆叠结构204被用作示例来解释本公开,并且第一堆叠层208和第二堆叠层206可以根据不同工艺过程具有不同的结构或操作。在一些实施方式中,堆叠结构204是电介质堆叠层,每个第一堆叠层208是第一电介质层,并且每个第二堆叠层206是不同于第一电介质层的第二电介质层(又名牺牲层)。在后续工艺中可以去除牺牲层,并且用导电层(例如,W、Al、Co、Cu)替代,以形成栅极层(3D NAND存储器件的字线)。在一些实施方式中,每个第一堆叠层208是电介质层并且每个第二堆叠层206是导电层(例如,多晶硅)。导电层可以是3D NAND存储器件的栅极层,并且不需要栅极替代工艺。

[0058] 图6A示出了根据本公开的一些方面的示出热处理之后的3D半导体器件中的半导体沟道的截面的电子显微镜图像。图6B示出了示出当前退火工艺之后的3D半导体器件中的半导体沟道的截面的电子显微镜图像,其中,该退火工艺是在高于非晶半导体材料的成核温度的单个温度处执行的。如所描述的,半导体沟道可以包括通过方法300和400形成的未掺杂的多晶硅。如图6A和图6B中所示,热处理可以形成具有增大的晶粒尺寸的未掺杂的多晶硅,其将促进更高的载流子迁移率和更高的器件速度。

[0059] 图7示出了根据本公开的一些方面的示例性半导体制造设备700。半导体制造设备700包括反应室702、位于反应室702中的固持衬底704的衬底支架706、反应室702中的用于控制工艺温度的加热器708和通过气体管线710连接至反应室702的气体源,并且该气体源至少包括氢气。在一些实施方式中,反应室702和气体源被配置为对衬底704执行热处理,从而将非晶半导体材料转化为多晶半导体材料。

[0060] 在一些实施方式中,在衬底704上的存储器件中形成未掺杂的非晶硅层。通过由半

导体制造设备700执行热处理,可以将未掺杂的非晶硅层转化成具有100nm到600nm的范围内的晶粒尺寸的未掺杂的多晶硅层。

[0061] 在一些实施方式中,加热器708可以控制热处理的工艺温度。在一些实施方式中,可以将退火/反应室温度控制在550摄氏度到800摄氏度之间。

[0062] 在一些实施方式中,半导体制造设备700可以包括保持反应室702中的工艺压强的排气单元712。在一些实施方式中,排气单元712可以是包括压强控制阀的真空泵。氢气被供应给反应室702,从而与残余物发生反应。在一些实施方式中,氢气压强可以是几毫托。在一些实施方式中,热处理包括多个阶段,并且每个阶段的时间段可以在30分钟到多个小时(例如,2-3小时)的范围内。

[0063] 在控制反应室中的退火温度和氢气压强时,非晶半导体材料可以经历成核工艺,以形成晶核,并且晶核可以生长,以形成多晶硅。由于成核和生长是以相应的(例如,优选的)温度实行的,因而结晶能够变得更有效率。

[0064] 应当指出,所提供的方法还可以用到其他适当的情形中,其中,将使用所提供的热处理(例如,将用于成核和生长的反应室条件分开的阶梯式退火工艺)转化非晶材料,以形成多晶材料。具体地,可以通过首先提供用于成核的反应室条件(例如,温度和时间),并且之后提供用于使晶核生长的反应室条件(例如,温度和时间)而获得热处理。为了增大生长速率,可以使用一个或多个较高的生长温度,同时,为了改善膜质量,可以提供较低的生长温度,并且随后可以提供较高的生长温度。本公开的方法的具体应用不应受到本公开的実施方式的限制。

[0065] 根据本公开的一个方面,一种存储器件包括在衬底上的具有交替的多个导电层和多个绝缘层的存储堆叠层、以及在存储堆叠层中垂直延伸的沟道结构。沟道结构包括在存储堆叠层中垂直延伸并且导电连接至源极结构的半导体沟道。该半导体沟道包括多晶硅,并且多晶硅的晶粒尺寸在100nm到600nm的范围内。

[0066] 在一些实施方式中,该半导体沟道包括内层和内层之上的外层。外层更远离半导体沟道的中心。内层的第一晶粒尺寸小于外层的第二晶粒尺寸。

[0067] 在一些实施方式中,多晶硅包括未掺杂的多晶硅。

[0068] 在一些实施方式中,沟道结构还包括包含阻隔层、隧穿层和存储层的存储膜。所述阻隔层、存储层、隧穿层和半导体沟道从该沟道结构的内表面到该沟道结构的中心向内布置。

[0069] 在一些实施方式中,半导体沟道导电连接至沟道结构的底部处的半导体部分,该半导体部分导电连接至源极结构。

[0070] 在一些实施方式中,多个导电层包括钨、钴、铜、铝、硅化物或多晶硅中的至少一种。在一些实施方式中,绝缘层包括氧化硅、氮化硅或氮氧化硅中的至少一种。

[0071] 根据本公开的另一方面,一种用于形成存储器件中的沟道结构的方法包括:在衬底之上形成具有交替的多个第一堆叠层和多个第二堆叠层的堆叠结构;形成在堆叠结构中垂直延伸的沟道孔;以及在沟道孔的内表面之上沉积半导体材料层。该半导体材料层包括非晶材料。该方法还包括将该半导体材料层转化为半导体层。该半导体层具有多晶材料。一种转化工艺包括多个阶段,并且所述多个阶段包括在第一时间段内在非晶材料的成核温度处执行的第一阶段、以及在第二时间段内在多晶材料的生长温度处执行的第二阶段,第一

时间段和第二时间段均大于零。

[0072] 在一些实施方式中,生长温度高于成核温度。

[0073] 在一些实施方式中,第一阶段包括在低于非晶材料的成核温度的第一温度处执行的第一周期、以及在非晶材料的成核温度处执行的第二周期。第一温度与成核温度之间的差在成核温度的3%和3.5%之间。

[0074] 在一些实施方式中,第一阶段包括在非晶材料的成核温度处执行的第一周期、以及在高于非晶材料的成核温度的第二温度处执行的第二周期。第二温度与成核温度之间的差在成核温度的3%和3.5%之间。

[0075] 在一些实施方式中,非晶材料包括未掺杂的非晶硅,并且多晶材料包括未掺杂的多晶硅。

[0076] 在一些实施方式中,生长温度等于或者低于750摄氏度。

[0077] 在一些实施方式中,未掺杂的非晶硅是在低于成核温度的温度处沉积的。

[0078] 在一些实施方式中,转化工艺包括退火工艺。

[0079] 在一些实施方式中,退火工艺是在氢气中执行的。

[0080] 在一些实施方式中,方法还包括在半导体层之上沉积第二半导体材料层,所述第二半导体材料层包括非晶材料。该方法还可以包括将第二半导体材料层转化为第二半导体层。第二半导体层包括多晶材料。第二转化工艺包括针对半导体层和第二半导体材料层的第二退火工艺。

[0081] 在一些实施方式中,第二退火工艺包括在第一时间段内在非晶材料的成核温度处执行的第一阶段、以及在第二时间段内在多晶材料的生长温度处执行的第二阶段。第一时间段和第二时间段均大于零。

[0082] 在一些实施方式中,方法还包括在沟道孔的内表面和半导体材料层之间沉积存储膜。该存储膜包括内表面上的阻隔层、阻隔层上的存储层、以及存储层上的隧穿层。

[0083] 根据本公开的另一方面,一种用于形成半导体器件中的多晶层的方法包括:在表面上沉积非晶材料;以及将非晶材料转化为多晶材料。一种转化工艺包括多个阶段,并且所述多个阶段包括在第一时间段内在非晶材料的成核温度处执行的第一阶段、以及在第二时间段内在多晶材料的生长温度处执行的第二阶段,第一时间段和第二时间段均大于零。

[0084] 在一些实施方式中,生长温度高于成核温度。

[0085] 在一些实施方式中,第一阶段包括在低于非晶材料的成核温度的第一温度处执行的第一周期、以及在非晶材料的成核温度处执行的第二周期。第一温度与成核温度之间的差在成核温度的3%和3.5%之间。

[0086] 在一些实施方式中,第一阶段包括在非晶材料的成核温度处执行的第一周期、以及在高于非晶材料的成核温度的第二温度处执行的第二周期。第二温度与成核温度之间的差在成核温度的3%和3.5%之间。

[0087] 在一些实施方式中,非晶材料包括非晶半导体材料或金属中的至少一种,并且多晶材料包括结晶半导体材料或金属中的至少一种。

[0088] 在一些实施方式中,该方法还包括在多晶材料上沉积另一非晶材料层以及将另一非晶材料层转化为另一多晶材料层。第二转化工艺包括多个阶段。这些阶段包括在第一时间段内在非晶材料的成核温度处执行的第一阶段、以及在第二时间段内在多晶材料的生长

温度处执行的第二阶段。第一时间段和第二时间段均大于零。

[0089] 根据本公开的另一方面,一种半导体制造设备包括反应室、位于反应室中的用于固持衬底的衬底支架、以及反应室中的用于控制多个工艺温度的加热器。该半导体制造设备还包括通过气体管线连接至反应室的气体源,并且该气体源至少具有氢气。反应室和加热器被配置为对衬底执行热处理,从而将非晶材料转化为多晶材料。多个工艺温度包括处于非晶材料的成核温度的第一温度和处于多晶材料的生长温度的第二温度。

[0090] 在一些实施方式中,生长温度高于成核温度。

[0091] 在一些实施方式中,多个工艺温度在560摄氏度到800摄氏度的范围内。

[0092] 在一些实施方式中,加热器被配置为使所述多个工艺温度均保持相应的时间段。

[0093] 可以容易地针对各种应用来修改和/或适应具体实施方式的前文描述。因此,基于文中提供的教导和指导,这样的适应和修改旨在落在所公开的实施方式的等同物的意义和范围内。

[0094] 本公开的广度和范围不应当由任何上述示例性实施方式限制,而应当仅根据所附权利要求及其等同物来定义。

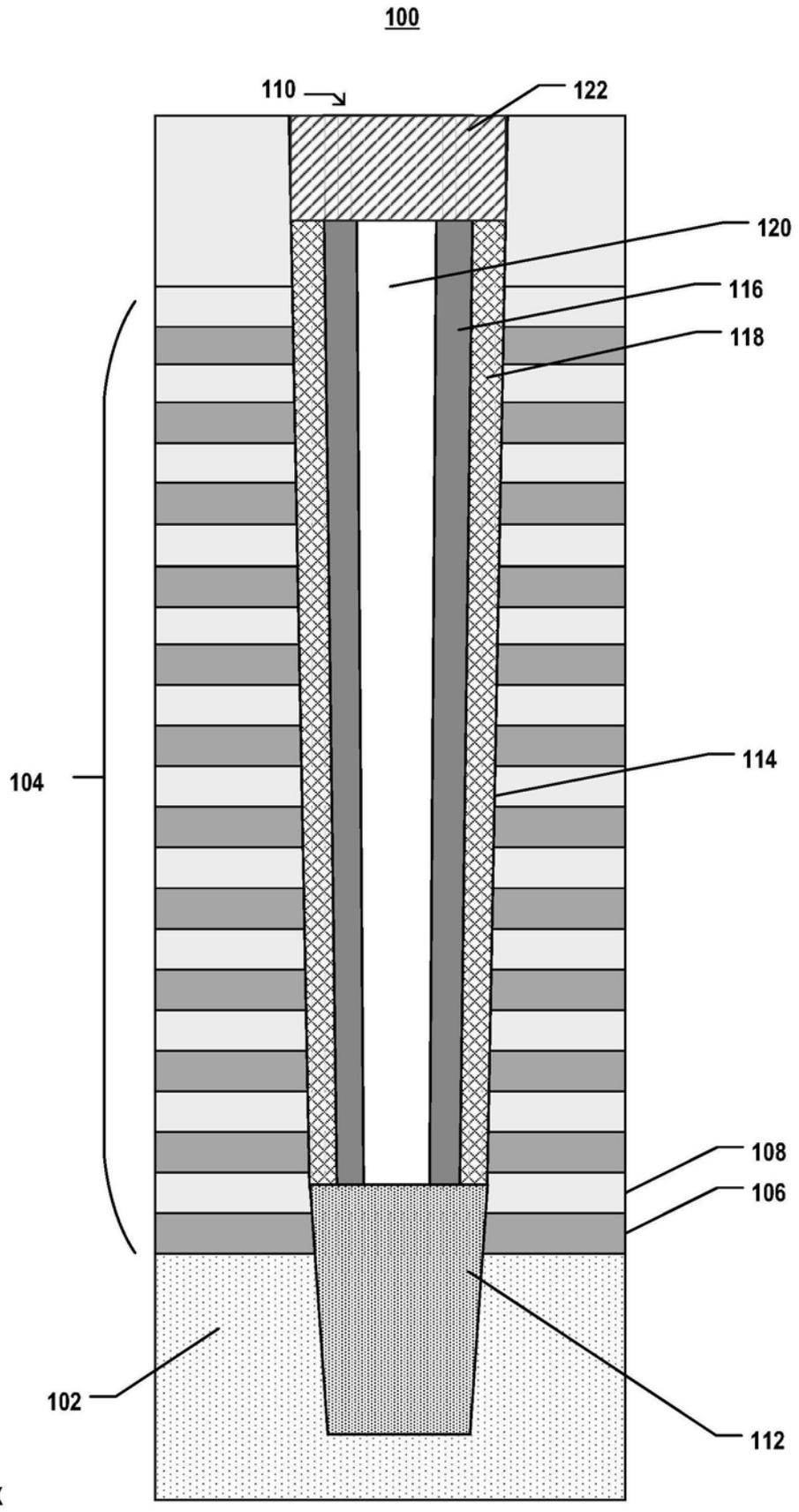


图1

200

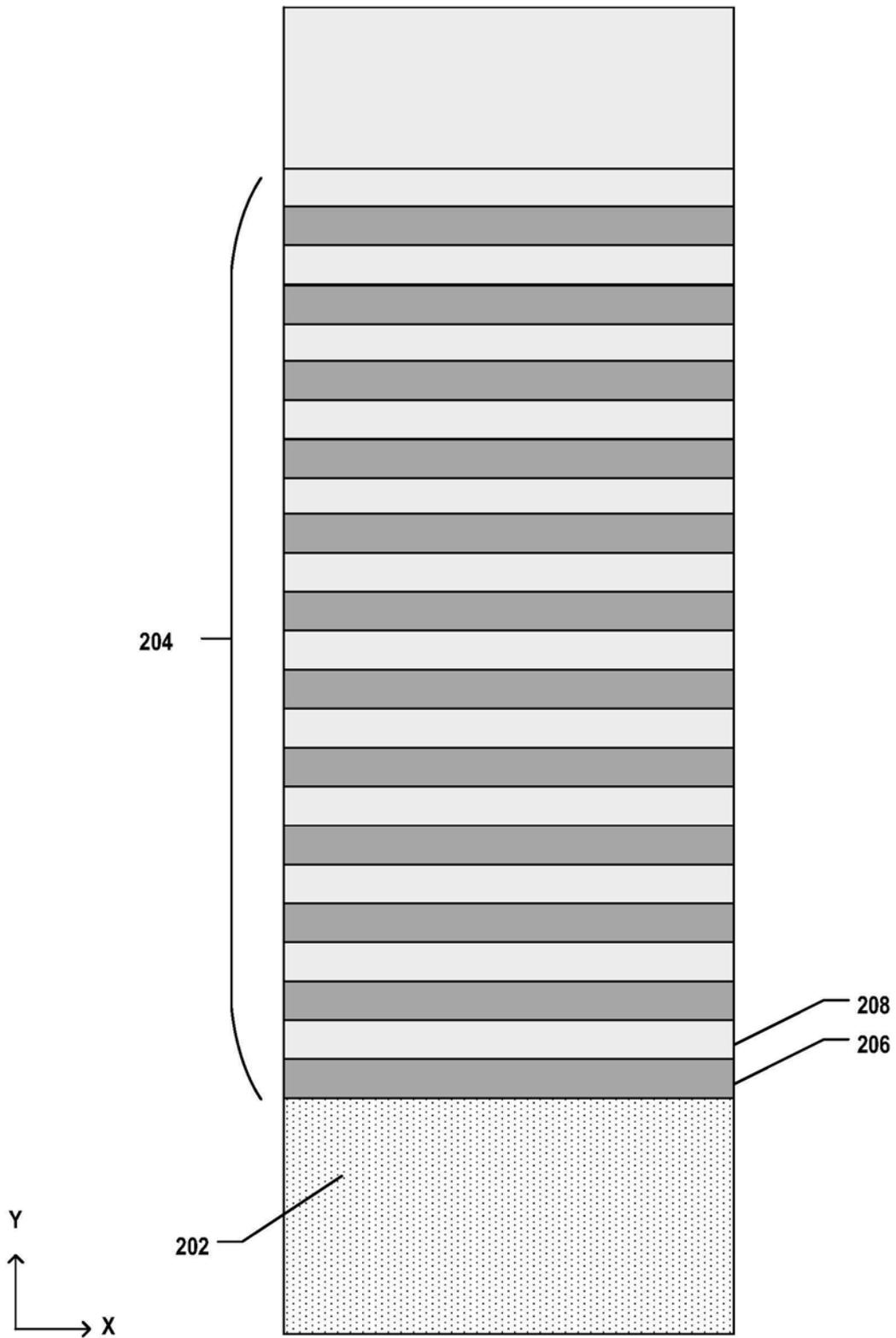


图2A

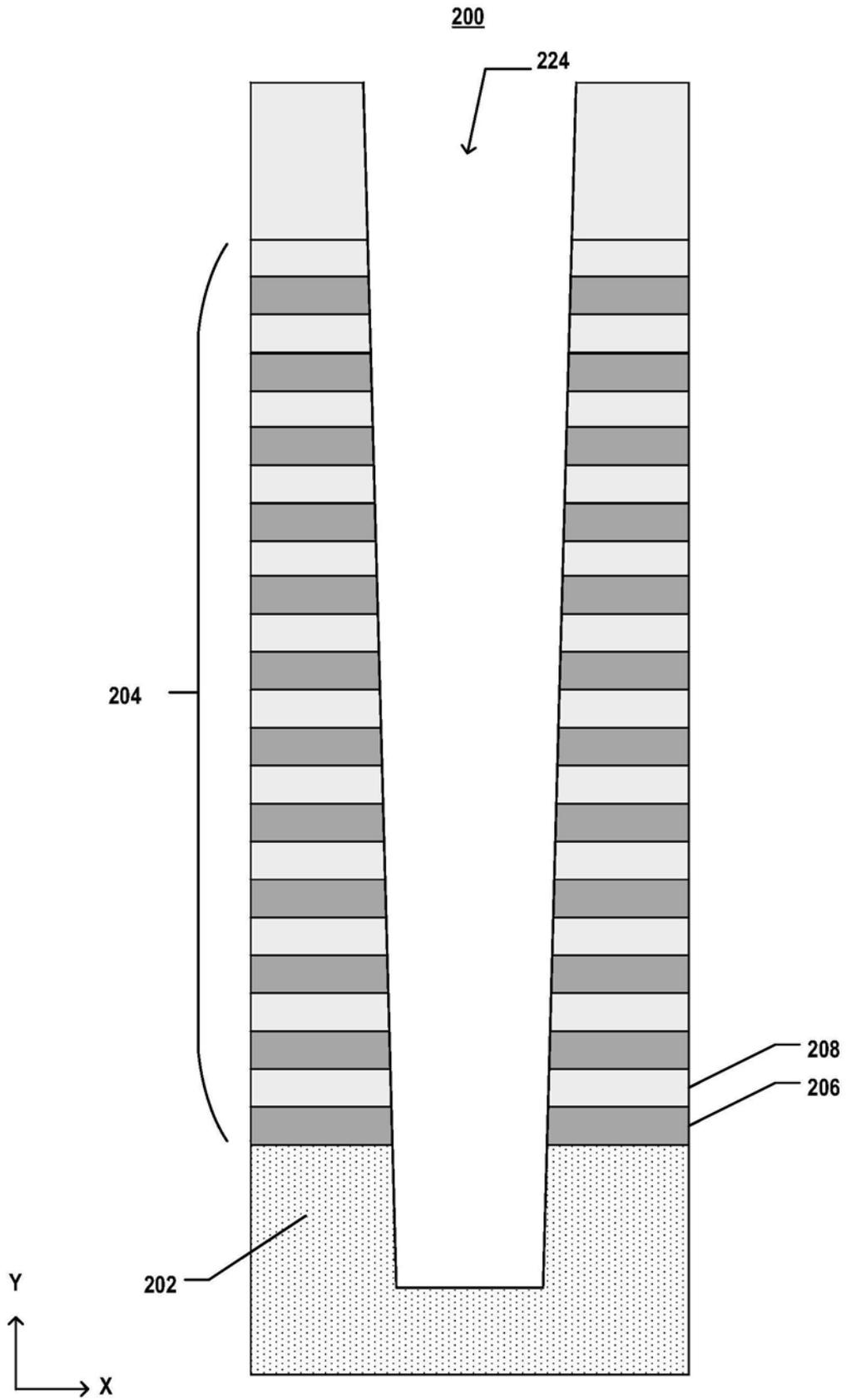


图2B

200

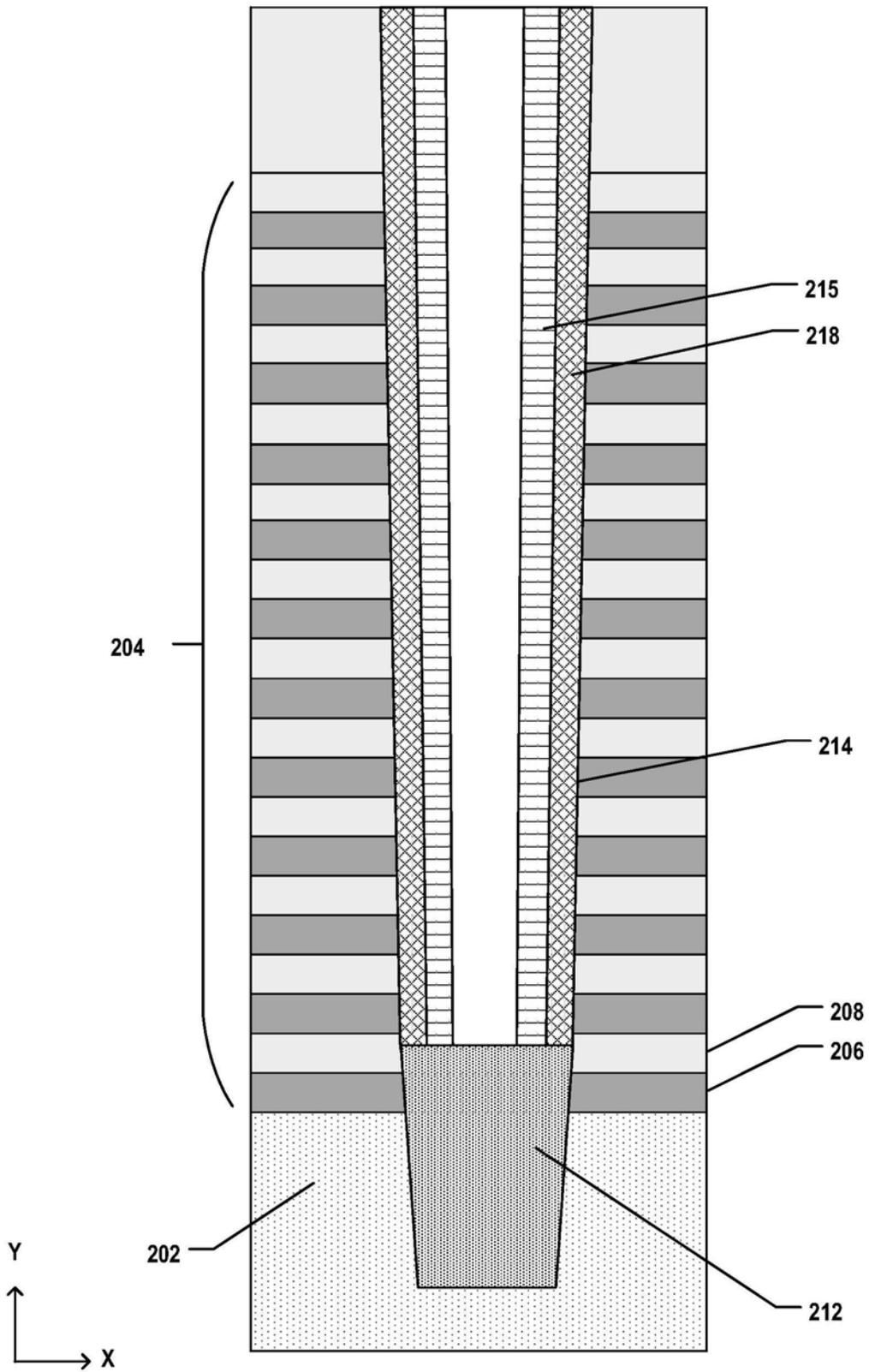


图2C

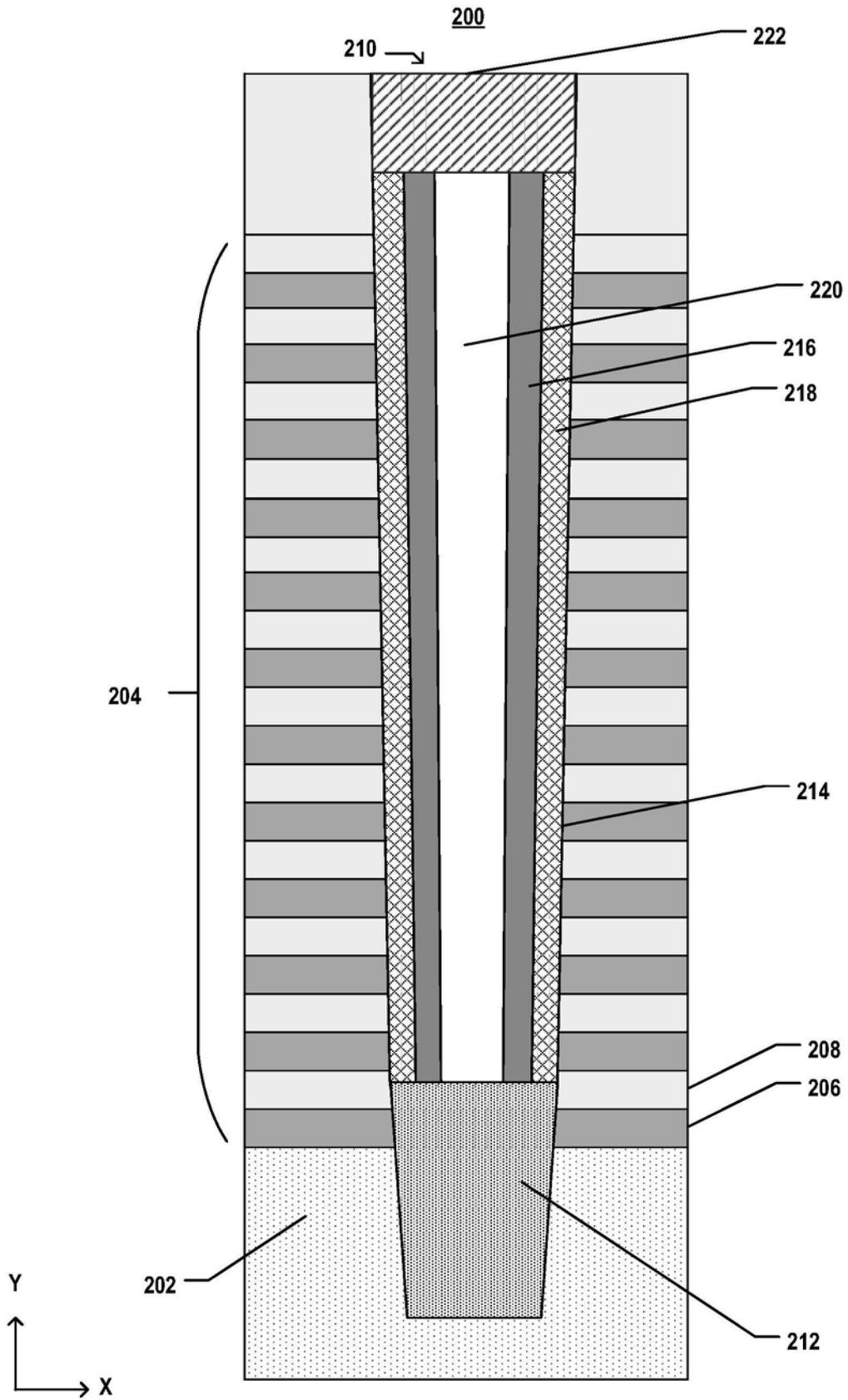


图2D

300

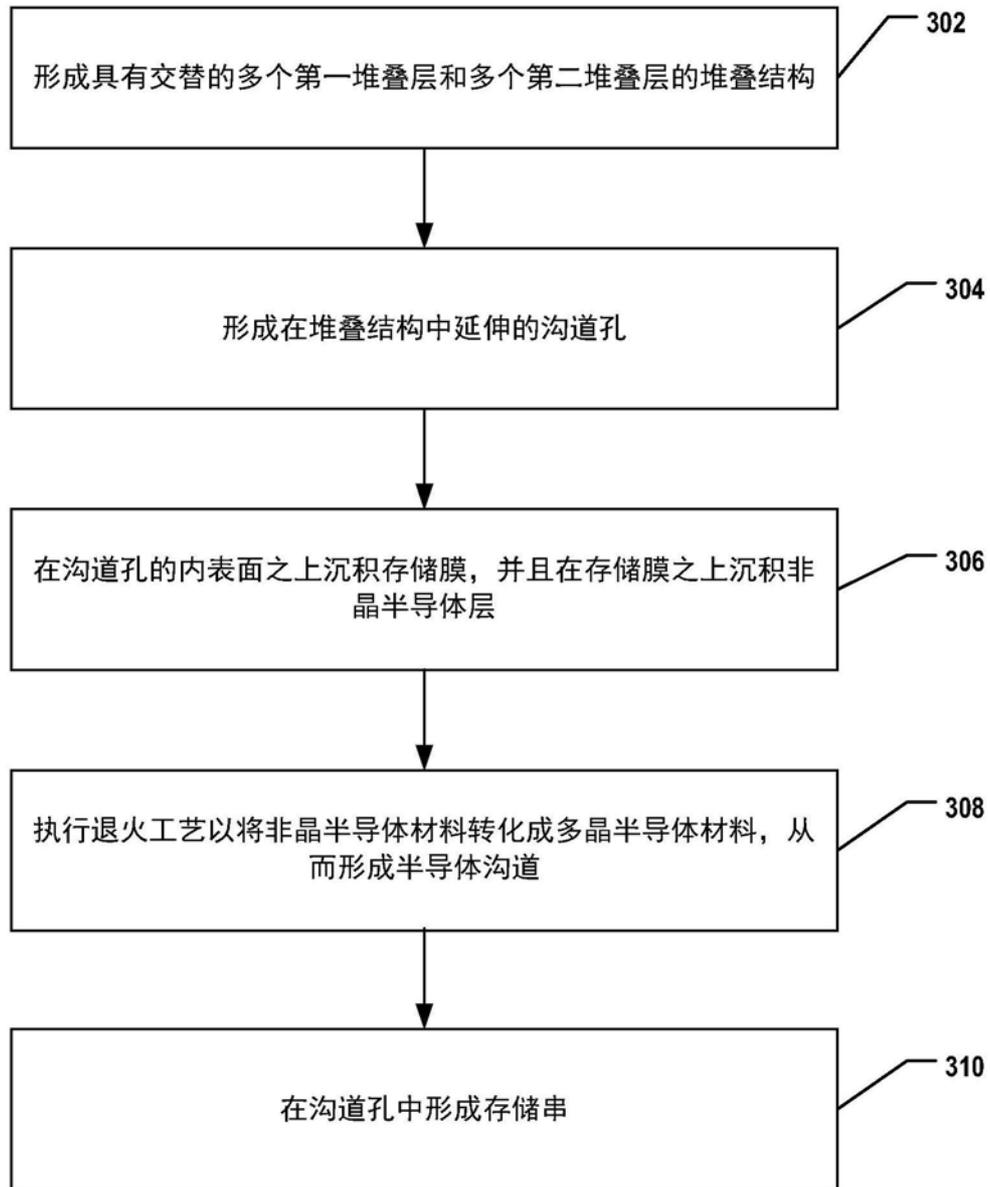


图3

400

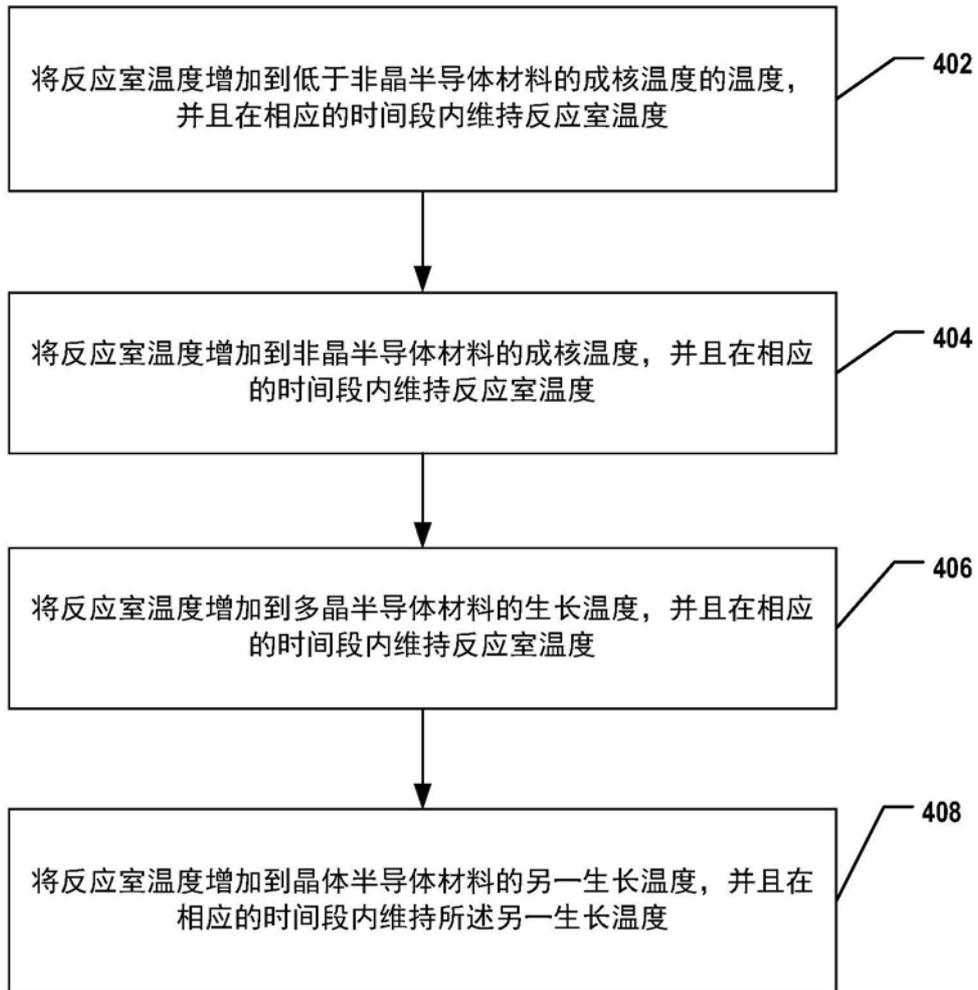


图4

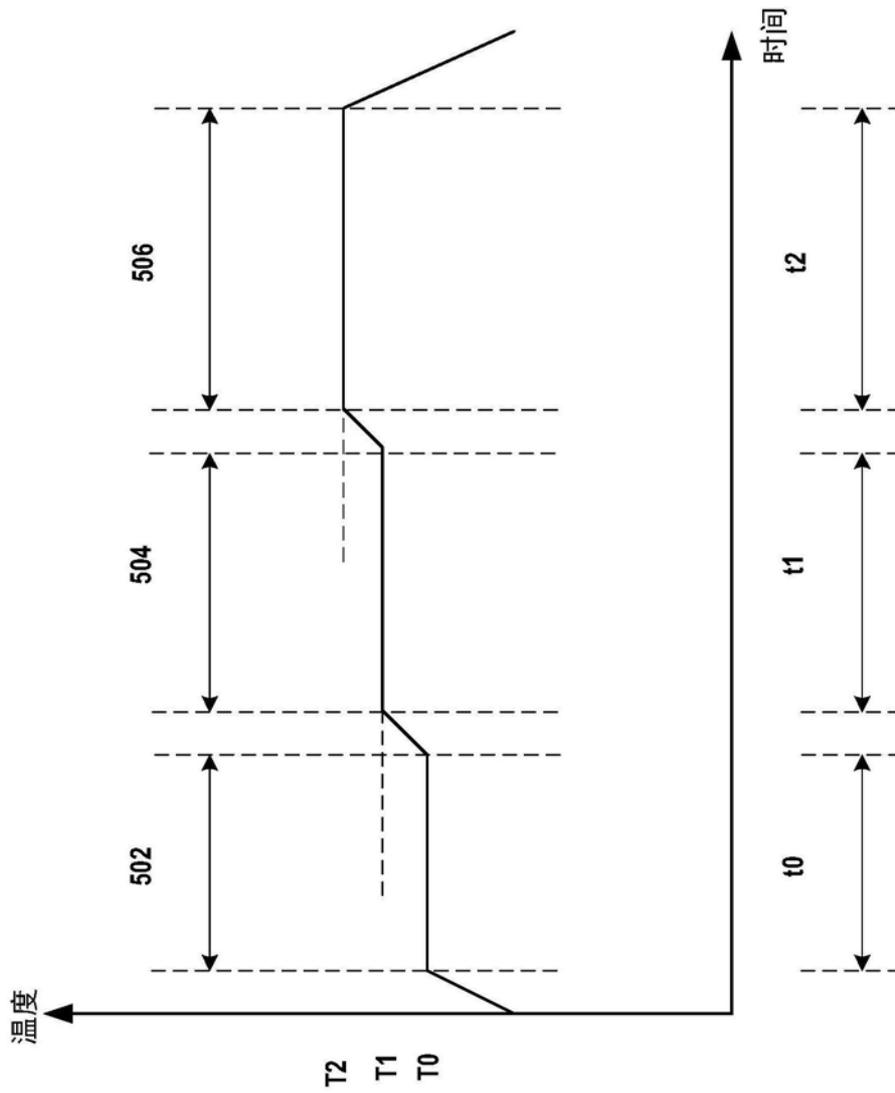


图5

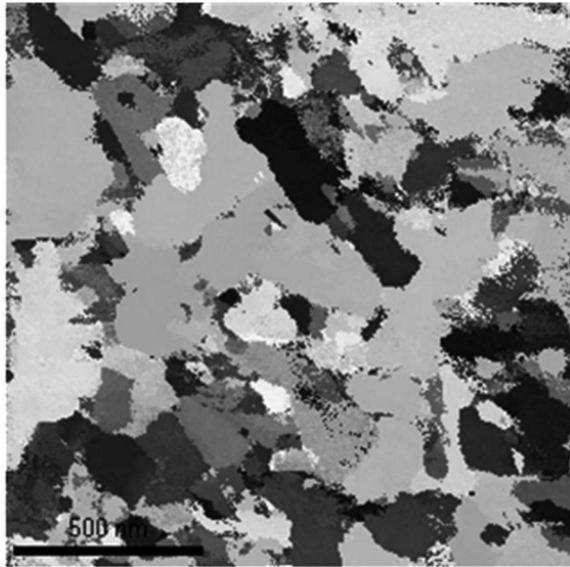


图6A

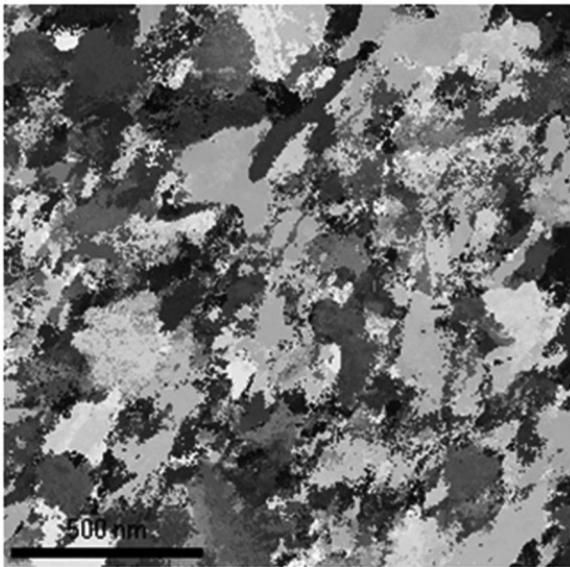


图6B

700

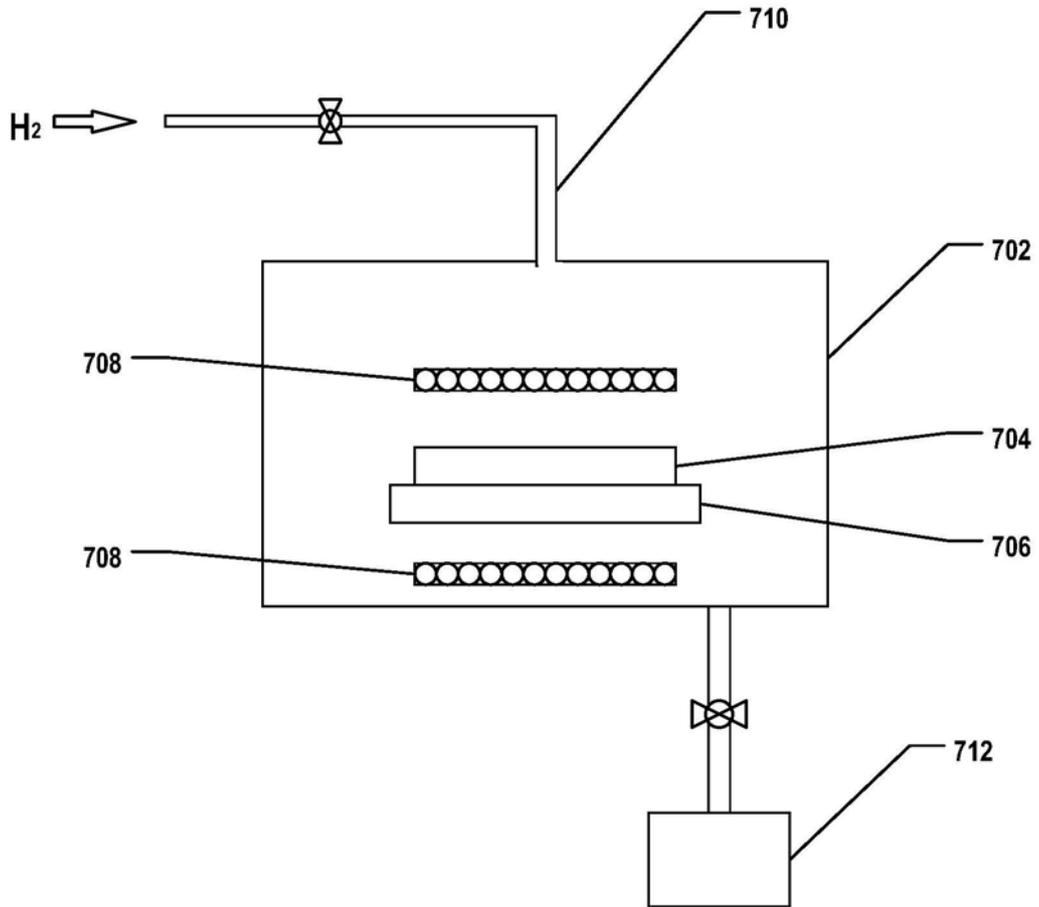


图7