



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.	(45) 공고일자	2007년05월30일
H01L 27/105 (2006.01)	(11) 등록번호	10-0722787
H01L 21/28 (2006.01)	(24) 등록일자	2007년05월22일

(21) 출원번호	10-2005-0033872	(65) 공개번호	10-2006-0111918
(22) 출원일자	2005년04월25일	(43) 공개일자	2006년10월31일
심사청구일자	2005년04월25일		

(73) 특허권자 삼성전자주식회사
 경기도 수원시 영통구 매탄동 416

(72) 발명자

 고화영
 경기 수원시 영통구 영통동 벽적골8단지아파트 846동 503호

 변경래
 경기 수원시 영통구 영통동 살구골7단지아파트 704동 1403호

 이형섭
 경기 수원시 팔달구 우만2동 우만주공2단지아파트 204동1004호

 김희석
 경기도 성남시 분당구 분당동 셋별마을 동성아파트 203동 701호

 함진환
 서울 강남구 도곡2동 삼성래미안아파트 106동1602호

 주석호
 서울특별시 강동구 암사동 선사현대아파트 102-1001

(74) 대리인 박영우

(56) 선행기술조사문헌

KR1020030053668 A	JP2000133705 A
US20040104419 A1	

심사관 : 홍경희

전체 청구항 수 : 총 38 항

(54) 반도체 장치 및 그 제조 방법

(57) 요약

단순화된 구조를 가지면서도 향상된 전기적 특성을 갖는 반도체 장치 및 그 제조 방법이 개시된다. 반도체 기판을 셀 영역과 주변 회로 영역으로 구분한 후, 셀 영역에 복수의 제1 게이트 구조물들을 형성하고, 주변 회로 영역에 적어도 하나의 게

이트 구조물을 형성한다. 셀 영역의 제1 게이트 구조물들 사이에 제1 콘택 영역 및 제2 콘택 영역들 형성한 후, 셀 영역 및 주변 회로 영역 상에 보호층을 형성한다. 보호층 상에 적어도 하나의 층간 절연막을 형성한 다음, 적어도 하나의 층간 절연막을 관통하여 제1 및 제2 콘택 영역과 주변 회로 영역의 게이트 구조물 및 반도체 기판에 각기 접촉되며 서로 상이한 높이를 갖는 복수의 콘택들을 형성한다.

대표도

도 5

특허청구의 범위

청구항 1.

반도체 기판;

상기 반도체 기판 상에 형성되며, 콘택 영역들 및 게이트 구조물들을 포함하는 도전성 구조물;

상기 게이트 구조물들 상에 형성된 보호 부재;

상기 보호 부재 상에 형성된 절연막;

상기 보호 부재와 상기 절연막 사이에 형성되며, 질화물 또는 산질화물을 포함하는 확산 장벽층; 및

상기 절연막을 관통하여 상기 콘택 영역들 및 상기 반도체 기판에 직접 접촉되며, 서로 상이한 높이를 갖는 복수의 콘택들을 포함하는 반도체 장치.

청구항 2.

제 1 항에 있어서, 상기 보호 부재는 상기 절연막과 상이한 식각 선택비를 갖는 물질을 포함하는 것을 특징으로 하는 반도체 장치.

청구항 3.

제 2 항에 있어서, 상기 보호 부재는 금속 산화물, 질화물 및 산질화물로 이루어진 그룹으로부터 선택된 하나를 포함하는 것을 특징으로 하는 반도체 장치.

청구항 4.

제 3 항에 있어서, 상기 보호 부재는 알루미늄 산화물, 실리콘 질화물 및 실리콘 산질화물로 이루어진 그룹으로부터 선택된 하나를 포함하는 것을 특징으로 하는 반도체 장치.

청구항 5.

삭제

청구항 6.

삭제

청구항 7.

제 1 항에 있어서, 상기 콘택들 및 상기 절연막 상에 형성된 강유전체 캐패시터를 더 포함하는 것을 특징으로 하는 반도체 장치.

청구항 8.

제 7 항에 있어서, 상기 강유전체 캐패시터는,

상기 콘택들 및 상기 절연막 상에 차례로 형성된 제1 하부 전극층 패턴 및 제2 하부 전극층 패턴을 구비하는 하부 전극;

상기 하부 전극 상에 형성된 강유전체층 패턴; 및

상기 강유전체층 패턴 상에 차례로 형성된 제1 상부 전극층 패턴 및 제2 상부 전극층 패턴을 구비하는 상부 전극을 더 포함하는 것을 특징으로 하는 반도체 장치.

청구항 9.

제 8 항에 있어서, 상기 제1 하부 전극층 패턴은 티타늄 알루미늄 질화물을 포함하며, 상기 제2 하부 전극층 패턴은 이리듐을 포함하는 것을 특징으로 하는 반도체 장치.

청구항 10.

제 9 항에 있어서, 상기 제1 상부 전극층 패턴은 구리, 납 또는 비스 무스가 도핑된 스트론튬 루테튬 산화물을 포함하며, 상기 제2 상부 전극층 패턴은 이리듐을 포함하는 것을 특징으로 하는 반도체 장치.

청구항 11.

셀 영역과 주변 회로 영역을 구비하는 반도체 기판;

상기 셀 영역에 형성된 복수의 제1 게이트 구조물들;

상기 주변 회로 영역에 형성된 적어도 하나의 게이트 구조물;

상기 제1 게이트 구조물들 상에 형성된 제1 보호 부재;

상기 주변 회로 영역의 적어도 하나의 게이트 구조물 상에 형성된 제2 보호 부재;

상기 셀 영역 및 상기 주변 회로 영역 상에 형성된 적어도 하나의 층간 절연막; 및

상기 적어도 하나의 층간 절연막을 관통하여 상기 셀 영역, 상기 주변 회로 영역 및 상기 주변 회로 영역의 적어도 하나의 게이트 구조물에 각기 접촉되며, 서로 상이한 높이를 갖는 복수의 콘택들을 포함하는 반도체 장치.

청구항 12.

제 11 항에 있어서, 상기 제1 보호 부재 및 상기 제2 보호 부재는 각기 상기 적어도 하나의 층간 절연막에 대하여 식각 선택비를 갖는 물질을 포함하는 것을 특징으로 하는 반도체 장치.

청구항 13.

제 12 항에 있어서, 상기 제1 보호 부재 및 상기 제2 보호 부재는 각기 금속 산화물, 질화물 및 산질화물로 이루어진 그룹으로부터 선택된 하나를 포함하는 것을 특징으로 하는 반도체 장치.

청구항 14.

제 11 항에 있어서, 상기 셀 영역의 제1 게이트 구조물들 사이의 상기 반도체 기판에 형성된 제1 콘택 영역 및 제2 콘택 영역을 더 포함하는 것을 특징으로 하는 반도체 장치.

청구항 15.

제 14 항에 있어서, 상기 적어도 하나의 층간 절연막은 상기 셀 영역 및 상기 주변 회로 영역 상에 순차적으로 형성된 제1 층간 절연막, 제2 층간 절연막 및 제3 층간 절연막을 포함하는 것을 특징으로 하는 반도체 장치.

청구항 16.

제 15 항에 있어서, 상기 제2 층간 절연막 및 상기 제3 층간 절연막 사이에 형성된 확산 장벽층을 더 포함하는 것을 특징으로 하는 반도체 장치.

청구항 17.

제 16 항에 있어서, 상기 확산 장벽층은 질화물 또는 산질화물을 포함하는 것을 특징으로 하는 반도체 장치.

청구항 18.

제 15 항에 있어서, 상기 복수의 콘택들은,

상기 제1 층간 절연막 및 상기 제2 층간 절연막을 관통하여 상기 제2 콘택 영역에 직접 접촉되는 제1 콘택;

상기 제1 층간 절연막 내지 제3 층간 절연막을 관통하여 상기 제1 콘택 영역에 접촉되는 제2 콘택을 포함하는 것을 특징으로 하는 반도체 장치.

청구항 19.

제 18 항에 있어서, 상기 제1 콘택 상에 상기 제1 콘택과 일체로 형성된 제1 비트 라인을 더 포함하는 것을 특징으로 하는 반도체 장치.

청구항 20.

제 18 항에 있어서, 상기 주변 회로 영역에는 제2 게이트 구조물 및 제3 게이트 구조물들이 형성되며, 상기 복수의 콘택들은 각기 상기 제2 층간 절연막 및 상기 제1 층간 절연막을 관통하여 상기 제2 게이트 구조물 및 상기 제3 게이트 구조물에 각기 접촉되는 제3 콘택 및 제4 콘택을 포함하는 것을 특징으로 하는 반도체 장치.

청구항 21.

제 20 항에 있어서, 상기 제4 콘택 상에 상기 제4 콘택과 일체로 형성된 제2 비트 라인을 더 포함하는 것을 특징으로 하는 반도체 장치.

청구항 22.

제 20 항에 있어서, 상기 복수의 콘택들은 상기 반도체 기판의 주변 회로 영역에 직접 접촉되는 복수의 제5 콘택들을 더 포함하는 것을 특징으로 하는 반도체 장치.

청구항 23.

제 22 항에 있어서, 상기 제5 콘택들에 인접하는 상기 반도체 기판 상에 형성된 제3 보호 부재를 더 포함하는 것을 특징으로 하는 반도체 장치.

청구항 24.

제 23 항에 있어서, 상기 제3 보호 부재는 금속 산화물, 질화물 및 산질화물로 이루어진 그룹으로부터 선택된 하나를 포함하는 것을 특징으로 하는 반도체 장치.

청구항 25.

제 22 항에 있어서, 상기 제5 콘택들 중 적어도 하나 상에 상기 제5 콘택들 중 적어도 하나와 일체로 형성된 적어도 하나의 제3 비트 라인을 더 포함하는 것을 특징으로 하는 반도체 장치.

청구항 26.

반도체 기판 상에 복수의 게이트 구조물들을 형성하는 단계;

상기 게이트 구조물들 사이의 반도체 기판에 콘택 영역을 형성하는 단계;

상기 게이트 구조물 및 상기 반도체 기판 상에 보호층을 형성하는 단계;

상기 보호층 상에 절연막을 형성하는 단계; 및

상기 절연막을 관통하여 각기 상기 콘택 영역 및 상기 반도체 기판에 직접 접촉되며, 서로 상이한 높이를 갖는 복수의 콘택들을 형성하는 단계를 포함하는 반도체 장치의 제조 방법.

청구항 27.

제 26 항에 있어서, 상기 복수의 콘택들을 형성하는 단계는,

상기 절연막을 부분적으로 식각하여 상기 보호층을 노출시키는 복수의 콘택홀들을 형성하는 단계;

상기 보호층을 부분적으로 식각하여 상기 게이트 구조물들의 상면 및 측벽 상에 보호 부재를 형성하는 단계; 및
 상기 콘택홀들을 도전성 물질로 매립하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 28.

제 27 항에 있어서, 상기 복수의 콘택들을 형성하는 단계는,

상기 절연막 상에 반사 방지막 및 포토레지스트 패턴을 형성하는 단계; 및

상기 포토레지스트 패턴을 식각 마스크로 이용하여 상기 절연막을 부분적으로 식각하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 29.

제 26 항에 있어서, 상기 보호층과 상기 절연막 사이에 확산 장벽층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 30.

제 26 항에 있어서, 상기 콘택 영역에 접촉되는 콘택 및 상기 절연막 상에 강유전체 캐패시터를 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 31.

반도체 기판을 셀 영역과 주변 회로 영역으로 구분하는 단계;

상기 셀 영역에 복수의 제1 게이트 구조물들을 형성하는 단계;

상기 주변 회로 영역에 적어도 하나의 게이트 구조물을 형성하는 단계;

상기 셀 영역의 제1 게이트 구조물들 사이에 제1 콘택 영역 및 제2 콘택 영역들 형성하는 단계;

상기 셀 영역 및 상기 주변 회로 영역 상에 보호층을 형성하는 단계;

상기 보호층 상에 적어도 하나의 층간 절연막을 형성하는 단계; 및

상기 적어도 하나의 층간 절연막을 관통하여 상기 제1 콘택 영역, 상기 제2 콘택 영역, 상기 주변 회로 영역의 적어도 하나의 게이트 구조물 및 상기 주변 회로 영역의 반도체 기판에 각기 접촉되며, 서로 상이한 높이를 갖는 복수의 콘택들을 형성하는 단계를 포함하는 반도체 장치의 제조 방법.

청구항 32.

제 31 항에 있어서, 적어도 하나의 층간 절연막을 형성하는 단계는,

상기 보호층 상에 순차적으로 제1 층간 절연막, 제2 층간 절연막 및 제3 층간 절연막을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 33.

제 32 항에 있어서, 상기 제2 층간 절연막과 상기 제3 층간 절연막 사이에 확산 장벽층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 34.

제 32 항에 있어서, 상기 복수의 콘택들을 형성하는 단계는,

상기 제2 층간 절연막 및 상기 제1 층간 절연막을 부분적으로 식각하여 상기 제2 콘택 영역 상의 상기 보호층을 노출시키는 제1 콘택홀을 형성하는 단계;

상기 노출된 보호층을 식각하여 상기 제1 게이트 구조물 및 상기 제1 콘택 영역 상에 제1 예비 보호 부재를 형성하는 단계; 및

상기 제1 콘택홀을 제1 도전성 물질로 매립하여 제1 콘택을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 35.

제 34 항에 있어서, 상기 제1 콘택을 형성하는 단계는,

상기 제1 콘택홀의 상부에 제2 개구를 형성하는 단계; 및

상기 제1 개구를 상기 제1 도전성 물질로 매립하여 상기 제1 콘택과 일체로 제1 비트 라인을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 36.

제 34 항에 있어서, 상기 복수의 콘택들을 형성하는 단계는,

상기 제3 층간 절연막, 상기 제2 층간 절연막 및 상기 제1 층간 절연막을 부분적으로 식각하여 상기 제1 콘택 영역 상의 제1 예비 보호 부재를 노출시키는 제2 콘택홀을 형성하는 단계;

상기 노출된 제1 예비 보호 부재를 식각하여 상기 제1 게이트 구조물의 상면 및 측벽 상에 제1 보호 부재를 형성하는 단계; 및

상기 제2 콘택홀을 제2 도전성 물질로 매립하여 제2 콘택을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 37.

제 34 항에 있어서, 상기 복수의 콘택들을 형성하는 단계는,

상기 제2 층간 절연막 및 상기 제1 층간 절연막을 부분적으로 식각하여 상기 주변 회로 영역의 적어도 하나의 게이트 구조물 상의 상기 보호층을 노출시키는 제3 콘택홀을 형성하는 단계;

상기 주변 회로 영역의 노출된 보호층을 식각하여 상기 적어도 하나의 게이트 구조물의 상면 및 측벽 상에 제2 보호 부재를 형성하는 단계; 및

상기 제3 콘택홀을 상기 제1 도전성 물질로 매립하여 제3 콘택을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 38.

제 37 항에 있어서, 상기 제3 콘택을 형성하는 단계는,

상기 제3 콘택홀의 상부에 제2 개구를 형성하는 단계; 및

상기 제2 개구를 상기 제1 도전성 물질로 매립하여 상기 제3 콘택과 일체로 제2 비트 라인을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 39.

제 37 항에 있어서, 상기 복수의 콘택들을 형성하는 단계는,

상기 주변 회로 영역의 반도체 기판 상의 상기 보호층을 노출시키는 복수의 제4 콘택홀들을 형성하는 단계;

상기 주변 회로 영역의 반도체 기판 상의 노출된 보호층을 식각하여 상기 주변 회로 영역의 반도체 기판 상에 제3 보호 부재를 형성하는 단계; 및

상기 복수의 제4 콘택홀들을 상기 제1 도전성 물질로 매립하여 복수의 제4 콘택들을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 40.

제 39 항에 있어서, 상기 복수의 제4 콘택들을 형성하는 단계는,

상기 복수의 제4 콘택홀들 중 적어도 하나의 상부에 제3 개구를 형성하는 단계; 및

상기 제3 개구를 상기 제1 도전성 물질로 매립하여 상기 제4 콘택들 중 적어도 하나와 일체로 제3 비트 라인을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치 및 그 제조 방법에 관한 것으로, 보다 상세하게는 단순화된 구조를 가지면서도 크게 향상된 전기적 특성을 구비하는 반도체 장치 및 그 제조 방법에 관한 것이다.

일반적으로 휘발성 반도체 메모리 소자는 DRAM 소자나 SRAM 소자와 같이 전원 공급이 중단되었을 경우에 저장된 데이터가 상실되는 메모리 소자이다. 이에 비하여, 전원 공급이 중단되어도 저장된 데이터를 상실하지 않는 비휘발성 반도체

메모리 소자인 EPROM 소자, EEPROM 소자 그리고 Flash EEPROM 소자 등도 널리 사용되고 있다. 그러나, 상기 DRAM 소자 또는 SRAM 소자 등과 같은 휘발성 반도체 메모리 소자의 경우 휘발성으로 인하여 사용에 제한이 있다. 또한, 상기 EPROM 소자, EEPROM 소자, Flash EEPROM 소자 등의 비휘발성 반도체 메모리 소자의 경우에도 그 집적도가 낮고, 동작 속도가 느리며, 고전압을 필요로 하는 단점으로 인하여 그 사용이 제한적이거나 머지않아 한계에 도달할 것으로 예상되고 있다. 현재 이러한 문제점들을 해결하기 위하여, 새로운 반도체 메모리 소자를 제조하기 위해 강유전성 물질을 이용한 반도체 메모리 소자의 제작에 관한 연구가 활발하게 진행되고 있다.

대체로 강유전체란 유전 분극(dielectric polarization)이 가해지는 전계에 따라 이력곡선(hysteresis loop)을 형성하는 비선형 유전체를 말한다. 이러한 강유전체를 이용한 FRAM 소자는 강유전체의 이중 안정적인 분극 상태를 이용한 비휘발성 메모리소자이다. 상기 FRAM 소자는 DRAM 소자에서 유전체를 강유전체로 대체한 구조를 가지며, 전원이 계속 인가되지 않더라도 기록된 정보를 유지하는 특성을 지닌다. 또한, 상기 FRAM 소자는 빠른 동작 속도, 저전압 동작 및 높은 내구성으로 인하여 차세대 비휘발성 반도체 메모리 소자로 각광받고 있다. 현재, 강유전성 물질로서 PZT[PT(Zr, Ti)O₃], SBT[Sr(Bi, Ti)O₃] 또는 BLT[Bi(La, Ti)O₃] 등이 활발하게 연구되고 있다.

진술한 강유전체를 포함하는 반도체 메모리 장치는 국내 공개 특허 제1997-77662호, 미국특허 제6,366,489호 및 일본 공개 특허 제2003-243621호 등에 개시되어 있다.

도 1 내지 도 4는 종래의 강유전체 메모리 장치의 제조 공정을 설명하기 위한 단면도들이다.

도 1을 참조하면, 반도체 기판(1)에 소자 분리막(3)을 형성하여 반도체 기판(1)을 셀 영역(C), 제1 주변 회로 영역(P1) 및 제2 주변 회로 영역(P2)으로 구분한다.

소자 분리막(3)을 통하여 노출되는 반도체 기판(1) 상에 게이트 산화막을 형성한 후, 상기 게이트 산화막을 식각하여 셀 영역(C)에 제1 게이트 산화막 패턴들(6)을 형성하는 동시에 제1 주변 회로 영역(P1)에 제2 게이트 산화막 패턴(6')을 형성한다.

셀 영역(C)의 제1 게이트 산화막 패턴들(6) 상에 각기 제1 게이트 도전막 패턴(9), 제2 게이트 도전막 패턴(12) 및 제1 게이트 마스크 패턴(15)을 순차적으로 형성한다. 이와 동시에, 제1 주변 회로 영역(P1)의 제2 게이트 산화막 패턴(6') 상에 제3 게이트 도전막 패턴(9'), 제4 게이트 도전막 패턴(12') 및 제2 게이트 마스크 패턴(15')을 차례로 형성한다. 한편, 제1 주변 회로 영역(P1)의 소자 분리막(3) 상에는 게이트 산화막 패턴을 개재하지 않고 제5 게이트 도전막 패턴(9''), 제6 게이트 도전막 패턴(12'') 및 제3 게이트 마스크 패턴(15'')이 형성된다. 따라서, 셀 영역(C)에는 복수의 제1 게이트 구조물(21)이 형성되는 동시에 제1 주변 회로 영역(P1)에는 제2 및 제3 게이트 구조물(21', 21'')이 형성된다.

계속하여, 제1 내지 제3 게이트 구조물들(21, 21', 21'')의 측벽들 상에 각기 제1 내지 제3 게이트 스페이서들(18, 18', 18'')을 형성한 다음, 셀 영역(C)의 제1 게이트 구조물들(21)을 마스크로 이용하는 이온 주입 공정을 통하여 셀 영역(C)의 반도체 기판(1)에 소스/드레인 영역들(24, 27)을 형성한다.

이어서, 셀 영역(C)의 제1 게이트 구조물들(21)을 덮으면서 반도체 기판 상에 제1 도전막을 형성한 후, 상기 제1 도전막을 패터닝하여 각기 소스/드레인 영역들(24, 27)에 각기 접촉되는 패드들(30, 33)을 형성한다.

도 2를 참조하면, 셀 영역(C), 제1 주변 회로 영역(P1) 및 제2 주변 회로 영역(P2)을 덮으면서 반도체 기판(1)의 전면에 제1 층간 절연막(36)을 형성한 후, 제1 층간 절연막(36) 상에 제2 층간 절연막(39)을 형성한다.

사진 식각 공정으로 제2 층간 절연막(39) 및 제1 층간 절연막(36)을 부분적으로 식각하여, 셀 영역(C)에 제1 콘택홀(45)을 형성하고, 제1 주변 회로 영역(P1)에 제2 내지 제6 콘택홀들(48, 51, 54, 57, 60)을 형성한다. 동시에, 제2 주변 회로 영역(P2)에 제7 콘택홀(42)을 형성한다. 셀 영역(C)의 제1 콘택홀(45)은 소스/드레인 영역(27)에 접촉되는 패드(33)를 노출시킨다. 제1 주변 회로 영역(P1)의 제3 콘택홀(51)은 각기 제2 게이트 구조물(21')의 제4 게이트 도전막 패턴(12')을 노출시키고, 제5 콘택홀(57)은 제3 게이트 구조물(21'')의 제6 게이트 도전막 패턴(12'')을 노출시킨다. 제2 콘택홀(48), 제4 콘택홀(54) 및 제6 콘택홀(60)은 제1 주변 회로 영역(P1)의 반도체 기판(1)을 노출시킨다. 또한, 제7 콘택홀(42)은 제2 주변 회로 영역(P2)의 반도체 기판(1)을 노출시킨다. 여기서, 제1, 제2, 제4, 제5 및 제7 콘택홀들(45, 48, 54, 57, 42)의 상부에는 각기 비트 라인을 위한 개구들이 형성된다.

도 3을 참조하면, 제1 내지 제7 콘택홀들(45, 48, 51, 54, 57, 60, 42)을 채우면서 제2 층간 절연막(39) 상에 제2 도전막을 형성한 후, 제2 층간 절연막(39)이 노출될 때까지 상기 제2 도전막의 상부를 제거한다. 따라서, 셀 영역(C)의 제1 콘택홀(45)에는 제1 비트 라인(66')과 제1 콘택(69)이 형성되며, 제1 주변 회로 영역(P1)의 제2 콘택홀(48)에는 제2 비트 라인(66')과 제2 콘택(72)이 형성된다. 제1 주변 회로 영역(P1)의 제3 콘택홀(51)에는 제3 콘택(75)이 형성되며, 제4 콘택홀(54)에는 제3 비트 라인(66'')과 제4 콘택(78)이 형성된다. 또한, 제1 주변 회로 영역(P1)의 제5 콘택홀(57)에는 제4 비트 라인(66''')과 제5 콘택(81)이 형성되며, 제6 콘택홀(60)에는 제6 콘택(84)이 형성된다. 그리고, 제2 주변 회로 영역(P2)의 제7 콘택홀(42)에는 제5 비트 라인(66)과 제7 콘택(63)이 형성된다.

도 4를 참조하면, 제1 내지 제5 비트 라인들(66', 66'', 66''', 66''', 66), 제3 및 제6 콘택들(75, 84) 및 제2 층간 절연막(39) 상에 제3 층간 절연막(87)을 형성한다.

이어서, 제3 층간 절연막(87), 제2 층간 절연막(39) 및 제1 층간 절연막(36)을 순차적으로 식각하여 소스/드레인 영역들(24)에 접촉되는 패드들(30)을 노출시키는 제8 콘택홀들을 형성한다. 상기 제8 콘택홀들을 채우면서 제3 층간 절연막(87) 상에 제3 도전막을 형성한 다음, 제3 층간 절연막(87) 상의 상기 제3 도전막을 제거하여 상기 제8 콘택홀들에 각기 제8 콘택들(90)을 형성한다. 여기서, 제8 콘택들(90)은 각기 소스/드레인 영역들(24) 상에 위치하는 패드들(30)에 접촉된다.

그러나, 상술한 종래의 강유전체 메모리 장치의 제조 방법에 있어서, 층간 절연막들을 관통하여 형성되는 복수의 콘택홀들이 각기 서로 다른 깊이를 가지기 때문에, 상기 콘택홀들을 형성하는 동안 반도체 기판, 패드 또는 게이트 구조물이 식각으로 인한 손상을 입는 문제점이 있다. 즉, 도 2에 도시한 바와 같이, 층간 절연막들(36, 39)을 서로 상이한 깊이를 갖는 복수의 콘택홀들(42, 45, 48, 51, 54, 57, 60)을 형성하는 식각 공정 동안, 주변 회로 영역의 노출된 반도체 기판(1)이나 게이트 구조물들(21', 21'')이 식각으로 인하여 손상을 입게 된다. 특히, 도 3에 도시한 바와 같이, 층간 절연막들(36, 39, 87)을 식각하여 콘택홀들을 형성하는 동안 셀 영역(C)에 위치하는 소스/드레인 영역들(24) 상의 패드들(30)이 식각으로 인하여 손상을 받을 경우에는, 반도체 장치의 전기적인 특성이 크게 저하되는 문제점이 발생된다.

또한, 소스/드레인 영역들(24, 27) 상에 패드들(30, 33)을 형성한 다음, 후속 공정을 진행하기 때문에 반도체 장치의 구조가 복잡해질 뿐만 아니라 반도체 장치의 제조비용과 시간이 크게 증가되는 문제점이 있다. 실질적으로 패드들(30,33)을 형성하기 위하여 약 40 단계 이상의 세부 공정들이 진행되기 때문에, 패드들(30, 33)을 형성할 경우에는 반도체 장치의 제조에 요구되는 시간과 비용이 현저하게 증가하게 된다. 특히, 오늘날과 같이 불휘발성 메모리 장치의 제조에 있어서 원가 절감, 집적도의 향상 및 전기적인 특성의 개선이 강하게 요구되고 있는 상황에서는 불휘발성 메모리 장치의 구조 단순화와 전기적 특성의 안정화가 필연적이다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 일 목적은 패드를 형성하지 않고 보호 부재를 구비하여 단순화된 구조를 가지면서도 그 전기적 특성을 크게 향상시킬 수 있는 반도체 장치를 제공하는 것이다.

본 발명의 다른 목적은 반도체 장치의 구조를 보호 부재를 형성하여 구조를 단순화시키면서도 전기적 특성을 크게 향상시킬 수 있는 반도체 장치의 제조 방법을 제공하는 것이다.

발명의 구성

상술한 본 발명의 일 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 반도체 장치는, 반도체 기판, 상기 반도체 기판 상에 형성되며 콘택 영역들 및 게이트 구조물들을 포함하는 도전성 구조물들, 상기 게이트 구조물들 상에 형성된 보호 부재, 상기 보호 부재 상에 형성된 절연막, 상기 보호 부재와 상기 절연막 사이에 형성되, 질화물 또는 산질화물을 포함하는 확산 장벽층, 그리고 상기 절연막을 관통하여 상기 콘택 영역들 및 상기 반도체 기판에 직접 접촉되며 서로 상이한 높이를 갖는 복수의 콘택들을 포함한다.

또한, 전술한 본 발명의 일 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 반도체 장치는, 셀 영역과 주변 회로 영역을 구비하는 반도체 기판, 상기 셀 영역에 형성된 복수의 제1 게이트 구조물들, 상기 주변 회로 영역에 형성된 적어도 하나의 게이트 구조물, 상기 제1 게이트 구조물들의 상면 및 측벽 상에 형성된 제1 보호 부재, 상기 주변 회로 영역의 적어도 하나의 게이트 구조물의 상면 및 측벽 상에 형성된 제2 보호 부재, 상기 셀 영역 및 상기 주변 회로 영역 상에 형성된 적어도 하나의 층간 절연막, 그리고 상기 층간 절연막을 관통하여 상기 셀 영역, 상기 주변 회로 영역 및 상기 주변 회로 영역의 적어도 하나의 게이트 구조물에 각기 접촉되며, 서로 상이한 높이를 갖는 복수의 콘택들을 포함한다.

상술한 본 발명의 다른 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 반도체 장치의 제조 방법에 있어서, 반도체 기판 상에 복수의 게이트 구조물들을 형성한 후, 상기 게이트 구조물들 사이의 반도체 기판에 콘택 영역을 형성한다. 상기 게이트 구조물들을 덮으면서 상기 반도체 기판 상에 보호층을 형성한 다음, 상기 게이트 구조물들을 덮으면서 상기 반도체 기판 상에 절연막을 형성한다. 다음에, 상기 절연막을 관통하여 각기 상기 콘택 영역 및 상기 반도체 기판에 직접 접촉되며, 서로 상이한 높이를 갖는 복수의 콘택들을 형성한다.

또한, 전술한 본 발명의 다른 목적을 달성하기 위하여, 본 발명의 실시예에 따른 반도체 장치의 제조 방법에 있어서, 반도체 기판을 셀 영역과 주변 회로 영역으로 구분한 후, 상기 셀 영역에 복수의 제1 게이트 구조물들을 형성한다. 상기 주변 회로 영역에 적어도 하나의 게이트 구조물을 형성한 다음, 상기 셀 영역의 제1 게이트 구조물들 사이에 제1 콘택 영역 및 제2 콘택 영역들을 형성한다. 이어서, 상기 셀 영역 및 상기 주변 회로 영역 상에 보호층을 형성한 후, 상기 보호층 상에 적어도 하나의 층간 절연막을 형성한다. 다음에, 상기 적어도 하나의 층간 절연막을 관통하여 상기 제1 콘택 영역, 상기 제2 콘택 영역, 상기 주변 회로 영역의 적어도 하나의 게이트 구조물 및 상기 주변 회로 영역의 반도체 기판에 각기 접촉되며, 서로 상이한 높이를 갖는 복수의 콘택들을 형성한다.

본 발명에 따르면, 기판에 형성된 콘택 영역과 캐패시터의 하부 전극을 전기적으로 연결하기 위한 별도의 패드를 형성하지 않고 보호 부재를 통하여 상기 콘택 영역에 직접 접촉되며, 서로 상이한 높이를 갖는 콘택들을 콘택 영역의 손상 없이 형성할 수 있다. 따라서, 이러한 콘택 및 콘택 영역을 구비하는 반도체 장치의 전기적인 특성을 향상시킬 수 있는 동시에 반도체 장치의 구조를 단순화시킬 수 있다. 또한, 보호 부재가 반도체 기판의 소정 영역들 및 도전성 구조물 등을 보호하기 때문에 이와 같은 영역들이나 도전성 구조물들에 직접 접촉되는 상이한 깊이를 가지는 복수의 콘택홀들을 반도체 기판 및 상기 도전성 구조물들의 손상 없이 간단하게 형성할 수 있다. 이에 따라, 상기 콘택홀들에 형성되는 콘택 및 비트 라인 등을 구비하는 반도체 장치의 전기적인 특성을 개선할 수 있으며, 반도체 제조 공정에 있어서 시간과 비용을 크게 절감할 수 있다.

이하, 본 발명에 따른 실시예들에 따른 반도체 장치 및 그 제조 방법을 첨부된 도면을 참조하여 상세하게 설명하지만, 본 발명은 하기의 실시예들에 한정되지 않고 다양한 형태로 구현 가능하다.

첨부된 도면들에 있어서, 제1 내지 제3 게이트 구조물들, 제1 내지 제8 콘택홀들, 제1 내지 제8 콘택들 그리고 제1 내지 제5 비트 라인들은 도시 및 설명의 편의를 위하여 임의적으로 명칭을 부여한 것이며, 본 발명이 이러한 명칭에 한정되는 것은 아니다. 제1 내지 제8 콘택홀들, 제1 내지 제8 콘택들은 그리고 제1 내지 제5 비트 라인들은 서로 교환적으로 사용되거나 2 이상의 콘택들이 하나의 명칭으로 사용될 있다. 예를 들면, 제8 콘택홀 및 제8 콘택이 각기 제2 콘택홀 및 제2 콘택이 될 수 있고, 제4 콘택홀 및 제4 콘택이 각기 제3 콘택홀 및 제3 콘택이 될 수 있으며, 제5 내지 제7 콘택들을 제5 콘택으로 나타낼 수 있다. 이러한 점은, 제1 내지 제5 비트 라인들의 경우에도 동일하게 적용된다.

도 5는 본 발명의 실시예들에 따른 반도체 장치의 단면도를 도시한 것이다.

도 5를 참조하면, 상기 반도체 장치는 반도체 기판(100), 반도체 기판(100) 상에 형성된 도전성 구조물들, 상기 도전성 구조물들 상에 각기 형성된 보호 부재들, 상기 보호 부재들 상에 형성된 절연 구조물, 상기 절연 구조물을 관통하여 상기 도전성 구조물들 및 반도체 기판(100)에 접촉되는 복수의 콘택들, 그리고 상기 절연 구조물 상에 형성된 캐패시터(220)를 포함한다.

반도체 기판(100)은 실리콘 웨이퍼 또는 SOI(Silicon On Insulator) 기판을 포함하며, 반도체 기판(100)에는 소자 분리막(103)이 형성되어 반도체 기판(100)을 셀 영역(C')과 이에 각기 인접하는 제1 주변 회로 영역(P1') 및 제2 주변 회로 영역(P2')으로 구분한다. 그러나, 이러한 제1 주변 회로 영역(P1') 및 제2 주변 회로 영역(P2')은 예시적인 것이며, 단순히 주변 회로 영역으로도 정의될 수 있다.

상기 도전성 구조물들은 셀 영역(C')에 형성된 복수의 제1 게이트 구조물들(124), 제1 게이트 구조물들(124) 사이의 반도체 기판(100)에 형성된 제1 및 제2 콘택 영역들(127, 130)을 구비한다. 여기서, 제1 및 제2 콘택 영역들(127, 130)은 예를 들면, 소스/드레인 영역들에 해당된다. 또한, 상기 도전성 구조물들은 제1 주변 회로 영역(P1')에 형성된 제2 게이트 구조물(125) 및 제3 게이트 구조물(126)을 포함한다.

셀 영역(C')의 제1 게이트 구조물들(124)의 상면 및 측벽 상에는 각기 제1 보호 부재(195)가 형성되며, 제1 주변 회로 영역(P1')의 제2 및 제3 게이트 구조물들(125, 126)의 상면 및 측벽 상에는 각기 제2 보호 부재(165)가 형성된다. 또한, 제2 주변 회로 영역(P2')의 반도체 기판(100) 상에는 제3 보호 부재(163)가 형성된다. 제1 내지 제3 보호 부재(195, 165, 163)

는 상기 절연 구조물에 대하여 식각 선택비를 갖는 물질로 구성된다. 예를 들면, 제1 내지 제3 보호 부재(195, 165, 163)는 각기 금속 산화물, 질화물 또는 산질화물을 포함할 수 있다. 제1 내지 제3 보호 부재들(195, 165, 163)은 상기 복수의 콘택들을 형성하는 식각 공정 동안 제1 내지 제3 게이트 구조물들(124, 125, 126), 제1 및 제2 콘택 영역들(127, 130), 그리고 제1 및 제2 주변 회로 영역들(P1', P2')의 반도체 기판(100)을 식각 손상으로부터 보호한다.

상기 절연 구조물은 제1 내지 제3 보호 부재들(195, 165, 163)이 형성된 반도체 기판(100)의 전면 상부에 순차적으로 형성된 제1 층간 절연막(136) 및 제2 층간 절연막(139)을 포함한다. 또한, 상기 절연 구조물은 제2 층간 절연막(139) 상에 차례로 형성된 확산 장벽층(188) 및 제3 층간 절연막(191)을 더 포함한다.

상기 복수의 콘택들은 제1 층간 절연막(136) 및 제2 층간 절연막(139)에 매립되는 제1 내지 제7 콘택들(176, 177, 178, 179, 180, 181, 182)과 제1 내지 제3 층간 절연막(136, 139, 191)에 매립되는 제8 콘택들(197)을 구비한다. 여기서, 제1 콘택(176) 및 제2 콘택(177) 상에는 제1 비트 라인(170) 및 제2 비트 라인(171)이 각기 형성되며, 제3 콘택(178) 및 제5 콘택(180) 상에는 제3 비트 라인(172) 및 제4 비트 라인(173)이 각기 형성된다. 또한, 제7 콘택(182) 상에는 제5 비트 라인(174)이 형성된다.

제8 콘택들(197)은 패드나 플러그를 개재하지 않고 각기 제3 내지 제1 층간 절연막들(191, 139, 136)을 관통하여 제1 콘택 영역들(127)에 직접 접촉된다. 캐패시터(220)의 하부 전극(206)은 제8 콘택들(197) 상에 형성되어 제1 콘택 영역(127)에 전기적으로 연결된다. 제1 콘택(176)도 패드나 플러그를 개재하지 않고 제2 및 제1 층간 절연막들(139, 136)을 관통하여 제2 콘택 영역(130)에 직접 접촉된다. 제1 콘택(176) 상에는 제1 비트 라인(170)이 위치하며, 제1 비트 라인(170)은 제1 콘택(176)을 통하여 제2 콘택 영역(130)에 전기적으로 연결된다.

제2 및 제3 콘택들(177, 178)은 각기 제2 및 제1 층간 절연막들(139, 136)을 관통하여 제2 게이트 구조물(125)에 인접하는 제1 주변 회로 영역(P1')의 반도체 기판(100)에 접촉된다. 제2 및 제3 콘택들(177, 178) 상에는 각기 제2 및 제3 비트 라인들(171, 172)이 형성된다. 제4 및 제5 콘택들(179, 180)도 각기 제2 및 제1 층간 절연막들(139, 136)을 관통하여 제2 및 제3 게이트 구조물들(125, 126)에 접촉된다. 제5 콘택(180) 상에는 제4 비트 라인(173)이 형성되지만, 제4 콘택(179) 상에는 비트 라인이 형성되지 않는다. 제6 콘택(181)은 제2 및 제1 층간 절연막들(139, 136)을 관통하여 제3 게이트 구조물(126)에 인접하는 제1 주변 회로 영역(P1')의 반도체 기판(100)에 접촉되며, 제7 콘택(182)은 제2 및 제1 층간 절연막들(139, 136)을 관통하여 제2 주변 회로 영역(P2')의 반도체 기판(100)에 접촉된다. 제7 콘택(182) 상에는 제5 비트 라인(174)이 형성되지만, 제6 콘택(181) 상에는 비트 라인이 위치하지 않는다.

상기 절연 구조물의 확산 장벽층(188)은 제1 내지 제5 비트 라인들(170, 171, 172, 173, 174)과 제4 및 제6 콘택(179, 181)이 매립된 제2 층간 절연막(188) 상에 형성되어, 캐패시터(220)의 형성을 위한 열처리 공정 동안 금속 원자가 확산되는 것을 방지한다. 예를 들면, 확산 장벽층(188)은 질화물 또는 산질화물을 포함한다.

캐패시터(220)는 제8 콘택(197)이 매립된 제3 층간 절연막(191) 상에 순차적으로 형성된 하부 전극(206), 강유전체층 패턴(209) 및 상부 전극(218)을 구비한다. 하부 전극(206)은 제1 및 제2 하부 전극층 패턴들(202, 203)을 포함하며, 상부 전극(218)도 제1 및 제2 상부 전극층 패턴들(212, 215)을 포함한다. 도 5에 있어서, 강유전체 캐패시터(220)를 예시적으로 도시 및 설명하였으나, DRAM 장치의 캐패시터 또는 PRAM 장치의 캐패시터도 유사하게 적용될 수 있다.

도 6 내지 도 12는 도 5에 도시한 반도체 장치의 제조 공정을 설명하기 위한 단면도들이다.

도 6을 참조하면, 실리콘 웨이퍼 또는 SOI(Silicon On Insulator) 기판 등의 반도체 기판(100) 상에 소자 분리막(103)을 형성하여 반도체 기판(100)을 셀 영역(C')과 주변 회로 영역으로 구분한다. 여기서, 상기 주변 회로 영역은 셀 영역(C')을 기준으로 제1 주변 회로 영역(P1') 및 제2 주변 회로 영역(P2')으로 구분될 수 있다. 예를 들면, 제1 및 제2 주변 회로 영역(P1', P2')에는 불휘발성 메모리 소자나 SRAM과 같은 휘발성 메모리 소자를 전기적으로 연결하기 위한 배선들이 형성될 수 있다.

소자 분리막(103)은 쉘로우 트렌치 소자 분리(Shallow Trench Isolation; STI) 공정 또는 실리콘 부분 산화법(local oxidation of silicon; LOCOS) 등과 같은 소자 분리 공정을 이용하여 형성된다.

소자 분리막(103)이 형성된 반도체 기판(100) 상에 열 산화법(thermal oxidation)이나 화학 기상 증착(CVD) 공정으로 얇은 두께의 게이트 절연막을 형성한다. 예를 들면, 상기 게이트 절연막은 실리콘 산화물과 같은 산화물로 이루어진다. 이 경우, 소자 분리막(103) 상에는 상기 게이트 절연막이 형성되지 않는다.

상기 게이트 절연막 상에 제1 도전막, 제2 도전막 및 제1 마스크층을 순차적으로 형성한다. 상기 제1 도전막 및 상기 제2 도전막은 각기 셀 영역(C')의 제1 게이트 전극들(115), 제1 주변 회로 영역(P1')의 제2 게이트 전극(116) 및 제3 게이트 전극(117)으로 패터닝된다. 또한, 상기 제1 마스크층은 셀 영역(C')의 제1 게이트 마스크 패턴들(118), 제1 주변 회로 영역(P1')의 제2 게이트 마스크 패턴(119) 및 제3 게이트 마스크 패턴(120)으로 패터닝된다.

상기 제1 도전막은 금속 또는 불순물로 도핑된 폴리실리콘과 같은 도전성 물질로 이루어지며, 상기 제2 도전막은 금속 실리콘사이드로 구성된다. 예를 들면, 상기 제2 도전막은 텅스텐 실리콘사이드(WSi_x)를 사용하여 형성된다. 상기 제1 마스크층은 후속하여 형성되는 보호층(133) 및 제1 층간 절연막(136)(도 7 참조)에 대하여 식각 선택비를 갖는 물질을 사용하여 형성된다. 예를 들면, 보호층(133)이 실리콘 산질화물로 구성되고, 제1 층간 절연막(136)이 산화물로 이루어질 경우에는, 상기 제1 마스크층은 실리콘 질화물과 같은 질화물로 이루어진다.

상기 제1 마스크층 상에 포토레지스트 패턴을 형성한 후, 상기 포토레지스트 패턴을 식각 마스크로 이용하여 상기 제1 마스크층, 제2 도전막, 제1 도전막 및 게이트 절연막을 순차적으로 식각한다. 이에 따라, 셀 영역(C')의 반도체 기판(100) 상에는 복수의 제1 게이트 절연막 패턴들(106), 복수의 제1 게이트 전극들(115) 및 복수의 제1 게이트 마스크 패턴들(118)이 순차적으로 형성된다. 한편, 반도체 기판(100)의 제1 주변 회로 영역(P1')에는 제2 게이트 절연막 패턴(107), 제2 게이트 전극(116) 및 제2 게이트 마스크 패턴(119)이 형성되는 동시에, 제3 게이트 전극(117) 및 제3 게이트 마스크 패턴(120)이 형성된다. 여기서, 제2 게이트 절연막 패턴(107), 제2 게이트 전극(116) 및 제2 게이트 마스크 패턴(119)은 제1 주변 회로 영역(P1')의 반도체 기판(100) 상에 차례로 형성되며, 제3 게이트 전극(117) 및 제3 게이트 마스크 패턴(120)은 제1 주변 회로 영역(P1')의 소자 분리막(103) 상에 위치한다.

셀 영역(C')의 제1 게이트 전극들(115)은 각기 제1 도전막 패턴(109) 및 제2 도전막 패턴(112)을 구비한다. 제1 도전막 패턴(109)은 도핑된 폴리실리콘이나 금속과 같은 도전성 물질로 구성되며, 제2 도전막 패턴(112)은 금속 실리콘사이드로 이루어진다. 즉, 제1 게이트 전극들(115)은 각기 폴리사이드(polycide) 구조를 가진다. 본 발명의 다른 실시예에 따르면, 제1 게이트 전극들(115)은 금속이나 도핑된 폴리실리콘 등의 단일 도전막 패턴만을 구비할 수 있다.

제1 주변 회로 영역(P1')의 제2 게이트 전극(116)은 제3 도전막 패턴(110) 및 제4 도전막 패턴(113)을 구비하며, 제3 게이트 전극(117)은 제5 도전막 패턴(111) 및 제6 도전막 패턴(114)을 포함한다. 여기서, 제3 및 제5 도전막 패턴들(110, 111)은 제1 도전막 패턴(109)과 실질적으로 동일하며, 제4 및 제6 도전막 패턴들(113, 114)은 제2 도전막 패턴(112)과 실질적으로 동일하다. 전술한 바와 같이, 제2 및 제3 게이트 전극들(116, 117)도 각기 금속 또는 도핑된 폴리실리콘으로 이루어진 단일 도전막 패턴을 구비할 수 있다.

셀 영역(C') 및 제1 주변 회로 영역(P1')의 제1 내지 제3 게이트 마스크 패턴들(118, 119, 120)을 덮으면서 반도체 기판(100) 상에 제1 절연막을 형성한다. 상기 제1 절연막은 실리콘 질화물과 같은 질화물을 사용하여 형성된다. 이어서, 상기 제1 절연막을 이방성 식각 공정으로 식각함으로써, 제1 내지 제3 게이트 전극들(115, 116, 117) 및 제1 내지 제3 게이트 마스크 패턴들(118, 119, 120)의 측벽들 상에 각기 제1 내지 제3 게이트 스페이서들(121, 122, 123)을 형성한다. 즉, 제1 게이트 전극들(115) 및 제1 게이트 마스크 패턴들(118)의 측벽들 상에는 각기 제1 게이트 스페이서(121)가 형성된다. 또한, 제2 게이트 전극(116) 및 제2 게이트 마스크 패턴(119)의 측벽들 상에는 제2 게이트 스페이서(122)가 형성되며, 제3 게이트 전극(117) 및 제3 게이트 마스크 패턴(120)의 측벽들 상에는 제3 스페이서(123)가 형성된다. 이에 따라, 셀 영역(C')에는 복수의 제1 게이트 구조물들(124)이 형성되며, 제1 주변 회로 영역(P1')에는 제2 게이트 구조물(125) 및 제3 게이트 구조물(126)이 형성된다. 제1 게이트 구조물들(124)은 각기 제1 게이트 절연막 패턴(106), 제1 게이트 전극(115), 제1 게이트 마스크 패턴(118) 및 제1 게이트 스페이서(121)를 구비한다. 제2 게이트 구조물(125) 또한 제2 게이트 절연막 패턴(107), 제2 게이트 전극(116), 제2 게이트 마스크 패턴(119) 및 제2 게이트 스페이서(122)를 포함한다. 한편, 소자 분리막(103) 상에 형성되는 제3 게이트 구조물(126)은 게이트 절연막 패턴 없이 제3 게이트 전극(117), 제3 게이트 마스크 패턴(120) 및 제3 게이트 스페이서(123)를 구비한다.

다시 도 6을 참조하면, 제1 게이트 구조물들(124)이 형성됨에 따라 노출되는 셀 영역(C')에 반도체 기판(100)에, 제1 게이트 구조물들(124)을 이온 주입 마스크들로 이용하여 이온 주입 공정으로 불순물을 주입하고 열처리 공정을 수행하여 제1 콘택 영역(127) 및 제2 콘택 영역(130)을 형성한다. 제1 및 제2 콘택 영역들(127, 130)은 예를 들면, 소스/드레인 영역들에 해당된다. 제1 콘택 영역(127)에는 캐패시터(220)의 하부 전극(206)(도 12 참조)이 전기적으로 연결되며, 제2 콘택 영역(130)에는 셀 영역(C')의 제1 비트 라인(170)(도 10 참조)이 전기적으로 접속된다. 따라서, 반도체 기판(100)의 셀 영역(C')에는 각기 제1 게이트 구조물(124)과 제1 및 제2 콘택 영역들(127, 130)을 포함하는 트랜지스터들이 형성된다. 본 발명의 다른 실시예에 따르면, 각 제1 게이트 구조물(124)의 측벽에 제1 게이트 스페이서(121)를 형성하기 전에 제1 게이트

구조물(124)들 사이에 노출되는 반도체 기판(100)에 낮은 농도의 불순물을 1차적으로 이온 주입한다. 계속하여, 제1 게이트 구조물(124)의 측벽에 제1 게이트 스페이서(121)를 형성한 다음, 불순물이 1차적으로 주입된 반도체 기판(100)에 높은 농도의 불순물을 2차적으로 이온 주입하여 LDD(Lightly Doped Drain) 구조를 갖는 제1 및 제2 콘택 영역(127, 130)을 형성할 수 있다.

제1 게이트 구조물들(124)이 형성된 셀 영역(C'), 제2 및 제3 게이트 구조물들(125, 126)이 형성된 제1 주변 회로 영역(P1') 그리고 제2 주변 회로 영역(P2')을 모두 포함하는 반도체 기판(100)의 전면 상에 보호층(133)을 형성한다. 보호층(133)은 후속하여 형성되는 제1 내지 제3 층간 절연막들(136, 139, 191)(도 10 참조)에 대하여 식각 선택비를 갖는 물질을 사용하여 형성된다. 예를 들면, 보호층(133)은 알루미늄 산화물과 같은 금속 산화물, 실리콘 산질화물 등의 산질화물 또는 실리콘 질화물과 같은 질화물로 이루어진다. 보호층(133)은 화학 기상 증착(CVD) 공정, 플라즈마 증대 화학 기상 증착(PECVD) 공정 또는 원자층 적층(ALD) 공정을 이용하여 형성된다.

보호층(133)은 후속하여 제1 내지 제7 콘택홀들(148, 149, 150, 151, 152, 153, 154)(도 8 참조)을 형성하기 위한 식각 공정 동안 셀 영역(C')의 제1 게이트 구조물들(124)을 보호하는 제1 예비 보호 부재(164)와 제1 주변 회로 영역(P1')의 제2 및 제3 게이트 구조물들(125, 126)과 반도체 기판(100)을 보호하는 제2 보호 부재(165) 그리고 제2 주변 회로 영역(P2')의 반도체 기판(100)을 보호하는 제3 보호 부재(163)로 패터닝된다. 보호층(133)은 약 50 내지 약 1,000Å 정도의 두께로 형성된다. 그러나, 이러한 보호층(133)의 두께는 제1 내지 제7 콘택홀들(148, 149, 150, 151, 152, 153, 154)의 깊이 또는 제1 내지 제3 층간 절연막들(136, 139, 191)의 두께에 따라 변화될 수 있다.

도 7을 참조하면, 보호층(133)을 덮으면서 반도체 기판(100)의 상부에 제1 층간 절연막(136)을 형성한다. 제1 층간 절연막(136)은 예를 들면, BPSG, PSG, USG, SOG, PE-TEOS 또는 HDP-CVD 산화물 등과 같은 산화물을 사용하여 형성된다. 제1 층간 절연막(136)은 화학 기상 증착 공정, 플라즈마 증대 화학 기상 증착 공정 또는 고밀도 플라즈마 화학 기상 증착 공정을 이용하여 형성된다. 제1 층간 절연막(136)은 제1 게이트 구조물들(124) 사이의 제1 갭들을 완전히 매립하는 동시에 제2 및 제3 게이트 구조물들(125, 126) 사이의 갭을 매립하도록 보호층(133)의 상면으로부터 충분한 높이로 형성된다. 본 발명의 일 실시예에 있어서, 제1 층간 절연막(136)은 제1 내지 제3 게이트 구조물들(124, 125, 126)이 형성된 반도체 기판(100)의 상부에 형성되기 때문에, 제1 층간 절연막(136)의 상부에는 제1 내지 제3 게이트 구조물들(124, 125, 126)의 프로파일에 따라 단차가 형성된다. 본 발명의 다른 실시예에 따르면, 화학 기계적 연마 공정, 에치 백 공정 또는 화학 기계적 연마와 에치 백을 조합한 공정을 이용하여 상기 단차가 형성된 제1 층간 절연막(136)의 상부를 평탄화시킬 수 있다.

제1 층간 절연막(136)의 상부에는 제2 층간 절연막(139)이 형성된다. 제2 층간 절연막(139)은 BPSG, PSG, USG, SOG, PE-TEOS 내지 HDP-CVD 산화물 등과 같은 산화물을 사용하여 화학 기상 증착 공정, 플라즈마 증대 화학 기상 증착 공정 또는 고밀도 플라즈마 화학 기상 증착 공정으로 형성된다. 본 발명의 일 실시예에 따르면, 제1 및 제2 층간 절연막들(136, 139)은 전술한 산화물 가운데 실질적으로 동일한 물질을 사용하여 형성된다. 본 발명의 다른 실시예에 따르면, 제1 및 제2 층간 절연막(136, 139)은 각기 전술한 산화물 가운데 서로 상이한 물질을 사용하여 형성할 수 있다. 이어서, 화학 기계적 연마 공정, 에치 백 공정 또는 화학 기계적 연마와 에치 백을 조합한 공정을 이용하여 제2 층간 절연막(139)의 상부를 평탄화시킨다. 본 발명의 또 다른 실시예에 따르면, 제1 층간 절연막(136) 또는 제2 층간 절연막(139) 중 어느 하나의 층간 절연막만을 반도체 기판(100)의 상부에 충분한 높이로 형성한 다음, 상기 충분한 높이를 갖는 층간 절연막의 상부를 평탄화시킬 수도 있다. 즉, 제1 층간 절연막(136) 또는 제2 층간 절연막(139) 가운데 어느 하나의 층간 절연막은 생략할 수 있다.

도 8을 참조하면, 제2 층간 절연막(139) 상에 반사 방지층(142) 및 포토레지스트 패턴(145)을 순차적으로 형성한다. 반사 방지층(145)은 예를 들면, 실리콘 산화물, 실리콘 질화물 또는 실리콘 산질화물을 사용하여 형성된다. 이러한 반사 방지층(145) 상에는 사진 공정을 통하여 포토레지스트 패턴(145)이 형성된다.

포토레지스트 패턴(145)을 식각 마스크로 이용하여 제2 층간 절연막(139) 및 제1 층간 절연막(136)을 부분적으로 식각함으로써, 제1 내지 제7 콘택홀들(148, 149, 150, 151, 152, 153, 154)을 형성하여 반도체 기판(100)의 전면 상에 형성된 보호층(133)을 노출시킨다. 상기 제1 내지 제7 콘택홀들(148, 149, 150, 151, 152, 153, 154)을 형성하기 위한 식각 공정 동안 반도체 기판 또는 주변 회로 영역의 게이트 전극들이 손상을 입게 되는 과정을 상세하게 설명하면 다음과 같다.

도 13은 층간 절연막을 관통하여 형성되는 콘택홀들의 종류 및 상대적인 깊이를 설명하기 위한 개략적인 단면도이다.

도 13을 참조하면, 제2 및 제1 층간 절연막(139, 136)을 관통하여 형성되는 제1 내지 제7 콘택홀들(148, 149, 150, 151, 152, 153, 154)은 대체로 5가지 형태로 구분될 수 있다. 도 13에 있어서, 셀 영역의 게이트 구조물들(253) 사이의 반도체

기관(250)을 직접 노출시키는 콘택홀은 I형 콘택홀로 분류되며, 이러한 I형 콘택홀의 깊이를 D1로 나타낸다. 주변 회로 영역의 반도체 기관(250)을 직접 노출시키는 콘택홀은 II형 콘택홀에 해당되고, 상기 II형 콘택홀의 깊이를 D2로 표시한다. 상기 I형 및 II형 콘택홀들의 상부에는 각기 비트 라인들이 형성되는 개구들이 마련된다. 또한, 주변 회로 영역에 위치하는 게이트 구조물(256, 259)들의 게이트 전극들을 각기 노출시키는 콘택홀들은 III형 콘택홀 및 IV형 콘택홀로 분류되며, 상기 III형 및 IV형 콘택홀들의 깊이를 각기 D3 및 D4로 표시한다. 여기서, 상기 IV형 콘택홀의 상부에는 비트 라인의 형성을 위한 개구가 마련되지만, 상기 III형 콘택홀의 상부에는 비트 라인을 위한 개구가 형성되지 않는다. 한편, 비트 라인의 형성을 위한 개구를 갖지 않으면서 셀 영역 또는 주변 회로 영역의 반도체 기관(250)을 직접 노출시키는 콘택홀은 V형 콘택홀에 해당되며, 상기 V형 콘택홀의 깊이를 D5로 나타낸다.

도 13에 도시한 바와 같이, 비트 라인들이 형성되는 부부인 개구들을 제외하면 상기 I형 콘택홀 내지 V형 콘택홀의 깊이인 D1, D2, D3, D4 및 D5가 실질적으로 서로 상이하기 때문에, 층간 절연막(251)을 식각하여 상기 I형 내지 V형 콘택홀들을 형성하는 식각 공정 동안 노출되는 반도체 기관(250)이 식각으로 인한 손상을 입게 된다. 주변 회로 영역의 게이트 구조물들(256, 259)은 층간 절연막(251)과 상이한 식각 선택비를 갖는 게이트 마스크 패턴들을 구비하기 때문에 상기 I형 내지 V형 콘택홀들을 위한 식각 공정 동안 상기 게이트 마스크 패턴들로 인하여 식각 손상이 어느 정도는 방지된다. 그러나, 반도체 기관(250)을 직접 노출시키는 상기 I형 내지 III형 콘택홀들을 형성하는 동안 반도체 기관(250)은 아무런 보호를 받지 못하게 되므로 식각으로 인한 손상이 필연적으로 따르게 된다. 특히, 이와 같은 식각 손상이 발생된 부분이 반도체 기관(250)에 형성된 콘택 영역일 경우에는, 상기 콘택홀들을 형성한 다음 재차 이온 주입 공정을 실시하여 손상된 콘택 영역을 회복시켜야 하는 문제가 발생한다. 실질적으로 손상된 콘택 영역을 이온 주입 공정으로 회복하기 위해서는 약 10 단계 이상의 세부 공정들이 요구되며, 이러한 추가적인 세부 공정들의 수행은 반도체 장치의 제조비용 및 시간을 크게 증가시키는 원인이 된다.

다시 도 8을 참조하면, 셀 영역(C')의 제1 게이트 구조물들(124) 사이에는 제1 콘택홀(148)이 형성되며, 제2 및 제3 콘택홀들(149, 150)은 각기 제1 주변 회로 영역(P1')의 제2 게이트 구조물(125)에 인접하여 형성된다. 제4 콘택홀(151)은 제1 주변 회로 영역(P1')의 제2 게이트 구조물(125) 상에 위치하며, 제5 콘택홀(152)은 제1 주변 회로 영역(P1')의 제3 게이트 구조물(126) 상에 형성되며, 제6 콘택홀(153)은 제3 게이트 구조물(126)에 인접하여 위치한다. 제7 콘택홀(154)은 제2 주변 회로 영역(P2')에 형성된다.

도 8 및 도 13에 있어서, 제1 콘택홀(148)은 상기 I형 콘택홀에 해당되며, 제2, 제3 및 제7 콘택홀들(149, 150, 154)은 상기 II형 콘택홀로 분류된다. 또한, 제4 콘택홀(151)은 상기 III형 콘택홀로 분류할 수 있고, 제5 콘택홀(152)은 상기 IV형 콘택홀에 해당된다. 한편, 제6 콘택홀(153)은 상기 V형 콘택홀로 분류된다.

전술한 바와 같이, 제1 내지 제7 콘택홀들(148, 149, 150, 151, 152, 153, 154)을 형성하기 위한 식각 공정 동안 보호층(133)이 셀 영역(C')과 제1 및 제2 주변 회로 영역들(P1', P2')을 포함하는 반도체 기관(100)의 전면에 형성되어 있기 때문에, 특히 제1, 제2, 제3, 제6 및 제7 콘택홀들(148, 149, 150, 153, 154)을 형성하는 동안 반도체 기관(100)이 노출되지 않는다. 이에 따라, 반도체 기관(100)이 식각 공정으로 인하여 손상을 입는 것을 방지할 수 있으며, 특히 셀 영역(C')의 반도체 기관(100)에 형성된 제2 콘택 영역(130)이 식각 손상을 입는 것을 효과적으로 방지할 수 있다.

도 9를 참조하면, 제2 층간 절연막(139) 상에 포토레지스트 패턴(도시되지 않음)을 형성한 다음, 상기 포토레지스트 패턴을 식각 마스크로 이용하여 제1, 제2, 제3, 제5 및 제7 콘택홀들(148, 149, 150, 152, 154)이 위치한 부분의 제2 층간 절연막(139)을 부분적으로 식각한다. 이에 따라, 제1 콘택홀(148), 제2 콘택홀(149), 제3 콘택홀(150), 제5 콘택홀(152) 및 제7 콘택홀(154)의 상부에는 각기 제1 개구(165), 제2 개구(166), 제3 개구(167), 제4 개구(168) 및 제5 개구(169)가 형성된다. 그러나, 제4 및 제6 콘택홀들(151, 153)의 상부에는 개구가 형성되지 않는다.

제1 내지 제7 콘택홀들(148, 149, 150, 151, 152, 153, 154)과 제1 내지 제5 개구들(165, 166, 167, 168, 169)의 형성에 따라 노출되는 보호층(133)을 식각하여 셀 영역(C')에 제1 예비 보호 부재(164)를 형성하는 한편, 제1 주변 회로 영역(P1')에 제2 보호 부재(165)를 형성한다. 이와 동시에, 제2 주변 회로 영역(P2')에는 제3 보호 부재(163)가 형성된다. 제1 예비 보호 부재(164)는 셀 영역(C')의 제1 게이트 구조물들(124)의 상면과 측벽 상에 형성된다. 또한, 제1 예비 보호 부재(164)는 셀 영역(C')의 반도체 기관(100)에 형성된 제1 콘택 영역들(127) 상에도 형성된다. 제2 보호 부재(165)는 제1 주변 회로 영역(P1')의 제2 및 제3 게이트 구조물들(125, 126)의 상면 및 측벽 상에 형성된다. 또한, 제2 보호 부재(165)는 제2 및 제3 게이트 구조물(125, 126)에 인접하는 제1 주변 회로 영역(P1')의 반도체 기관(100) 상에도 형성된다. 여기서, 제4 및 제5 콘택홀들(151, 152)이 각기 제2 및 제3 게이트 마스크 패턴(119, 120)을 관통하여 형성되기 때문에 제2 및 제3 게이트 구조물들(125, 126)의 상면 중앙부 상에는 제2 보호 부재(165)가 형성되지 않는다. 제3 보호 부재(163)는 제2 주변 회로 영역(P2')의 반도체 기관(100) 상에 형성된다.

도 10을 참조하면, 제1 내지 제7 콘택홀들(148, 149, 150, 151, 152, 153, 154)과 제1 내지 제5 개구들(165, 166, 167, 168, 169)을 채우면서 제2 층간 절연막(139) 상에 제3 도전막을 형성한다. 상기 제3 도전막은 금속 또는 도전성 금속 질화물을 사용하여 스퍼터링 공정, 화학 기상 증착 공정, 펄스 레이저 증착 공정 또는 원자층 적층 공정으로 형성된다. 예를 들면, 상기 제3 도전막은 텅스텐, 알루미늄, 티타늄, 구리, 텅스텐 질화물, 알루미늄 질화물 또는 티타늄 질화물 등을 사용하여 형성된다.

제2 층간 절연막(139)이 노출될 때까지 화학 기계적 연마 공정, 에치 백 공정 또는 화학 기계적 연마와 에치 백을 조합한 공정을 이용하여 상기 제3 도전막을 제거한다. 이에 따라, 셀 영역(C')의 제1 개구(165)와 제1 콘택홀(148)에는 제1 비트 라인(170) 및 제1 콘택(176)이 각기 형성된다. 제1 주변 회로 영역(P1')의 제2 개구(166) 및 제2 콘택홀(149)에는 제2 비트 라인(171) 및 제2 콘택(177)이 각기 형성되며, 제3 개구(167) 및 제3 콘택홀(150)에는 제3 비트 라인(172) 및 제3 콘택(178)이 각기 형성된다. 또한, 제1 주변 회로 영역(P1')의 제4 및 제6 콘택홀들(151, 153)에는 각기 제4 및 제6 콘택(179, 181)이 형성되며, 제4 개구(168) 및 제5 콘택홀(152)에는 각기 제4 비트 라인(173) 및 제5 콘택(180)이 형성된다. 그리고, 제2 주변 회로 영역(P2')의 제5 개구(169) 및 제7 콘택홀(182)에는 제5 비트 라인(174) 및 제7 콘택(154)이 각기 형성된다.

셀 영역(C')의 제1 콘택(176)은 제2 콘택 영역(130)에 접촉되며, 제1 비트 라인(170)은 제1 콘택(176)을 통하여 제2 콘택 영역(130)에 전기적으로 연결된다. 제1 주변 회로 영역(P1')에 있어서, 제2 및 제3 비트 라인들(171, 172)은 각기 제2 및 제3 콘택들(177, 178)을 통하여 반도체 기판(100)에 전기적으로 연결되며, 제6 콘택(181) 상에는 비트 라인이 형성되지 않는다. 또한, 제1 주변 회로 영역(P1')의 제4 비트 라인(173)은 제5 콘택(180)을 통하여 제3 게이트 구조물(126)의 제3 게이트 전극(117)에 전기적으로 연결된다. 한편, 제4 콘택(179)은 그 상부에 비트 라인을 구비하지 않고 제2 게이트 구조물(125)의 제2 게이트 전극(116)에 접촉된다. 제2 주변 회로 영역(P2')에 있어서, 제5 비트 라인(174)은 제7 콘택(182)을 통하여 반도체 기판(100)에 전기적으로 연결된다.

다시 도 10을 참조하면, 제1 내지 제5 비트 라인들(170, 171, 172, 173, 174), 제4 및 제6 콘택들(179, 181)과 제2 층간 절연막(139) 상에 확산 장벽층(188)을 형성한다. 확산 장벽층(188)은 산질화물이나 금속 질화물을 사용하여 스퍼터링 공정, 원자층 적층 공정, 펄스 레이저 증착 공정 또는 화학 기상 증착 공정으로 형성된다. 예를 들면, 확산 장벽층(188)은 실리콘 산질화물을 사용하여 형성된다. 확산 장벽층(188)은 후속하는 열처리 공정 동안 비트 라인들(170, 171, 172, 173, 174) 및/또는 제4 및 제6 콘택들(179, 181)로부터 금속 원자가 확산되는 것을 방지하는 역할을 한다.

확산 장벽층(188) 상에는 제3 층간 절연막(191)이 형성된다. 제3 층간 절연막(191)은 산화물을 사용하여 화학 기상 증착 공정, 플라즈마 증대 화학 기상 증착 공정 또는 고밀도 플라즈마 화학 기상 증착 공정으로 형성한다. 예를 들면, 제3 층간 절연막(191)은 BPSG, PSG, SOG, USG, PE-TEOS 또는 HDP-CVD 산화물 등을 사용하여 형성된다. 본 발명의 일 실시예에 있어서, 제3 층간 절연막(191)은 상술한 산화물 가운데 제1 층간 절연막(136) 및/또는 제2 층간 절연막(139)과 동일한 물질을 사용하여 형성할 수 있다. 본 발명의 다른 실시예에 따르면, 제3 층간 절연막(191)은 전술한 산화물 중에서 제1 층간 절연막(136) 및/또는 제2 층간 절연막(139)과 상이한 물질을 사용하여 형성할 수 있다.

도 11을 참조하면, 제3 층간 절연막(191) 상에 포토레지스트 패턴(도시되지 않음)을 형성한 다음, 상기 포토레지스트 패턴을 식각 마스크로 이용하여 셀 영역(C')의 제1 예비 보호 부재(164)가 부분적으로 노출될 때까지 제3 층간 절연막(191), 확산 장벽층(188), 제2 층간 절연막(139) 및 제1 층간 절연막(136)을 식각한다. 이에 따라, 제1 콘택 영역들(127) 상에 위치하는 제1 예비 보호 부재(164)가 부분적으로 노출시키는 제8 콘택홀들(194)이 형성된다. 여기서, 제8 콘택홀들(194)은 도 13에 도시한 상기 V형 콘택홀에 해당된다. 전술한 바와 같이, 제8 콘택홀들(194)을 형성하기 위한 식각 공정 동안, 제1 예비 보호 부재(164)에 의하여 셀 영역(C')의 반도체 기판(100)에 형성된 제1 콘택 영역들(127)이 노출되지 않으므로, 제1 콘택 영역들(127)이 식각 공정에 기인하는 손상을 입는 것을 방지할 수 있다.

계속하여, 셀 영역(C')의 노출된 제1 예비 보호 부재(164)를 식각하여 제1 콘택 영역들(127)을 노출시킨다. 따라서, 셀 영역(C')에는 제1 보호 부재(195)가 완성된다.

제1 보호 부재(195)는 각 제1 게이트 구조물들(124) 상에 형성된다. 특히, 셀 영역(C')의 외곽부에 위치하는 제1 게이트 구조물들(124)에는 그 측벽 상에도 제1 보호 부재(195)가 형성된다. 따라서, 제1 내지 제3 보호 부재들(195, 165, 163)은 제1 내지 제8 콘택들(176, 177, 178, 179, 181, 182, 197)이 형성되는 부분을 제외한 반도체 기판(100)의 전면 상에 형성된다. 본 발명의 일 실시예에 따르면, 후속하는 사진 식각 공정의 공정 마진을 확보할 수 있도록 제3 층간 절연막(191) 상

에 추가적인 반사 방지막을 추가적으로 형성한 후, 상기 사진 식각 공정을 진행할 수 있다. 본 발명의 다른 실시예에 따르면, 제8 콘택홀들(194)을 형성한 후, 추가적인 세정 공정을 수행하여 제8 콘택홀들(194)을 통해 노출되는 제1 콘택 영역들(127)들의 표면에 존재하는 자연 산화막이나 폴리머 또는 각종 이물질 등을 제거할 수 있다.

도 12를 참조하면, 제8 콘택홀들(194)을 채우면서 제3 층간 절연막(191) 상에 제4 도전막을 형성한 후, 화학 기계적 연마, 에치 백 또는 이들을 조합한 공정을 이용하여 제3 층간 절연막(191)의 상면이 노출될 때까지 상기 제4 도전막을 부분적으로 제거한다. 이에 따라, 제8 콘택홀들(194) 내에 각기 제8 콘택들(197)을 형성한다. 제8 콘택들(197)은 텅스텐, 알루미늄, 티타늄 또는 구리와 같은 금속이나 불순물로 도핑된 폴리실리컨으로 이루어지며, 후속하여 형성되는 하부 전극들(206)을 제1 콘택 영역들(127)에 전기적으로 연결시키는 역할을 한다. 즉, 하부 전극들(206)은 각기 제8 콘택(197)을 통하여 제1 콘택 영역(127)에 전기적으로 연결된다.

제8 콘택들(197) 및 제3 층간 절연막(191) 상에 제1 및 제2 하부 전극층들을 순차적으로 형성한다. 상기 제1 하부 전극층은 금속 질화물을 화학 기상 증착 공정, 스퍼터링 공정 또는 원자층 적층 공정으로 적층하여 형성되며, 상기 제2 하부 전극층은 금속을 스퍼터링 공정, 펄스 레이저 증착 공정 또는 원자층 적층 공정으로 적층하여 형성한다. 예를 들면, 상기 제1 및 제2 하부 전극층들은 각기 티타늄 알루미늄 질화물 및 이리듐을 사용하여 형성된다.

상기 제2 하부 전극층 상에 유기 금속 화학 기상 증착 공정, 졸-겔 공정 또는 원자층 적층 공정으로 강유전체층을 형성한다.

상기 강유전체층 상에 제1 및 제2 상부 전극층들을 차례로 형성한다. 상기 제1 상부 전극층은 구리, 납 또는 비스무스가 도핑된 금속 산화물을 스퍼터링 공정, 펄스 레이저 증착 공정 또는 원자층 적층 공정으로 적층하여 형성된다. 상기 제2 상부 전극층은 금속을 스퍼터링 공정, 펄스 레이저 증착 공정 또는 원자층 적층 공정으로 적층하여 형성된다. 예를 들면, 상기 제1 및 제2 상부 전극층들은 각기 스트론튬 루테튬 산화물 및 이리듐을 사용하여 형성된다.

상기 제2 상부 전극층을 형성한 후, 상기 강유전체층 및 제1 상부 전극층을 포함하는 산소 가스 또는 질소 가스 분위기 하에서 금속 열처리 공정(RTP)으로 열처리한다.

상기 제2 상부 전극층 상에 포토레지스트 패턴(도시되지 않음)을 형성한 후, 상기 포토레지스트 패턴을 식각 마스크로 이용하여 상기 제2 상부 전극층, 제1 상부 전극층, 강유전체층, 제2 하부 전극층 및 제1 하부 전극층을 순차적으로 패터닝함으로써, 하부 전극(206), 강유전체층 패턴(209) 및 상부 전극(218)을 포함하는 강유전체 캐패시터(220)를 완성한다. 여기서, 하부 전극(206)은 제3 층간 절연막(191) 및 제8 콘택들(197) 상에 순차적으로 형성된 제1 및 제2 하부 전극층 패턴들(202, 203)을 포함하며, 상부 전극(218)은 강유전체 패턴(209) 상에 차례로 형성된 제1 및 제2 상부 전극층 패턴들(212, 215)을 포함한다. 상기 식각 공정을 통하여 강유전체 캐패시터(220)는 전체적으로 반도체 기판(100)에 수평한 방향에 대하여 약 50~80°정도의 각도로 경사진 측면을 가진다.

이후에, 도시하지는 않았으나 강유전체 캐패시터(220)를 덮으면서 제3 층간 절연막(191) 상에 추가적인 층간 절연막 및 상부 배선을 형성하여 반도체 장치를 완성한다.

발명의 효과

본 발명에 따르면, 기판에 형성된 콘택 영역과 캐패시터의 하부 전극을 전기적으로 연결하기 위한 별도의 패드를 형성하지 않고 보호 부재를 통하여 상기 콘택 영역에 직접 접촉되는 서로 상이한 높이의 콘택들을 콘택 영역의 손상 없이 형성할 수 있다. 따라서, 이러한 콘택 및 콘택 영역을 구비하는 반도체 장치의 전기적인 특성을 향상시킬 수 있는 동시에 반도체 장치의 구조를 단순화시킬 수 있다.

또한, 보호 부재가 반도체 기판의 소정의 영역들 및 도전성 구조물 등을 보호하기 때문에 이와 같은 영역들이나 도전성 구조물들에 직접 접촉되는 상이한 깊이를 가지는 복수의 콘택홀들을 반도체 기판 및 상기 도전성 구조물들의 손상 없이 간단하게 형성할 수 있다. 이에 따라, 상기 콘택홀들에 형성되는 콘택 및 비트 라인 등을 구비하는 반도체 장치의 전기적인 특성을 개선할 수 있으며, 반도체 제조 공정에 있어서 시간과 비용을 크게 절감할 수 있다.

상술한 바에 있어서, 본 발명의 실시예들을 참조하여 설명하였지만 해당 기술분야에서 통상의 지식을 가진 자라면 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

도 1 내지 도 4는 종래의 강유전체 메모리 장치의 제조 공정을 설명하기 위한 단면도들이다.

도 5는 본 발명에 따른 반도체 장치의 단면도이다.

도 6 내지 도 12는 도 5에 도시한 반도체 장치의 제조 공정을 설명하기 위한 단면도들이다.

도 13은 층간 절연막을 관통하여 형성되는 콘택홀들의 종류 및 상대적인 깊이를 설명하기 위한 개략적인 단면도이다.

<도면의 주요 부분에 대한 부호의 설명>

100 : 반도체 기판 103 : 소자 분리막

106 : 제1 게이트 절연막 패턴 107 : 제2 게이트 절연막 패턴

109 : 제1 도전막 패턴 112 : 제2 도전막 패턴

110 : 제3 도전막 패턴 113 : 제4 도전막 패턴

111 : 제5 도전막 패턴 114 : 제6 도전막 패턴

115 : 제1 게이트 전극 116 : 제2 게이트 전극

117 : 제3 게이트 전극 118 : 제1 게이트 마스크 패턴

119 : 제2 게이트 마스크 패턴 120 : 제3 게이트 마스크 패턴

121 : 제1 게이트 스페이서 122 : 제2 게이트 스페이서

123 : 제3 게이트 스페이서 124 : 제1 게이트 구조물

125 : 제2 게이트 구조물 126 : 제3 게이트 구조물

127 : 제1 콘택 영역 130 : 제2 콘택 영역

133 : 보호층 136 : 제1 층간 절연막

139 : 제2 층간 절연막 142 : 반사 방지막

148 : 제1 콘택홀 149 : 제2 콘택홀

150 : 제3 콘택홀 151 : 제4 콘택홀

152 : 제5 콘택홀 153 : 제6 콘택홀

157 : 제7 콘택홀 163 : 제3 보호 부재

164 : 제1 예비 보호 부재 165 : 제2 보호 부재

170 : 제1 비트 라인 171 : 제2 비트 라인

172 : 제3 비트 라인 173 : 제4 비트 라인

174 : 제5 비트 라인 176 : 제1 콘택

177 : 제2 콘택 178 : 제3 콘택

179 : 제4 콘택 180 : 제5 콘택

181 : 제6 콘택 182 : 제7 콘택

191 : 제3 층간 절연막 195 : 제1 보호 부재

194 : 제8 콘택홀 197 : 제8 콘택

202 : 제1 하부 전극층 패턴 203 : 제2 하부 전극층 패턴

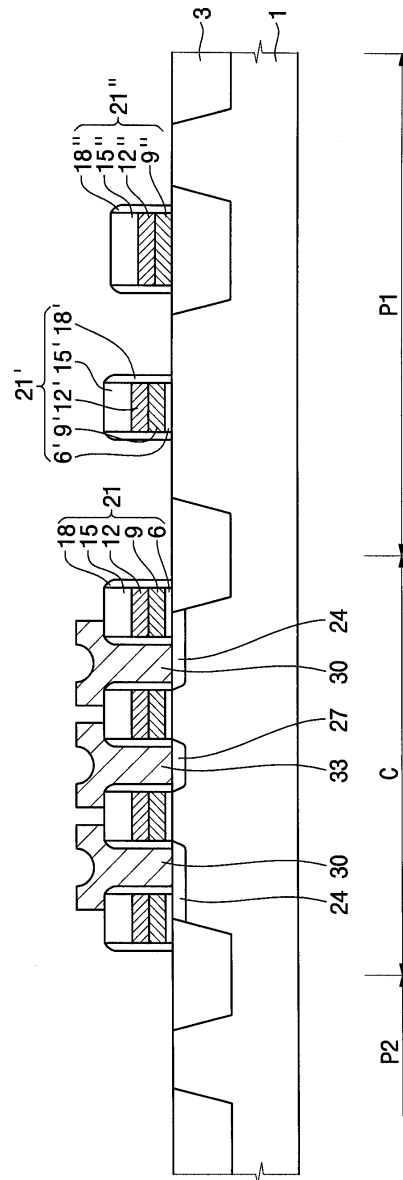
206 : 하부 전극 209 : 강유전체층 패턴

212 : 제1 상부 전극층 패턴 215 : 제2 상부 전극층 패턴

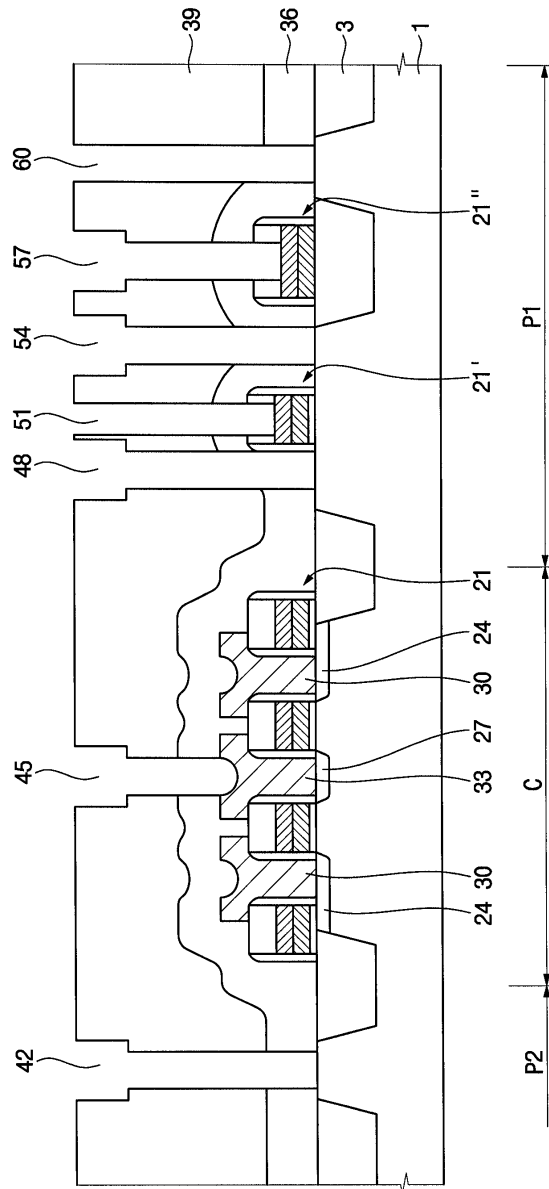
218 : 상부 전극 220 : 캐패시터

도면

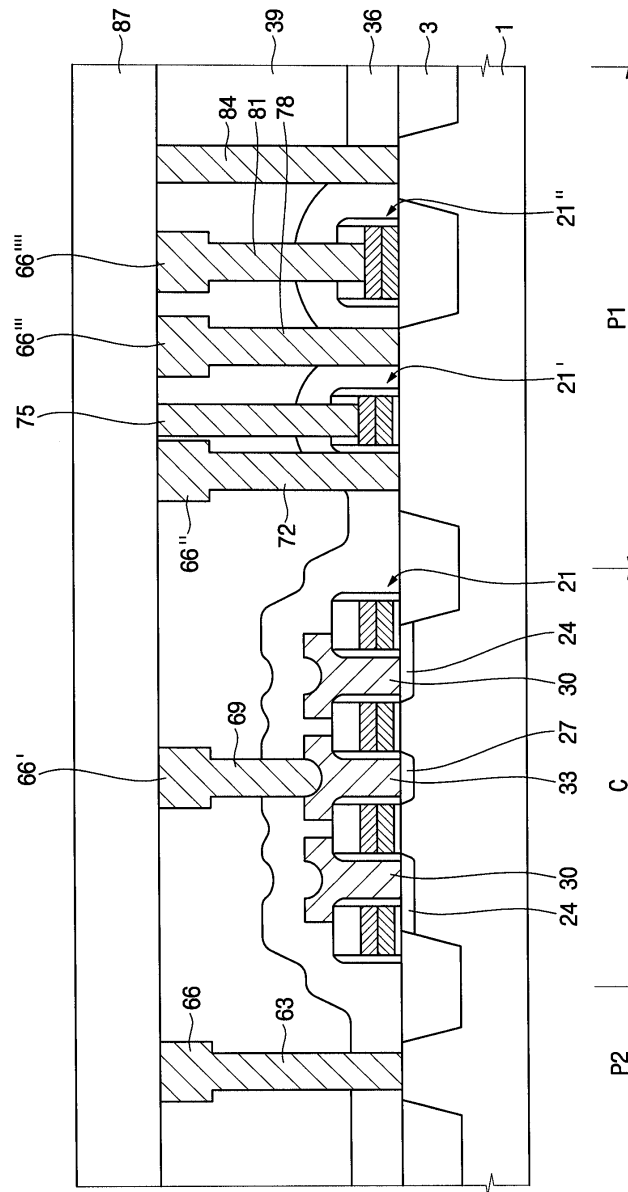
도면1



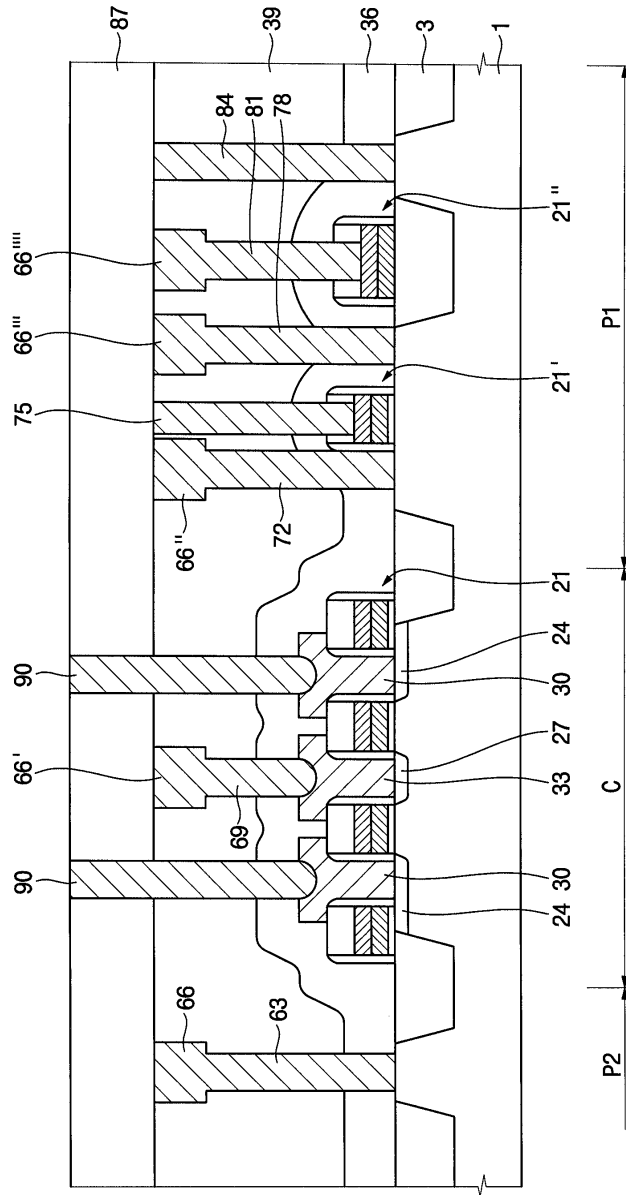
도면2



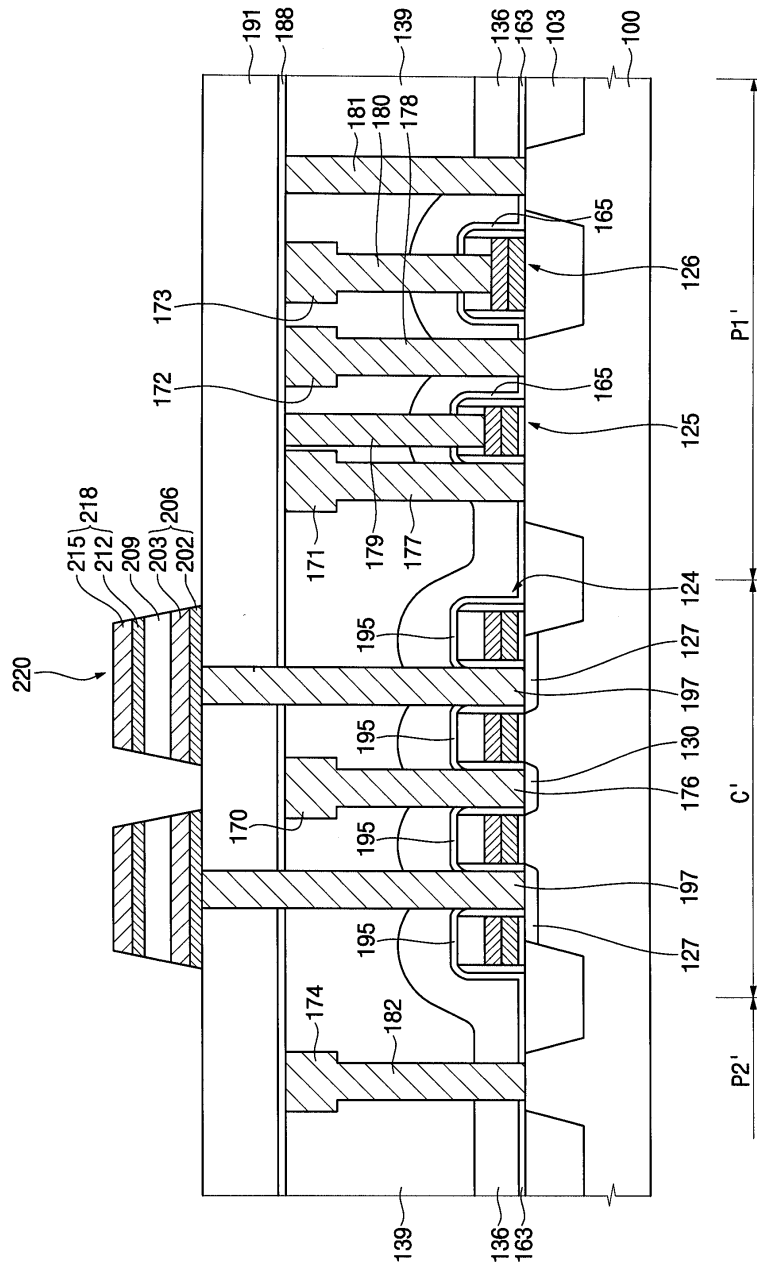
도면3



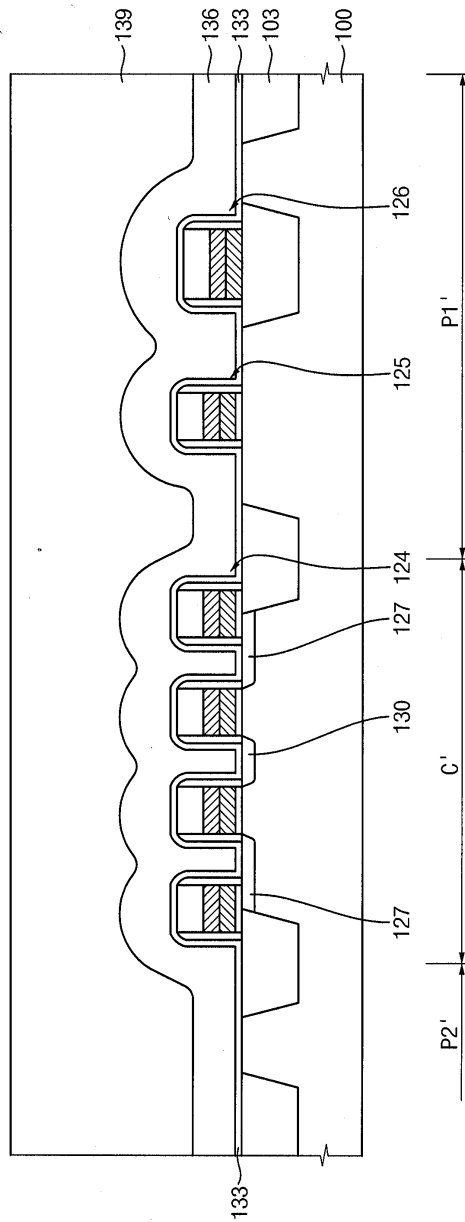
도면4



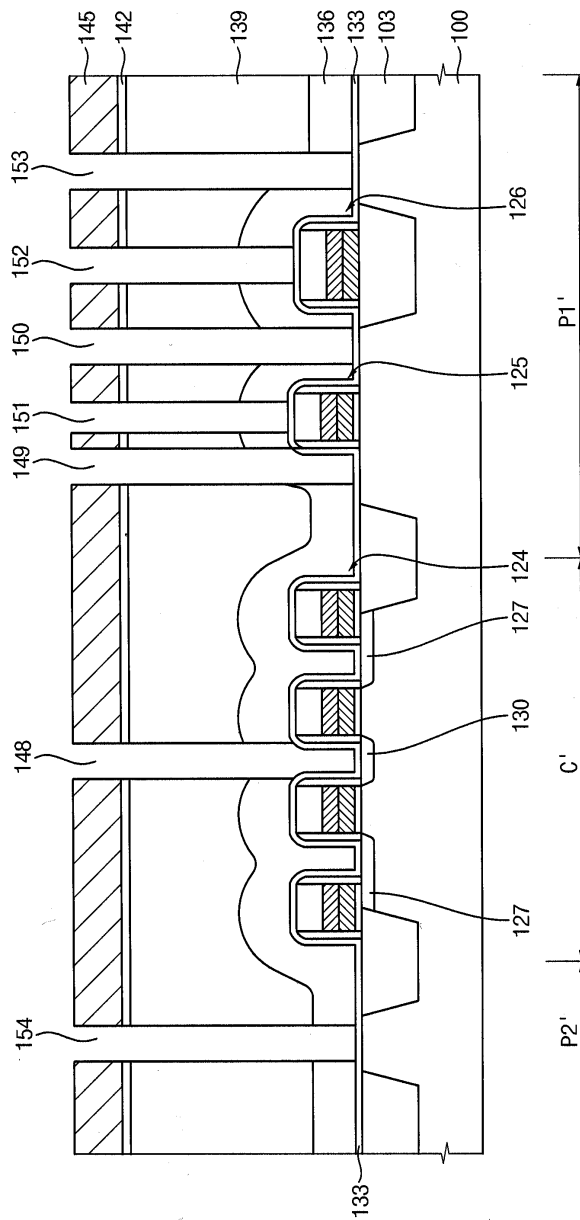
도면5



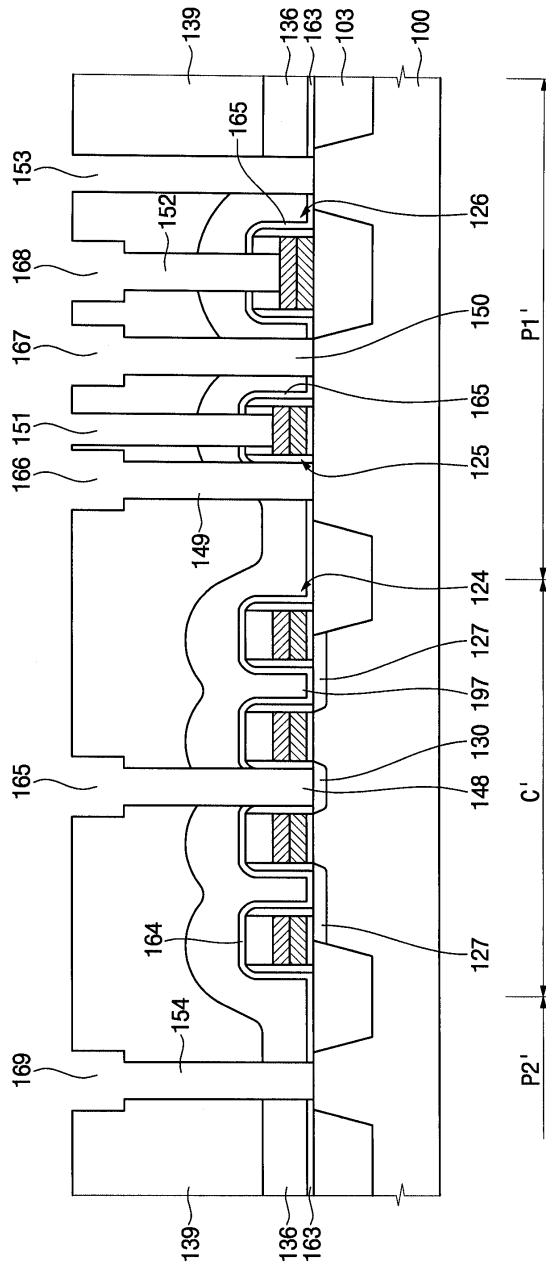
도면7



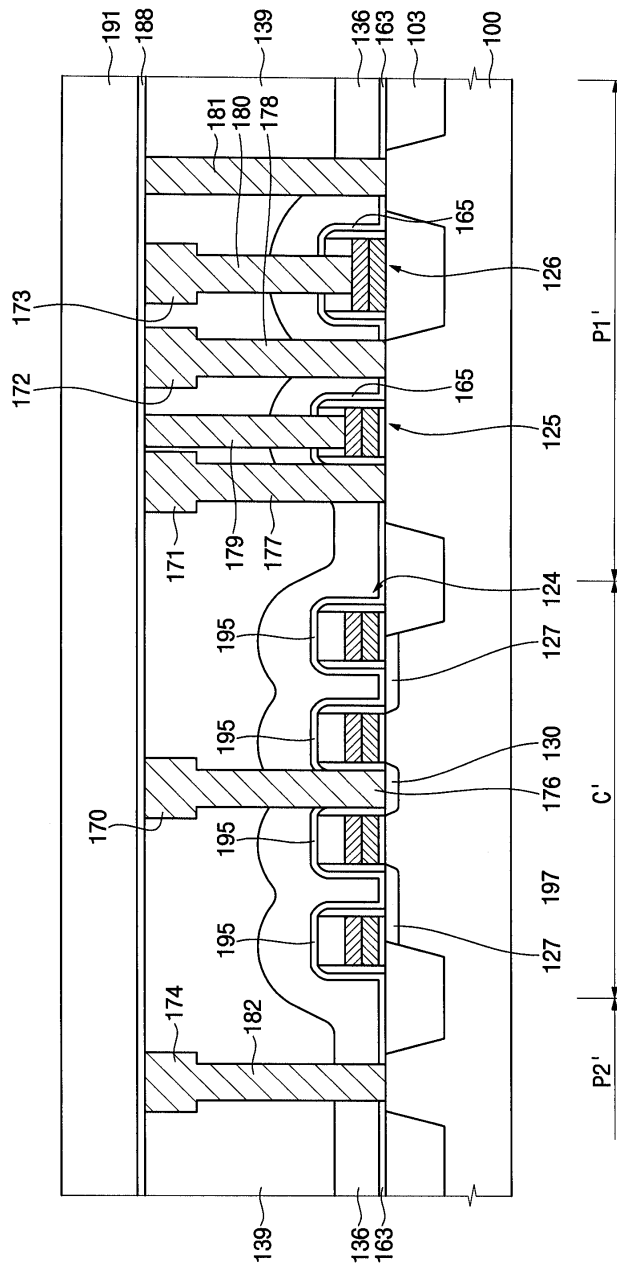
도면8



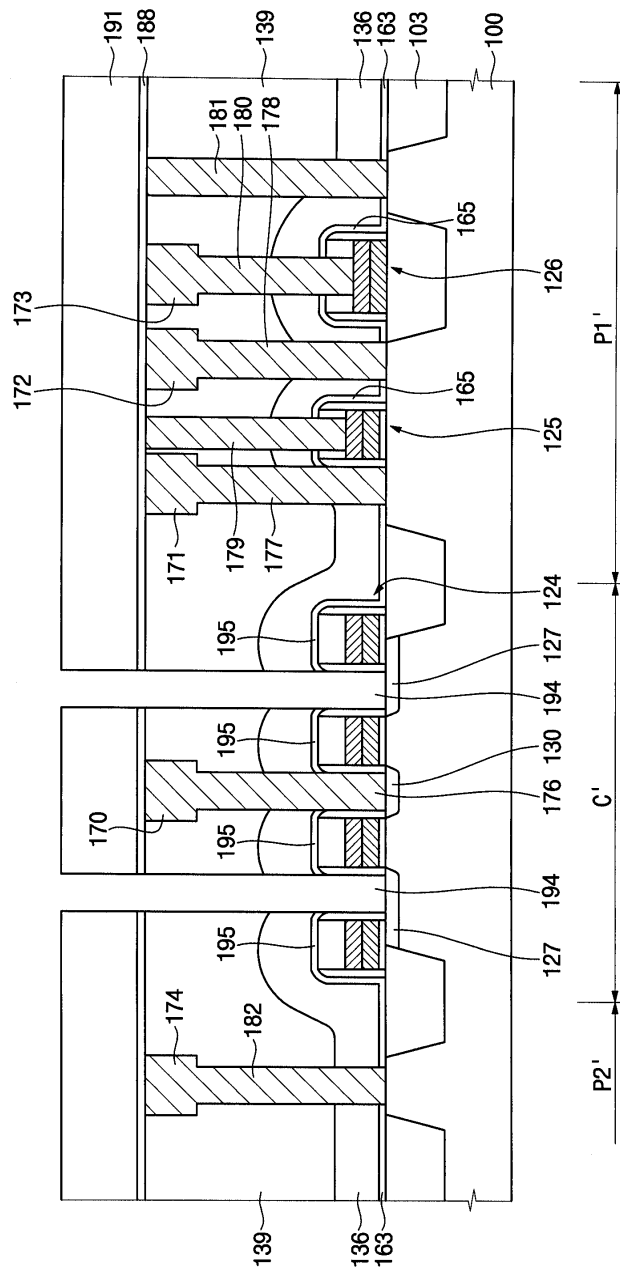
도면9



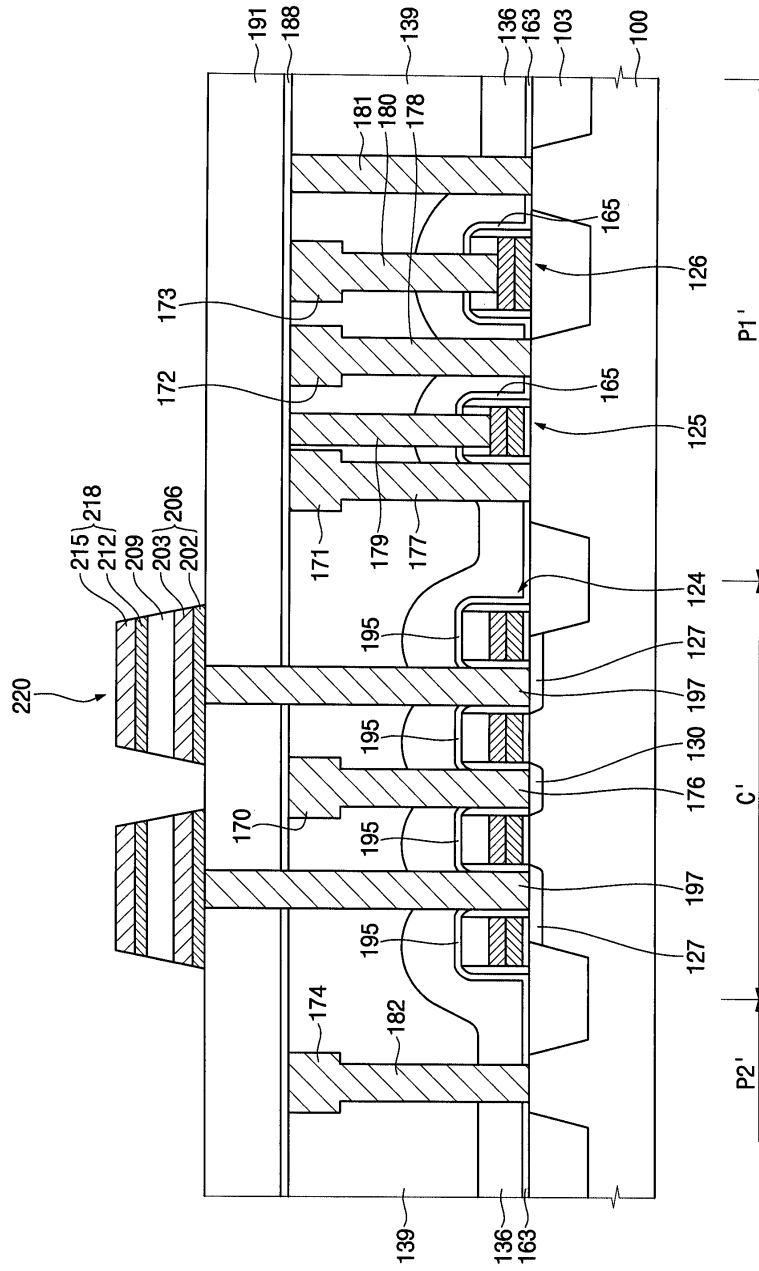
도면10



도면11



도면12



도면13

