

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-54812

(P2011-54812A)

(43) 公開日 平成23年3月17日(2011.3.17)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 B	5 F 1 1 0
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 6 U	
	HO 1 L 29/78 6 1 6 V	
	HO 1 L 29/78 6 1 6 K	

審査請求 未請求 請求項の数 20 O L (全 15 頁)

(21) 出願番号 特願2009-203274 (P2009-203274)  
 (22) 出願日 平成21年9月3日(2009.9.3)

(71) 出願人 000005108  
 株式会社日立製作所  
 東京都千代田区丸の内一丁目6番6号  
 (74) 代理人 100100310  
 弁理士 井上 学  
 (74) 代理人 100098660  
 弁理士 戸田 裕二  
 (72) 発明者 河村 哲史  
 東京都国分寺市東恋ヶ窪一丁目280番地  
 株式会社日立製作所中央研究所内  
 (72) 発明者 内山 博幸  
 東京都国分寺市東恋ヶ窪一丁目280番地  
 株式会社日立製作所中央研究所内

最終頁に続く

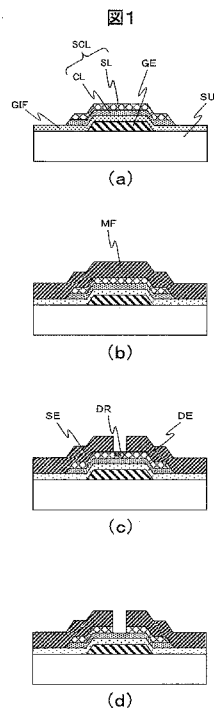
(54) 【発明の名称】 薄膜トランジスタおよびその製造方法

(57) 【要約】

【課題】 ソース・ドレイン電極の加工にドライエッチングを用いてトップコンタクト型TFTを形成する際のTFT特性バラツキの増大、歩留まりの低下、さらにはTFTオン電流の低減を抑制することにある。

【解決手段】 薄膜トランジスタの製造方法において、金属酸化物半導体から成る導電層上に金属酸化物半導体から成る犠牲層を形成し、前記犠牲層上に金属膜を形成し、前記金属膜をドライエッチングにより加工し、前記ドライエッチングにより露出した前記犠牲層へウェットエッチングを行なう。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

薄膜トランジスタの製造方法において、  
 金属酸化物半導体から成る導電層上に金属酸化物半導体から成る犠牲層を形成し、  
 前記犠牲層上に金属膜を形成し、  
 前記金属膜をドライエッチングにより加工し、  
 前記ドライエッチングにより露出した前記犠牲層へウェットエッチングを行うことを特徴とする薄膜トランジスタの製造方法。

## 【請求項 2】

請求項 1 記載の製造方法において、  
 前記導電層のエッチングレートは、前記犠牲層のエッチングレートより低いことを特徴とする製造方法。

10

## 【請求項 3】

請求項 1 記載の製造方法において、  
 前記導電層の  $S_n$  濃度は、前記犠牲層の  $S_n$  濃度より高いことを特徴とする製造方法。

## 【請求項 4】

請求項 1 記載の製造方法において、  
 前記導電層の緻密度は、前記犠牲層の緻密度より高いことを特徴とする製造方法。

## 【請求項 5】

請求項 3 記載の製造方法において、  
 前記導電層は、 $Zn - Sn - O$ 、 $In - Sn - O$  の何れか一つから成り、  
 前記犠牲層は、 $In - Ga - Zn - O$ 、 $Zn - O$ 、 $In - Zn - O$ 、 $Al - Zn - O$ 、  
 $Ga - Zn - O$ 、 $Zn - Sn - O$  の何れか一つから成ることを特徴とするの製造方法。

20

## 【請求項 6】

薄膜トランジスタの製造方法において、  
 金属酸化物半導体から成る導電層上に金属酸化物半導体から成るエッチストップパ層を形成し、  
 前記エッチストップパ層上に金属酸化物半導体から成る犠牲層を形成し、  
 前記犠牲層上に金属膜を形成し、  
 前記金属膜をドライエッチングにより加工し、  
 前記ドライエッチングにより露出した前記犠牲層へウェットエッチングを行うことを特徴とする薄膜トランジスタの製造方法。

30

## 【請求項 7】

請求項 6 記載の製造方法において、  
 前記エッチストップパ層のエッチングレートは、前記犠牲層のエッチングレートより低いことを特徴とする製造方法。

## 【請求項 8】

請求項 6 記載の製造方法において、  
 前記エッチストップパ層の  $S_n$  濃度は、前記犠牲層の  $S_n$  濃度より高いことを特徴とする製造方法。

40

## 【請求項 9】

請求項 6 記載の製造方法において、  
 前記導電層の緻密度は、前記犠牲層の緻密度より高いことを特徴とする製造方法。

## 【請求項 10】

請求項 8 記載の製造方法において、  
 前記エッチストップパ層は、 $Zn - Sn - O$ 、 $In - Sn - O$  の何れか一つから成り、  
 前記犠牲層は、 $In - Ga - Zn - O$ 、 $Zn - O$ 、 $In - Zn - O$ 、 $Al - Zn - O$ 、  
 $Ga - Zn - O$ 、 $Zn - Sn - O$  の何れか一つから成ることを特徴とする製造方法。

## 【請求項 11】

金属酸化物半導体から成る導電層上に金属酸化物半導体から成る犠牲層を形成し、

50

前記犠牲層上に金属膜を形成し、  
 前記金属膜をドライエッチングにより加工し、  
 前記ドライエッチングにより露出した前記犠牲層へウェットエッチングを行うことにより製造されたことを特徴とする薄膜トランジスタ。

【請求項 1 2】

請求項 1 1 記載の薄膜トランジスタにおいて、  
 前記導電層のエッチングレートは、前記犠牲層のエッチングレートより低いことを特徴とする薄膜トランジスタ。

【請求項 1 3】

請求項 1 1 記載の薄膜トランジスタにおいて、  
 前記導電層の  $S_n$  濃度は、前記犠牲層の  $S_n$  濃度より高いことを特徴とする薄膜トランジスタ。

10

【請求項 1 4】

請求項 1 1 記載の薄膜トランジスタにおいて、  
 前記導電層の緻密度は、前記犠牲層の緻密度より高いことを特徴とする薄膜トランジスタ。

【請求項 1 5】

請求項 1 3 記載の薄膜トランジスタにおいて、  
 前記導電層は、 $Zn-Sn-O$ 、 $In-Sn-O$  の何れか一つから成り、  
 前記犠牲層は、 $In-Ga-Zn-O$ 、 $Zn-O$ 、 $In-Zn-O$ 、 $Al-Zn-O$ 、  
 $Ga-Zn-O$ 、 $Zn-Sn-O$  の何れか一つから成ることを特徴とする薄膜トランジスタ。

20

【請求項 1 6】

金属酸化物半導体から成る導電層上に金属酸化物半導体から成るエッチストップパ層を形成し、

前記エッチストップパ層上に金属酸化物半導体から成る犠牲層を形成し、  
 前記犠牲層上に金属膜を形成し、  
 前記金属膜をドライエッチングにより加工し、  
 前記ドライエッチングにより露出した前記犠牲層へウェットエッチングを行うことにより製造されたことを特徴とする薄膜トランジスタ。

30

【請求項 1 7】

請求項 1 6 記載の薄膜トランジスタにおいて、  
 前記エッチストップパ層のエッチングレートは、前記犠牲層のエッチングレートより低いことを特徴とする薄膜トランジスタ。

【請求項 1 8】

請求項 1 6 記載の薄膜トランジスタにおいて、  
 前記エッチストップパ層の  $S_n$  濃度は、前記犠牲層の  $S_n$  濃度より高いことを特徴とする薄膜トランジスタ。

【請求項 1 9】

請求項 1 6 記載の薄膜トランジスタにおいて、  
 前記導電層の緻密度は、前記犠牲層の緻密度より高いことを特徴とする薄膜トランジスタ。

40

【請求項 2 0】

請求項 1 8 記載の薄膜トランジスタにおいて、  
 前記エッチストップパ層は、 $Zn-Sn-O$ 、 $In-Sn-O$  の何れか一つから成り、  
 前記犠牲層は、 $In-Ga-Zn-O$ 、 $Zn-O$ 、 $In-Zn-O$ 、 $Al-Zn-O$ 、  
 $Ga-Zn-O$ 、 $Zn-Sn-O$  の何れか一つから成ることを特徴とする薄膜トランジスタ。

【発明の詳細な説明】

【技術分野】

50

## 【0001】

本発明は、半導体装置に関し、特に、金属酸化物膜をチャンネル層に用いる電界効果型トランジスタを含む半導体装置に関する。

## 【背景技術】

## 【0002】

薄膜トランジスタ (Thin Film Transistor 以下、この明細書では単にTFTと称する場合がある) は、ガラスなどの絶縁体基板上に形成することができ、エレクトロニクス技術において重要な役割を担うデバイスである。現在TFTのチャンネル層材料としては、アモルファスシリコンまたは多結晶シリコンが最も広く使われているが、近年、これらシリコン材料を置き換えるべく、金属酸化物半導体がTFTのチャンネル層材料として注目を集めている。金属酸化物半導体はチャンネル層としての特性が優れていることに加え、室温付近で形成できるという特徴を有する。そのため、プラスチックフィルムなどのいわゆるフレキシブル基板上へTFTを形成する際のチャンネル層材料の有力候補の一つとしても考えられている。

10

## 【0003】

しかしながら、酸化物半導体はプラズマや加速粒子にさらされるとダメージを受け (酸素欠損)、抵抗が下がり、ときには導体化してしまうという短所を持つ。そのため、現在産業的に広く用いられているアモルファスシリコンTFTと同様の構造のトップコンタクト型TFTを形成するには次の2つの課題を解決する必要がある。第一の課題は、酸化物半導体上にスパッタ法など、プラズマや加速粒子を生成する方法により金属の膜を形成する際に、酸化物半導体を受けるダメージを除去するというものである。第二の課題は、金属膜を加工しソース・ドレイン電極を形成する際にドライエッチングを用いたときに酸化物半導体を受けるダメージを除去するというものである。金属膜のスパッタ法による形成は、膜質や成膜速度、均一性、歩留まりに優れるため、量産性が高く産業的に広く用いられている方法である。また、ドライエッチングによる加工も、加工精度や加工速度に優れるため、量産性が高く産業的に広く用いられている方法である。

20

## 【0004】

上述の2つの課題を解決する方法は非特許文献1および2で報告されている。非特許文献1では、In-Ga-Zn-Oチャンネル層中のドライエッチングによりダメージを受けた厚さ30nm程の領域をウェットエッチングにより除去している。また、非特許文献2では、In-Ga-Zn-Oチャンネル層上にCu-In-Ga-Zn-O (高抵抗半導体) でエッチストップ層を形成し、ソース・ドレイン電極のドライエッチング加工の際のダメージを吸収している。

30

## 【先行技術文献】

## 【非特許文献】

## 【0005】

【非特許文献1】Electrochemical and Solid-State Letters, 12 (4) H95-H97 (2009)

【非特許文献2】Journal of The Electrochemical Society, 156 (3) H184-H187 (2009)

40

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0006】

非特許文献1に記載の方法では、上述のように、ドライエッチングによりダメージを受けた領域をウェットエッチングにより除去している。しかしながら、この方法では制御性の低いウェットエッチングによりチャンネル層の厚さを決定するため、大面積に多数のTFTを形成する場合、チャンネル層の厚さのバラツキ、従ってTFT特性のバラツキが増大し、製品の歩留まりが低下するという問題がある。

## 【0007】

非特許文献2に記載の方法では、Cu-In-Ga-Zn-Oでソース・ドレイン電極

50

のドライエッチング加工の際のダメージを吸収しているが、この方法ではIn-Ga-Zn-Oチャネル層とソース・ドレイン電極の間に抵抗が大きいCu-In-Ga-Zn-O層が入るため、TFTのオン電流が低減するという問題がある。

【0008】

本発明は、上述のような事情に基づいてなされたものであり、その課題は次に示す通りである。すなわち、ソース・ドレイン電極の加工にドライエッチングを用いてトップコンタクト型TFTを形成する際のTFT特性バラツキの増大、歩留まりの低下、さらにはTFTオン電流の低減を抑制することにある。

【課題を解決するための手段】

【0009】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0010】

すなわち、薄膜トランジスタの製造方法において、金属酸化物半導体から成る導電層上に金属酸化物半導体から成る犠牲層を形成し、前記犠牲層上に金属膜を形成し、前記金属膜をドライエッチングにより加工し、前記ドライエッチングにより露出した前記犠牲層へウェットエッチングを行なう。

【発明の効果】

【0011】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば次のとおりである。すなわち、ソース・ドレイン電極の加工にドライエッチングを用いてトップコンタクト型TFTを形成する際に、TFT特性バラツキの増大、さらにはTFTのオン電流低減を抑制することができる。

【図面の簡単な説明】

【0012】

【図1】本発明の実施の形態1における半導体装置の構成および製造方法を示す断面図である。

【図2】本発明の実施の形態2における半導体装置の構成および製造方法を示す断面図である。

【図3】本発明の実施の形態3における半導体装置の構成および製造方法を示す断面図である。

【図4】本発明の実施の形態4における半導体装置の構成および製造方法を示す断面図である。

【図5】本発明の実施の形態5における半導体装置（無線タグ）の構成を示すブロック図である。

【図6】本発明の実施の形態6における半導体装置の構成を示す模式図である。

【図7】本発明の実施の形態6における半導体装置をアクティブマトリクス型液晶表示装置に適用する構成を示す模式図である。

【発明を実施するための形態】

【0013】

（実施の形態1）

図1は、本実施の形態1における半導体装置の構成および製造方法を示す図である。半導体装置としていわゆるボトムゲート/トップコンタクト型酸化物TFTを挙げている。ここでいうボトムゲートとは、半導体層SCLよりも下層にゲート電極GEが形成されている構造のことであり、トップコンタクトとは、半導体層SCLよりも上層にソース電極SEおよびドレイン電極DEが形成されている構造のことを示している。

【0014】

本実施の形態1における半導体装置の製造方法は以下の通りである。まず、図1(a)に示すように、絶縁体基板SUB上にゲート電極GE、ゲート絶縁膜GIF、導電層CL、犠牲層SLが形成される。

10

20

30

40

50

## 【0015】

基板SUBは、例えば、ガラス、石英、プラスチックフィルムなどからなり、必要に応じてゲート電極GEが形成される側の表面に絶縁膜のコーティングがなされている。

## 【0016】

ゲート電極GEは、導電性の材料、例えば、モリブデン、クロム、タングステン、アルミ、銅、チタン、ニッケル、タンタル、銀、亜鉛、あるいはその他の金属の単膜、それらの合金膜、それらの積層膜、あるいはITO(In-Sn-O：インジウム錫酸化物)などの金属酸化物導電膜、それらと金属との積層膜、窒化チタン(Ti-N)などの金属窒化物導電膜、それらと金属との積層膜、その他の導電性金属化合物膜、それらと金属との積層膜、キャリアを高濃度を含む半導体、あるいは半導体と金属との積層膜からなり、その成膜はCVD法やスパッタ法などにより行ない、加工は一般的なフォトリソグラフィ技術とドライエッチング、あるいはウェットエッチングとの組み合わせにより行なう。

10

## 【0017】

ゲート絶縁膜GIFは、Si-O、Al-Oなどの酸化物絶縁膜を用いるのが好ましいが、Si-Nなど酸化物以外の無機絶縁膜、パリレンなどの有機絶縁膜を用いても良い。ゲート絶縁膜GIFの成膜は、CVD法やスパッタ法、塗布法などにより行なう。

## 【0018】

導電層CL、犠牲層SLは、Zn-O、In-O、Ga-O、Sn-O、In-Ga-Zn-O、Zn-Sn-O、In-Sn-O、In-Zn-O、Ga-Zn-O、In-Ga-O、Al-Zn-Oなどの、Zn、In、Ga、Snの酸化物、およびそれらの複合酸化物によって形成されており、それらの成膜は、スパッタ法、PLD法、CVD法、塗布法、印刷法などにより行なう。導電層CLの厚さは5nm以上が望ましく、犠牲層SLの厚さは30nm以上が望ましい。また、導電層CL、犠牲層SLの素子分離のための島状加工は一般的なフォトリソグラフィ技術とウェットエッチング、あるいはドライエッチングの組み合わせにより行なう。さらに、無機酸、あるいは有機酸からなるウェットエッチング液に対するエッチレートは、導電層CLのほうが犠牲層SLよりも低い。エッチレートに差を設けるためには、たとえば導電層CL内のSn濃度を犠牲層SLよりも高くする、あるいは、導電層CLの緻密度(したがって屈折率)を犠牲層SLよりも高くするなどの方法をとる。

20

## 【0019】

導電層CL、犠牲層SLの組み合わせとしては上述の材料の中から種々の組み合わせが考えられる。中でも、例えば導電層CLがZn-Sn-O、In-Sn-Oの何れか一つから成り、犠牲層SLがIn-Ga-Zn-O、Zn-O、In-Zn-O、Al-Zn-O、Ga-Zn-O、Zn-Sn-Oの何れか一つから成るような組み合わせが好ましい。

30

## 【0020】

導電層CL内のSn濃度を犠牲層SLよりも高くする方法としては、導電層CLを成膜する際の原材料中のSn濃度を犠牲層SLを成膜する際の原材料よりも高くする方法をとる。例えば、両層をスパッタ法やPLD法により形成する場合、導電層CL用のターゲット中のSn濃度を犠牲層SL用のターゲットよりも高くしたり、導電層CLの成膜の際のみSnターゲットを同時に置いたりする。また、導電層CLの緻密度を犠牲層SLよりも高くする方法としては、導電層CLの成膜レートを犠牲層SLよりも小さくする、導電層CLの成膜温度を犠牲層SLよりも低くするなどの方法をとる。

40

## 【0021】

その後、図1(b)に示すように、犠牲層SLの上に金属膜MFを形成する。金属膜MFは、例えば、モリブデン、クロム、タングステン、アルミ、銅、チタン、ニッケル、タンタル、銀、亜鉛、あるいはその他の金属の単膜、それらの合金膜、それらの積層膜、あるいはITO(In-Sn-O：インジウム錫酸化物)などの金属酸化物導電膜、それらと金属との積層膜、窒化チタン(Ti-N)などの金属窒化物導電膜、それらと金属との積層膜、その他の導電性金属化合物膜、それらと金属との積層膜、キャリアを高濃度に含

50

む半導体、あるいは半導体と金属との積層膜によって形成される。

【0022】

その後、図1(c)に示すように、金属膜MFを一般的なフォトリソグラフィ技術とドライエッチングの組み合わせによりソース電極SE、ドレイン電極DEの形状に加工する。その際、ソース電極SE-ドレイン電極DE間の開口部の下の犠牲層SLがプラズマおよび加速粒子にさらされるため、ダメージ領域DRが形成される。

【0023】

その後、図1(d)に示すように、ダメージ領域DRを無機酸、あるいは有機酸からなるエッチング液を用いたウェットエッチングにより除去する。このとき、導電層CLのほうが犠牲層SLよりもエッチレートが小さいため、ウェットエッチングは導電層CLの表面で自動的に停止し、実質的にウェットエッチングによる導電層CLの膜厚の減少はない。ここで、ドライエッチングではなく、ウェットエッチングを用いている理由は、ドライエッチングの際に導電層CLがプラズマや加速粒子にさらされ、ダメージを受けることを回避するためである。

【0024】

本実施の形態1によれば、制御性の低いウェットエッチングによってダメージ領域DRを除去しても実質的に導電層CLのオーバーエッチによる膜厚の減少がないため、TFETのチャンネル層(本実施の形態1では導電層CL)の厚さのバラツキを抑制することができる。すなわち、TFETの特性バラツキの増大、TFETの歩留まりの低下を抑制することができる。また、ソース電極SEおよびドレイン電極DEとチャンネル層(導電層CL)の間に挟まれるドライエッチダメージ吸収層(本発明では犠牲層SL)がCu-In-Ga-Zn-Oのような高抵抗半導体ではないため、TFETのオン電流の低減を抑制することができる。

(実施の形態2)

図2は、本実施の形態2における半導体装置の構成および製造方法を示す図である。実施の形態1との違いは半導体層SCLが3層からなる点であり、それ以外の点は実施の形態1と同一である。実施の形態1では、導電層CLのエッチレートを犠牲層SLよりも低くすることで、犠牲層SLのウェットエッチング除去の際に導電層CLの表面でウェットエッチングが自動的に停止したが、本実施の形態2では、エッチング停止機能を導電層CLと犠牲層SLの間に形成するエッチストップ層ESLに担わせる。すなわち、エッチストップ層ESLの表面でウェットエッチングが自動的に停止する。

【0025】

導電層CL、エッチストップ層ESL、犠牲層SLは、Zn-O、In-O、Ga-O、Sn-O、In-Ga-Zn-O、Zn-Sn-O、In-Sn-O、In-Zn-O、Ga-Zn-O、In-Ga-O、Al-Zn-Oなどの、Zn、In、Ga、Snの酸化物、およびそれらの複合酸化物によって形成されており、それらの成膜は、スパッタ法、PLD法、CVD法、塗布法、印刷法などにより行なう。導電層CL、エッチストップ層ESLの厚さは5nm以上が望ましく、犠牲層SLの厚さは30nm以上が望ましい。また、導電層CL、エッチストップ層ESL、犠牲層SLの素子分離のための島状加工は一般的なフォトリソグラフィ技術とウェットエッチング、あるいはドライエッチングの組み合わせにより行なう。さらに、無機酸、あるいは有機酸からなるウェットエッチング液に対するエッチレートは、エッチストップ層ESLのほうが犠牲層SLよりも低い。エッチレートに差を設けるためには、たとえばエッチストップ層ESL内のSn濃度を犠牲層SLよりも高くする、あるいは、エッチストップ層ESLの緻密度(したがって屈折率)を犠牲層SLよりも高くするなどの方法をとる。

【0026】

エッチストップ層ESL、犠牲層SLの組み合わせとしては上述の材料の中から種々の組み合わせが考えられる。中でも、例えばエッチストップ層ESLがZn-Sn-O、In-Sn-Oの何れか一つから成り、犠牲層SLがIn-Ga-Zn-O、Zn-O、In-Zn-O、Al-Zn-O、Ga-Zn-O、Zn-Sn-Oの何れか一つから成る

ような組み合わせが好ましい。

【0027】

エッチストップ層ESL内のSn濃度を犠牲層SLよりも高くする方法としては、エッチストップ層ESLを成膜する際の原材料中のSn濃度を犠牲層SLを成膜する際の原材料よりも高くする方法をとる。例えば、両層をスパッタ法やPLD法により形成する場合、エッチストップ層ESL用のターゲット中のSn濃度を犠牲層SL用のターゲットよりも高くしたり、エッチストップ層ESLの成膜の際のみSnターゲットを同時に置いたりする。また、エッチストップ層ESLの緻密度を犠牲層SLよりも高くする方法としては、エッチストップ層ESLの成膜レートを犠牲層SLよりも小さくする、エッチストップ層ESLの成膜温度を犠牲層SLよりも低くするなどの方法をとる。

10

【0028】

本実施の形態2によれば、実施の形態1と同様に、制御性の低いウェットエッチングによってダメージ領域DRを除去しても実質的にエッチストップ層ESLのオーバーエッチによる膜厚の減少がないため、TF Tのチャンネル層(本実施の形態2では導電層CL+エッチストップ層ESL)の厚さのバラツキを抑制することができる。すなわち、TF Tの特性バラツキの増大、TF Tの歩留まりの低下を抑制することができる。また、ソース電極SEおよびドレイン電極DEとチャンネル層(導電層CL+エッチストップ層ESL)の間に挟まれるドライエッチダメージ吸収層(本発明では犠牲層SL)がCu-In-Ga-Zn-Oのような高抵抗半導体ではないため、TF Tのオン電流の低減を抑制することができる。加えて、導電性能の主要部分を導電層CLにより決定することができ、エッチング停止性能をエッチトップ層ESLにより決定することができる。これにより、TF Tのチャンネルの導電性と加工性を独立に制御することが可能になり、実施の形態1に比べて用いる材料の選択肢が増える。

20

(実施の形態3)

図3は、本実施の形態3における半導体装置の構成および製造方法を示す図である。半導体装置としていわゆるトップゲート/トップコンタクト型酸化物TF Tを挙げている。ここでいうトップゲートとは、半導体層SCLよりも上層にゲート電極GEが形成されている構造のことであり、トップコンタクトとは、半導体層SCLよりも上層にソース電極SEおよびドレイン電極DEが形成されている構造のことを示している。

30

【0029】

本実施の形態3における半導体装置の製造方法は以下の通りである。まず、図3(a)に示すように、絶縁体基板SUB上に導電層CL、犠牲層SL、金属膜MFが形成される。

【0030】

基板SUBは、例えば、ガラス、石英、プラスチックフィルムなどからなり、必要に応じて導電層CL、犠牲層SLからなる半導体層SCLが形成される側の表面に絶縁膜のコーティングがなされている。

【0031】

導電層CL、犠牲層SLは、Zn-O、In-O、Ga-O、Sn-O、In-Ga-Zn-O、Zn-Sn-O、In-Sn-O、In-Zn-O、Ga-Zn-O、In-Ga-O、Al-Zn-Oなどの、Zn、In、Ga、Snの酸化物、およびそれらの複合酸化物によって形成されており、それらの成膜は、スパッタ法、PLD法、CVD法、塗布法、印刷法などにより行なう。導電層CLの厚さは5nm以上が望ましく、犠牲層SLの厚さは30nm以上が望ましい。また、導電層CL、犠牲層SLの素子分離のための島状加工は一般的なフォトリソグラフィ技術とウェットエッチング、あるいはドライエッチングの組み合わせにより行なう。さらに、無機酸、あるいは有機酸からなるウェットエッチング液に対するエッチレートは、導電層CLのほうが犠牲層SLよりも低い。エッチレートに差を設けるためには、たとえば導電層CL内のSn濃度を犠牲層SLよりも高くする、あるいは、導電層CLの緻密度(したがって屈折率)を犠牲層SLよりも高くするなどの方法をとる。

40

50



## 【0032】

導電層CL、犠牲層SLの組み合わせとしては上述の材料の中から種々の組み合わせが考えられる。中でも、例えば導電層CLがZn-Sn-O、In-Sn-Oの何れか一つから成り、犠牲層SLがIn-Ga-Zn-O、Zn-O、In-Zn-O、Al-Zn-O、Ga-Zn-O、Zn-Sn-Oの何れか一つから成るような組み合わせが好ましい。

## 【0033】

導電層CL内のSn濃度を犠牲層SLよりも高くする方法としては、導電層CLを成膜する際の原材料中のSn濃度を犠牲層SLを成膜する際の原材料よりも高くする方法をとる。例えば、両層をスパッタ法やPLD法により形成する場合、導電層CL用のターゲット中のSn濃度を犠牲層SL用のターゲットよりも高くしたり、導電層CLの成膜の際のみSnターゲットを同時に置いたりする。また、導電層CLの緻密度を犠牲層SLよりも高くする方法としては、導電層CLの成膜レートを犠牲層SLよりも小さくする、導電層CLの成膜温度を犠牲層SLよりも低くするなどの方法をとる。

10

## 【0034】

金属膜MFは、例えば、モリブデン、クロム、タンゲステン、アルミ、銅、チタン、ニッケル、タンタル、銀、亜鉛、あるいはその他の金属の単膜、それらの合金膜、それらの積層膜、あるいはITO(In-Sn-O：インジウム錫酸化物)などの金属酸化物導電膜、それらと金属との積層膜、窒化チタン(Ti-N)などの金属窒化物導電膜、それらと金属との積層膜、その他の導電性金属化合物膜、それらと金属との積層膜、キャリアを高濃度に含む半導体、あるいは半導体と金属との積層膜によって形成される。

20

## 【0035】

その後、図3(b)に示すように、金属膜MFを一般的なフォトリソグラフィ技術とドライエッチングの組み合わせによりソース電極SE、ドレイン電極DEの形状に加工する。その際、ソース電極SE-ドレイン電極DE間の開口部の下の犠牲層SLがプラズマおよび加速粒子にさらされるため、ダメージ領域DRが形成される。

## 【0036】

その後、図3(c)に示すように、ダメージ領域DRを無機酸、あるいは有機酸からなるエッチング液を用いたウェットエッチングにより除去する。このとき、導電層CLのほうが犠牲層SLよりもエッチレートが低いため、ウェットエッチングは導電層CLの表面で自動的に停止し、実質的にウェットエッチングによる導電層CLの膜厚の減少はない。ここで、ドライエッチングではなく、ウェットエッチングを用いている理由は、ドライエッチングの際に導電層CLがプラズマや加速粒子にさらされ、ダメージを受けることを回避するためである。

30

## 【0037】

その後、図3(d)に示すように、半導体層SCL、ソース電極SE、ドレイン電極DEを被覆する形でゲート絶縁膜GIFを形成し、その上にゲート電極GEを形成する。

## 【0038】

ゲート絶縁膜GIFは、Si-O、Al-Oなどの酸化物絶縁膜を用いるのが好ましいが、Si-Nなど酸化物以外の無機絶縁膜、パリレンなどの有機絶縁膜を用いても良い。ゲート絶縁膜GIFの成膜は、CVD法やスパッタ法、塗布法などにより行なう。

40

## 【0039】

ゲート電極GEは、導電性の材料、例えば、モリブデン、クロム、タンゲステン、アルミ、銅、チタン、ニッケル、タンタル、銀、亜鉛、あるいはその他の金属の単膜、それらの合金膜、それらの積層膜、あるいはITO(In-Sn-O：インジウム錫酸化物)などの金属酸化物導電膜、それらと金属との積層膜、窒化チタン(Ti-N)などの金属窒化物導電膜、それらと金属との積層膜、その他の導電性金属化合物膜、それらと金属との積層膜、キャリアを高濃度に含む半導体、あるいは半導体と金属との積層膜からなり、その成膜はCVD法やスパッタ法などにより行ない、加工は一般的なフォトリソグラフィ技術とドライエッチング、あるいはウェットエッチングとの組み合わせにより行なう。

50

## 【 0 0 4 0 】

本実施の形態 3 によれば、制御性の低いウェットエッチングによってダメージ領域 DR を除去しても実質的に導電層 CL のオーバーエッチによる膜厚の減少がないため、TFET のチャンネル層（本実施の形態 3 では導電層 CL）の厚さのバラツキを抑制することができる。すなわち、TFET の特性バラツキの増大、TFET の歩留まりの低下を抑制することができる。また、ソース電極 SE およびドレイン電極 DE とチャンネル層（導電層 CL）の間に挟まれるドライエッチダメージ吸収層（本発明では犠牲層 SL）が Cu-In-Ga-Zn-O のような高抵抗半導体ではないため、TFET のオン電流の低減を抑制することができる。

## （実施の形態 4）

10

図 4 は、本実施の形態 4 における半導体装置の構成および製造方法を示す図である。実施の形態 3 との違いは半導体層 SCL が 3 層からなる点であり、それ以外の点は実施の形態 3 と同一である。実施の形態 3 では、導電層 CL のエッチレートを犠牲層 SL よりも低くすることで、犠牲層 SL のウェットエッチング除去の際に導電層 CL の表面でウェットエッチングが自動的に停止したが、本実施の形態 2 では、エッチング停止機能を導電層 CL と犠牲層 SL の間に形成するエッチストップ層 ESL に担わせる。すなわち、エッチストップ層 ESL の表面でウェットエッチングが自動的に停止する。

## 【 0 0 4 1 】

導電層 CL、エッチストップ層 ESL、犠牲層 SL は Zn-O、In-O、Ga-O、Sn-O、In-Ga-Zn-O、Zn-Sn-O、In-Sn-O、In-Zn-O、Ga-Zn-O、In-Ga-O、Al-Zn-O などの、Zn、In、Ga、Sn の酸化物、およびそれらの複合酸化物によって形成されており、それらの成膜は、スパッタ法、PLD 法、CVD 法、塗布法、印刷法などにより行なう。導電層 CL、エッチストップ層 ESL の厚さは 5 nm 以上が望ましく、犠牲層 SL の厚さは 30 nm 以上が望ましい。また、導電層 CL、エッチストップ層 ESL、犠牲層 SL の素子分離のための島状加工は一般的なフォトリソグラフィ技術とウェットエッチング、あるいはドライエッチングの組み合わせにより行なう。さらに、無機酸、あるいは有機酸からなるウェットエッチング液に対するエッチレートは、エッチストップ層 ESL のほうが犠牲層 SL よりも低い。エッチレートに差を設けるためには、たとえばエッチストップ層 ESL 内の Sn 濃度を犠牲層 SL よりも高くする、あるいは、エッチストップ層 ESL の緻密度（したがって屈折率）を犠牲層 SL よりも高くするなどの方法をとる。

20

30

## 【 0 0 4 2 】

エッチストップ層 ESL、犠牲層 SL の組み合わせとしては上述の材料の中から種々の組み合わせが考えられる。中でも、例えばエッチストップ層 ESL が Zn-Sn-O、In-Sn-O の何れか一つから成り、犠牲層 SL が In-Ga-Zn-O、Zn-O、In-Zn-O、Al-Zn-O、Ga-Zn-O、Zn-Sn-O の何れか一つから成るような組み合わせが好ましい。

## 【 0 0 4 3 】

エッチストップ層 ESL 内の Sn 濃度を犠牲層 SL よりも高くする方法としては、エッチストップ層 ESL を成膜する際の原材料中の Sn 濃度を犠牲層 SL を成膜する際の原材料よりも高くする方法をとる。例えば、両層をスパッタ法や PLD 法により形成する場合、エッチストップ層 ESL 用のターゲット中の Sn 濃度を犠牲層 SL 用のターゲットよりも高くしたり、エッチストップ層 ESL の成膜の際のみ Sn ターゲットを同時に置いたりする。また、エッチストップ層 ESL の緻密度を犠牲層 SL よりも高くする方法としては、エッチストップ層 ESL の成膜レートを犠牲層 SL よりも小さくする、エッチストップ層 ESL の成膜温度を犠牲層 SL よりも低くするなどの方法をとる。

40

## 【 0 0 4 4 】

本実施の形態 4 によれば、実施の形態 1 と同様に、制御性の低いウェットエッチングによってダメージ領域 DR を除去しても実質的にエッチストップ層 ESL のオーバーエッチによる膜厚の減少がないため、TFET のチャンネル層（本実施の形態 4 では導電層 CL + E

50

エッチストップ層 E S L ) の厚さのバラツキを抑制することができる。すなわち、T F T の特性バラツキの増大、T F T の歩留まりの低下を抑制することができる。また、ソース電極 S E およびドレイン電極 D E とチャンネル層 ( 導電層 C L + エッチストップ層 E S L ) の間に挟まれるドライエッチダメージ吸収層 ( 本発明では犠牲層 S L ) が C u - I n - G a - Z n - O のような高抵抗半導体ではないため、T F T のオン電流の低減を抑制することができる。加えて、導電性能の主要部分を導電層 C L により決定することができ、エッチング停止性能をエッチトップ層 E S L により決定することができる。これにより、T F T のチャンネルの導電性と加工性を独立に制御することが可能になり、実施の形態 3 に比べて用いる材料の選択肢が増える。

( 実施の形態 5 )

図 5 は本実施の形態 5 における半導体装置の構成を示す図である。実施の形態 1 ~ 4 に示す構造の T F T を用いてアンテナ共振回路 A R 、整流器 R C T 、変調器 M O D 、デジタル回路 D G C など構成し、無線タグを形成している。無線タグはリーダ R D またはライター W R と無線で通信を行うことができるようになっている。

( 実施の形態 6 )

図 6 は本実施の形態 6 における半導体装置の構成を示す図である。本実施の形態 6 では、前記実施の形態 1 ~ 4 の構造を有する T F T を構成要素とする素子が基板 S U B 上にアレイ状に配置されている。前記実施の形態 1 ~ 4 に示す T F T を、アレイ内の各素子のスイッチングや駆動用のトランジスタに用いることはもちろん、この T F T のゲート電極 G E と接続されるゲート線 G L に信号を送るゲート線駆動回路 G D C や、この T F T のソース電極 S E あるいはドレイン電極 D E と接続されるデータ線 D L に信号を送るデータ線駆動回路 D D C を構成するトランジスタに用いてもよい。この場合、各素子の T F T とゲート線駆動回路 G D C あるいはデータ線駆動回路 D D C 内の T F T を並行して形成することができる。

【 0 0 4 5 】

アクティブマトリクス型液晶表示装置に上述したアレイを適用する場合、各素子は、例えば、図 7 に示すような構成になる。図中 x 方向に延在するゲート線 G L に走査信号が供給されると、T F T がオンし、このオンされた T F T を通して、図中 y 方向に延在するデータ線 D L からの映像信号が画素電極 P E に供給される。なお、ゲート線 G L は図中 y 方向に並設され、データ線 D L は図中 x 方向に並設され、隣接する一対のゲート線 G L と隣接する一対のドレイン線 D L で囲まれる領域 ( 画素領域 ) に画素電極 P E が配置されている。この場合、例えば、データ線 D L がソース電極 S E と電氣的に接続され、画素電極 P E がドレイン電極 D E と電氣的に接続される。あるいは、データ線 D L がソース電極 S E を兼ねてもよい。また、液晶表示装置に限らず有機 E L 表示装置などに上述したアレイを適用してもよい。この場合、画素回路を構成するトランジスタに T F T を適用する。さらには、上述したアレイを記憶素子に適用し、選択トランジスタに T F T を適用してもよい。

【 0 0 4 6 】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能である。

【 産業上の利用可能性 】

【 0 0 4 7 】

本発明における半導体装置は、無線タグ、記憶素子アレイなどを構成するトランジスタや周辺回路などに適用できる。また、透過型、反射型、半透過型の各液晶表示装置、並びに有機 E L 表示装置などの各画素を駆動するトランジスタや周辺回路などにも適用できる。

【 符号の説明 】

【 0 0 4 8 】

A R アンテナ共振回路

10

20

30

40

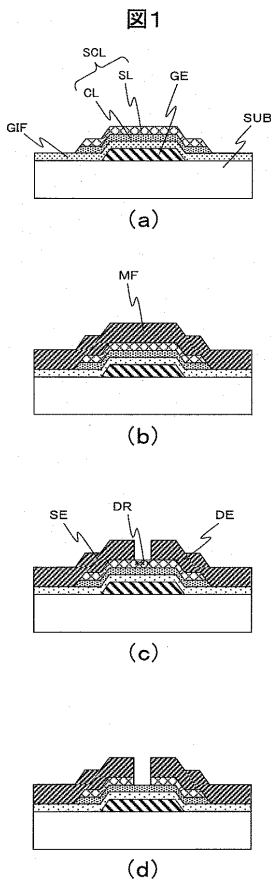
50

- CL 導電層
- DDC データ線駆動回路
- DE ドレイン電極
- DGC デジタル回路
- DL データ線
- DR ダメージ領域
- ESL エッチストップ層
- GDC ゲート線駆動回路
- GE ゲート電極
- GIF ゲート絶縁膜
- GL ゲート線
- MF 金属膜
- MOD 変調器
- PE 画素電極
- RCT 整流器
- RD リーダ
- SCL 半導体層
- SE ソース電極
- SL 犠牲層
- SUB 基板
- TFT 酸化物TFT
- WR ライタ

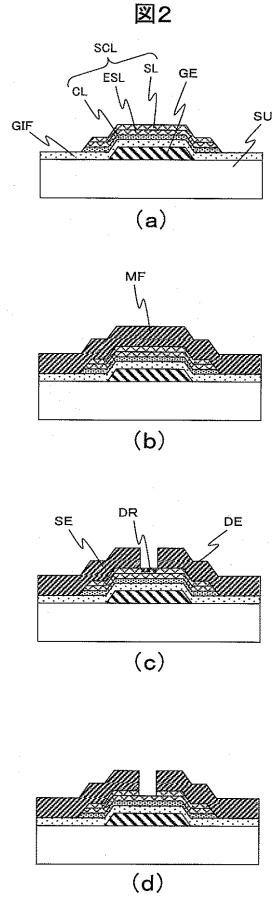
10

20

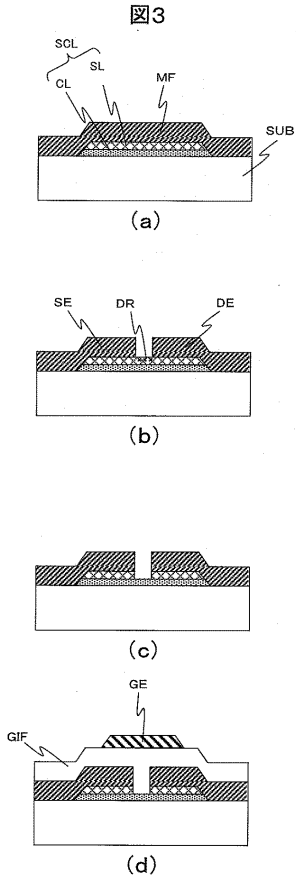
【 図 1 】



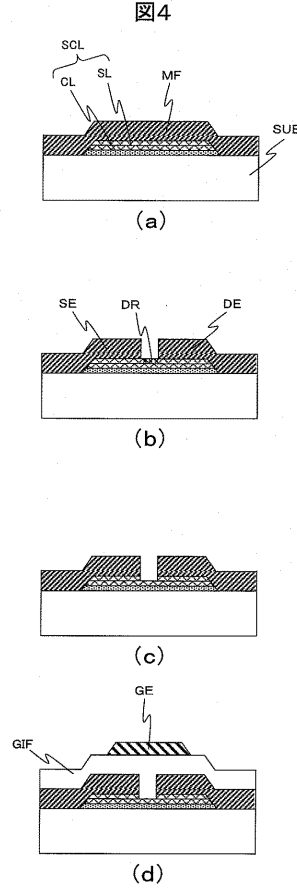
【 図 2 】



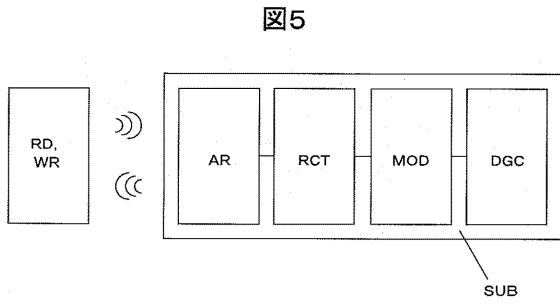
【 図 3 】



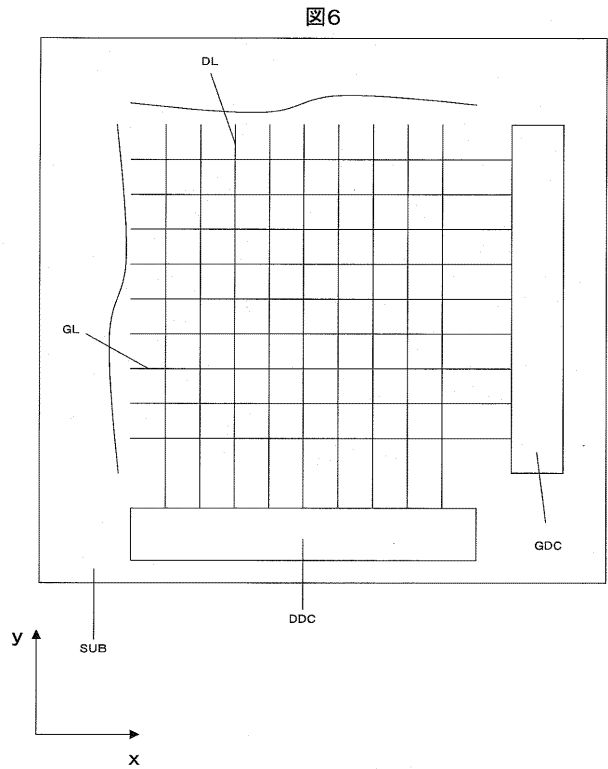
【 図 4 】



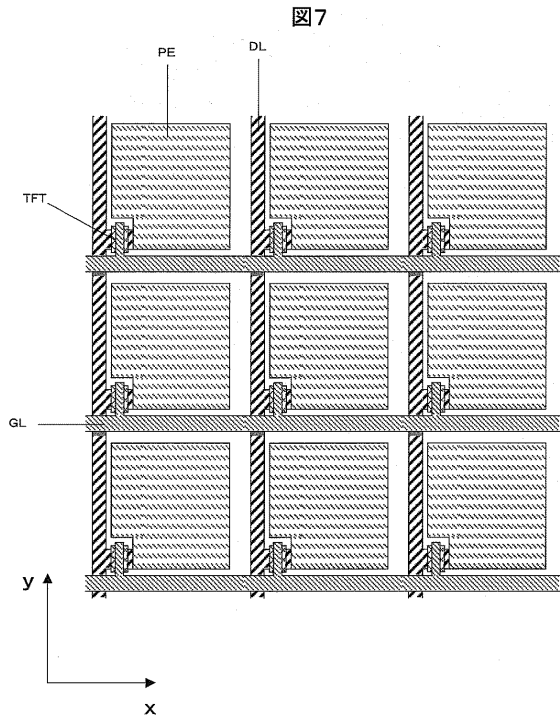
【 図 5 】



【 図 6 】



【 図 7 】



---

フロントページの続き

(72)発明者 若菜 裕紀

東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内

(72)発明者 波多野 睦子

東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内

Fターム(参考) 5F110 AA03 AA07 BB01 CC07 DD01 DD02 DD03 DD11 EE01 EE02  
EE03 EE04 EE07 EE14 EE44 EE45 FF01 FF02 FF03 FF27  
FF28 FF29 GG01 GG25 GG42 GG43 GG44 HK01 HK02 HK04  
HK07 HK08 HK21 HK32 HK33 HK34 NN72 QQ03