



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년11월22일
(11) 등록번호 10-2469133
(24) 등록일자 2022년11월16일

(51) 국제특허분류(Int. Cl.)
H03K 5/133 (2014.01) G11C 7/22 (2015.01)
H03K 5/00 (2014.01)
(52) CPC특허분류
H03K 5/133 (2013.01)
G11C 7/22 (2018.05)
(21) 출원번호 10-2018-0026780
(22) 출원일자 2018년03월07일
심사청구일자 2021년02월25일
(65) 공개번호 10-2019-0105961
(43) 공개일자 2019년09월18일
(56) 선행기술조사문헌
JP60201715 A*
(뒷면에 계속)

(73) 특허권자
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
(72) 발명자
정인화
경기도 화성시 동탄대로22길 30, 605동 102호(영천동, 동탄센트럴자이)
(74) 대리인
신성특허법인(유한)

전체 청구항 수 : 총 1 항

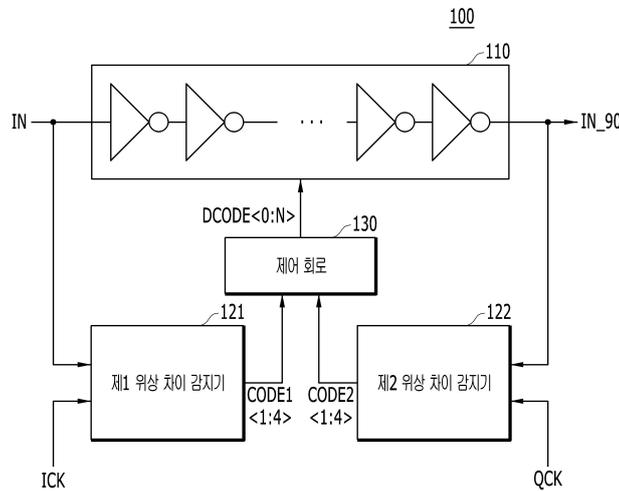
심사관 : 최규돈

(54) 발명의 명칭 지연 회로

(57) 요약

지연 회로는, 입력 신호를 지연시켜 출력 신호를 생성하는 가변 지연 라인; 상기 입력 신호와 제1클럭의 위상 차이를 감지하는 제1위상 차이 감지기; 상기 출력 신호와 제2클럭의 위상 차이를 감지하는 제2위상 차이 감지기; 및 상기 제1위상 차이 감지기의 감지 결과와 상기 제2위상 차이 감지기의 감지 결과에 응답해 상기 가변 지연 라인의 지연값을 조절하는 제어 회로를 포함할 수 있다.

대표도 - 도1



(52) CPC특허분류
H03K 2005/00058 (2013.01)

(56) 선행기술조사문헌
KR1019980082460 A
KR1020020012859 A
US20120146692 A1
US20120194237 A1
*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

입력 신호를 지연시켜 출력 신호를 생성하는 가변 지연 라인;

상기 입력 신호와 제1클럭의 위상 차이를 감지하는 제1위상 차이 감지기;

상기 출력 신호와 제2클럭의 위상 차이를 감지하는 제2위상 차이 감지기; 및

상기 제1위상 차이 감지기의 감지 결과와 상기 제2위상 차이 감지기의 감지 결과에 응답해 상기 가변 지연 라인의 지연값을 조절하는 제어 회로를 포함하고,

상기 제1클럭과 상기 제2클럭은 상기 가변 지연 라인의 목표 지연값 만큼의 위상 차이를 가지는 지연 회로.

청구항 2

삭제

청구항 3

◆청구항 3은(는) 설정등록료 납부시 포기되었습니다.◆

제 1항에 있어서,

상기 제어 회로는

상기 입력 신호와 상기 제1클럭의 위상 차이가 상기 출력 신호와 상기 제2클럭의 위상 차이보다 큰 경우에, 상기 가변 지연 라인의 지연값을 늘리고,

상기 출력 신호와 상기 제2클럭의 위상 차이가 상기 입력 신호와 상기 제1클럭의 위상 차이보다 큰 경우에, 상기 가변 지연 라인의 지연값을 줄이는

지연 회로.

청구항 4

◆청구항 4은(는) 설정등록료 납부시 포기되었습니다.◆

제 1항에 있어서,

상기 제1위상 차이 감지기와 상기 제2위상 차이 감지기 각각은

타임-투-디지털 컨버터(time-to-digital converter)를 포함하는

지연 회로.

청구항 5

◆청구항 5은(는) 설정등록료 납부시 포기되었습니다.◆

제 1항에 있어서,

상기 제1위상 차이 감지기는

제1클럭을 순차적으로 지연시켜 제1-1 내지 제1-M클럭(M은 2이상의 정수)을 생성하기 위한, 직렬로 연결된 다수의 제1지연 라인들; 및

상기 제1-1 내지 제1-M클럭들 중 자신에 대응하는 클럭에 동기해 상기 입력 신호를 샘플링하기 위한 제1-1 내지 제1-M D플립플롭들을 포함하고,

상기 제1-1 내지 제1-M D플립플롭들의 Q단자들에서 상기 제1위상 차이 감지기의 감지 결과가 출력되는 지연 회로.

청구항 6

◆청구항 6은(는) 설정등록료 납부시 포기되었습니다.◆

제 5항에 있어서,

상기 제2위상 차이 감지기는

제2클럭을 순차적으로 지연시켜 제2-1 내지 제2-M클럭을 생성하기 위한, 직렬로 연결된 다수의 제2지연 라인들; 및

상기 제2-1 내지 제2-M클럭들 중 자신에 대응하는 클럭에 동기해 상기 출력 신호를 샘플링하기 위한 제2-1 내지 제2-M D플립플롭들을 포함하고,

상기 제2-1 내지 제2-M D플립플롭들의 Q단자들에서 상기 제2위상 차이 감지기의 감지 결과가 출력되는 지연 회로.

청구항 7

◆청구항 7은(는) 설정등록료 납부시 포기되었습니다.◆

제 1항에 있어서,

상기 입력 신호는 주기파인

지연 회로.

발명의 설명

기술 분야

[0001] 본 특허 문헌은 신호를 지연시키는 지연 회로에 관한 것이다.

배경 기술

[0003] 각종 집적회로 칩들 내에서는 신호를 지연시키기 위한 다양한 종류의 지연 회로들이 사용되고 있다.

[0004] 지연 회로들 중에서는 입력된 신호를 원하는 위상만큼 지연시켜야 하는 지연 회로들이 존재한다. 예를 들어, 메모리 컨트롤러에서는 메모리로부터 전달받은 데이터 스트로브 신호를 클럭 기준 90도의 위상만큼 지연시켜 사용하는 경우에, 메모리 컨트롤러에는 데이터 스트로브 신호를 90도의 위상만큼 지연하기 위한 지연 회로가 필요하게 된다. 그런데 일반적인 지연 회로를 이용해 입력 신호를 지연시킬 경우에 집적회로 칩 내부의 PVT (Process, Voltage and Temperature) 변화에 따라 지연량이 변하게 되어 원하는 위상만큼 입력 신호를 지연시키기가 어렵다. 이에 PVT 변화에도 목표로 하는 위상만큼 입력신호를 지연시키는 지연 회로가 요구된다.

발명의 내용

해결하려는 과제

[0006] 본 발명의 실시예들은, 지연 회로의 지연값을 목표 값으로 조절하는 기술을 제공할 수 있다.

과제의 해결 수단

[0008] 본 발명의 일실시예에 따른 지연 회로는, 입력 신호를 지연시켜 출력 신호를 생성하는 가변 지연 라인; 상기 입력 신호와 제1클럭의 위상 차이를 감지하는 제1위상 차이 감지기; 상기 출력 신호와 제2클럭의 위상 차이를 감지하는 제2위상 차이 감지기; 및 상기 제1위상 차이 감지기의 감지 결과와 상기 제2위상 차이 감지기의 감지 결과에 응답해 상기 가변 지연 라인의 지연값을 조절하는 제어 회로를 포함할 수 있다.

[0009] 상기 제1클럭과 상기 제2클럭은 상기 가변 지연 라인의 목표 지연값 만큼의 위상 차이를 가질 수 있다.

발명의 효과

[0011] 본 발명의 실시예들에 따르면, 지연 회로의 지연값을 목표 값으로 조절할 수 있다.

도면의 간단한 설명

- [0013] 도 1은 본 발명의 일실시예에 따른 지연 회로의 구성도.
- 도 2는 입력 신호(IN)와 제1클럭(ICK) 및 출력 신호(IN_90)와 제2클럭(QCK)을 도시한 타이밍도.
- 도 3은 도 1의 지연 회로(110)의 목표 지연값이 제1클럭(ICK)을 기준으로 180도의 위상인 경우를 도시한 도면.
- 도 4는 도 3의 입력 신호(IN)와 제1클럭(ICK) 및 출력 신호(IN_180)와 제2클럭(IBCK)을 도시한 타이밍도.
- 도 5는 도 1의 제1위상 차이 감지기(121)의 일실시예 구성도.
- 도 6은 도 5의 제1위상 차이 감지기(121)의 동작을 도시한 타이밍도.

발명을 실시하기 위한 구체적인 내용

[0014] 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있도록 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다. 본 발명을 설명함에 있어서, 본 발명의 요지와 무관한 구성은 생략될 수 있다. 각 도면의 구성요소들에 참조 번호를 부가함에 있어서, 동일한 구성요소들에 한해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 참조 번호를 가지도록 하고 있음에 유의하여야 한다.

[0016] 도 1은 본 발명의 일실시예에 따른 지연 회로의 구성도이다.

[0017] 도 1을 참조하면, 지연 회로(100)는 가변 지연 라인(110), 제1위상 차이 감지기(121), 제2위상 차이 감지기(122) 및 제어 회로(130)를 포함할 수 있다.

[0018] 가변 지연 라인(110)은 입력 신호(IN)를 지연시켜 출력 신호(IN_90)를 생성할 수 있다. 가변 지연 라인(110)의 지연값은 지연 코드(DCODE<0:N>)에 따라 조절될 수 있다. 도 1의 실시예에서는 가변 지연 라인(110)의 목표 지연값은 제1클럭(ICK)을 기준으로 90도의 위상만큼 이라고 가정하기로 한다. 여기서 입력 신호(IN)는 주기파일 수 있으며, 입력 신호(IN)의 주기는 제1클럭(ICK)의 주기와 동일할 수 있다.

[0019] 제1위상 차이 감지기(121)는 입력 신호(IN)와 제1클럭(ICK)의 위상 차이를 감지해 그 결과를 제1코드(CODE1<1:4>)로 출력할 수 있다. 상세하게, 제1위상 차이 감지기(121)는 입력 신호(IN)의 라이징 에지(rising edge)와 제1클럭(ICK)의 라이징 에지 간의 위상 차이를 감지할 수 있다.

[0020] 제2위상 차이 감지기(122)는 출력 신호(IN_90)와 제2클럭(QCK)의 위상 차이를 감지해 그 결과를 제2코드(CODE2<1:4>)로 출력할 수 있다. 상세하게, 제2위상 차이 감지기(122)는 출력 신호(IN_90)의 라이징 에지와 제2클럭(QCK)의 라이징 에지 간의 위상 차이를 감지할 수 있다. 여기서 제2클럭(QCK)과 제1클럭(ICK)의 위상 차이는 가변 지연 라인(110)의 목표 지연값과 동일할 수 있다. 제1위상 차이 감지기(121)와 제2위상 차이 감지기(122) 각각은 타임-투-디지털 컨버터(time-to-digital converter)일 수 있다. 제1코드(CODE1<1:4>)와 제2코드(CODE2<1:4>)는 측정된 위상 차이가 클수록 0의 값을 더 많이 가지고 위상 차이가 작을 수록 1의 값을 더 많이 가질 수 있다.

[0021] 제어 회로(130)는 제1코드(CODE1<1:4>)와 제2코드(CODE2<1:4>)에 응답해 가변 지연 라인(110)의 지연값을 조절할 수 있다. 도 2는 입력 신호(IN)와 제1클럭(ICK) 및 출력 신호(IN_90)와 제2클럭(QCK)을 도시한

타이밍도이다. 도 2의 tA는 입력 신호(IN)와 제1클럭(ICK)의 위상 차이를 나타내는데, 제1코드(CODE1<1:4>)가 바로 이 값(tA)을 나타낸다. 도 2의 tB는 출력 신호(IN_90)와 제2클럭(QCK)의 위상 차이를 나타내는데, 제2코드(CODE2<1:4>)가 바로 이 값(tB)을 나타낸다. tA > tB인 경우에는, 즉 CODE1<1:4>의 0의 개수가 CODE2<1:4>의 0의 개수보다 많은 경우에는, 가변 지연 라인(119)의 지연값이 목표 지연값보다 작다는 것을 의미하므로, 제어 회로(130)는 지연 코드(DCODE<0:N>)의 값을 늘려 가변 지연 라인(110)의 지연값을 늘릴 수 있다. tA < tB인 경우에는, 즉 CODE1<1:4>의 1의 개수가 CODE2<1:4>의 1의 개수보다 많은 경우에는, 가변 지연 라인(110)의 지연값이 목표 지연값보다 크다는 것을 의미하므로, 제어 회로(130)는 지연 코드(DCODE<0:N>)의 값을 줄여 가변 지연 라인(110)의 지연값을 줄일 수 있다. tA = tB인 경우에는, 즉 CODE1<1:4> = CODE2<1:4>인 경우에는, 가변 지연 라인(110)의 지연값이 목표 지연값과 동일하다는 것을 의미하므로 제어 회로(130)는 지연 코드(DCODE<0:N>)의 값을 그대로 유지할 수 있다.

[0022] 도 1의 지연 회로(100)에서는 입력 신호(IN)와 제1클럭(ICK) 간의 위상 차이와 출력 신호(IN_90)와 제2클럭(QCK) 간의 위상 차이가 동일해질 수 있도록 가변 지연 라인(110)의 지연값이 조절되므로, 가변 지연 라인(110)이 목표 지연값과 동일한 지연값을 가질 수 있다.

[0023] 도 3은 도 1의 지연 회로(110)의 목표 지연값이 제1클럭(ICK)을 기준으로 180도의 위상인 경우를 도시한 도면이다. 도 3에서의 출력 신호(IN_180)는 입력 신호(IN)에서 180도의 위상 만큼 지연된 신호이므로 IN_180으로 표기했다. 또한, 도 3에서는 제2위상 차이 감지기(122)로 입력되는 제2클럭(IBCK)으로 IBCK가 사용되었는데, 제2클럭(IBCK)은 제1클럭(ICK)과 180도의 위상 차이를 가지는, 즉 제1클럭(ICK)을 반전한, 클럭일 수 있다.

[0024] 도 4는 도 3의 입력 신호(IN)와 제1클럭(ICK) 및 출력 신호(IN_180)와 제2클럭(IBCK)을 도시한 타이밍도이다. 도 4의 tA는 입력 신호(IN)와 제1클럭(ICK)의 위상 차이를 나타내는데, 제1코드(CODE1<1:4>)가 바로 이 값(tA)을 나타낸다. 도 4의 tB는 출력 신호(IN_180)와 제2클럭(IBCK)의 위상 차이를 나타내는데, 제2코드(CODE2<1:4>)가 바로 이 값(tB)을 나타낸다. tA > tB인 경우에는, 즉 CODE1<1:4>의 0의 개수가 CODE2<1:4>의 0의 개수보다 많은 경우에는, 가변 지연 라인(110)의 지연값이 목표 지연값보다 작다는 것을 의미하므로, 제어 회로(130)는 지연 코드(DCODE<0:N>)의 값을 늘려 가변 지연 라인(110)의 지연값을 늘릴 수 있다. tA < tB인 경우에는, 즉 CODE1<1:4>의 1의 개수가 CODE2<1:4>의 1의 개수보다 많은 경우에는, 가변 지연 라인(119)의 지연값이 목표 지연값보다 크다는 것을 의미하므로, 제어 회로(130)는 지연 코드(DCODE<0:N>)의 값을 줄여 가변 지연 라인(110)의 지연값을 줄일 수 있다. tA = tB인 경우에는, 즉 CODE1<1:4> = CODE2<1:4>인 경우에는, 가변 지연 라인(110)의 지연값이 목표 지연값과 동일하다는 것을 의미하므로 제어 회로(130)는 지연 코드(DCODE<0:N>)의 값을 그대로 유지할 수 있다.

[0025] 도 5는 도 1의 제1위상 차이 감지기(121)의 일실시에 구성도이다. 제2위상 차이 감지기(122)도 도 5와 동일하게 구성될 수 있다.

[0026] 도 5를 참조하면, 제1위상 차이 감지기(121)는 다수의 지연 라인들(510_1~510_4)과 다수의 D 플립플롭들(520_1~520_4)을 포함할 수 있다.

[0027] 다수의 지연 라인들(510_1~510_4)은 직렬로 연결되며, 제1클럭(ICK)을 순차적으로 지연시켜, 지연된 클럭들(D1~D4)을 생성할 수 있다.

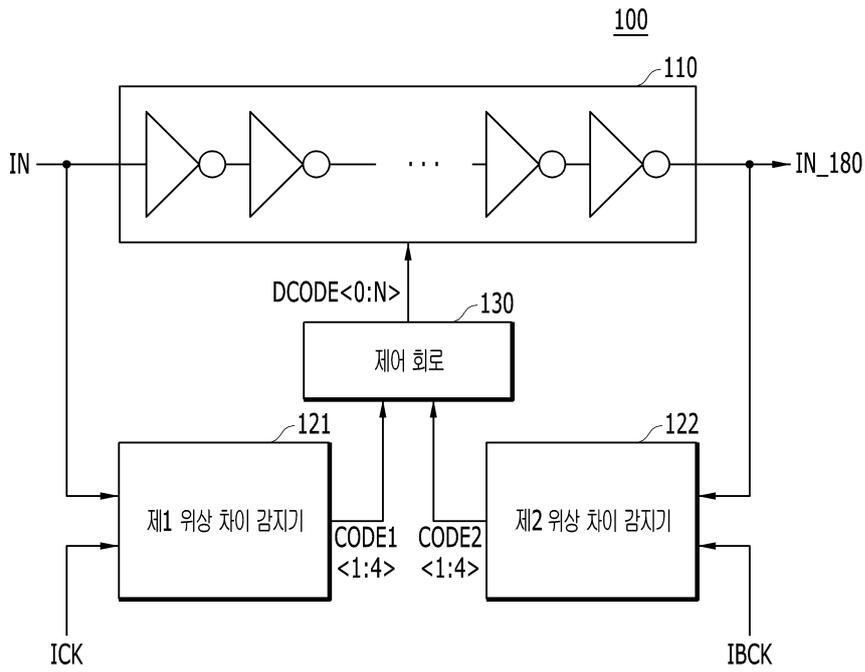
[0028] 다수의 D 플립플롭들(520_1~520_4)은 클럭 단자에 지연된 클럭들(D1~D4)을 입력받고, D 단자에 입력 신호(IN)를 입력받고, Q 단자로 제1코드(CODE1<1:4>)를 출력할 수 있다. 따라서 D 플립플롭들(520_1~520_4)은 지연된 클럭들(D1~D4)의 라이징 에지에서 입력 신호(IN)를 샘플링하고, 샘플링된 결과를 제1코드(CODE1<1:4>)로 출력할 수 있다.

[0029] 도 6은 도 5의 제1위상 차이 감지기(121)의 동작을 도시한 타이밍도이다. 도 6을 참조하면, 지연된 클럭들(D1~D4)의 라이징 에지에서 입력 신호(IN)가 샘플링되어 제1코드(CODE1<1:4>)가 생성되는 것을 확인할 수 있다. 입력 신호(IN)와 제1클럭(ICK)의 위상 차이(tA)가 클수록 제1코드(CODE1<1:4>)에서 0의 개수가 증가할 수 있다. 도 6의 경우에는 제1코드(CODE1<1:4>)에서 2비트(CODE1<1:2>)가 0의 값을 가지는 것을 확인할 수 있다.

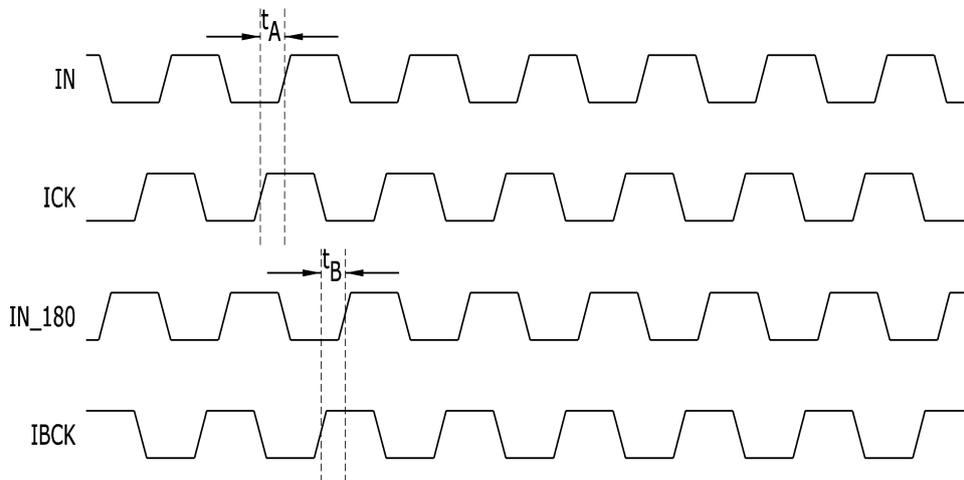
[0030] 상기한 실시예들에서는 제1코드(CODE1<1:4>)가 4비트인 것으로 예시해 지연 라인들(510_1~510_4) 및 D 플립플롭들(520_1~520_4)의 개수가 4개인 것으로 예시했으나, 제1코드의 비트수가 늘어나거나 줄어들면 이에 따라 지연 라인들 및 D 플립플롭들의 개수가 늘어나거나 줄어들 수도 있음은 당연하다.

[0032] 본 발명의 기술사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술분야의 전문가라면 본 발명의 기술

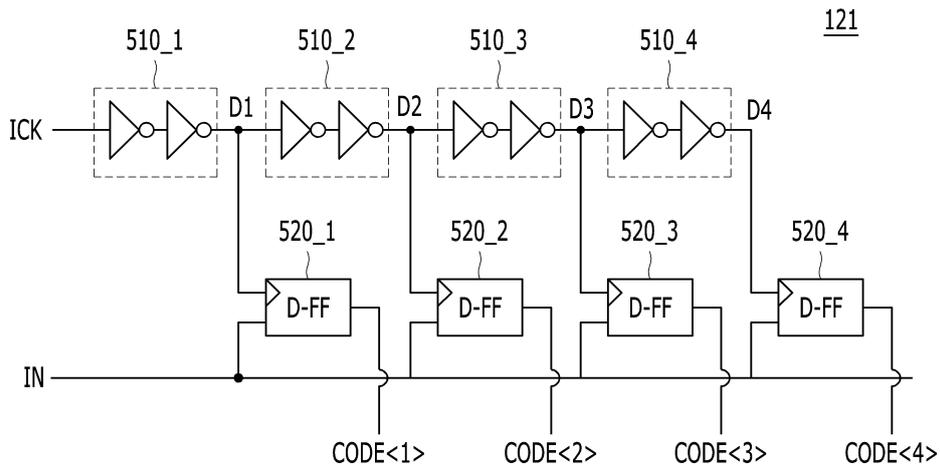
도면3



도면4



도면5



도면6

