



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0090634
(43) 공개일자 2019년08월02일

- | | |
|--|--|
| (51) 국제특허분류(Int. Cl.)
<i>G11C 16/34</i> (2006.01) <i>G06F 8/65</i> (2018.01)
<i>G11C 17/08</i> (2006.01)
(52) CPC특허분류
<i>G11C 16/3459</i> (2013.01)
<i>G06F 8/65</i> (2013.01)
(21) 출원번호 10-2018-0009574
(22) 출원일자 2018년01월25일
심사청구일자 없음 | (71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
(72) 발명자
박진
경기도 성남시 중원구 원터로69번길 8-1
(74) 대리인
김성남 |
|--|--|

전체 청구항 수 : 총 19 항

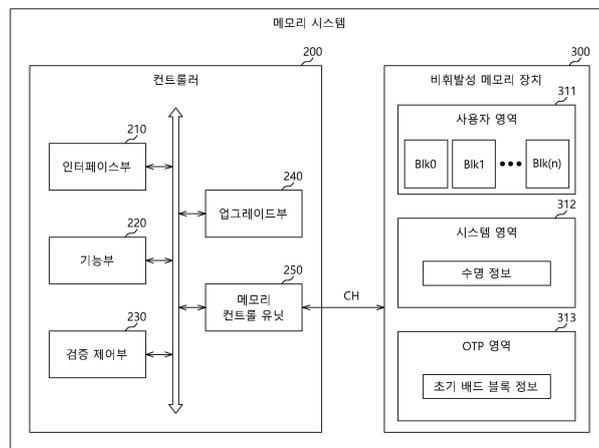
(54) 발명의 명칭 메모리 시스템 및 그것의 동작 방법

(57) 요약

본 발명의 실시 예에 따른 메모리 시스템은, 복수의 메모리 블록들의 수명 정보가 저장되는 시스템 영역과, 펌웨어의 업그레이드 시에 리셋되지 않는 OTP(One Time Programmable) 영역을 포함하는 비휘발성 메모리 장치, 펌웨어를 저장하는 기능부, 업그레이드할 신규 펌웨어를 수신하는 인터페이스부, 비휘발성 메모리 장치의 검증 동작을 수행하는 검증 제어부 및 비휘발성 메모리 장치의 검증 동작을 수행할 때, 펌웨어를 업그레이드하는 업그레이드부를 포함할 수 있고, 검증 제어부는, OTP 영역을 참조하여 백업 블록을 선택하고, 백업 블록에 수명 정보를 백업한 후, 펌웨어를 업그레이드하도록 제어할 수 있다.

대표도 - 도1

100



(52) CPC특허분류
G11C 17/08 (2013.01)

명세서

청구범위

청구항 1

복수의 메모리 블록들의 수명 정보가 저장되는 시스템 영역과, 펌웨어의 업그레이드 시에 리셋되지 않는 OTP(One Time Programmable) 영역을 포함하는 비휘발성 메모리 장치;

상기 펌웨어를 저장하는 기능부;

업그레이드할 신규 펌웨어를 수신하는 인터페이스부;

상기 비휘발성 메모리 장치의 검증 동작을 수행하는 검증 제어부; 및

상기 비휘발성 메모리 장치의 검증 동작을 수행할 때, 상기 펌웨어를 업그레이드하는 업그레이드부를 포함하되,

상기 검증 제어부는,

상기 OTP 영역을 참조하여 백업 블록을 선택하고, 상기 백업 블록에 상기 수명 정보를 백업한 후, 상기 펌웨어를 업그레이드하도록 제어하는 메모리 시스템.

청구항 2

제1항에 있어서,

상기 백업 블록은, 상기 펌웨어의 업그레이드 시에 리셋되지 않는 블록인 메모리 시스템.

청구항 3

제1항에 있어서,

상기 검증 제어부는,

상기 OTP 영역에 저장된 초기 배드 블록(Initial Bad Block) 정보를 참조하여, 상기 백업 블록을 초기 배드 블록들 중에서 선택하는 메모리 시스템.

청구항 4

제3항에 있어서,

상기 초기 배드 블록들 중 상기 백업 블록으로 선택되는 우선 순위 정보가 상기 OTP 영역에 저장되고,

상기 검증 제어부는, 상기 우선 순위 정보에 기초하여 상기 백업 블록을 선택하는 메모리 시스템.

청구항 5

제1항에 있어서,

상기 검증 제어부는, 상기 수명 정보가 유효 정보임을 표시하는 헤더 정보를 상기 수명 정보와 함께 상기 백업 블록에 저장하는 메모리 시스템.

청구항 6

제1항에 있어서,

상기 검증 제어부는, 복수의 백업 블록들을 선택하고, 상기 백업 블록들 각각에 상기 수명 정보를 백업하는 메모리 시스템.

청구항 7

제1항에 있어서,

상기 검증 제어부는, 상기 펌웨어가 업그레이드된 횟수를 상기 백업 블록에 저장하는 메모리 시스템.

청구항 8

제1항에 있어서,

상기 수명 정보는 상기 메모리 블록들 각각의 프로그램/소거 사이클 정보를 포함하는 메모리 시스템.

청구항 9

제1항에 있어서,

상기 검증 제어부는,

상기 펌웨어의 업그레이드 동작이 수행된 후, 상기 수명 정보를 상기 시스템 영역에 다시 백업하도록 제어하는 메모리 시스템.

청구항 10

컨트롤러가, 비휘발성 메모리 장치의 수명 정보가 저장될 백업 블록을 선택하는 단계;

상기 비휘발성 메모리 장치의 시스템 영역에 저장된 상기 수명 정보를 상기 백업 블록으로 백업하는 단계; 및

신규 펌웨어를 이용하여 펌웨어를 업그레이드하는 단계를 포함하는 메모리 시스템의 동작 방법.

청구항 11

제10항에 있어서,

상기 백업 블록은, 상기 펌웨어의 업그레시드 시에 리셋되지 않는 블록인 메모리 시스템의 동작 방법.

청구항 12

제10항에 있어서,

상기 백업 블록을 선택하는 단계는,

상기 펌웨어의 업그레이드 시에 리셋되지 않는 OTP(One Time Programmable) 영역을 참조하여 상기 백업 블록을 선택하는 단계를 포함하는 메모리 시스템의 동작 방법.

청구항 13

제12항에 있어서,

상기 백업 블록을 선택하는 단계는,

상기 OTP 영역에 저장된 초기 배드 블록(Initial Bad Block) 정보를 서치하는 단계; 및

상기 초기 배드 블록 정보에 기초하여 상기 백업 블록을 초기 배드 블록들 중에서 선택하는 단계를 포함하는 메모리 시스템의 동작 방법.

청구항 14

제12항에 있어서,

상기 백업 블록을 선택하는 단계는,

상기 OTP 영역에 저장된 초기 배드 블록 정보 및 초기 배드 블록들의 우선 순위 정보를 서치하는 단계; 및

상기 초기 배드 블록 정보 및 상기 우선 순위 정보에 기초하여 상기 백업 블록을 상기 초기 배드 블록들 중에서 선택하는 단계를 포함하는 메모리 시스템의 동작 방법.

청구항 15

제10항에 있어서,

컨트롤러가, 상기 신규 펌웨어를 수신하는 단계를 더 포함하는 메모리 시스템의 동작 방법.

청구항 16

제10항에 있어서,

상기 펌웨어의 업그레이드 동작이 수행된 후, 상기 수명 정보를 상기 시스템 영역에 다시 백업하는 단계를 더 포함하는 메모리 시스템의 동작 방법.

청구항 17

제10항에 있어서,

상기 수명 정보를 상기 백업 블록으로 백업하는 단계는,

상기 수명 정보가 유효 정보임을 표시하는 헤더 정보를 상기 수명 정보와 함께 상기 백업 블록에 저장하는 단계를 포함하는 메모리 시스템의 동작 방법.

청구항 18

제10항에 있어서,

상기 수명 정보는 상기 비휘발성 메모리 장치에 포함되는 메모리 블록들 각각의 프로그램/소거 사이클 정보를 포함하는 메모리 시스템의 동작 방법.

청구항 19

제10항에 있어서,

상기 컨트롤러가, 상기 펌웨어가 업그레이드된 횟수를 상기 백업 블록에 저장하는 단계를 더 포함하는 메모리 시스템의 동작 방법.

발명의 설명

기술 분야

[0001] 본 발명은 메모리 시스템에 관한 것으로, 더욱 상세하게는 비휘발성 메모리 장치를 포함하는 메모리 시스템에 관한 것이다.

배경 기술

[0002] 메모리 시스템은 외부 장치의 라이트 요청에 응답하여, 외부 장치로부터 제공된 데이터를 저장하도록 구성될 수 있다. 또한, 메모리 시스템은 외부 장치의 리드 요청에 응답하여, 저장된 데이터를 외부 장치로 제공하도록 구성될 수 있다. 외부 장치는 데이터를 처리할 수 있는 전자 장치로서, 컴퓨터, 디지털 카메라 또는 휴대폰 등을 포함할 수 있다. 메모리 시스템은 외부 장치에 내장되어 동작하거나, 분리 가능한 형태로 제작되어 외부 장치에 연결됨으로써 동작할 수 있다.

[0003] 메모리 장치를 이용한 메모리 시스템은 기계적인 구동부가 없어서 안정성 및 내구성이 뛰어나며 정보의 액세스 속도가 매우 빠르고 전력 소모가 적다는 장점이 있다. 이러한 장점을 갖는 메모리 시스템은 USB(Universal Serial Bus) 메모리 장치, 다양한 인터페이스를 갖는 메모리 카드, UFS(Universal Flash Storage) 장치, 솔리드 스테이트 드라이브(Solid State Drive, 이하, SSD라 칭함)를 포함한다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 실시 예는, 펌웨어의 업그레이드 시에 비휘발성 메모리 장치의 수명 정보를 백업시킴으로써 수명 정보의 초기화를 방지하는 메모리 시스템을 제공하는 데 있다.

과제의 해결 수단

[0005] 본 발명의 실시 예에 따른 메모리 시스템은, 복수의 메모리 블록들의 수명 정보가 저장되는 시스템 영역과, 펌웨어의 업그레йд 시에 리셋되지 않는 OTP(One Time Programmable) 영역을 포함하는 비휘발성 메모리 장치, 펌웨어를 저장하는 기능부, 업그레йд할 신규 펌웨어를 수신하는 인터페이스부, 비휘발성 메모리 장치의 검증 동작을 수행하는 검증 제어부 및 비휘발성 메모리 장치의 검증 동작을 수행할 때, 펌웨어를 업그레йд하는 업그레이드부를 포함할 수 있고, 검증 제어부는, OTP 영역을 참조하여 백업 블록을 선택하고, 백업 블록에 수명 정보를 백업한 후, 펌웨어를 업그레йд하도록 제어할 수 있다.

[0006] 본 발명의 실시 예에 따른 메모리 시스템의 동작 방법은, 컨트롤러가 비휘발성 메모리 장치의 수명 정보가 저장된 백업 블록을 선택하는 단계, 비휘발성 메모리 장치의 시스템 영역에 저장된 수명 정보를 백업 블록으로 백업하는 단계 및 신규 펌웨어를 이용하여 펌웨어를 업그레йд하는 단계를 포함할 수 있다.

발명의 효과

[0007] 본 발명의 실시 예에 따른 메모리 시스템은, 펌웨어의 업그레йд 전에 비휘발성 메모리 장치의 수명 정보를 백업시킴으로써, 검증 과정에서 정확한 수명 정보를 획득할 수 있다.

도면의 간단한 설명

- [0008] 도 1은 본 발명의 실시 예에 따른 메모리 시스템을 예시적으로 설명하기 위한 블록도이다.
- 도 2는 펌웨어의 업그레йд 시에, 비휘발성 메모리 장치의 수명 정보가 리셋되는 과정을 설명하기 위한 도면이다.
- 도 3 내지 도 7은 본 발명의 실시 예에 따른 메모리 시스템의 동작 방법을 설명하기 위한 예시적인 순서도이다.
- 도 8은 본 발명의 실시 예에 따른 SSD를 포함하는 데이터 처리 시스템을 예시적으로 보여주는 도면이다.
- 도 9는 본 발명의 실시 예에 따른 메모리 시스템을 포함하는 데이터 처리 시스템을 예시적으로 보여주는 도면이다.
- 도 10은 본 발명의 실시 예에 따른 메모리 시스템을 포함하는 데이터 처리 시스템을 예시적으로 보여주는 도면이다.
- 도 11은 본 발명의 실시 예에 따른 메모리 시스템을 포함하는 네트워크 시스템을 예시적으로 보여주는 도면이다.
- 도 12는 본 발명의 실시 예에 따른 메모리 시스템에 포함된 비휘발성 메모리 장치를 예시적으로 보여주는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0009] 본 발명의 이점 및 특징, 그리고 그것을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 통해 설명될 것이다. 그러나 본 발명은 여기에서 설명되는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 단지, 본 실시예들은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여 제공되는 것이다.
- [0010] 도면들에 있어서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니며 명확성을 기하기 위하여 과장된 것이다. 본 명세서에서 특정한 용어들이 사용되었으나, 이는 본 발명을 설명하기 위한 목적에서 사용된 것이며, 의미 한정이나 특허 청구 범위에 기재된 본 발명의 권리 범위를 제한하기 위하여 사용된 것은 아니다.
- [0011] 본 명세서에서 '및/또는'이란 표현은 전후에 나열된 구성요소들 중 적어도 하나를 포함하는 의미로 사용된다. 또한, '연결되는/결합되는'이란 표현은 다른 구성요소와 직접적으로 연결되거나 다른 구성요소를 통해서 간접적으로 연결되는 것을 포함하는 의미로 사용된다. 본 명세서에서 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 또한, 명세서에서 사용되는 '포함한다' 또는 '포함하는'으로 언급된 구성요소, 단계, 동작 및 소자는 하나 이상의 다른 구성요소, 단계, 동작 및 소자의 존재 또는 추가를 의미한다.
- [0012] 이하, 도면들을 참조하여 본 발명의 실시예에 대해 상세히 설명하기로 한다.
- [0013] 도 1은 본 발명의 실시예에 따른 메모리 시스템을 예시적으로 설명하기 위한 블록도이다. 이하에서 도 1을 참조하여 본 발명의 실시예에 따른 메모리 시스템(100)의 구성을 설명한다.

- [0014] 메모리 시스템(100)은 휴대폰, MP3 플레이어, 랩탑 컴퓨터, 데스크탑 컴퓨터, 게임기, TV, 차량용 인포테인먼트(in-vehicle infotainment) 시스템 등과 같은 호스트 장치에 의해서 액세스되는 데이터를 저장할 수 있다.
- [0015] 메모리 시스템(100)은 호스트 장치와의 전송 프로토콜을 의미하는 호스트 인터페이스에 따라서 다양한 종류의 저장 장치들 중 어느 하나로 제조될 수 있다. 예를 들면, 메모리 시스템(100)은 SSD, MMC, eMMC, RS-MMC, micro-MMC 형태의 멀티 미디어 카드(multimedia card), SD, mini-SD, micro-SD 형태의 시큐어 디지털(secure digital) 카드, USB(universal storage bus) 저장 장치, UFS(universal flash storage) 장치, PCMCIA(personal computer memory card international association) 카드 형태의 저장 장치, PCI(peripheral component interconnection) 카드 형태의 저장 장치, PCI-E(PCI express) 카드 형태의 저장 장치, CF(compact flash) 카드, 스마트 미디어(smart media) 카드, 메모리 스틱(memory stick) 등과 같은 다양한 종류의 저장 장치들 중 어느 하나로 구성될 수 있다.
- [0016] 메모리 시스템(100)은 다양한 종류의 패키지(package) 형태들 중 어느 하나로 제조될 수 있다. 예를 들면, 메모리 시스템(100)은 POP(package on package), SIP(system in package), SOC(system on chip), MCP(multi chip package), COB(chip on board), WFP(wafer-level fabricated package), WSP(wafer-level stack package) 등과 같은 다양한 종류의 패키지 형태들 중 어느 하나로 제조될 수 있다.
- [0017] 메모리 시스템(100)은 컨트롤러(200)를 포함할 수 있다. 컨트롤러(200)는 인터페이스부(210), 기능부(220), 검증 제어부(230), 업그레이드부(240) 및 메모리 컨트롤 유닛(250)을 포함할 수 있다.
- [0018] 비휘발성 메모리 장치(300)의 제조 후 테스트 단계에서, 비휘발성 메모리 장치(300)가 펌웨어의 테스트 용으로 사용될 수 있다. 예를 들어, 데이터의 쓰기, 읽기 및 소거 동작을 반복해서 테스트함으로써 메모리 시스템(100)의 신뢰성을 위한 검증 동작이 수행된다. 테스트 용 비휘발성 메모리 장치(300)는 복수의 펌웨어가 적용되어 반복적으로 사용될 수 있고, 디바이스에 착탈 가능할 수 있다. 본 명세서에 있어서, 펌웨어의 "업그레이드"라 함은 신규 펌웨어를 이용하여 새로운 펌웨어를 적용하거나, 동일한 펌웨어를 다시 적용하고, 비휘발성 메모리 장치(300)에 저장된 데이터의 초기화 동작이 함께 수행되는 것으로 예시한다.
- [0019] 실시 예에 따라, 컨트롤러(200)는 인터페이스부(210)를 포함할 수 있다. 인터페이스부(210)는 펌웨어의 업그레이드 시에 적용될 신규 펌웨어를 수신할 수 있다. 이 때, 신규 펌웨어는 테스트용 장치 또는 호스트 장치로부터 전송될 수 있다.
- [0020] 실시 예에 따라, 컨트롤러(200)는 기능부(220)를 포함할 수 있다. 기능부(220)는 기설정된 기능을 수행할 수 있다. 예시적으로, 기능부(220)는 펌웨어를 저장할 수 있고, 저장된 펌웨어를 이용하여 기설정된 동작을 수행한다. 여기서 기설정된 동작은 데이터의 저장, 데이터의 처리, 데이터의 출력 등일 수 있다. 한편, 기능부(220)는 펌웨어를 가진다면 메모리 시스템(100) 내의 어떠한 구성일 수도 있고, 메모리 시스템(100)에는 복수의 기능부(220)가 구비될 수도 있다.
- [0021] 실시 예에 따라, 컨트롤러(200)는 검증 제어부(230)를 포함할 수 있다. 인터페이스부(210)가 수신한 신규 펌웨어를 이용하여, 검증 제어부(230)는 기능부(220)에 저장된 펌웨어의 업그레이드 동작 수행을 제어할 수 있다. 또한, 데이터의 쓰기, 읽기, 소거 동작 등 비휘발성 메모리 장치(300)의 테스트 단계에서의 검증 동작을 제어할 수 있다.
- [0022] 실시 예에 따라, 컨트롤러(200)는 업그레이드부(240)를 포함할 수 있다. 업그레이드부(240)는 기능부(220)의 펌웨어를 업그레이드할 수 있다. 업그레이드부(240)는 인터페이스부(210)가 신규 펌웨어를 수신하면, 검증 제어부(230)의 제어에 기초하여 신규 펌웨어를 이용한 펌웨어 업그레이드 동작을 수행할 수 있다.
- [0023] 메모리 컨트롤 유닛(250)은 컨트롤 유닛(미도시)의 제어에 따라 비휘발성 메모리 장치(300)를 제어할 수 있다. 메모리 컨트롤 유닛(250)은 메모리 인터페이스 유닛으로도 불릴 수 있다. 메모리 컨트롤 유닛(250)은 제어 신호들을 비휘발성 메모리 장치(300)로 제공할 수 있다. 제어 신호들은 비휘발성 메모리 장치(300)를 제어하기 위한 커맨드, 어드레스, 제어 신호 등을 포함할 수 있다. 메모리 컨트롤 유닛(250)은 데이터를 비휘발성 메모리 장치(300)로 제공하거나, 비휘발성 메모리 장치(300)로부터 데이터를 제공 받을 수 있다. 비휘발성 메모리 장치(300)의 테스트 단계에서, 검증 제어부(230)에 의한 검증 동작은 메모리 컨트롤 유닛(250)을 통하여 비휘발성 메모리 장치(300)로 전달됨으로써 수행될 수 있다.
- [0024] 컨트롤 유닛(미도시)은 마이크로 컨트롤 유닛(micro control unit)(MCU), 중앙 처리 장치(central processing unit)(CPU)로 구성될 수 있다. 컨트롤 유닛은 호스트 장치로부터 전송된 리퀘스트를 처리할 수 있다. 컨트롤 유

닛은, 리퀘스트를 처리하기 위해서, 랜덤 액세스 메모리에 로딩된 코드 형태의 명령(instruction) 또는 알고리즘, 즉, 펌웨어(FW)를 구동하고, 내부의 기능 블록들 및 비휘발성 메모리 장치(300)를 제어할 수 있다.

- [0025] 컨트롤 유닛은 비휘발성 메모리 장치(300)의 메모리 셀 어레이(미도시)에 데이터를 저장하거나, 저장된 데이터를 갱신하도록 제어할 수 있다. 또한 컨트롤 유닛은 비휘발성 메모리 장치(300) 내의 메모리 셀들에 대한 갱신 횟수를 카운트 하고, 누적 갱신 횟수가 임계 값을 초과하면, 메모리 블록 변경 동작을 수행할 수 있다. 컨트롤 유닛은 비휘발성 메모리 장치(300) 내의 메모리 셀들에 대한 갱신 횟수를 카운트하기 위한 카운터 회로를 포함할 수 있다. 메모리 블록 변경 동작은 블록 단위 또는 페이지 단위로 수행될 수 있다. 메모리 셀들에 대한 갱신 횟수는 프로그램/사이클 횟수를 의미할 수 있고, 컨트롤 유닛은 갱신 횟수에 대한 정보가 비휘발성 메모리 장치(300) 내의 시스템 영역(312)에 저장되도록 제어할 수 있다.
- [0026] 랜덤 액세스 메모리(미도시)는 동적 랜덤 액세스 메모리(DRAM) 또는 정적 랜덤 액세스 메모리(SRAM)와 같은 랜덤 액세스 메모리로 구성될 수 있다. 랜덤 액세스 메모리는 컨트롤 유닛에 의해서 구동되는 펌웨어(FW)를 저장할 수 있다. 또한, 랜덤 액세스 메모리는 펌웨어(FW)의 구동에 필요한 데이터, 예를 들면, 메타 데이터를 저장할 수 있다. 즉, 랜덤 액세스 메모리는 컨트롤 유닛의 동작 메모리(working memory)로서 동작할 수 있다.
- [0027] 호스트 인터페이스 유닛(미도시)은 호스트 장치와 메모리 시스템(100)을 인터페이싱할 수 있다. 예시적으로, 호스트 인터페이스 유닛은 시큐어 디지털(secure digital), USB(universal serial bus), MMC(multi-media card), eMMC(embedded MMC), PCMCIA(personal computer memory card international association), PATA(parallel advanced technology attachment), SATA(serial advanced technology attachment), SCSI(small computer system interface), SAS(serial attached SCSI), PCI(peripheral component interconnection), PCI-E(PCI Express), UFS(universal flash storage)와 같은 표준 전송 프로토콜들 중 어느 하나, 즉, 호스트 인터페이스를 이용해서 호스트 장치와 통신할 수 있다.
- [0028] 비휘발성 메모리 장치(300)는 낸드(NAND) 플래시 메모리 장치, 노어(NOR) 플래시 메모리 장치, 강유전체 커패시터를 이용한 강유전체 램(ferroelectric random access memory: FRAM), 터널링 자기저항성(tunneling magneto-resistive: TMR) 막을 이용한 마그네틱 램(magnetic random access memory: MRAM), 칼코겐 화합물(chalcogenide alloys)을 이용한 상 변화 램(phase change random access memory: PCRAM), 전이금속 산화물(transition metal oxide)을 이용한 저항성 램(resistive random access memory: RERAM) 등과 같은 다양한 형태의 비휘발성 메모리 장치들 중 어느 하나로 구성될 수 있다.
- [0029] 비휘발성 메모리 장치(300)는 메모리 셀 어레이를 포함할 수 있다. 메모리 셀 어레이에 포함된 메모리 셀들은 동작의 관점에서 또는 물리적(또는 구조적) 관점에서 계층적인 메모리 셀 집합 또는 메모리 셀 단위로 구성될 수 있다. 예를 들면, 동일한 워드 라인에 연결되며, 동시에 읽혀지고 쓰여지는(또는 프로그램되는) 메모리 셀들은 페이지로 구성될 수 있다. 이하에서, 설명의 편의를 위해서, 페이지로 구성되는 메모리 셀들을 "페이지"라고 칭할 것이다. 또한, 동시에 삭제되는 메모리 셀들은 메모리 블록으로 구성될 수 있다. 메모리 셀 어레이는 복수의 메모리 블록들을 포함하고, 메모리 블록들 각각은 복수의 페이지들을 포함할 수 있다.
- [0030] 메모리 셀 어레이는 복수의 메모리 블록들을 포함할 수 있고, 복수의 메모리 블록들은 그 용도에 따라 사용자 영역(311), 시스템 영역(312), OTP(one time programmable) 영역(313) 등으로 구분하여 사용될 수 있다.
- [0031] 실시 예에 따라, 사용자 영역(311)은 복수의 블록들(Blk1 ~ Blk(n))을 포함할 수 있고, 사용자 영역(311)의 복수의 블록들(Blk1 ~ Blk(n))에는 호스트 장치로부터 수신한 라이트 리퀘스트에 기초하여 데이터가 저장될 수 있다. 또한, 비휘발성 메모리 장치(300)의 테스트 단계에서 호스트 장치 또는 테스트 장치의 요청에 의한 데이터가 라이트, 리드 또는 소거될 수 있다.
- [0032] 실시 예에 따라, 시스템 영역(312)은 복수의 블록들(미도시)을 포함할 수 있고, 시스템 영역(312)은 비휘발성 메모리 장치(300)의 수명 정보, 예를 들면 프로그램/소거 사이클 정보는 메모리 셀 어레이의 시스템 영역(312)에 저장할 수 있다. 컨트롤러(200)는 비휘발성 메모리 장치(300)의 시스템 영역(312)에 시스템 정보들을 저장하거나, 저장된 시스템 정보를 갱신할 수 있다. 컨트롤러(200)는 시스템 정보의 갱신 횟수를 기초로 시스템 정보가 저장될 메모리 블록을 변경할 수 있다. 또는 컨트롤러(200)는 시스템 정보를 저장하고 있는 메모리 블록(이하, 시스템 블록이라 한다.) 내에서 시스템 정보의 저장 위치를 변경하는 시스템 블록 변경 동작을 수행하도록 비휘발성 메모리 장치(300)를 제어할 수 있다.
- [0033] 컨트롤러(200)는 시스템 블록 내의 메모리 셀들에 대한 갱신 횟수를 카운트 하고, 누적 갱신 횟수가 임계 값을 초과하면, 시스템 블록 변경 동작을 수행할 수 있다. 컨트롤러(200)는 시스템 블록 내의 메모리 셀들에 대한 갱

신 횟수를 카운트하기 위한 카운터 회로(미도시)를 포함할 수 있다. 시스템 블록 변경 동작은 블록 단위 또는 페이지 단위로 수행될 수 있다.

- [0034] 실시 예에 따라, OTP 영역(313)은 복수의 블록들(미도시)을 포함할 수 있고, OTP 영역(313)은 한 번 프로그램 하면 추가 기록을 할 수 없는 영역을 의미할 수 있다. OTP 영역(313)은 OTP 명령을 이용하여 메모리를 설정하는 방식으로 기록될 수 있다. OTP 영역(313)의 크기와 위치는 본 발명에서 한정되는 것이 아니다. 실시 예에 따라, 비휘발성 메모리 장치(300)의 초기 배드 블록 정보는 OTP 영역(313)에 저장되어 있을 수 있다.
- [0035] NAND 플래시 메모리는 NOR 플래시 메모리와 달리 메모리 내부에 배드 블록을 가질 수 있다는 단점이 존재한다. 여기서 배드 블록이라는 것은 메모리를 구성하고 있는 블록들 중 수명을 다하여 기록을 하지 못하는 블록을 의미하며, 메모리 시스템(100)에서 이 블록에 데이터를 저장할 경우 그 데이터는 손상될 가능성이 높기 때문에 배드 블록을 피하여 데이터를 저장할 필요가 있다.
- [0036] 배드 블록은 런타임 배드 블록(Run Time Bad Block, RTBB)과 초기 배드 블록(Initial Bad Block, IBB)으로 구분될 수 있다. 초기 배드 블록이란 비휘발성 메모리 장치(300)가 처음 생산될 당시 발생하는 배드 블록을 말하며, 런타임 배드 블록이란 비휘발성 메모리 장치(300)를 사용하는 도중에 발생하는 배드 블록을 말한다. 배드 블록으로 인한 데이터의 손상을 막기 위해 컨트롤러(200)는 별도의 배드 블록 검출 방법을 사용한다. 예시적으로, 비휘발성 메모리 장치(300)의 메인 영역을 구성하고 있는 메모리 각 블록에 쓰기 동작이 수행될 때 그 블록 별 데이터에서 발생시킨 각각의 ECC(Error Correction Code)값을 비휘발성 메모리 장치(300)의 스페어 영역에 기록한다. 그리고 비휘발성 메모리 장치(300)의 메인 영역의 어떤 블록에 읽기 동작이 수행될 때 그 블록의 데이터에서 새로운 ECC값을 발생시킨다. 그리고 스페어 영역에 저장되어 있던 그 블록의 ECC값과 새로운 ECC값을 비교한다. 그리고 그 새로운 ECC값과 스페어 영역에 저장되어 있던 ECC값을 비교하여 그 데이터에 오류가 발생하였는지 아닌지를 확인하는 것이다. 그리고 ECC값의 비교 결과 오류가 발생하였다면, 그 데이터가 저장되어 있던 메모리 블록을 배드 블록으로 인식하고 그렇지 않다면 정상적인 블록으로 인식한다.
- [0037] 도 2는 펌웨어의 업그레이드 시에, 비휘발성 메모리 장치의 수명 정보가 리셋되는 과정을 설명하기 위한 도면이다. 예시적으로, 펌웨어의 업그레이드가 수행될 때, 블록 오프셋 0, 1, 2, n을 가지는 블록들, 즉 블록(Blk0), 블록(Blk1), 블록(Blk2) 및 블록(Blk(n))의 프로그램/소거 사이클은 각각 100, 20, 140 및 80이라고 가정한다.
- [0038] 도 1 및 도 2를 참조하면, 기능부(220)에 저장되는 펌웨어가 신규 펌웨어로 업그레이드되거나 재설치되는 경우, 비휘발성 메모리 장치(300)의 사용자 영역(311) 및 시스템 영역(312)에 포함되는 블록들에 저장된 데이터는 초기화될 수 있다. 예시적으로 프로그램/소거 사이클 정보가 초기화되는 것으로 도시하였으나, 프로그램/소거 사이클 정보를 포함하는 수명 정보, 유저 데이터 등 사용자 영역(311) 및 시스템 영역(312)에 저장된 데이터는 초기화될 수 있다.
- [0039] 도시된 바와 같이 블록(Blk0), 블록(Blk1), 블록(Blk2), 블록(Blk(n))의 프로그램/소거 사이클은 실제로는 다른 값을 가짐에도 모두 0으로 초기화될 수 있고, 이후 프로그램 또는 소거되는 횟수가 카운팅될 것이다. 예시적으로, 수명 정보는 프로그램/소거 사이클 횟수에 대한 정보로 도시하였으나, 이에 한정되지는 않고 실시 예에 따라 리드 카운트 등 시스템의 수명과 관련된 모든 정보가 적용될 수 있을 것이다.
- [0040] 펌웨어의 업그레이드 또는 펌웨어의 재설치 등으로 인하여 비휘발성 메모리 장치(300)의 시스템 영역(312)에 저장된 수명 정보가 초기화 되는 경우, 이후 비휘발성 메모리 장치(300)에서 발생하는 에러의 원인을 파악하기 어려운 문제점이 존재한다. 예를 들어, 펌웨어의 업그레이드 이후에 비휘발성 메모리 장치(300)의 특정 블록에서 에러가 발생하면, 발생한 에러가 특정 블록의 프로그램/소거 사이클 누적에 의한 노화를 원인으로 발생한 것인지 또는 비휘발성 메모리 장치(300)의 다른 결함에 의한 것인지 판단하기 어렵다. 또한, 테스트 과정에서 테스트용 비휘발성 메모리 장치(300)의 수명 정도를 판단할 수 없기 때문에, 펌웨어 검증의 신뢰성이 낮아질 수 있는 문제점이 존재한다.
- [0041] 도 3 내지 도 7은 본 발명의 실시 예에 따른 메모리 시스템의 동작 방법을 설명하기 위한 예시적인 순서도이다.
- [0042] 도 1 및 도 3을 참조하면, 본 발명의 실시 예에 따른 메모리 시스템(100)은, 복수의 메모리 블록들의 수명 정보가 저장되는 시스템 영역(312)과, 펌웨어의 업그레이드 시에 리셋되지 않는 OTP 영역(313)을 포함하는 비휘발성 메모리 장치(300), 펌웨어를 저장하는 기능부(220), 업그레이드할 신규 펌웨어를 수신하는 인터페이스부(210), 비휘발성 메모리 장치(300)의 검증 동작을 수행하는 검증 제어부(230) 및 비휘발성 메모리 장치(300)의 검증 동작을 수행할 때, 펌웨어를 업그레이드하는 업그레이드부(240)를 포함할 수 있고, 검증 제어부(230)는 OTP 영역(313)을 참조하여 백업 블록을 선택하고, 백업 블록에 수명 정보를 백업한 후, 펌웨어를 업그레이드하도록 제어

할 수 있다.

- [0043] 또한, 본 발명의 실시 예에 따른 메모리 시스템(100)의 동작 방법은, 컨트롤러(200)가 비휘발성 메모리 장치(300)의 수명 정보가 저장될 백업 블록을 선택하는 단계(S200), 비휘발성 메모리 장치(300)의 시스템 영역(312)에 저장된 수명 정보를 백업 블록으로 백업하는 단계(S300) 및 신규 펌웨어를 이용하여 펌웨어를 업그레이드하는 단계(S400)를 포함할 수 있다. 구체적으로, 검증 제어부(230)에 의하여 백업 블록이 선택되고, 수명 정보가 백업 블록으로 백업되며, 검증 제어부(230)의 제어에 의하여 업그레이드부(240)에서 신규 펌웨어를 이용하여 펌웨어의 업그레이드 동작을 수행할 수 있다.
- [0044] 본 발명의 실시 예에 따른 백업 블록은, 펌웨어의 업그레이드 시에 리셋되지 않는 블록일 수 있다. 메모리 블록들의 수명 정보가 백업 블록에 저장된 후 펌웨어의 업그레이드가 수행되는 경우, 수명 정보는 초기화되지 않고 보존될 수 있다. 따라서, 펌웨어의 업그레이드 이후 비휘발성 메모리 장치(300)의 메모리 블록에서 에러가 발생하는 경우, 누적 사용으로 인한 노화 또는 다른 원인에 의한 에러인지 여부를 용이하게 판단할 수 있다.
- [0045] 도 1, 도 3 및 도 4를 참조하면, 실시 예에 따라, 컨트롤러(200)가 비휘발성 메모리 장치(300)의 수명 정보가 저장될 백업 블록을 선택하는 단계(S200)는, 펌웨어의 업그레이드 시에 리셋되지 않는 OTP 영역(313)을 참조하여 상기 백업 블록을 선택하는 단계(S210)를 포함할 수 있다.
- [0046] 실시 예에 따라, 컨트롤러(200)가 비휘발성 메모리 장치(300)의 수명 정보가 저장될 백업 블록을 결정하는 단계(S200)는, OTP 영역(313)에 저장된 초기 배드 블록(Initial Bad Block, IBB) 정보를 서치하는 단계(미도시) 및 초기 배드 블록 정보에 기초하여 백업 블록을 결정하는 단계(미도시)를 포함할 수 있다. 실시 예에 따라, 초기 배드 블록 정보가 OTP 영역(313)에 저장될 수 있고, 초기 배드 블록들 중 적어도 하나가 백업 블록으로 선택될 수 있다. 즉, 검증 제어부(230)의 제어에 의하여 수명 정보가 초기 배드 블록들 중 적어도 하나에 저장될 수 있다. 이 때, 초기 배드 블록 정보는 어떠한 메모리 블록이 초기 배드 블록인지가 표시되는 정보일 수 있다. 실시 예에 따라, OTP 영역(313)에 저장된 초기 배드 블록 정보가 복수의 초기 배드 블록들을 포함한다면, 백업 블록으로 선택되는 초기 배드 블록의 순서를 미리 설정할 수 있고, 그 순서에 기초하여 백업 블록으로 선택되도록 검증 제어부(230)가 제어할 수 있다. 이 때, 백업 블록으로 선택되는 초기 배드 블록은 복수 개일 수 있다. 즉, 2개 이상의 초기 배드 블록들이 백업 블록들로 선택되고, 동일한 수명 정보가 복수의 백업 블록들 각각에 저장될 수 있다. 복수의 백업 블록들 각각에 수명 정보가 저장됨으로써 수명 정보의 손실을 방지할 수 있고, 이로 인하여 비휘발성 메모리 장치(300)에서 발생하는 에러 원인을 용이하게 판단할 수 있게 되어, 결과적으로 메모리 시스템(100)의 신뢰성이 향상될 수 있다.
- [0047] 도 1, 도 3 및 도 5를 참조하면, 실시 예에 따라, 컨트롤러(200)가 비휘발성 메모리 장치(300)의 수명 정보가 저장될 백업 블록을 선택하는 단계(S200)는, OTP 영역(313)에 저장된 초기 배드 블록 정보 및 초기 배드 블록들의 우선 순위 정보를 서치하는 단계(S211) 및 초기 배드 블록 정보와 우선 순위 정보에 기초하여 백업 블록을 선택하는 단계(S212)를 포함할 수 있다. 즉, 비휘발성 메모리 장치(300)의 OTP 영역(313)에는 초기 배드 블록들의 우선 순위 정보가 저장되어 있을 수 있다. 우선 순위 정보는, 펌웨어의 업그레이드 전에 백업 블록으로 선택되는 초기 배드 블록의 우선 순위에 대한 정보일 수 있다. 이에 따라, 펌웨어의 업그레이드 동작 수행 전에 OTP 영역(313)에 저장된 초기 배드 블록 정보 및 우선 순위 정보를 서치하고, 이에 기초하여 백업 블록을 선택할 수 있다. 실시 예에 따라, 우선 순위 정보에는 백업 블록으로 선택되는 횟수가 포함될 수 있다. 즉, 동일한 초기 배드 블록이 기설정된 횟수만큼 백업 블록으로 선택되었다면, 그 후 선택되는 백업 블록은 다른 초기 배드 블록일 수 있다.
- [0048] 도 1, 도 3 및 도 6을 참조하면, 본 발명의 실시 예에 따른 메모리 시스템(100)의 동작 방법은, 컨트롤러(200)가 신규 펌웨어를 수신하는 단계(S100)를 더 포함할 수 있다. 구체적으로, 인터페이스부(210)를 통하여 신규 펌웨어를 수신할 수 있고, 이에 기초하여 업그레이드부(240)가 펌웨어의 업그레이드 동작을 수행할 수 있다.
- [0049] 도 1, 도 3 및 도 7을 참조하면, 본 발명의 실시 예에 따른 메모리 시스템(100)의 동작 방법은, 펌웨어가 업그레이드된 뒤, 수명 정보를 시스템 영역(312)으로 다시 백업하는 단계(S500)를 더 포함할 수 있다. 즉, 펌웨어의 업그레이드가 수행된 후 수명 정보가 저장된 백업 블록에 이후 변경되는 수명 정보가 저장되지 않고, 시스템 영역(312)의 메모리 블록에 기존 수명 정보를 백업한 후 시스템 영역(312)에 변경되는 수명 정보가 저장될 수 있다. 이 때, 펌웨어의 업그레이드 이전에 수명 정보가 저장되었던 메모리 블록으로 수명 정보가 백업된 후, 변경된 백업 정보가 이어서 저장될 수 있다. 다른 실시 예에 따라, 펌웨어의 업그레이드 이전에 수명 정보가 저장되었던 메모리 블록 이외의 메모리 블록으로 수명 정보가 백업될 수 있고, 이후 변경되는 수명 정보가 새로운 메모리 블록에 저장될 수 있다.

- [0050] 실시 예에 따라, 초기 배드 블록이 백업 블록으로 선택되는 경우, 수명 정보가 불안정하게 유지될 가능성이 높다. 이에 따라, 펌웨어의 업그레이드 이후에 백업 블록에 저장된 수명 정보를 시스템 영역(312)으로 다시 백업하고, 이후 변경되는 수명 정보를 시스템 영역(312)에 저장함으로써 시스템의 신뢰성을 향상시킬 수 있다.
- [0051] 실시 예에 따라, 수명 정보가 유효한 정보임을 표시하는 헤더 정보가 수명 정보와 함께 백업 블록에 저장될 수 있다. 또한, 펌웨어가 업그레이드된 횟수가 수명 정보와 함께 백업 블록에 저장될 수 있다.
- [0052] 도 8은 본 발명의 실시 예에 따른 SSD를 포함하는 데이터 처리 시스템을 예시적으로 보여주는 도면이다. 도 8을 참조하면, 데이터 처리 시스템(1000)은 호스트 장치(1100)와 SSD(1200)를 포함할 수 있다.
- [0053] SSD(1200)는 컨트롤러(1210), 버퍼 메모리 장치(1220), 비휘발성 메모리 장치들(1231~123n), 전원 공급기(1240), 신호 커넥터(1250) 및 전원 커넥터(1260)를 포함할 수 있다.
- [0054] 컨트롤러(1210)는 SSD(1200)의 제반 동작을 제어할 수 있다. 컨트롤러(1210)는 호스트 인터페이스 유닛(1211), 컨트롤 유닛(1212), 랜덤 액세스 메모리(1213), 에러 정정 코드(ECC) 유닛(1214) 및 메모리 인터페이스 유닛(1215)을 포함할 수 있다.
- [0055] 호스트 인터페이스 유닛(1211)은 신호 커넥터(1250)를 통해서 호스트 장치(1100)와 신호(SGL)를 주고 받을 수 있다. 여기에서, 신호(SGL)는 커맨드, 어드레스, 데이터 등을 포함할 수 있다. 호스트 인터페이스 유닛(1211)은, 호스트 장치(1100)의 프로토콜에 따라서, 호스트 장치(1100)와 SSD(1200)를 인터페이싱할 수 있다. 예를 들면, 호스트 인터페이스 유닛(1211)은, 시큐어 디지털(secure digital), USB(universal serial bus), MMC(multi-media card), eMMC(embedded MMC), PCMCIA(personal computer memory card international association), PATA(parallel advanced technology attachment), SATA(serial advanced technology attachment), SCSI(small computer system interface), SAS(serial attached SCSI), PCI(peripheral component interconnection), PCI-E(PCI Express), UFS(universal flash storage)와 같은 표준 인터페이스 프로토콜들 중 어느 하나를 통해서 호스트 장치(1100)와 통신할 수 있다.
- [0056] 컨트롤 유닛(1212)은 호스트 장치(1100)로부터 입력된 신호(SGL)를 분석하고 처리할 수 있다. 컨트롤 유닛(1212)은 SSD(1200)를 구동하기 위한 펌웨어 또는 소프트웨어에 따라서 내부 기능 블록들의 동작을 제어할 수 있다. 랜덤 액세스 메모리(1213)는 이러한 펌웨어 또는 소프트웨어를 구동하기 위한 동작 메모리로서 사용될 수 있다.
- [0057] 에러 정정 코드(ECC) 유닛(1214)은 비휘발성 메모리 장치들(1231~123n)로 전송될 데이터의 패리티 데이터를 생성할 수 있다. 생성된 패리티 데이터는 데이터와 함께 비휘발성 메모리 장치들(1231~123n)에 저장될 수 있다. 에러 정정 코드(ECC) 유닛(1214)은 패리티 데이터에 근거하여 비휘발성 메모리 장치들(1231~123n)로부터 독출된 데이터의 에러를 검출할 수 있다. 만약, 검출된 에러가 정정 범위 내이면, 에러 정정 코드(ECC) 유닛(1214)은 검출된 에러를 정정할 수 있다.
- [0058] 메모리 인터페이스 유닛(1215)은, 컨트롤 유닛(1212)의 제어에 따라서, 비휘발성 메모리 장치들(1231~123n)에 커맨드 및 어드레스와 같은 제어 신호를 제공할 수 있다. 그리고 메모리 인터페이스 유닛(1215)은, 컨트롤 유닛(1212)의 제어에 따라서, 비휘발성 메모리 장치들(1231~123n)과 데이터를 주고받을 수 있다. 예를 들면, 메모리 인터페이스 유닛(1215)은 버퍼 메모리 장치(1220)에 저장된 데이터를 비휘발성 메모리 장치들(1231~123n)로 제공하거나, 비휘발성 메모리 장치들(1231~123n)로부터 읽혀진 데이터를 버퍼 메모리 장치(1220)로 제공할 수 있다.
- [0059] 버퍼 메모리 장치(1220)는 비휘발성 메모리 장치들(1231~123n)에 저장될 데이터를 임시 저장할 수 있다. 또한, 버퍼 메모리 장치(1220)는 비휘발성 메모리 장치들(1231~123n)로부터 읽혀진 데이터를 임시 저장할 수 있다. 버퍼 메모리 장치(1220)에 임시 저장된 데이터는 컨트롤러(1210)의 제어에 따라 호스트 장치(1100) 또는 비휘발성 메모리 장치들(1231~123n)로 전송될 수 있다.
- [0060] 비휘발성 메모리 장치들(1231~123n)은 SSD(1200)의 저장 매체로 사용될 수 있다. 비휘발성 메모리 장치들(1231~123n) 각각은 복수의 채널들(CH1~CHn)을 통해 컨트롤러(1210)와 연결될 수 있다. 하나의 채널에는 하나 또는 그 이상의 비휘발성 메모리 장치가 연결될 수 있다. 하나의 채널에 연결되는 비휘발성 메모리 장치들은 동일한 신호 버스 및 데이터 버스에 연결될 수 있다.
- [0061] 전원 공급기(1240)는 전원 커넥터(1260)를 통해 입력된 전원(PWR)을 SSD(1200) 내부에 제공할 수 있다. 전원 공급기(1240)는 보조 전원 공급기(1241)를 포함할 수 있다. 보조 전원 공급기(1241)는 서든 파워 오프(sudden

power off)가 발생되는 경우, SSD(1200)가 정상적으로 종료될 수 있도록 전원을 공급할 수 있다. 보조 전원 공급기(1241)는 대용량 캐패시터들(capacitors)을 포함할 수 있다.

- [0062] 신호 커넥터(1250)는 호스트 장치(1100)와 SSD(1200)의 인터페이스 방식에 따라서 다양한 형태의 커넥터로 구성될 수 있다.
- [0063] 전원 커넥터(1260)는 호스트 장치(1100)의 전원 공급 방식에 따라서 다양한 형태의 커넥터로 구성될 수 있다.
- [0064] 도 9는 본 발명의 실시 예에 따른 메모리 시스템을 포함하는 데이터 처리 시스템을 예시적으로 보여주는 도면이다. 도 9를 참조하면, 데이터 처리 시스템(2000)은 호스트 장치(2100)와 메모리 시스템(2200)을 포함할 수 있다.
- [0065] 호스트 장치(2100)는 인쇄 회로 기판(printed circuit board)과 같은 기판(board) 형태로 구성될 수 있다. 비록 도시되지 않았지만, 호스트 장치(2100)는 호스트 장치의 기능을 수행하기 위한 내부 기능 블록들을 포함할 수 있다.
- [0066] 호스트 장치(2100)는 소켓(socket), 슬롯(slot) 또는 커넥터(connector)와 같은 접속 터미널(2110)을 포함할 수 있다. 메모리 시스템(2200)은 접속 터미널(2110)에 마운트(mount)될 수 있다.
- [0067] 메모리 시스템(2200)은 인쇄 회로 기판과 같은 기판 형태로 구성될 수 있다. 메모리 시스템(2200)은 메모리 모듈 또는 메모리 카드로 불릴 수 있다. 메모리 시스템(2200)은 컨트롤러(2210), 버퍼 메모리 장치(2220), 비휘발성 메모리 장치(2231~2232), PMIC(power management integrated circuit)(2240) 및 접속 터미널(2250)을 포함할 수 있다.
- [0068] 컨트롤러(2210)는 메모리 시스템(2200)의 제반 동작을 제어할 수 있다. 컨트롤러(2210)는 도 8에 도시된 컨트롤러(1210)와 동일하게 구성될 수 있다.
- [0069] 버퍼 메모리 장치(2220)는 비휘발성 메모리 장치들(2231~2232)에 저장될 데이터를 임시 저장할 수 있다. 또한, 버퍼 메모리 장치(2220)는 비휘발성 메모리 장치들(2231~2232)로부터 읽혀진 데이터를 임시 저장할 수 있다. 버퍼 메모리 장치(2220)에 임시 저장된 데이터는 컨트롤러(2210)의 제어에 따라 호스트 장치(2100) 또는 비휘발성 메모리 장치들(2231~2232)로 전송될 수 있다.
- [0070] 비휘발성 메모리 장치들(2231~2232)은 메모리 시스템(2200)의 저장 매체로 사용될 수 있다.
- [0071] PMIC(2240)는 접속 터미널(2250)을 통해 입력된 전원을 메모리 시스템(2200) 내부에 제공할 수 있다. PMIC(2240)는, 컨트롤러(2210)의 제어에 따라서, 메모리 시스템(2200)의 전원을 관리할 수 있다.
- [0072] 접속 터미널(2250)은 호스트 장치의 접속 터미널(2110)에 연결될 수 있다. 접속 터미널(2250)을 통해서, 호스트 장치(2100)와 메모리 시스템(2200) 간에 커맨드, 어드레스, 데이터 등과 같은 신호와, 전원이 전달될 수 있다. 접속 터미널(2250)은 호스트 장치(2100)와 메모리 시스템(2200)의 인터페이스 방식에 따라 다양한 형태로 구성될 수 있다. 접속 터미널(2250)은 메모리 시스템(2200)의 어느 한 변에 배치될 수 있다.
- [0073] 도 10은 본 발명의 실시 예에 따른 메모리 시스템을 포함하는 데이터 처리 시스템을 예시적으로 보여주는 도면이다. 도 10을 참조하면, 데이터 처리 시스템(3000)은 호스트 장치(3100)와 메모리 시스템(3200)을 포함할 수 있다.
- [0074] 호스트 장치(3100)는 인쇄 회로 기판(printed circuit board)과 같은 기판(board) 형태로 구성될 수 있다. 비록 도시되지 않았지만, 호스트 장치(3100)는 호스트 장치의 기능을 수행하기 위한 내부 기능 블록들을 포함할 수 있다.
- [0075] 메모리 시스템(3200)은 표면 실장형 패키지 형태로 구성될 수 있다. 메모리 시스템(3200)은 솔더 볼(solder ball)(3250)을 통해서 호스트 장치(3100)에 마운트될 수 있다. 메모리 시스템(3200)은 컨트롤러(3210), 버퍼 메모리 장치(3220) 및 비휘발성 메모리 장치(3230)를 포함할 수 있다.
- [0076] 컨트롤러(3210)는 메모리 시스템(3200)의 제반 동작을 제어할 수 있다. 컨트롤러(3210)는 도 8에 도시된 컨트롤러(1210)와 동일하게 구성될 수 있다.
- [0077] 버퍼 메모리 장치(3220)는 비휘발성 메모리 장치(3230)에 저장될 데이터를 임시 저장할 수 있다. 또한, 버퍼 메모리 장치(3220)는 비휘발성 메모리 장치들(3230)로부터 읽혀진 데이터를 임시 저장할 수 있다. 버퍼 메모리 장치(3220)에 임시 저장된 데이터는 컨트롤러(3210)의 제어에 따라 호스트 장치(3100) 또는 비휘발성 메모리 장치

(3230)로 전송될 수 있다.

- [0078] 비휘발성 메모리 장치(3230)는 메모리 시스템(3200)의 저장 매체로 사용될 수 있다.
- [0079] 도 11은 본 발명의 실시 예에 따른 메모리 시스템을 포함하는 네트워크 시스템을 예시적으로 보여주는 도면이다. 도 11을 참조하면, 네트워크 시스템(4000)은 네트워크(4500)를 통해서 연결된 서버 시스템(4300) 및 복수의 클라이언트 시스템들(4410~4430)을 포함할 수 있다.
- [0080] 서버 시스템(4300)은 복수의 클라이언트 시스템들(4410~4430)의 요청에 응답하여 데이터를 서비스할 수 있다. 예를 들면, 서버 시스템(4300)은 복수의 클라이언트 시스템들(4410~4430)로부터 제공된 데이터를 저장할 수 있다. 다른 예로서, 서버 시스템(4300)은 복수의 클라이언트 시스템들(4410~4430)로 데이터를 제공할 수 있다.
- [0081] 서버 시스템(4300)은 호스트 장치(4100) 및 메모리 시스템(4200)을 포함할 수 있다. 메모리 시스템(4200)은 도 1의 메모리 시스템(100), 도 8의 SSD(1200), 도 9의 메모리 시스템(2200), 도 10의 메모리 시스템(3200)로 구성될 수 있다.
- [0082] 도 12는 본 발명의 실시 예에 따른 메모리 시스템에 포함된 비휘발성 메모리 장치를 예시적으로 보여주는 블록도이다. 도 12를 참조하면, 비휘발성 메모리 장치는 메모리 셀 어레이(310), 행 디코더(320), 데이터 읽기/쓰기 블록(330), 열 디코더(340), 전압 발생기(350) 및 제어 로직(360)을 포함할 수 있다.
- [0083] 메모리 셀 어레이(310)는 워드 라인들(WL1~WLm)과 비트 라인들(BL1~BLn)이 서로 교차된 영역에 배열된 메모리 셀(MC)들을 포함할 수 있다.
- [0084] 행 디코더(320)는 워드 라인들(WL1~WLm)을 통해서 메모리 셀 어레이(310)와 연결될 수 있다. 행 디코더(320)는 제어 로직(360)의 제어에 따라 동작할 수 있다. 행 디코더(320)는 외부 장치(도시되지 않음)로부터 제공된 어드레스를 디코딩할 수 있다. 행 디코더(320)는 디코딩 결과에 근거하여 워드 라인들(WL1~WLm)을 선택하고, 구동할 수 있다. 예시적으로, 행 디코더(320)는 전압 발생기(350)로부터 제공된 워드 라인 전압을 워드 라인들(WL1~WLm)에 제공할 수 있다.
- [0085] 데이터 읽기/쓰기 블록(330)은 비트 라인들(BL1~BLn)을 통해서 메모리 셀 어레이(310)와 연결될 수 있다. 데이터 읽기/쓰기 블록(330)은 비트 라인들(BL1~BLn) 각각에 대응하는 읽기/쓰기 회로들(RW1~RWn)을 포함할 수 있다. 데이터 읽기/쓰기 블록(330)은 제어 로직(360)의 제어에 따라 동작할 수 있다. 데이터 읽기/쓰기 블록(330)은 동작 모드에 따라서 쓰기 드라이버로서 또는 감지 증폭기로서 동작할 수 있다. 예를 들면, 데이터 읽기/쓰기 블록(330)은 쓰기 동작 시 외부 장치로부터 제공된 데이터를 메모리 셀 어레이(310)에 저장하는 쓰기 드라이버로서 동작할 수 있다. 다른 예로서, 데이터 읽기/쓰기 블록(330)은 읽기 동작 시 메모리 셀 어레이(310)로부터 데이터를 독출하는 감지 증폭기로서 동작할 수 있다.
- [0086] 열 디코더(340)는 제어 로직(360)의 제어에 따라 동작할 수 있다. 열 디코더(340)는 외부 장치로부터 제공된 어드레스를 디코딩할 수 있다. 열 디코더(340)는 디코딩 결과에 근거하여 비트 라인들(BL1~BLn) 각각에 대응하는 데이터 읽기/쓰기 블록(330)의 읽기/쓰기 회로들(RW1~RWn)과 데이터 입출력 라인(또는 데이터 입출력 버퍼)을 연결할 수 있다.
- [0087] 전압 발생기(350)는 비휘발성 메모리 장치의 내부 동작에 사용되는 전압을 생성할 수 있다. 전압 발생기(350)에 의해서 생성된 전압들은 메모리 셀 어레이(310)의 메모리 셀들에 인가될 수 있다. 예를 들면, 프로그램 동작 시 생성된 프로그램 전압은 프로그램 동작이 수행될 메모리 셀들의 워드 라인에 인가될 수 있다. 다른 예로서, 소거 동작 시 생성된 소거 전압은 소거 동작이 수행될 메모리 셀들의 웰-영역에 인가될 수 있다. 다른 예로서, 읽기 동작 시 생성된 읽기 전압은 읽기 동작이 수행될 메모리 셀들의 워드 라인에 인가될 수 있다.
- [0088] 제어 로직(360)은 외부 장치로부터 제공된 제어 신호에 근거하여 비휘발성 메모리 장치의 제반 동작을 제어할 수 있다. 예를 들면, 제어 로직(360)은 비휘발성 메모리 장치의 읽기, 쓰기, 소거 동작을 제어할 수 있다.
- [0089] 본 발명의 일 실시 예에 따른 방법과 관련하여서는 전술한 시스템에 대한 내용이 적용될 수 있다. 따라서, 방법과 관련하여, 전술한 시스템에 대한 내용과 동일한 내용에 대하여는 설명을 생략하였다.
- [0090] 이상에서, 본 발명은 구체적인 실시 예를 통해 설명되고 있으나, 본 발명은 그 범위에서 벗어나지 않는 한도 내에서 여러 가지로 변형할 수 있음은 잘 이해될 것이다. 그러므로, 본 발명의 범위는 상술한 실시 예에 국한되어 정해져서는 안되며, 후술하는 특허청구범위 및 이와 균등한 것들에 의해 정해져야 한다. 본 발명의 범위 또는 기술적 사상을 벗어나지 않고 본 발명의 구조가 다양하게 수정되거나 변경될 수 있음은 잘 이해될 것이다.

부호의 설명

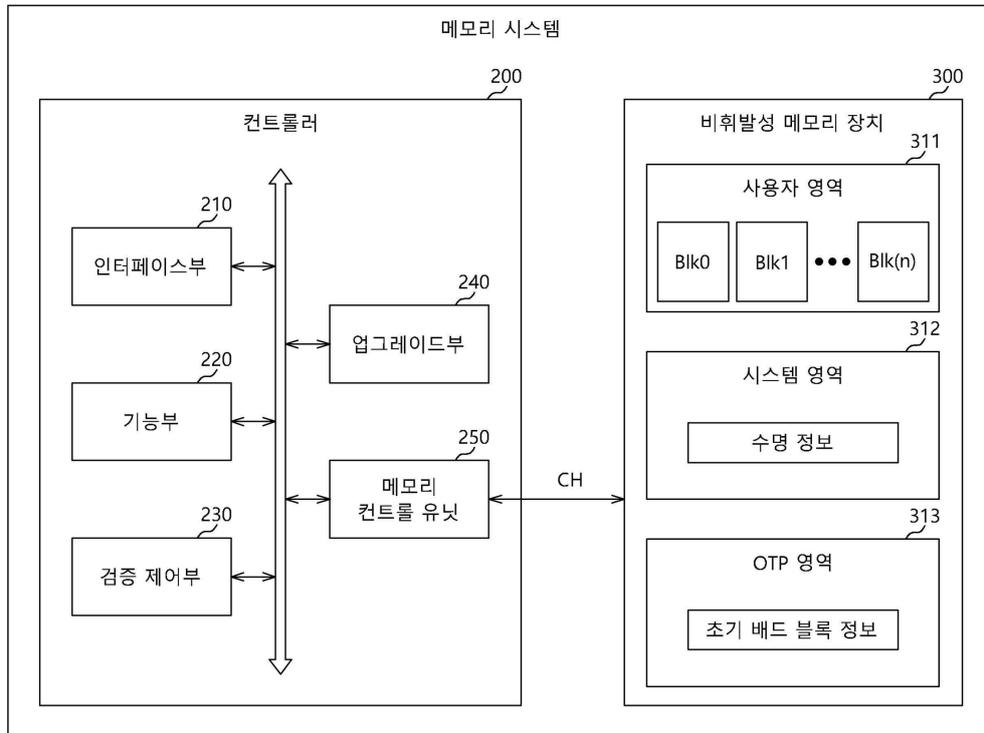
[0091]

- 100 : 메모리 시스템
- 200 : 컨트롤러
- 210 : 인터페이스부
- 220 : 기능부
- 230 : 검증 제어부
- 240 : 업그레이드부
- 250 : 메모리 컨트롤 유닛
- 300 : 비휘발성 메모리 장치
- 311 : 사용자 영역
- 312 : 시스템 영역
- 313 : OTP 영역

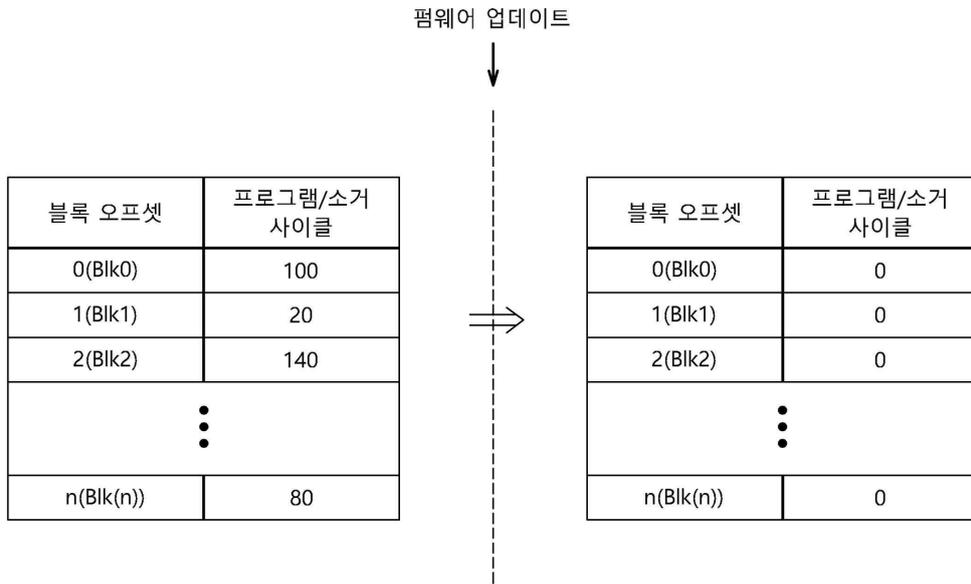
도면

도면1

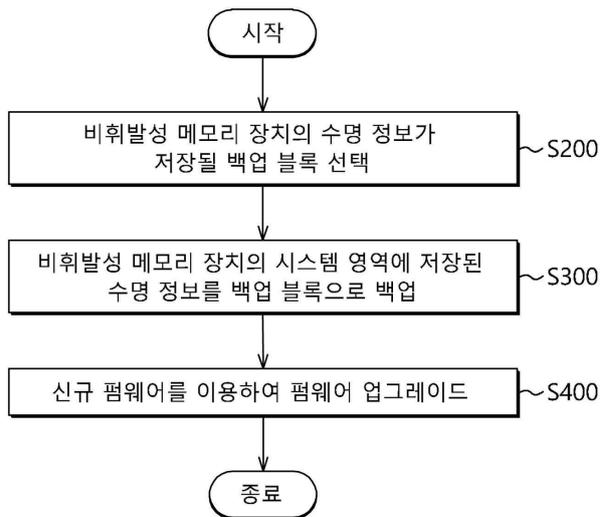
100



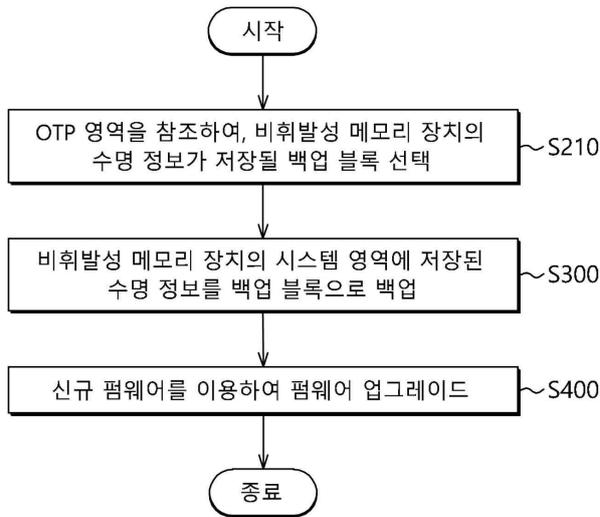
도면2



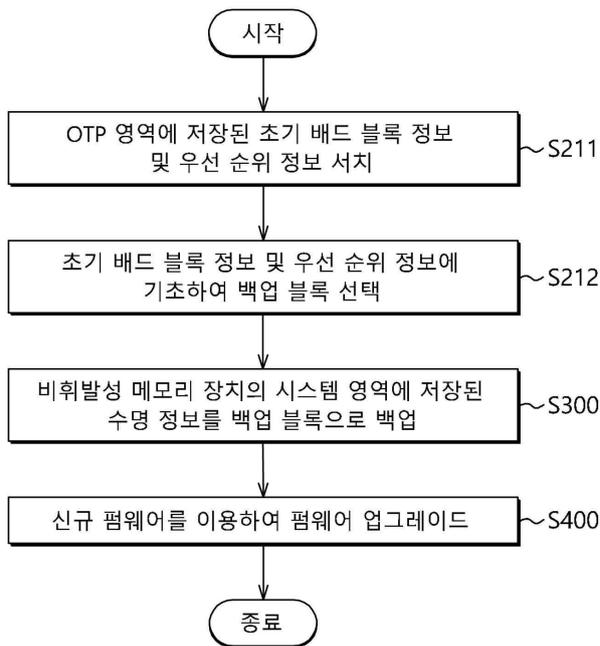
도면3



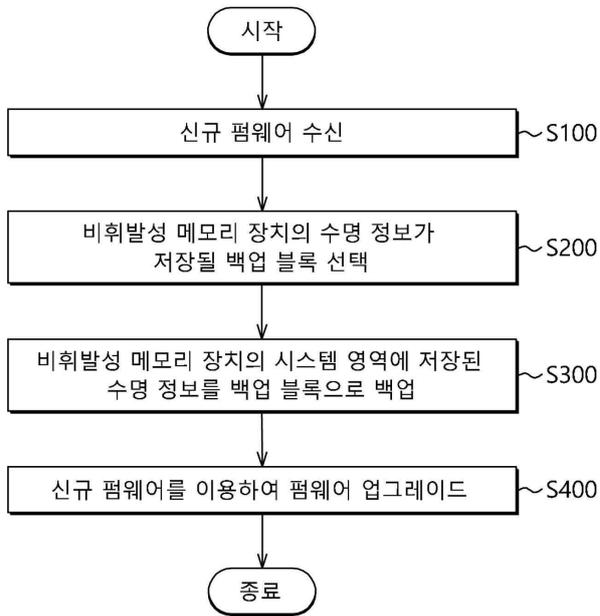
도면4



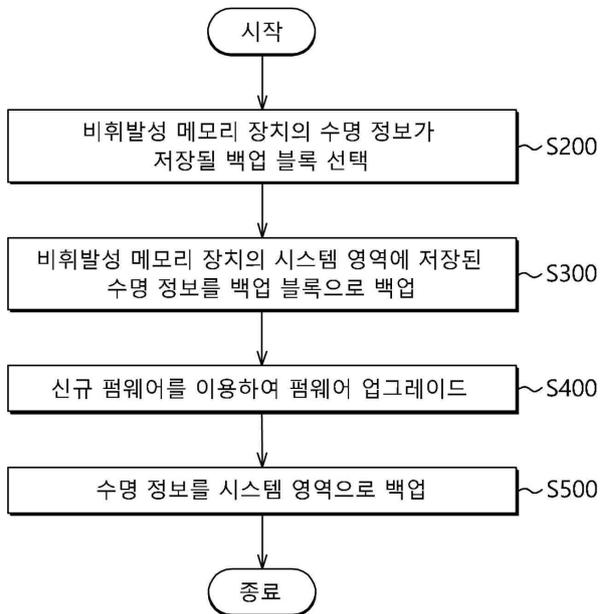
도면5



도면6

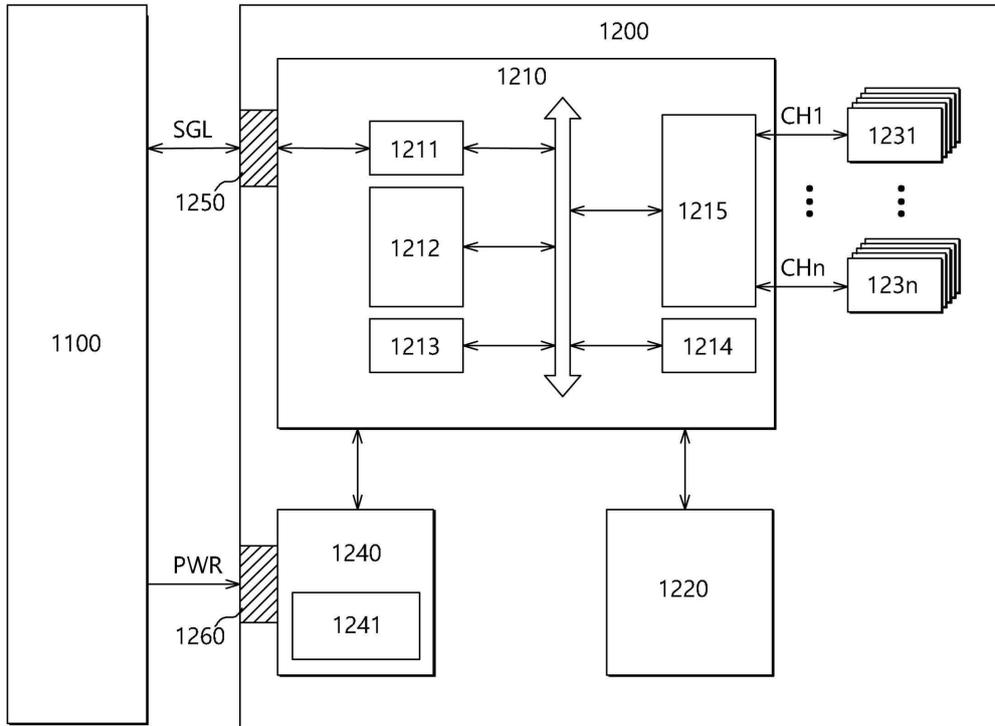


도면7



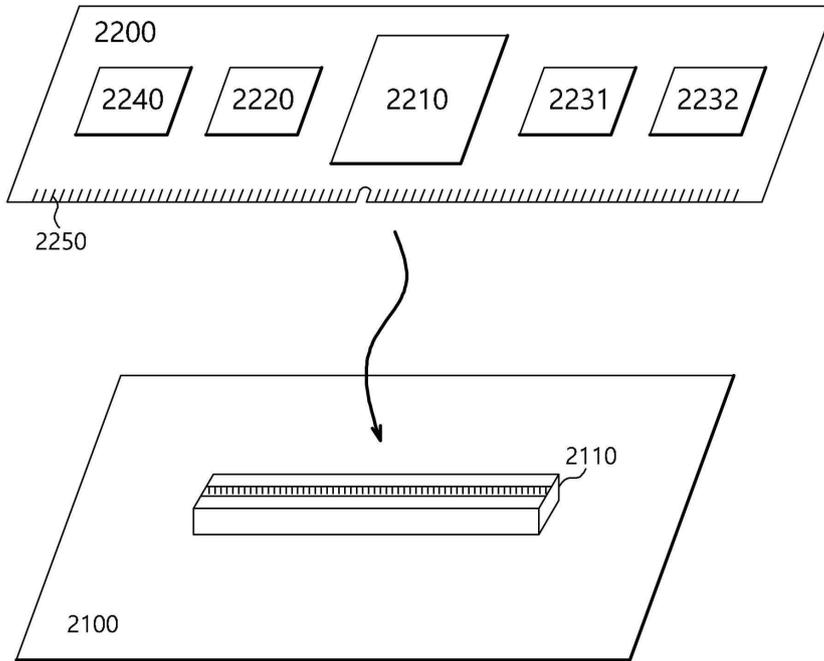
도면8

1000



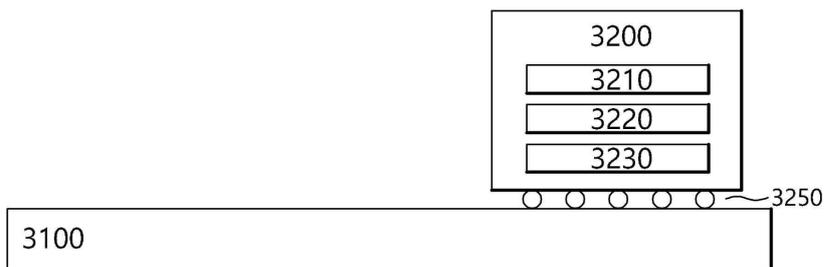
도면9

2000

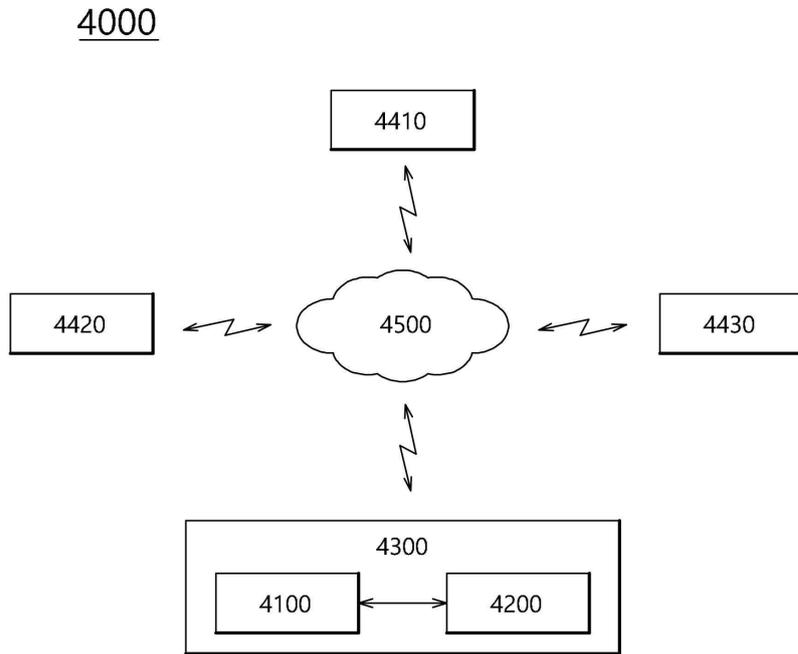


도면10

3000



도면11



도면12

