(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. 7
H02H 9/04

(11) 공개번호 특2001-0079924
(43) 공개일자 2001년08월22일

(21) 출원번호	10-2001-7003832		
(22) 출원일자	2001년03월26일		
번역문 제출일자	2001년03월26일		
(86) 국제출원번호	PCT/DE1999/02731	(87) 국제공개번호	WO 2000/19573
(86) 국제출원출원일자	1999년09월01일	(87) 국제공개일자	2000년04월06일

(81) 지정국 국내특허 : 중국, 일본, 대한민국, 미국,
EP 유럽특허: 오스트리아, 벨기에, 스위스, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투칼, 스웨덴, 핀랜드, 사이프러스,

(30) 우선권주장 19844121.5 1998년09월25일 독일(DE)

(71) 출원인 인피니온 테크놀로지스 아게
추후제출
독일 뮌헨 데-81669 세인트-마틴-스트라제 53

(72) 발명자 칼알렉산더
오스트리아,볼라크A-9500,정니켈스트라제5/1/6
호프만조르그
오스트리아,베른버그A-9241,고리츠챠커스타라제50

(74) 대리인 허상훈

심사청구 : 없음

(54) 집적회로의 보호회로

요약

본 발명은 집적회로의 패드에 연결되는 보호회로에 관한 것이다.

상기 보호회로는 패드상의 전압으로부터 임계전압을 유도하는 임계 검출기를 포함한다.

상기 임계전압은 제1트랜지스터의 게이트 터미널을 조절시키게 되는 바, 따라서 게이트 터미널의 부하 라인은 또 다른 트랜지스터의 게이트 터미널과 상기 패드간에 연결된다.

상기 다른 트랜지스터의 부하라인은 패드와 기준전위간에 서로 병렬로 연결되고, 패드를 기준전위에 연결시키게 되는 바, 이에 상기 패드와 기준전위간의 레지스턴스는 상기 트랜지스터들에 의하여 제어될 수 있다.

대표도

도 1

색인어

집적회로, 보호회로, 패드, 트랜지스터, 레지스터, 부하, 임계전압

명세서

기술분야

본 발명은 청구항 제 1 항의 전문에 따른 집적회로내의 보호회로에 관한 것이다.

배경기술

집적회로를 손상시킬 수 있는 전압로부터 집적회로를 보호하기 위하여, 보호회로가 집적회로의 터미널(이하, 패드라고 함)에 연결되어 있다.

특히, 정전기(ESD: electrostatic discharge)에 의하여 발생된 패드에서의 전압(이하, 정전기(ESD) 전압이라고 함)은 집적회로상의 민감한 구조들을 손상시킬 수 있다.

패드에서의 높은 전압을 제한하기 위하여 자주 사용되고 있는 간단한 보호회로는 입력 전류 제한용 레지스터와, 패드와 공급전압측 사이에서 역-바이어스된 두 개의 다이오드와, 집적회로의 기준-대지 전위를 포함한다.

상기 패드에서의 전압이 공급전압을 초과하게 되면, 상기 패드와 공급전압 사이에 역-바이어스된 다이오드는 전도를 시작하고, 상기 패드의 전압은 공급전압으로 제한된다.

그 결과로, 상기 패드 전압의 조절 범위는 공급전압과 기준-대지전위 사이의 범위로 제한된다.

패드의 전압이 기준-대지전위 이하로 떨어지면, 두번째 다이오드가 전도를 시작한다.

이러한 경우에, 집적회로상의 아날로그 구성요소는 종종 상기 공급전압보다 높은 전압을 요구하게 된다.

그러나, 상기 집적회로의 공급전압보다 높은 패드에서의 전압은 상기 보호회로에 의하여 공급전압으로 제한받게 됨에 따라, 상기 간단한 보호회로는 장애물이 된다.

미국특허 5,400,202에는 사이리스터(SCR="Silicon" Controlled Rectifier)를 포함하는 보호회로가 개시되어 있는 바, 상기 사이리스터(thyristor)가 패드에서 특정 전압 이상으로 트리거링(triggering)하고, 상기 패드와 상기 집적회로의 기준-대지전위 사이에 낮은-임피던스가 발생하면, 그 결과로 패드에서의 정전기 전압이 효과적으로 제한된다.

사이리스터는 높은 전류를 유도하고, 빠르게 턴온(turn on)되는 점에 그 장점이 있다.

미국 특허 5,781,388에는 전압 디바이더(divider)가 설치된 보호회로가 개시되어 있는 바, 상기 전압 디바이더는 캐패시턴스(capacitance)와 레지스터를 포함하고, 패드의 전압이 변화되는 경우에는 사이리스터를 트리거링하는데 사용되는 임계전압을 발생시킨다.

이러한 보호회로들은 사이리스터를 턴온하는데 높은 트리거링 전압을 요구하는 점에 그 단점이 있다.

발명의 상세한 설명

본 발명은 이러한 기술적 문제점을 기반으로 하여, 상기와 같이 언급된 단점을 극복할 수 있는 보호회로를 특정화시키는데 그 목적이 있다.

이러한 목적은 청구항 제1항의 특징을 갖는 보호회로에 의하여 달성된다.

또한, 상기 보호회로의 세부적인 내용이 각각의 종속항에 기술되어 있다.

본 발명은 집적회로의 패드와 연결된 보호회로에 관한 것이다.

상기 보호회로는 임계 검출기 장치를 포함하는 바, 이 임계 검출기 장치는 상기 패드의 전압으로부터 임계전압을 유도시킨다.

상기 임계 전압은 제1터미널에서 패드와 연결된 부하 경로를 갖고, 또한 제2터미널에서 제2트랜지스터의 제어 터미널과 연결된 부하 경로를 갖는 제1트랜지스터를 제어하게 된다.

상기 제2트랜지스터의 경로 부하는 패드와 기준-대지전위 사이에서 서로 병렬로 연결되고, 패드를 기준-대지전위에 연결시킨다.

이는, 보호회로를 턴온시키는데 낮은 임계 전압만이 필요하게 되는 유리한 점이 있고, 이러한 임계전압은 트랜지스터의 턴온 전압의 두 배가 된다.

바람직한 구현예로서, 다수개의 트랜지스터가 제2트랜지스터 대신에 제공되어지는 바,

상기 다수개의 트랜지스터의 제어 터미널은 상기 제1트랜지스터의 경로 부하의 제2터미널에 연결되고, 상기 다수개의 트랜지스터의 부하 경로는 상기 패드와 기준-대지전위 사이에서 서로 병렬로 연결된다.

본 구현예는 패드와 기준-대지전위간에 연결된 전압 디바이더를 갖는 임계 검출기 장치에 관한 것이다. 상기 임계 전압은 전압 디바이더의 노드에서 분기될 수 있다.

상기 전압 디바이더는 전압 디바이더를 통하는 전류를 낮게 유지시킬 수 있도록 집적회로의 단순한 방법으로 실현될 수 있는 높은 값의 레지스터에 의하여 구성될 수 있다.

바람직한 구현예로서, 상기 트랜지스터는 npn트랜지스터를 사용한다.

보다 바람직한 구현예로서, 상기 각각의 레지스터는 패드와 각 트랜지스터의 부하경로 간에 연결되고, 상기 레지스터들은 전류를 제한하는 목적을 수행하게 된다.

다른 구현예로서, 다이오드가 각 레지스터와 상기 패드사이에 연결된다.

상기 다이오드는 패드에서의 전압이 다이오드의 n터미널에서의 전압보다 낮으면 턴오프된다.

또 다른 구현예로서, 하나의 레지스터는 제1트랜지스터의 부하경로의 제2터미널과 기준-대지전위 간에 연결되고, 이 레지스터는 제1트랜지스터의 작동점을 설정하는 기능을 담당하게 된다.

도면의 간단한 설명

이하 도면을 참조로 하여, 본 발명의 특징과 실행할 수 있는 적용예를 모범적인 구현예로서 설명한다.

도 1은 본 발명에 다른 보호회로의 바람직한 구현예를 나타낸다.

실시예

집적회로(1)는 보호회로(3)와 연결되는 패드(2)를 포함한다.

또한, 상기 패드(2)는 예를들어 ESD전압과 같이 패드에서의 과도하게 높은 전압으로부터 보호되도록 한 회로 요소(6)들과 연결된다.

상기 보호회로(3)는 전압 디바이더(R1,R2)를 포함하는 임계 검출기 장치(4)를 갖는다.

상기 장치(4)는 패드(2)와 집적회로의 기준-대지전위(VSS)간에 연결된다.

상기 전압 디바이더는 패드(2)에 존재하는 전압(UPAD)을 전압 디바이더의 노드(5)에 존재하는 임계 전압(US)으로 분할시키게 된다.

$$US=UPAD\cdot\frac{R2}{R1\text{-}R2}$$

따라서, 상기 임계 전압(US)은 전압 디바이더 비율에 의하여 조절 가능하게 되고, 상기 보호회로의 트랜지스터를 스위치(switch)하기 위하여, 제한이 의도대로 이루어지게 하는 전압으로서 npn 바이폴라 트랜지스터의 베이스-이미터 전압이 적어도 두배는 되어야만 한다.

이러한 구현예의 경우, 상기 보호회로가 8V의 전압에서 스위치 온되려면, 베이스-이미터 전압(UBE)이 약 0.7V로 주어진 다음의 식이 전압 디바이더 비율로 사용되어진다.

$$US\approx 2\cdot UBE\approx 1.4V=8V\cdot\frac{R2}{R1+R2}$$

상기 전압 디바이더의 레지스터를 위한 전형적인 값은:

$$R1=300k\Omega, R2=75k\Omega$$

그 결과, 전압 디바이더 비율은:

$$\frac{R2}{R1+R2}=\frac{75k\Omega}{375k\Omega}$$

상기 패드에서의 전압이 약 7V일 경우에, 상기 저항이 주어진 필수 임계 전압은 1.4V이다.

상기 임계 전압(US)은 제1 바이폴라 npn 트랜지스터(T1)를 구동시킨다.

상기 트랜지스터(T1)의 이미터는 레지스터(R4)에 의하여 기준-대지전위(VSS)와 연결된다.

상기 트랜지스터(T1)의 콜렉터는 레지스터(R3)에 의하여 다이오드(D)의 터미널에 연결된다.

상기 다이오드(D)의 P 터미널은 상기 패드(2)에 교대로 연결된다.

상기 두 개의 레지스터(R3,R4)는 트랜지스터(T1)의 작동점을 설정하게 된다.

또한, 바이폴라 npn 트랜지스터(T2,T3,T4,T5)는 상기 제1트랜지스터(T1)와 동시에 구동된다.

상기 각 트랜지스터(T2,T3,T4,T5)의 베이스는 트랜지스터(T1)의 콜렉터와 병렬로 연결되어진다.

트랜지스터(T2,T3,T4,T5)의 에미터는 기준 - 대지전위(VSS)와 접하도록 연결되어진다.

각 트랜지스터(T2,T3,T4,T5)의 콜렉터는 레지스터(R5,R6,R7,R8)에 의하여 다이오드의 n 터미널에 연결되어진다.

상기 트랜지스터(T2,T3,T4,T5)의 부하 경로는 각각 업스트립에 연결된 레지스터(R5,R6,R7,R8)와 함께 상기 패드(2)를 기준 - 대지전위(VSS)에 연결시키고, 상기 레지스터는 상기 트랜지스터(T2,T3,T4,T5)에 의하여 조절 가능하게 된다.

이하, 보호회로의 작동관계를 설명하면 다음과 같다.

패드(2)에서의 전압(UPAD)이 미리 설정된 값을 초과하게 되면, 임계전압(US)는 약 2배를 갖는 바이폴라 npn 트랜지스터의 베이스 - 이미터 전압과 일치하게 되고, 제1트랜지스터(T1)는 스위치되어 전도를 시작하게 된다.

전류(IB)는 트랜지스터의 부하 경로를 경유하여, 트랜지스터(T2,T3,T4,T5)의 베이스까지 흐르게 된다.

상기 트랜지스터들이 조절됨에 따라, 트랸지스터의 부하경로의 저항은 감소하게 되고, 패드(2)는 기준 - 대지전위(VSS)에 낮은 저항으로 연결되며, 전류는 서로 병열 연결된 트랜지스터(T2,T3,T4,T5)에 의하여 패드(2)로부터 흘러 나오게 된다.

다음으로, 상기 패드에서의 전압(UPAD)이 높게 될수록, 임계전압(US) 또한 상승하게 되고, 포화된 상태가 될 때까지 임계전압은 제1트랜지스터를 턴온시킨게 된다.

서로 병렬로 연결된 상기 트랜지스터(T2,T3,T4,T5)는 계속해서 상기 제1트랜지스터와 이 제1트랜지스터의 에미터 전류에 의하여 턴온되고, 그에따라 상기 패드(2)와 기준 - 대지전위(VSS)간의 연결은 서로 병렬로 연결된 상기 트랜지스터(T2,T3,T4,T5)에 의하여 낮은 임피던스만이 필요하게 된다

그 결과, 상기 패드(2)에서의 전압(UPAD)은 감소되어진다.

상기 패드(2)에서의 전압(UPAD)이 미리 설정된 값 이하로 떨어지는 경우, 임계전압(US) 또한 떨어지게 된다.

상기 임계전압(US)이 떨어짐과 동시에, 상기 제1트랜지스터(T1)와 서로 병ㅇ렬로 연결된 트랜지스터(T2,T3,T4,T5)의 부하 경로는 보다 높은 임피던스를 요구하게 된다.

다이오드(D)의 n터미널에서의 전위는 증가하게 되고, n터미널과 p터미널간의 전위차가 다이오드(D)의 전방 전압이하로 떨어지는 순간, 다이오드(D)는 곧바로 턴오프된다.

그 결과, 보호구조는 스위치 오프되고, 패드(2)로부터 전압 디바이더(R1,R2)를 경유하는 전류만을 취하게 된다.

상기 보호회로의 전류 이송량은 서로 병렬로 연결된 다수개의 트랜지스터에 의하여 조절되어진다.

그러나, 주의할 점은 제1트랜지스터(T1)으로부터 서로 병렬로 연결된 트랜지스터(T2,T3,T4,T5)의 베이스까지 이미터(E)를 경유하여 흐르는 전류(IB)를 병렬로 연결된 트랜지스터(T2,T3,T4,T5)를 적절하게 제어할 수 있는 크기가 되도록 해야 한다.

전용으로 사용하는 경우에는, 제1트랜지스터(T1)는 병렬로 연결된 트랜지스터(T2,T3,T4,T5)를 제어할 수 있는 보다 많은 전류를 공급할 수 있도록 보다 큰 용량 크기로 주어져야만 한다.

또한, 상기 보호회로의 전류 이송량은 병렬로 연결된 상기 개개의 트랜지스터(T2,T3,T4,T5)의 보다 높은 전류 이송량에 의하여 조절 가능하고, 이때 트랜지스터들를 조절하는데 필요한 베이스 전류가 다시 한 번 고려되어야 한다.

서로 병렬로 연결된 트랜지스터(T2,T3,T4,T5)의 상부쪽에 연결된 상기 레지스터(R5,R6,R7,R8)는 낮은 임피던스를 가지고, 과도한 높은 전류에 대하여 트랜지스터를 보호하기 위하여 직렬 연결된 레지스터들은 전류 - 제한의 기능을 할 수 있도록 차원화된 것이다.

전류(IQ)가 전압 디바이더를 경유하여 연속적으로 흐르게 됨에 따라, 전압 디바이더의 레지스터(R1+R2)는 보호회로의 전류소비를 최소화시킬 수 있도록 가능한 커야 한다.

산업상 이용 가능성

본 발명의 보호회로는 집적회로를 손상시킬 수 있는 전압로부터 집적회로를 보호할 수 있게 된다.

(57) 청구의 범위

청구항 1.

패드(2)와 집적회로의 기준 - 대지전위(VSS)간에 연결되고, 상기 패드(2)와 연결되어 패드(2)에서의 전압으로부터 임계전압(US)을 유도하는 임계 검출기가 설치되며, 상기 집적회로의 패드(2)에서의 전압을 제한하는 집적회로의 보호회로는:

제1터미널(K)에서 패드(2)와 연결된 부하 경로를 갖고, 임계전압(US)이 공급되는 제어 터미널(B)을 갖는 제1트랜지스터(T1);

제1트랜지스터(T1)의 부하경로의 제2터미널(E)과 연결된 제어터미널(B)을 갖고, 상기 패드(2)와 기준 - 대지전위(VSS)간에 연결된 부하경로를 갖는 제2트랜지스터(T2)로 구성된 것을 특징으로 하는 집적회로의 보호회로.

청구항 2.

제 1 항에 있어서, 상기 제2트랜지스터(T2)는 서로 병렬로 연결된 다수개의 트랜지스터(T2,T3,T4,T5)로 배열될 수 있고,

병렬로 연결된 상기 다수개의 트랜지스터(T2,T3,T4,T5)의 제어터미널(B)은 제1트랜지스터(T1)의 부하경로의 제2터미널(E)과 연결되고,

병렬로 연결된 상기 다수개의 트랜지스터(T2,T3,T4,T5)의 부하경로는 상기 패드(2)와 기준 - 대지전위(VSS)간에 병렬로 연결된 것을 특징으로 하는 집적회로의 보호회로.

청구항 3.

제 1 항 또는 제 2 항에 있어서, 상기 임계 검출기 장치(4)에는 상기 패드(2)와 기준 - 대지전위(VSS)간에 연결된 전압 디바이더(R1,R2)가 포함되어, 상기 임계전압(US)이 전압 디바이더(R1,R2)의 노드에서 분기 가능하게 되는 것을 특징으로 하는 집적회로의 보호회로.

청구항 4.

제 1 항에서 제 3 항중 어느 한 항에 있어서,

상기 트랜지스터(T1,T2,T3,T4,T5)는 npn 바이폴라 트랜지스터인 것을 특징으로 하는 집적회로의 보호회로.

청구항 5.

제 1 항에서 제 4 항중 어느 한 항에 있어서,

레지스터(R3)가 상기 패드(2)와 제1트랜지스터(T1)의 부하경로 간에 연결되고, 레지스터(R4)가 상기 패드(2)와 제2트랜지스터(T2)의 부하경로 간에 연결되며, 각각의 레지스터(R5,R6,R7,R8)가 상기 패드(2)와 병렬로 연결된 다수개의 트랜지스터(T2,T3,T4,T5)의 부하경로 간에 연결되는 것을 특징으로 하는 집적회로의 보호회로.

청구항 6.

제 5 항에 있어서, 다이오드(D)가 상기 레지스터(R3,R5,R6,R7,R8)와 패드(2)간에 연결되되,

상기 다이오드(D)의 p터미널은 상기 패드(2)와 연결되고, 상기 다이오드(D)의 최종 터미널이 상기 레지스터(R3,R4,R5,R6,R7,R8)와 연결되는 것을 특징으로 하는 집적회로의 보호회로.

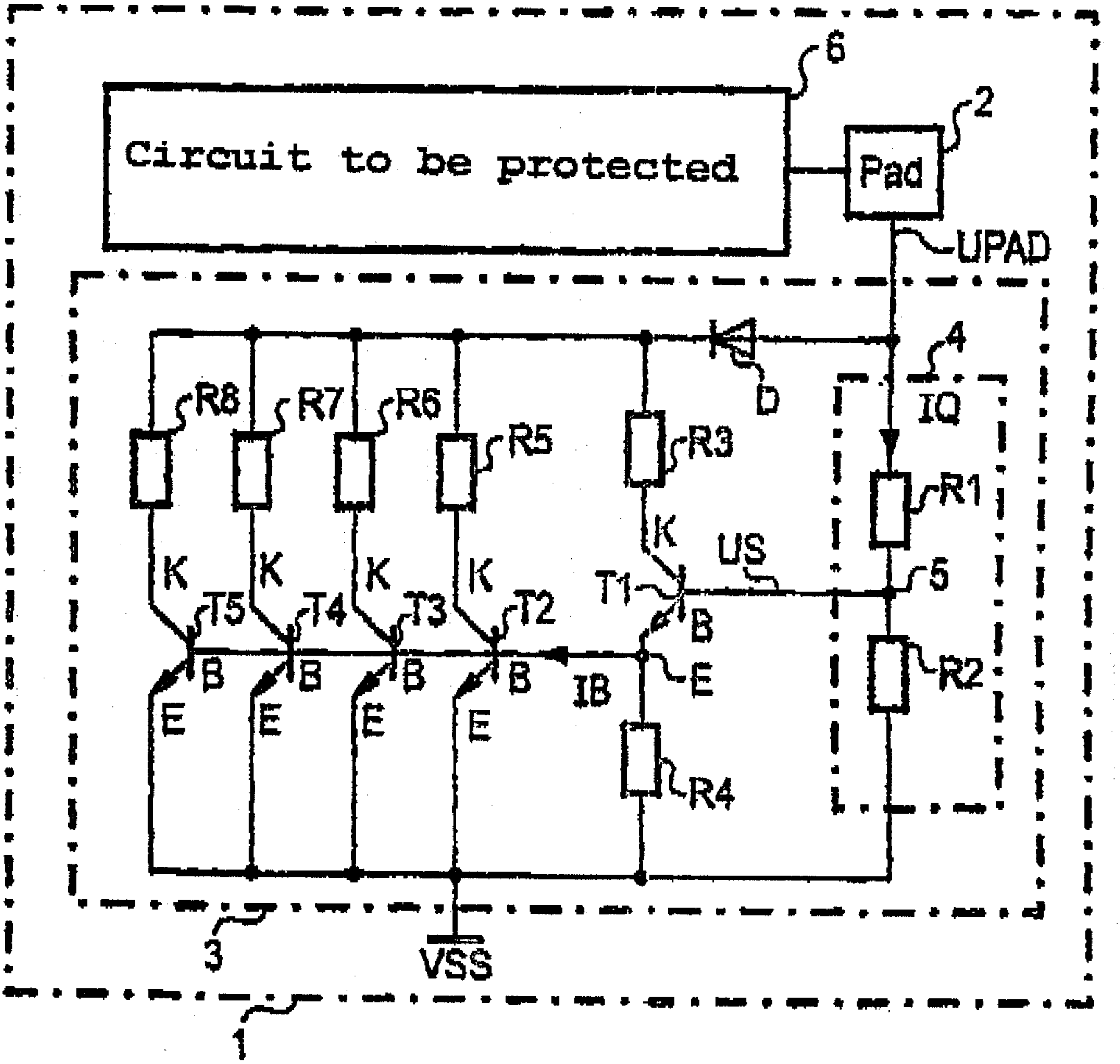
청구항 7.

제 1 항에서 제 5 항중 어느 한 항에 있어서,

레지스터(R4)는 상기 제1트랜지스터(T1)의 부하경로의 제2터미널(E)과 상기 기준-대지전위(VSS)간에 연결된 것을 특징으로 하는 집적회로의 보호회로.

도면

도면 1


Circuit to be protected
6
Pad
2
UPAD
4
IQ
D
R8
R7
R6
R5
R3
R1
K
US
T1
T5
T4
T3
T2
B
E
IB
5
R2
R4
3
VSS
1