



<도면의 주요 부분에 대한 부호의 설명>

- 10 : 상부기관 18 : 하부기관
- Y : 스캔전극 Z : 서스테인전극
- X : 어드레스 전극 12Y, 12Z : 투명전극
- 13Y, 13Z : 금속버스전극 14 : 상부 유전체층
- 16 : 보호막 22 : 하부 유전체층
- 24 : 격벽 26 : 형광체층
- 41 : 감마보정부 42 : 자동이득조절부
- 43 : 오차 확산부 44 : 서브필드 맵핑부
- 45 : 프레임 메모리 46 : 드라이브IC별 데이터 정렬부
- 47 : 타이밍 컨트롤러 48 : 데이터 구동부
- 49 : 모드검출기 51 : 스캔 구동부
- 52 : 서스테인 구동부

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 플라즈마 디스플레이 패널의 구동 방법에 관한 것으로 특히, 플리커 현상을 저감하도록 한 플라즈마 디스플레이 패널의 구동 방법 및 장치에 관한 것이다.

최근 음극선관의 큰 중량 및 부피를 줄일 수 있는 평판 표시장치에 대한 관심이 커지고 있다. 이러한 평판 표시 장치는 액정 표시장치(Liquid Crystal Display), 플라즈마 디스플레이 패널(Plasma Display Panel:PDP), 전계방출 표시장치(Field Emission Display), 일렉트로 루미네센스(Electro-luminescence) 등이 있으며, 디지털 신호 또는 아날로그 데이터를 표시 패널에 공급하게 된다.

이러한 평면 표시장치중, 플라즈마 디스플레이 패널은 He+Xe, Ne+Xe 또는 He+Xe+Ne 가스의 방전시 발생하는 147nm의 자외선에 의해 형광체를 발광시킴으로서 문자 또는 그래픽을 포함한 화상 및 동영상을 표시하게 된다. 이러한 플라즈마 디스플레이 패널은 박막화와 대형화가 용이할 뿐만 아니라 최근, 기술 개발에 힘입어 크게 향상된 화질을 제공한다.

특히, 3전극 교류 면방전형 플라즈마 디스플레이 패널은 방전시 유전체층을 이용하여 벽전하를 축적하여 방전에 필요한 전압을 낮추게 되며, 플라즈마의 스퍼터링으로부터 전극들을 보호하기 때문에 저전압 구동과 장수명의 장점을 가진다.

도 1을 참조하면, 3극 전류 교류 면방전형 플라즈마 디스플레이 패널의 방전셀은 상부기관(10)상에 형성되어진 스캔 전극(30Y) 및 서스테인 전극(30Z)과, 하부기관(18) 상에 형성되어진 어드레스 전극(20X)을 구비한다.

스캔 전극(30Y)과 서스테인 전극(30Z) 각각은 투명전극(12Y, 12Z)과, 투명전극(12Y, 12Z)의 선폭보다 작은 선폭을 가지며 투명 전극의 일측 가장자리에 형성되는 금속버스전극(13Y, 13Z)을 포함한다. 투명전극(12Y, 12Z)의 재질로는 통상 인듐틴옥사이드(Indium-Tin-Oxide:ITO)를 이용한다. 금속버스전극(13Y, 13Z)의 재질로는 통상 크롬(Cr) 등의 금속이 이용된다. 이러한 금속버스전극(13Y, 13Z)은 저항이 높은 투명전극(12Y, 12Z)에 의한 전압 강하를 줄이는 역할을 한다. 스캔전극(30Y)과 서스테인전극(30Z)이 형성된 상부기관(10)에는 상부 유전체층(14)과 보호막(16)이 적층된다. 상부 유전체층(14)에는 가스방전 이온화 가스(플라즈마)가 발생된 하전입자들이 축적된다. 보호막(16)은 가스 방전시 발생된 하전입자들의 스퍼터링으로부터 상부 유전체층(14)을 보호하고 2차 전자의 방출 효율을 높이게 된다. 보호막(16)으로는 통상 산화마그네슘(MgO)이 이용된다. 어드레스전극(20X)은 스 전극(30Y) 및 서스테인전극(30Z)과 교차되는 방향으로 형성된다. 어드레스 전극(20X)이 형성된 하부기관(18) 상에는 하부 유전체층(22)과 격벽(24)이 형성된다.

하부 유전체층(22)과 격벽(24)의 표면에는 형광체층(26)이 형성된다. 격벽(24)은 어드레스전극(20X)과 나란하게 형성되어 방전셀을 물리적으로 구분하며, 방전에 의해 생성된 자외선과 가시광이 인접한 방전셀에 누설되는 것을 방지한다. 형광

채층(26)은 가스방전시 발생된 자외선에 의해 발광되어 적색(R), 녹색(G) 또는 청색(B)중 어느 하나의 가시광을 발생하게 된다. 상/하부 기관(10, 18)과 격벽(24) 사이에 마련된 방전공간에는 방전을 위한 He+ Xe, Ne+ Xe 또는 He+ Xe+ Ne 등의 불활성 혼합가스가 주입된다.

이러한 3전극 교류 면방전형 플라즈마 디스플레이 패널은 화상의 계조(Gray Level)를 구현하기 위하여 한 프레임을 발광횟수가 다른 여러 서브필드로 나누어 구동하고 있다. 각 서브필드는 다시 방전을 균일하게 일으키기 위한 리셋기간, 방전셀을 선택하기 위한 어드레스기간 및 방전횟수에 따라 계조를 구현하는 서스테인 기간으로 나뉘어진다. 265 계조로 화상을 표시하고자 하는 경우에 1/60 초에 해당하는 프레임 기간(16.67ms)은 다수의 서브필드들로 나누어 지게 된다. 다수의 서브필드들 각각은 리셋기간, 어드레스기간 및 서스테인기간으로 다시 나누어지게 된다. 각 서브필드의 리셋기간 및 어드레스기간은 각 서브필드마다 동일한 반면에, 서스테인기간 및 그 방전횟수는 각 서브필드에서  $2^n$ (단,  $n=0, 1, 2, 3, 4, 5, 6, 7$ )의 비율로 증가된다. 이와 같이 서스테인 기간이 각각 다른 서브필드들의 조합으로 계조를 구현할 수 있게 된다.

도 2은 이러한 3전극 플라즈마 디스플레이 패널을 구동하기 위한 실제 구동 파형을 나타낸 도면이다. 도 2에서 X는 데이터전극, Y는 스캔전극, Z는 서스테인전극에 공급되는 신호파형을 나타낸다.

도 2을 참조하면, 플라즈마 디스플레이 패널은 전화면을 초기화시키기 위한 리셋기간, 셀을 선택하기 위한 어드레스기간, 선택된 셀의 방전을 유지시키기 위한 서스테인기간 및 소거기간으로 나누어 구동된다.

리셋기간에 있어서, 셋업기간에는 모든 스캔전극(Y)들에 상승 램프파형(RAMP-UP)이 동시에 인가된다. 이 상승 램프파형에 의해 전화면의 셀들 내에서 스캔전극(Y)과 어드레스전극(X) 사이와 스캔전극(Y)과 서스테인전극(Z) 사이에는 프라이밍방전이 일어나게 된다. 프라이밍방전에 의해 어드레스전극(X)과 서스테인전극(Z) 상에는 정극성(+)의 벽전하가 쌓이게 되며, 스캔전극(Y) 상에는 부극성(-)의 벽전하가 쌓이게 된다.

셋다운기간에는 상승 램프파형이 공급된 후, 상승 램프파형의 피크전압보다 낮은 정극성 전압에서 떨어지기 시작하여 기저전압(GND) 또는 부극성의 특정 전압레벨까지 떨어지는 하강 램프파형(RAMP-DOWN)이 스캔전극(Y)들에 동시에 인가된다. 이와 동시에, 공통전극인 서스테인전극(Z)에는 정극성의 서스테인전압( $V_s$ )이 인가되고, 어드레스전극(X)에는 0[V]가 인가된다. 하강 램프파형이 인가될 때, 스캔전극(Y)과 서스테인전극(Z) 사이에 셋다운 방전이 일어나게 된다. 이 셋다운 방전은 셋업기간에 발생된 벽전하들 중에 어드레스 방전에 불필요한 과도한 벽전하를 소거시키게 된다.

어드레스기간에는 부극성 스캔펄스가 스캔전극(Y)들에 순차적으로 인가됨과 동시에 스캔펄스에 동기되어 어드레스전극(X)들에 정극성의 데이터 펄스가 인가된다. 스캔펄스와 데이터 펄스의 전압차와 리셋기간에 생성된 벽전하로 인한 벽전압이 더해지면서 데이터 펄스가 인가되는 셀 내에는 어드레스 방전이 발생된다. 어드레스방전에 의해 선택된 셀들 내에는 서스테인 전압( $V_s$ )이 인가될 때 방전이 일어날 수 있게 하는 정도의 벽전하가 형성된다.

한편, 서스테인전극(Z)에는 셋다운 기간과 어드레스기간 동안에 스캔전극(Y)과의 전압차를 줄여 스캔전극(Y)과의 오방전이 일어나지 않도록 하기 위한 정극성 직류전압이 공급된다.

서스테인기간에는 스캔전극(Y)들과 서스테인전극(Z)들에 교번적으로 서스테인 펄스가 인가된다. 어드레스 방전에 의해 선택된 셀은 셀 내의 벽전압과 서스테인 펄스가 더해지면서 매 서스테인펄스가 인가될 때 마다 스캔전극(Y)과 서스테인전극(Z) 사이에 서스테인방전 즉, 표시방전이 일어나게 된다.

소거기간에는 펄스폭과 전압레벨이 작은 램프파형(RAMP ERS)이 서스테인전극(Z)에 공급되어 서스테인 방전에 의해 커진셀들 내에 잔류하는 벽전하를 소거시키게 된다.

플리커 현상은 육안으로 화면이 어른거리거나 깜박이는 현상이다. 이러한 플리커 현상은 광도의 주기적 변화에 그 원인이 있다. 다시말하여, 플리커 현상은 화면의 점등기간과 비점등기간(VFB)의 주기적 변화에 의해 나타나게 된다.

북미지역에서 사용하는 비디오 표준방식(NTSC)은 영상을 표시할때에 1초를 60개의 프레임으로 나누어 구동한다. 이와 달리, 유럽형 비디오 표준방식(PAL)은 1초를 50개의 프레임으로 나누어 구동한다. 이러한, 60Hz 비디오 표준방식(NTSC)에 맞게 설계된 서브필드 코드 및 구동파형을 50Hz 비디오 표준방식(PAL)에 그대로 적용시켰을 때에는 상대적으로 비표시기간이 더 늘어나게 됨으로써 화면에서 플리커 현상이 발생한다.

도 3는 60Hz와 50Hz 비디오 표준 방식의 점등기간 및 비점등기간을 나타낸 도면이다.

도 3를 참조하면, 한 프레임은 리셋 및 어드레스기간, 서스테인기간, 비표시기간(VFB)로 구성된다. 60Hz 비디오 표준방식에서 한 프레임의 기간은 1초를 60Hz로 나눈 16.67ms가 된다. 이와는 달리, 50Hz 비디오 표준방식은 한 프레임의 기간이 1초를 50으로 나눈 20ms가 된다.

한 프레임의 기간이 16.67ms인 60Hz 비디오 표준방식의 서브필드 코드를 한 프레임의 기간이 20ms인 50Hz 비디오 표준방식에 그대로 적용하게 되면 50Hz 비디오 표준방식에서 상대적으로 비점등기간(VFB)이 증가하게 된다. 이와 같이, 비점등기간이 증가하게 되면 화면에 플리커 현상이 발생되어 영상의 표시 품질이 떨어지게 된다. 나아가, 60Hz 비디오 표준방식을 기준으로 설계된 구동파형을 50Hz 비디오 표준 방식에 그대로 적용하면, 비점등시간(VFB)가 더 늘어나기 때문에 휘도가 그 만큼 낮아지게 된다. 더 나아가, 60Hz 비디오 표준 방식을 기준으로 설계된 구동파형을 50Hz 비디오 표준 방식에 그대로 적용하면, 50Hz 비디오 표준방식에서는 60Hz 비디오 표준방식에 비하여 비점등 시간(VFB)가 더 늘어나기 때문에 한 서브필드 기간 내에서 방전이 일어나는 유효한 서브필드기간과 비점등 시간(VFB) 사이에서 소비전력의 변화가 더 크게 된다.

**발명이 이루고자 하는 기술적 과제**

따라서, 본 발명의 목적은 플리커 현상을 저감토록 한 플라즈마 디스플레이 패널의 구동 방법 및 장치를 제공하는데 있다.

**발명의 구성 및 작용**

상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 플라즈마 디스플레이 패널의 구동 방법은 프레임 주파수를 검출하는 단계와, 상기 검출된 프레임 주파수가 60Hz에서 50Hz로 변화될 때 상기 어드레스 기간의 스캔펄스 및 상기 서스테인 기간의 서스테인펄스의 펄스폭 중 적어도 하나를 증가시키는 단계와; 상기 검출된 프레임 주파수가 50Hz에서 60Hz로 변화될 때 상기 증가된 펄스들의 펄스폭을 기준값으로 감소시키는 단계를 포함한다.

본 발명의 다른 실시예에 따른 플라즈마 디스플레이 패널의 구동 방법은 프레임 주파수를 검출하는 단계와, 상기 검출된 프레임 주파수가 60Hz에서 50Hz로 변화될 때 상기 서스테인 기간의 서스테인펄스의 펄스 수를 증가시키는 단계와; 상기 검출된 프레임 주파수가 50Hz에서 60Hz로 변화될 때 상기 서스테인펄스의 펄스 수를 기준값으로 감소시키는 단계를 포함한다.

본 발명의 실시예에 따른 플라즈마 디스플레이 패널의 구동 장치는 프레임 주파수를 검출하는 모드검출기와, 상기 검출된 프레임 주파수가 60Hz에서 50Hz로 변화될 때 상기 어드레스 기간의 스캔펄스 및 상기 서스테인 기간의 서스테인펄스의 펄스폭 중 적어도 하나를 증가시키고 상기 검출된 프레임 주파수가 50Hz에서 60Hz로 변화될 때 상기 증가된 펄스들의 펄스폭을 기준값으로 감소시키기 위한 타이밍 컨트롤러와, 상기 타이밍 컨트롤러의 제어 하에 플라즈마 디스플레이 패널에 상기 펄스들을 공급하는 구동회로를 구비한다.

본 발명의 다른 실시예에 따른 플라즈마 디스플레이 패널의 구동 장치는 프레임 주파수를 검출하는 모드검출기와, 상기 검출된 프레임 주파수가 60Hz에서 50Hz로 변화될 때 상기 서스테인 기간의 서스테인펄스의 펄스 수를 증가시키고 상기 검출된 프레임 주파수가 50Hz에서 60Hz로 변화될 때 상기 서스테인펄스의 펄스 수를 기준값으로 감소시키기 위한 타이밍 컨트롤러와, 상기 타이밍 컨트롤러의 제어 하에 플라즈마 디스플레이 패널에 상기 펄스들을 공급하는 구동회로를 구비한다.

삭제

삭제

삭제

삭제

삭제

삭제

삭제

삭제

삭제

상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부 도면을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 첨부된 도 4 내지 도 7을 참조하여 본 발명에 따른 플라즈마 디스플레이 패널의 구동 방법 및 장치에 대하여 상세히 살펴보기로 한다.

도 4는 본 발명의 제1 실시예에 따른 플리커 현상을 저감시키는 방법을 나타낸 도면이다.

도 4를 참조하면, 본 발명의 제1 실시예에 따른 플라즈마 디스플레이 패널의 구동 방법은 프레임 주파수가 60Hz에서 50Hz로 변화되면 60Hz를 기준으로 설계된 구동파형의 서스테인펄스의 폭을 더 길게 한다. 예컨대, 60Hz 비디오 표준방식을 기준으로 설계된 서스테인펄스의 폭이  $5\mu s$ 이면 프레임 주파수가 50Hz로 낮아질 때 서스테인 펄스의 폭을  $5\mu s + \alpha$ 로 가변시켜 60Hz 기준 펄스폭에 비하여  $\alpha$ 만큼 펄스폭을 증가시킨다. 따라서, 프레임 주파수가 60Hz에서 50Hz로 변화될 때에 펄스폭의 변화가 없는 경우에 비하여 비점등시간(VFB)이 서스테인펄스의 펄스폭 증가분만큼 줄어들게 된다.

서스테인 펄스의 폭이 증가되면 서스테인방전이 더 안정되게 일어나고 충분한 양의 벽전하가 발생되므로 외부 서스테인 전압을 줄일 수 있고 서스테인 마진(Sustain Margin)을 높일 수 있다.

또한, 본 발명의 제1 실시예에 따른 플라즈마 디스플레이 패널의 구동 방법은 프레임 주파수가 50Hz에서 60Hz로 변화되면 50Hz 비디오 표준방식에서 증가된 서스테인펄스의 폭을 기준 펄스폭으로 감소시킨다.

도 5는 본 발명의 제2 실시예에 따른 플리커 현상을 저감시키는 방법을 나타낸 도면이다.

도 5를 참조하면, 본 발명의 제2 실시예에 따른 플라즈마 디스플레이 패널의 구동은 프레임 주파수가 60Hz에서 50Hz로 변화되면 60Hz를 기준으로 설계된 구동파형의 서스테인펄스의 개수를 더 증가시킨다. 예컨대, 60Hz 비디오 표준방식을 기준으로 설계된 서스테인펄스의 개수가 32 개이면 프레임 주파수가 50Hz로 낮아질 때 서스테인 펄스의 개수를 32 개 +  $\beta$ 개로 가변시켜 60Hz 기준 펄스 수에 비하여  $\beta$  개만큼 펄스 수를 증대시킨다. 따라서, 프레임 주파수가 60Hz에서 50Hz로 변화될 때에 서스테인 펄스의 수가 늘어나는 만큼 비점등시간(VFB)이 줄어들게 된다.

또한, 본 발명의 제2 실시예에 따른 플라즈마 디스플레이 패널의 구동 방법은 프레임 주파수가 50Hz에서 60Hz로 변화되면 50Hz 비디오 표준방식에서 증가된 펄스의 개수를 기준 펄스 개수로 감소시킨다.

도 6은 본 발명의 제3 실시예에 따른 플리커 현상을 저감시키는 방법을 나타낸 도면이다.

도 6을 참조하면, 본 발명의 제3 실시예에 따른 플라즈마 디스플레이 패널의 구동은 프레임 주파수가 60Hz에서 50Hz로 변화되면 60Hz를 기준으로 설계된 구동파형의 스캔펄스의 폭을 더 길게 한다. 예컨대, 60Hz 비디오 표준방식을 기준으로 설계된 서스테인펄스의 폭이  $3\mu s$ 이면 프레임 주파수가 50Hz로 낮아질 때 서스테인 펄스의 폭을  $3\mu s + \gamma$ 으로 가변시켜 60Hz 기준 펄스폭에 비하여  $\gamma$ 만큼 펄스폭을 증가시킨다. 따라서, 프레임 주파수가 60Hz에서 50Hz로 변화될 때에 펄스폭의 변화가 없는 경우에 비하여 비점등시간(VFB)이 스캔펄스의 펄스폭 증가분만큼 줄어들게 된다.

스캔펄스의 폭이 증가되면 어드레스방전이 더 안정되게 일어나고 충분한 양의 벽전하가 발생되므로 외부 스캔전압이나 외부 데이터전압을 줄일 수 있고 어드레스 마진(Address Margin)을 높일 수 있다.

또한, 본 발명의 제3 실시예에 따른 플라즈마 디스플레이 패널의 구동 방법은 프레임 주파수가 50Hz에서 60Hz로 변화되면 50Hz 비디오 표준방식에서 증가된 스캔펄스의 폭을 기준 펄스폭으로 감소시킨다.

도 7은 본 발명의 실시예들에 따른 플라즈마 디스플레이 패널 구동 장치의 구성을 도시한 블럭도이다.

도 7을 참조하면, 플라즈마 디스플레이 패널 구동 장치는 플라즈마 디스플레이 패널의 어드레스 전극(X)을 구동하기 위한 데이터 구동부(48)와, 플라즈마 디스플레이 패널의 스캔전극(Y)을 구동하기 위한 스캔/서스테인 구동부(51)와, 플라즈마 디스플레이 패널의 서스테인전극(Z)을 구동하기 위한 공통 서스테인 구동부(52)와, 입력된 영상신호의 모드를 검출하는 모드검출기(49)와, 플라즈마 디스플레이 패널의 구동 타이밍을 제어하기 위한 타이밍 컨트롤러(47)와, 감마 보정부(41)와, 자동이득조절부(42)와, 오차확산부(43)와, 서브필드 맵핑부(44)와, 프레임 메모리(45)와, 드라이브IC별 데이터 정렬부(46)를 구비한다.

데이터 구동부(48)는 타이밍 컨트롤러(47)의 제어 하에 소정 개수의 어드레스 전극(X)에 각각 접속되어 해당 어드레스 전극(X)에 데이터를 공급하기 위한 다수의 데이터 드라이브 IC들을 포함한다.

스캔 구동부(51)는 타이밍 컨트롤러(47)의 제어 하에 스캔전극들(Y)에 접속되어 스캔전극들(Y)에 리셋펄스(또는 셋업펄스)를 동시에 공급하게 된다. 또한, 스캔 구동부(51)는 어드레스 기간에 스캔펄스를 스캔전극들(Y)에 순차적으로 공급한 후에, 서스테인 기간에 서스테인 펄스를 스캔전극들(Y)에 동시에 공급하게 된다.

공통 서스테인 구동부(52)는 타이밍 컨트롤러(47)의 제어 하에 서스테인 전극들(Z)에 공통적으로 접속되어 서스테인 전극들(Z)에 서스테인 펄스를 동시에 공급하게 된다.

모드검출기(49)는 입력된 디지털 비디오 데이터(R, G, B)와 수평, 수직동기 신호를 이용해서 프레임 주파수를 검출하여 현재 입력되는 영상의 프레임 주파수가 60Hz인가 아니면 50Hz인가를 판단한다.

타이밍 컨트롤러(47)는 모드검출기(49)로부터 검출된 프레임 주파수에 응답하여 프레임 주파수에 따라 변하는 스캔 및 서스테인 펄스 폭과 서스테인 펄스의 개수를 제어하는 타이밍 제어신호들을 발생하고 그 타이밍 제어신호들을 데이터 구동부(49), 스캔 구동부(51) 및 서스테인 구동부(52)에 공급한다.

감마 보정부(41)는 영상신호를 감마 보정하여 영상신호의 계조값에 따른 휘도값을 선형적으로 변화시키게 된다.

자동이득 조절부(42)는 감마 보정부(41)로부터의 휘도정보에 따라 입력 데이터(R, G, B)의 계조 범위를 미리 설정된 계조 범위로 변환하여 입력 데이터의 이득을 균일하게 보상하는 역할을 하게 된다.

오차 확산부(43)는 오차 성분을 인접한 셀들에 확산시킴으로써 휘도값을 미세하게 조정하는 역할을 한다. 이를 위하여, 오차 확산부(43)는 데이터를 정수부와 소수부로 분리하고 소수부에 플로이-스타인버그(Floyd-Steinberg) 계수를 곱하여 인접한 셀들에 오차를 확산시키게 된다.

프레임 메모리(45)는 서브필드 맵핑부(44)로부터의 데이터를 한 프레임 단위로 저장하게 된다. 드라이브별 IC 데이터 정렬부(46)는 데이터 드라이브 IC 각각에 대응하여 프레임 메모리(45)로부터 입력되는 데이터를 재정렬하여 데이터 구동부(48)에 공급하게 된다.

서브필드 맵핑부(44)는 오차확산부(43)로부터의 데이터를 서브필드에 맵핑하게 된다. 이렇게 서브필드별로 맵핑된 데이터는 최하위 비트가 최소 휘도 가중치가 설정된 서브필드에 할당되고, 최상위 비트가 최대 휘도 가중치가 설정된 서브필드에 할당된다.

**발명의 효과**

상술한 바와 같이, 본 발명의 플라즈마 디스플레이 패널의 구동 방법 및 장치는 60Hz 비디오 표준방식에서 50Hz 비디오 표준방식으로 변할 때 구동파형의 펄스폭이나 개수를 더 증대시킴으로써 비점등 시간을 줄이게 된다. 그 결과, 본 발명의 플라즈마 디스플레이 패널의 구동 방법 및 장치는 60Hz에서 50Hz로 프레임 주파수가 변할 때에 비점등시간을 최소화시킬 수 있으므로 휘도를 높일 수 있을 뿐 아니라 소비전력의 변화를 줄이고 어드레스마진과 서스테인마진이 향상되므로 고온 및 저온환경 하에서도 어드레스동작과 서스테인동작이 그 만큼 안정화된다.

이상 설명한 내용을 통해 당 업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

**(57) 청구의 범위**

**청구항 1.**

한 프레임 기간동안 리셋 및 어드레스기간, 서스테인기간을 각각 포함하는 다수의 서브필드로 나누어 화상을 표시하는 플라즈마 디스플레이 패널의 구동 방법에 있어서,

프레임 주파수를 검출하는 단계와,

상기 검출된 프레임 주파수가 60Hz에서 50Hz로 변화될 때 상기 어드레스 기간의 스캔펄스 및 상기 서스테인 기간의 서스테인펄스의 펄스폭 중 적어도 하나를 증가시키는 단계와,

상기 검출된 프레임 주파수가 50Hz에서 60Hz로 변화될 때 상기 증가된 펄스들의 펄스폭을 기준값으로 감소시키는 단계를 포함하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동 방법.

**청구항 2.**

삭제

**청구항 3.**

삭제

**청구항 4.**

한 프레임 기간동안 리셋 및 어드레스기간, 서스테인기간을 각각 포함하는 다수의 서브필드로 나누어 화상을 표시하는 플라즈마 디스플레이 패널의 구동 방법에 있어서,

프레임 주파수를 검출하는 단계와,

상기 검출된 프레임 주파수가 60Hz에서 50Hz로 변화될 때 상기 서스테인 기간의 서스테인펄스의 펄스 수를 증가시키는 단계와,

상기 검출된 프레임 주파수가 50Hz에서 60Hz로 변화될 때 상기 서스테인펄스의 펄스 수를 기준값으로 감소시키는 단계를 포함하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동 방법.

**청구항 5.**  
삭제

**청구항 6.**

한 프레임 기간동안 리셋 및 어드레스기간, 서스테인기간을 각각 포함하는 다수의 서브필드로 나누어 화상을 표시하는 플라즈마 디스플레이 패널의 구동 장치에 있어서,

프레임 주파수를 검출하는 모드검출기와,

상기 검출된 프레임 주파수가 60Hz에서 50Hz로 변화될 때 상기 어드레스 기간의 스캔펄스 및 상기 서스테인 기간의 서스테인펄스의 펄스폭 중 적어도 하나를 증가시키고 상기 검출된 프레임 주파수가 50Hz에서 60Hz로 변화될 때 상기 증가된 펄스들의 펄스폭을 기준값으로 감소시키기 위한 타이밍 컨트롤러와,

상기 타이밍 컨트롤러의 제어 하에 플라즈마 디스플레이 패널에 상기 펄스들을 공급하는 구동회로를 구비하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동 장치.

**청구항 7.**  
삭제

**청구항 8.**  
삭제

**청구항 9.**

한 프레임 기간동안 리셋 및 어드레스기간, 서스테인기간을 각각 포함하는 다수의 서브필드로 나누어 화상을 표시하는 플라즈마 디스플레이 패널의 구동 장치에 있어서,

프레임 주파수를 검출하는 모드검출기와,

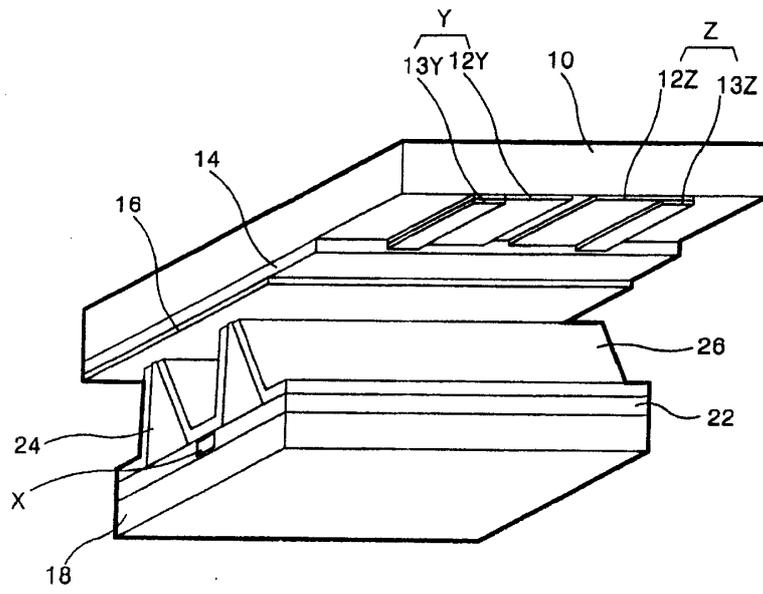
상기 검출된 프레임 주파수가 60Hz에서 50Hz로 변화될 때 상기 서스테인 기간의 서스테인펄스의 펄스 수를 증가시키고 상기 검출된 프레임 주파수가 50Hz에서 60Hz로 변화될 때 상기 서스테인펄스의 펄스 수를 기준값으로 감소시키기 위한 타이밍 컨트롤러와,

상기 타이밍 컨트롤러의 제어 하에 플라즈마 디스플레이 패널에 상기 펄스들을 공급하는 구동회로를 구비하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동 장치.

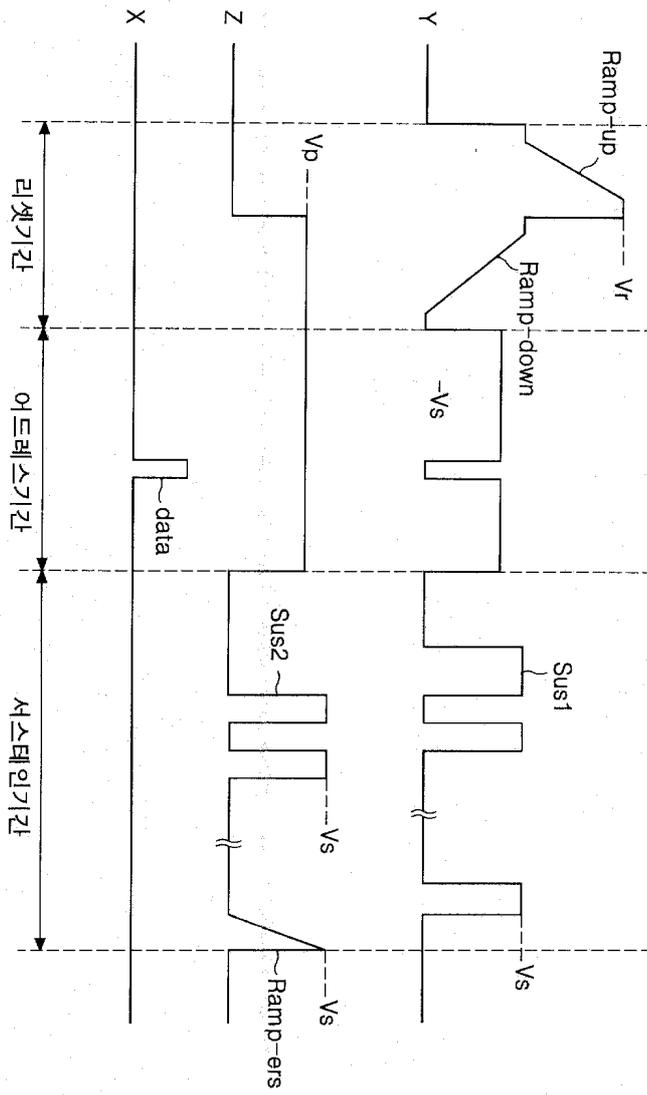
**청구항 10.**  
삭제

도면

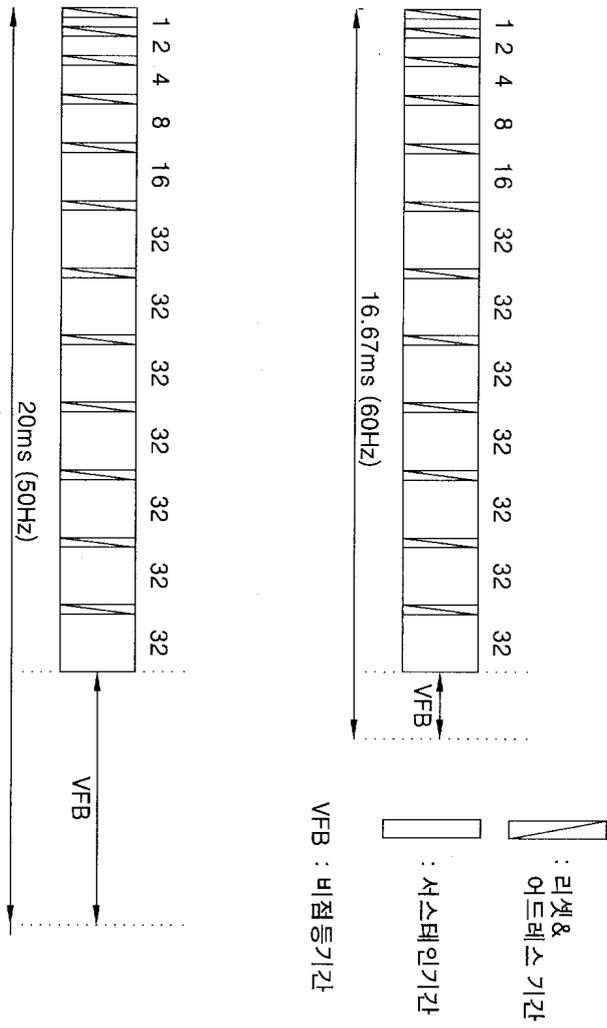
도면1



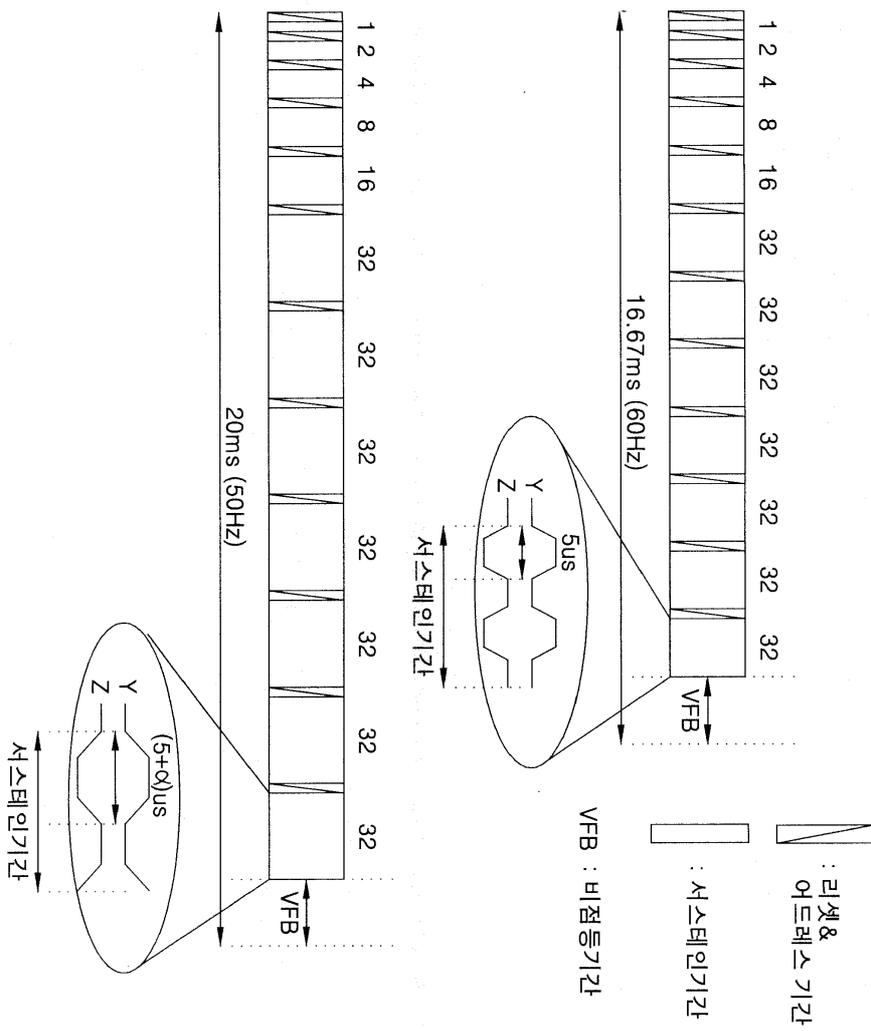
도면2



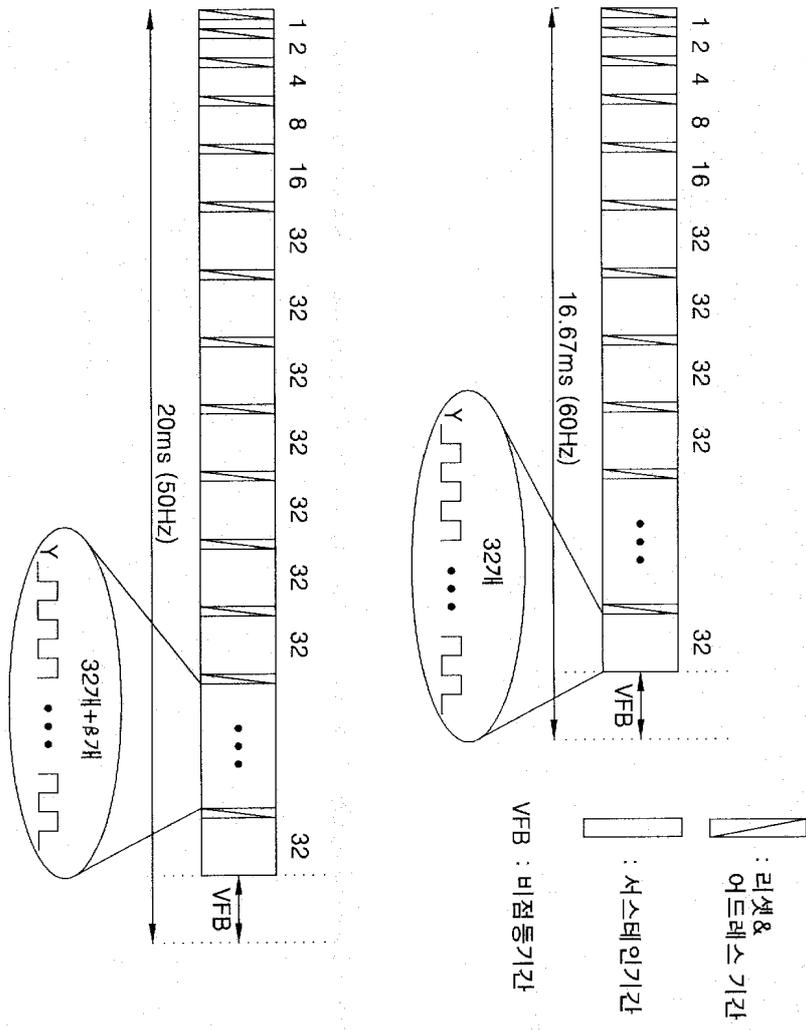
도면3



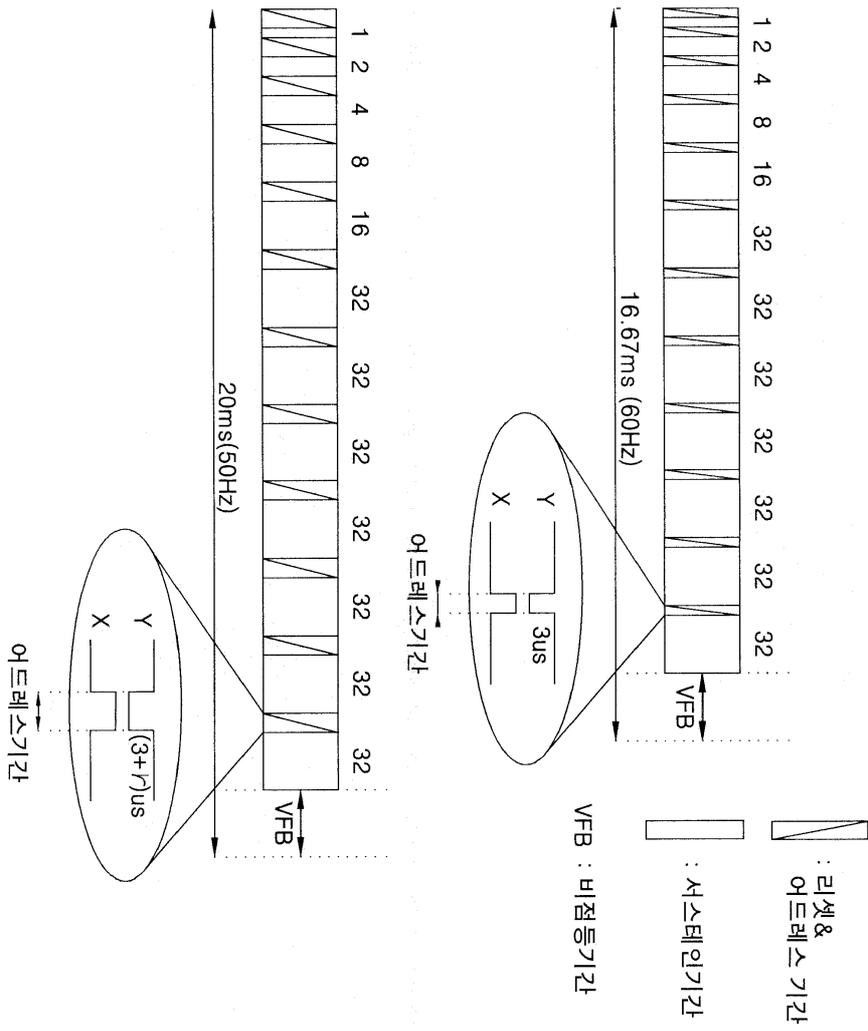
도면4



도면5



도면6



도면7

