

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7008523号
(P7008523)

(45)発行日 令和4年1月25日(2022.1.25)

(24)登録日 令和4年1月13日(2022.1.13)

(51)国際特許分類	F I			
G 0 5 F 1/56 (2006.01)	G 0 5 F	1/56	3 2 0 S	
	G 0 5 F	1/56	3 2 0 B	

請求項の数 6 (全15頁)

(21)出願番号	特願2018-18423(P2018-18423)	(73)特許権者	715010864
(22)出願日	平成30年2月5日(2018.2.5)		エイブリック株式会社
(65)公開番号	特開2019-135610(P2019-135610)		東京都港区三田三丁目9番6号
	A)	(72)発明者	富岡 勉
(43)公開日	令和1年8月15日(2019.8.15)		千葉県千葉市美浜区中瀬1丁目8番地
審査請求日	令和2年12月8日(2020.12.8)	審査官	石坂 知樹

最終頁に続く

(54)【発明の名称】 過電流制限回路、過電流制限方法及び電源回路

(57)【特許請求の範囲】

【請求項1】

電源回路の出力段トランジスタに流れる出力電流を所定の制限電流値以下とする制御を行う過電流制限回路であり、

前記制限電流値を、電源電圧の電圧値に対応した電流値とする制限電圧を生成する制限電圧生成部と、

入力端子が前記出力段トランジスタのゲートと接続され、出力端子から前記入力端子に入力される電圧をレベルシフトして出力するソースフォロワと、

前記制限電圧と前記ソースフォロワが出力する電圧との差分を増幅する差動アンプ部と、ゲートに対して前記差動アンプ部から出力される電圧が印加され、前記出力段トランジスタのゲートに対して印加されるゲート電圧を制御するゲート電圧調整トランジスタとを備え、

前記制限電圧生成部は、

可変抵抗と、

前記可変抵抗に所定の電流を流す定電流回路と、

前記電源電圧の電圧値を検出し、前記電圧値に対応した制御信号を生成する制限電圧制御部とを備え、

前記制御信号によって前記可変抵抗の抵抗値が変更され、前記可変抵抗に発生した電圧に基づいて前記制限電圧を出力することを特徴とする過電流制限回路。

【請求項2】

電源回路の出力段トランジスタに流れる出力電流を所定の制限電流値以下とする制御を行う過電流制限回路であり、

前記制限電流値を、電源電圧の電圧値に対応した電流値とする制限電圧を生成する制限電圧生成部と、

入力端子が前記出力段トランジスタのゲートと接続され、出力端子から前記入力端子に入力される電圧をレベルシフトして出力するソースフォロワと、

前記制限電圧と前記ソースフォロワが出力する電圧との差分を増幅する差動アンプ部と、ゲートに対して前記差動アンプ部から出力される電圧が印加され、前記出力段トランジスタのゲートに対して印加されるゲート電圧を制御するゲート電圧調整トランジスタとを備え、

10

前記制限電圧生成部が、

電流電圧変換部と、

前記電流電圧変換部に電流を流す可変定電流回路と、

前記電源電圧の電圧値を検出し、前記電圧値に対応した制御信号を生成する制限電圧制御部とを備え、

前記制御信号によって前記可変定電流回路の電流値が変更され、前記電流電圧変換部に発生した電圧に基づいて前記制限電圧を出力することを特徴とする過電流制限回路。

【請求項 3】

前記制限電圧生成部が、

前記電源電圧が増加するに従い、この増加に対応して前記制限電流値を低下させる前記制限電圧を生成する

20

ことを特徴とする請求項 1 または請求項 2 に記載の過電流制限回路。

【請求項 4】

電源回路の出力段トランジスタに流れる出力電流を所定の制限電流値以下とする制御を行う過電流制限方法であり、

前記制限電流値を、電源電圧の電圧値に対応した電流値とする制限電圧を生成する制限電圧生成過程と、

入力端子が前記出力段トランジスタのゲートと接続されたソースフォロワが前記入力端子に入力される電圧をレベルシフトして出力端子から出力するレベルシフト過程と、

差動アンプ部により、前記制限電圧と前記ソースフォロワが出力する電圧との差分を増幅する差動増幅過程と、

30

ゲートに対して前記差動アンプ部から出力される電圧が印加されたゲート電圧調整トランジスタにより、前記出力段トランジスタのゲートに対して印加されるゲート電圧を制御するゲート電圧調整過程とを含み、

前記制限電圧生成過程は、

可変抵抗と、前記可変抵抗に所定の電流を流す定電流回路と、前記電源電圧の電圧値を検出し、前記電圧値に対応した制御信号を生成する制限電圧制御部とを備える制限電圧生成部から前記制御信号を前記可変抵抗へ供給するステップと、前記制御信号を受けて抵抗値が変更される前記可変抵抗に発生した電圧に基づいて前記制限電圧を出力するステップと、を含むことを特徴とする過電流制限方法。

40

【請求項 5】

電源回路の出力段トランジスタに流れる出力電流を所定の制限電流値以下とする制御を行う過電流制限方法であり、

前記制限電流値を、電源電圧の電圧値に対応した電流値とする制限電圧を生成する制限電圧生成過程と、

入力端子が前記出力段トランジスタのゲートと接続されたソースフォロワが前記入力端子に入力される電圧をレベルシフトして出力端子から出力するレベルシフト過程と、

差動アンプ部により、前記制限電圧と前記ソースフォロワが出力する電圧との差分を増幅する差動増幅過程と、

ゲートに対して前記差動アンプ部から出力される電圧が印加されたゲート電圧調整トラン

50

ジスタにより、前記出力段トランジスタのゲートに対して印加されるゲート電圧を制御するゲート電圧調整過程とを含み、
 前記制限電圧生成過程は、
電流電圧変換部と、前記電流電圧変換部に電流を流す可変定電流回路と、前記電源電圧の電圧値を検出し、前記電圧値に対応した制御信号を生成する制限電圧制御部とを備える制限電圧生成部から前記制御信号を前記可変定電流回路へ供給するステップと、
前記制御信号を受けて電流値が変更される前記電流が前記電流電圧変換部を流れることで前記電流電圧変換部に発生した電圧に基づいて前記制限電圧を出力するステップと、
 を含むことを特徴とする過電流制限方法。

【請求項 6】

基準電圧と、電源から供給される電源電圧から生成した出力電圧に対応した電圧との差分を増幅する差動アンプと、
 ゲートに供給される前記差動アンプの出力により、前記基準電圧に対応した前記出力電圧を出力する出力段トランジスタと、
 請求項 1 から請求項 3 のいずれか一項に記載の過電流制限回路と
 を備えることを特徴とする電源回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、過電流制限回路、過電流制限方法及び電源回路に関する。

【背景技術】

【0002】

定電圧電源回路は、負荷変動などによって出力電流が変化した場合にも、一定電圧を安定して供給する。

しかし、負荷変動が大きく定格値を超えた電流が流れる場合、例えば地絡した場合などには、電源の出力段のトランジスタである出力段トランジスタが過電流により発生した熱による損傷を防止する必要がある。

そのため、定電圧電源回路には、出力の最大電流が定格値として規定された上限値を越えないように制限する過電流制限回路が必要とされる（例えば、特許文献 1 参照）。

【0003】

上述した特許文献 1 は、出力端子 102 が地絡した際に出力段トランジスタ 105 のゲート電圧 V_1 が低下することにより、出力段トランジスタ 105 に流れる過電流を制限する図 8 に示す過電流制限回路が設けられている。この過電流制限回路は、出力段トランジスタ 105 に流れる過電流を制限する制限電圧 V_3 を、出力電圧 V_{out} あるいは帰還電圧 V_{FB} に基づいて調整し、出力端子 102 の地絡の段階に応じて、出力段トランジスタ 105 に流れる過電流を抑制している。出力段トランジスタ 105 は p チャネル型の MOS トランジスタであり、トランジスタ M1 からトランジスタ M6 の各々は n チャネル型の MOS トランジスタである。

【0004】

図 8 において、定電流源 110 の電流を流すトランジスタ M4 とトランジスタ M1、M2 及び M3 はカレントミラー回路を構成する。トランジスタ M5 がオン状態であれば、トランジスタ M2 もカレントミラー回路の構成となり、抵抗 113 に流れる電流がトランジスタ M1 及び M2 の各々のドレイン電流の合計となる。また、トランジスタ M5 及びトランジスタ M6 がオン状態であれば、トランジスタ M2 及び M3 もカレントミラー回路の構成となり、抵抗 113 に流れる電流がトランジスタ M1、M2 及び M3 の各々のドレイン電流の合計となる。このように、トランジスタ M5 及び M6 を制御することにより、抵抗 113 に流れる電流を多段に制御している。

【0005】

出力電圧 V_{out} が低下したとき、帰還電圧 V_{FB} がトランジスタ M6 の閾値電圧を下回ると、トランジスタ M6 がオフし、トランジスタ M3 に電流が流れなくなり、抵抗 113

10

20

30

40

50

に流れる電流が低下する。また、出力電圧 V_{out} が低下し、出力電圧 V_{out} がトランジスタ M5 の閾値電圧を下回ると、トランジスタ M5 がオフし、トランジスタ M2 に電流が流れなくなり、抵抗 113 に流れる電流が低下する。地絡などにより、出力電圧 V_{out} が「0」V に近くなると、抵抗 113 に流れる電流は、トランジスタ M1 のドレイン電流のみになり、制限電圧 V_3 は上昇する。

そして、電圧 V_2 がこの制限電圧 V_3 に追従することによって、出力段トランジスタ 105 のゲート電圧 V_1 の低下を抑制し、出力段トランジスタ 105 の電流制限を行っている。

【先行技術文献】

【特許文献】

【0006】

【文献】特開2009-48362号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、上述した特許文献1の過電流制限回路は、出力電圧 V_{out} の低下に基づいて出力電流の制御を行うので、電源電圧 V_{DD} が高い場合、出力段トランジスタ 105 における電力損失による発熱を効果的に抑制することができない。

【0008】

本発明は、このような事情に鑑みてなされたもので、電源電圧が高い場合においても、地絡などにより出力段トランジスタに大電流が流れた際に、出力段トランジスタに流れる電流を効果的に制限し、出力段トランジスタの発熱を抑制することができる過電流制限回路、過電流制限方法及び電源回路を提供することを目的とする。

【課題を解決するための手段】

【0009】

本発明の過電流制限回路は、電源回路の出力段トランジスタに流れる出力電流を所定の制限電流値以下とする制御を行う過電流制限回路であり、前記制限電流値を、電源電圧の電圧値に対応した電流値とする制限電圧を生成する制限電圧生成部と、入力端子が前記出力段トランジスタのゲートと接続され、出力端子から前記入力端子に入力される電圧をレベルシフトして出力するソースフォロワと、前記制限電圧と前記ソースフォロワが出力する電圧との差分を増幅する差動アンプ部と、ゲートに対して前記差動アンプ部から出力される電圧が印加され、前記出力段トランジスタのゲートに対して印加されるゲート電圧を制御するゲート電圧調整トランジスタとを備え、前記制限電圧生成部は、可変抵抗と、前記可変抵抗に所定の電流を流す定電流回路と、前記電源電圧の電圧値を検出し、前記電圧値に対応した制御信号を生成する制限電圧制御部とを備え、前記制御信号によって前記可変抵抗の抵抗値が変更され、前記可変抵抗に発生した電圧に基づいて前記制限電圧を出力する、又は電流電圧変換部と、前記電流電圧変換部に電流を流す可変定電流回路と、前記電源電圧の電圧値を検出し、前記電圧値に対応した制御信号を生成する制限電圧制御部とを備え、前記制御信号によって前記可変定電流回路の電流値が変更され、前記電流電圧変換部に発生した電圧に基づいて前記制限電圧を出力することを特徴とする。

本発明の電源回路は、基準電圧と、電源から供給される電源電圧から生成した出力電圧に対応した電圧との差分を増幅する差動アンプと、ゲートに供給される前記差動アンプの出力により、前記基準電圧に対応した前記出力電圧を出力する出力段トランジスタと、前記過電流制限回路とを備えることを特徴とする。

【発明の効果】

【0010】

この発明によれば、電源電圧が高い場合においても、地絡などにより出力段トランジスタに大電流が流れた際に、出力段トランジスタに流れる電流を効果的に抑制することができる過電流制限回路、過電流制限方法及び電源回路を提供することができる。

【図面の簡単な説明】

【0011】

10

20

30

40

50

【図 1】本発明の第 1 の実施形態による過電流制限回路を用いた電源回路であるボルテージレギュレータを示す概略ブロック図である。

【図 2】本発明の第 1 の実施形態による過電流制限回路における可変抵抗の具体例を示す回路図である。

【図 3】本発明の第 2 の実施形態による過電流制限回路における制限電圧生成部を示す概略ブロック図である。

【図 4】本発明の第 2 の実施形態による過電流制限回路における可変定電流源の具体例を示す回路図である。

【図 5】第 1 及び第 2 の実施形態における制限電圧制御部の具体例を示す回路図である。

【図 6】第 1 の実施形態における制限電圧制御部の具体例を示す回路図である。

10

【図 7】第 2 の実施形態における制限電圧制御部の具体例を示す回路図である。

【図 8】従来の過電流制限回路を説明するためのボルテージレギュレータの概略ブロック図である。

【発明を実施するための形態】

【0012】

<第 1 の実施形態>

以下、図面を参照して、本発明の第 1 の実施形態について説明する。図 1 は、本発明の第 1 の実施形態による過電流制限回路を用いた電源回路であるボルテージレギュレータを示す概略ブロック図である。

この概略ブロック図において、ボルテージレギュレータ 1 は、電圧出力回路 100 及び過電流制限回路 200 の各々を備えている。

20

【0013】

電圧出力回路 100 は、出力端子 102 から予め設定される所定の電圧値の出力電圧 V_{out} を出力する回路であり、基準電圧電源 103、誤差増幅回路 104、出力段トランジスタ 105、抵抗 106 及び抵抗 107 の各々を備えている。

過電流制限回路 200 は、電流検出トランジスタ 108、抵抗 109、誤差増幅回路 114、ゲート電圧調整トランジスタ 115 及び制限電圧生成部 250 の各々を備えている。制限電圧生成部 250 は、出力段トランジスタ 105 に流れる電流を制限する制限電圧 V_3 (後述) を生成する回路であり、定電流源 110、カレントミラー回路 118、可変抵抗 119 及び制限電圧制御部 120 を備えている。

30

カレントミラー回路 118 は、トランジスタ 117 及びトランジスタ 116 の各々を備えている。

【0014】

出力段トランジスタ 105 は、p チャネル型の MOS トランジスタであり、ソース S が電源に接続され、ゲート G が誤差増幅回路 104 の出力端子に接続点 P1 を介して接続され、ドレイン D が抵抗 106 の一端及び出力端子 102 に接続されている。

誤差増幅回路 104 は、- 側入力端子が基準電圧電源 103 を介して接地され、+ 側入力端子が接続点 P4 に接続されている。

抵抗 106 は、他端が接続点 P4 に接続されている。

抵抗 107 は、抵抗 106 と直列に接続されており、一端が接続点 P4 に接続され、他端が接地されている。この接続点 P4 の電圧は、出力電圧 V_{out} と、抵抗 106 及び抵抗 107 の抵抗比に対応した帰還電圧 V_{FB} となる。

40

【0015】

誤差増幅回路 114 は、+ 側入力端子が接続点 P2 に接続され、- 側入力端子が接続点 P3 に接続され、出力端子がゲート電圧調整トランジスタ 115 のゲート G に接続されている。

抵抗 109 は、電流電圧変換部として機能し、一端が電源に接続され、他端が接続点 P2 に接続されている。

電流検出トランジスタ 108 は、p チャネル型の MOS トランジスタであり、ソース S が接続点 P2 に接続され、ゲート G が誤差増幅回路 104 の出力端子に接続され、ドレイン

50

Dが出力端子102に接続されている。電流検出トランジスタ108と抵抗109は、ソースフォロワを構成する。

ゲート電圧調整トランジスタ115は、pチャネル型のMOSトランジスタであり、ソースSが電源に接続され、ドレインDが接続点P1に接続されている。

【0016】

可変抵抗119は、電流電圧変換部として機能し、一端が電源に接続され、他端が接続点P3に接続され、制御端子が制限電圧制御部120の出力端子に接続されている。

制限電圧制御部120は、入力端子が電源に接続され、接地端子が接地され、電源電圧VDDの電圧値に応じた電圧レベルの制御信号を出力端子から出力する。ここで、制限電圧制御部120の制御信号は、電源電圧VDDの電圧値が高くなると可変抵抗119の抵抗値を小さくする。

10

トランジスタ117は、nチャネル型のMOSトランジスタであり、ドレインDが接続点P3に接続され、ソースSが接地され、ゲートGがトランジスタ116のゲートGに接続されている。

トランジスタ116は、nチャネル型のMOSトランジスタであり、ドレインD及びゲートGの各々が定電流源110を介して電源に接続され、ソースSが接地されている。

【0017】

以下、第1の実施形態による過電流制限回路を用いた電源回路であるボルテージレギュレータの動作の説明を行う。

誤差増幅回路104は、-側入力端子に供給される基準電圧Vrefと、+側入力端子に供給される帰還電圧VFBとの差分を増幅し、制御信号を出力段トランジスタ105のゲートGに出力する。

20

出力段トランジスタ105は、誤差増幅回路104からの制御信号に対応した出力電圧を、出力端子102に対して出力する。従って、基準電圧Vrefと帰還電圧VFBとが等しくなり、結果として出力電圧Voutは一定になるように制御される。

【0018】

電流検出トランジスタ108と抵抗109は、ソースフォロワを構成するので、接続点P1の電圧V1をレベルシフトした電圧V2を生成する。

誤差増幅回路114は、-側入力端子に供給される制限電圧V3と、+側入力端子に供給される電圧V2との差分を増幅し、ゲート電圧調整トランジスタ115のゲートGに出力する。上記制限電圧V3は、制限電圧生成部250が電源電圧VDDの電圧値に対応して、出力段トランジスタ105から出力される電流を制限するため生成する電圧(後述)である。

30

【0019】

ゲート電圧調整トランジスタ115は、出力段トランジスタ105及び電流検出トランジスタ108の各々のゲートGに印加される電圧、すなわち、接続点P1の電圧V1を、誤差増幅回路114からの制御信号により制御する。

【0020】

電流検出トランジスタ108は、ゲートGに印加された電圧V1に応じたドレイン電流を抵抗109により流し、接続点P2に電圧V2を発生させる。この電圧V2は、以下の(1)式により表される。

40

$$V2 = V1 + |V_{TH108}| \quad \dots (1)$$

上記(1)式において、 V_{TH108} は、電流検出トランジスタ108の閾値電圧である。

【0021】

次に、制限電圧生成部250における制限電圧V3の生成について説明する。

定電流源110に流れる電流は、カレントミラー回路118を介して可変抵抗119に流れる。ここで、トランジスタ116とトランジスタ117のアスペクト比が同じ、即ち、トランジスタ117のドレイン電流とトランジスタ116のドレイン電流は等しいとする。可変抵抗119が電流電圧変換手段として機能するため、トランジスタ117に流れるドレイン電流の電流値I117は、可変抵抗119の抵抗値R119による電圧降下により

50

制限電圧 V_3 に変換される。制限電圧 V_3 は、以下の (2) 式により表される。

$$V_3 = V_{DD} - R_{119} \times I_{117} \quad \dots (2)$$

【0022】

上述したように、誤差増幅回路 114 は、電圧 V_2 及び制限電圧 V_3 の各々を比較し、電圧 V_2 が制限電圧 V_3 未満となった場合、ゲート電圧調整トランジスタ 115 のゲート G の電圧を低下させる。

このため、ゲート電圧調整トランジスタ 115 のドレイン電流が増加し、接続点 P_1 の電圧が上昇する。これにより、出力段トランジスタ 105 に流れる電流が減少し、過電流制限が行われる。

【0023】

ここで、誤差増幅回路 114 を含む負帰還回路において、誤差増幅回路 114 に入力される電圧 V_2 と制限電圧 V_3 とは、過電流制限状態では同一の電圧 ($V_2 = V_3$) となっている。したがって、(1) 式及び (2) 式の各々から、電圧 V_1 は、以下の (3) 式により表される。

$$V_1 = V_{DD} - R_{119} \times I_{117} - |V_{TH108}| \quad \dots (3)$$

【0024】

また、出力段トランジスタ 105 に流れるドレイン電流 (飽和ドレイン電流) を I_{115} とした場合、ドレイン電流 I_{115} は、以下の (4) 式により表される。

$$I_{115} = K_{105} \times (V_{DD} - V_1 - |V_{TH105}|)^2 \quad \dots (4)$$

【0025】

上記 (4) 式において、 V_{TH105} は出力段トランジスタ 105 の閾値電圧であり、 K_{105} は出力段トランジスタ 105 のトランスコンダクタンス係数であり、以下の (4') 式により表される。

$$K_{105} = (1/2) \times \mu_{105} \times C_{ox105} \times (W_{105}/L_{105}) \dots (4')$$

上記 (4') 式において、 μ_{105} は、出力段トランジスタ 105 のキャリア (正孔) の移動度である。 C_{ox105} は、出力段トランジスタ 105 のゲート G の単位面積当たりのゲート酸化膜容量である。 W_{105} は、出力段トランジスタ 105 のチャネル領域の幅である。 L_{105} は、出力段トランジスタ 105 のチャネル領域の長さ (チャネル長) である。したがって、 W_{105}/L_{105} は、出力段トランジスタ 105 のゲート G のアスペクト比を示している。

【0026】

上記 (4) 式に上記 (3) 式を代入し、このときの出力段トランジスタ 105 のドレイン電流値を出力電流制限値 I_{LIM1} と置く。また、出力段トランジスタ 105 及び電流検出トランジスタ 108 の各々のトランジスタ特性が同様で、同一の閾値電圧、すなわち、 $V_{TH105} = V_{TH108}$ である場合、(4) 式に (3) 式を代入した結果として、以下に示す (5) 式が得られる。

$$I_{LIM1} = K_{105} \times (R_{119} \times I_{117})^2 \quad \dots (5)$$

上記 (5) 式により、電源電圧 V_{DD} が上昇した場合、可変抵抗 119 の抵抗値を小さくするか、あるいはトランジスタ 117 に流れるドレイン電流の電流値を小さくすることにより、出力段トランジスタ 105 に流れる出力電流制限値 I_{LIM1} を少なくすることができるが判る。

【0027】

すなわち、本実施形態によれば、制限電圧制御部 120 が電源電圧 V_{DD} の電圧値の増加に従い、可変抵抗 119 の抵抗値を小さくするため、電源電圧 V_{DD} に対応して接続点 P_3 における制限電圧 V_3 の電圧値を増加させることで、出力段トランジスタ 105 が出力する電流値を、電源電圧 V_{DD} の電圧値に対応した出力電流制限値 I_{LIM1} 以下で制限することが可能となり、出力段トランジスタ 105 の発熱を従来例に比較して効果的に抑制することができる。

すなわち、本実施形態によれば、電源電圧が高い場合においても、地絡などにより出力段トランジスタ 105 に大電流が流れた際に、出力段トランジスタ 105 における電力損失

10

20

30

40

50

による発熱を効果的に抑制することができる。

【 0 0 2 8 】

図 2 は、本実施形態による過電流制限回路における可変抵抗 1 1 9 の具体例を示す回路図である。

【 0 0 2 9 】

図 2 の可変抵抗回路 1 1 9 は、抵抗 4 0 1、抵抗 4 0 2 及びトランジスタ 4 0 3 を備えている。

抵抗 R 4 0 1 と抵抗 4 0 2 は、電源と接続点 P 3 の間に直列に接続されて介挿されている。トランジスタ 4 0 3 は、p チャネル型の MOS トランジスタであり、ソース S が電源に接続され、ドレイン D が接続点 P 5 に接続され、ゲート G が制限電圧制御部 1 2 0 の出力端子に接続されている。トランジスタ 4 0 3 は、可変抵抗回路 1 1 9 における抵抗値調整のトランジスタである。

10

【 0 0 3 0 】

上述したように構成した可変抵抗回路 1 1 9 によれば、電源電圧 V D D が所定の電圧値より高くなると、制限電圧制御部 1 2 0 の制御信号により、トランジスタ 4 0 3 がオン状態になり、抵抗値 R 1 1 9 が低下する。従って、接続点 P 2 における電圧 V 2 を上昇させることが可能となり、出力段トランジスタ 1 0 5 に流れる出力電流制限値 I L I M 1 を小さくすることができることが判る。

【 0 0 3 1 】

< 第 2 の実施形態 >

20

以下、図面を参照して、本発明の第 2 の実施形態について説明する。図 3 は、本発明の第 2 の実施形態による過電流制限回路における制限電圧生成部を示す概略ブロック図である。第 2 の実施形態は、図 1 における制限電圧生成部 2 5 0 に換えて、制限電圧生成部 2 5 1 を備えている。他の構成については図 1 の第 1 の実施形態と同様である。

【 0 0 3 2 】

制限電圧生成部 2 5 1 は、可変定電流源 1 2 1、カレントミラー回路 1 1 8、電流電圧変換部である抵抗 1 1 3 及び制限電圧制御部 1 2 0 を備えている。

【 0 0 3 3 】

可変定電流源 1 2 1 は、一端が電源に接続され、他端がカレントミラー回路 1 1 8 におけるトランジスタ 1 1 6 のゲート G 及びドレイン D に接続され、制御端子が制限電圧制御部 1 2 0 の出力端子に接続され、制御端子に供給される電圧の電圧値に応じた電流値の電流を流す。

30

【 0 0 3 4 】

次に、制限電圧生成部 2 5 1 における制限電圧 V 3 の生成について説明する。

制限電圧 V 3 は、抵抗 1 1 3 の抵抗値を R 1 1 3 とした場合、抵抗 1 1 3 による電圧降下が、 $R 1 1 3 \times I 1 1 7$ であるため、以下の (6) 式により表される。

$$V 3 = V D D - R 1 1 3 \times I 1 1 7 \quad \dots (6)$$

また、第 1 の実施形態における (5) 式に対応させて、出力段トランジスタ 1 0 5 のドレイン電流の電流値を出力電流制限値 I L I M 2 とした場合、出力電流制限値 I L I M 2 は、以下の (7) 式で表される。

40

$$I L I M 2 = K 1 0 5 \times \{ R 1 1 3 \times I 1 1 7 \}^2 \quad \dots (7)$$

【 0 0 3 5 】

上述した構成により、電源電圧 V D D の電圧値が高くなるに従い、可変定電流源 1 2 1 に流れる電流を減少させ、抵抗 1 1 3 による電圧降下を減少させることにより、制限電圧 V 3 を上昇させる。従って、接続点 P 2 における電圧 V 2 を上昇させることが可能となり、出力段トランジスタ 1 0 5 に流れる出力電流制限値 I L I M 2 を少なくすることができる。

【 0 0 3 6 】

図 4 は、本実施形態による過電流制限回路における可変定電流源 1 2 1 の具体例を示す回路図である。

【 0 0 3 7 】

50

可変電流源 121 は、定電流源 110、801 とトランジスタ 802 とを備えている。トランジスタ 802 は、n チャネル型の MOS トランジスタであり、ドレイン D が接続点 P6 に接続され、ソース S が定電流源 801 を介して接地され、ゲート G が制限電圧制御部 120 の出力端子に接続されている。

【0038】

上述のように構成した可変定電流源 121 によれば、電源電圧 VDD の電圧値が高くなるに従い、定電流源 801 に流れる電流を増加させることにより、抵抗 113 に流れる電流を低下させることができ、制限電圧 V3 を上昇させることが可能となる。従って、接続点 P2 における電圧 V2 を上昇させることが可能となり、出力段トランジスタ 105 に流れる出力電流制限値 I LIM2 を少なくすることが出来ることが判る。

10

【0039】

<制限電圧制御部 120 の第 1 の構成例>

図 5 は、制限電圧制御部 120 の具体例を示す回路図である。図 5 に示す制限電圧制御部は、すでに説明した第 1 及び第 2 の実施形態に用いることができる。

図 5 に示す制限電圧制御部 120 は、直列に接続された抵抗 502、抵抗 501 及び出力端子 503 を備えている。

【0040】

出力端子 503 の電圧 V503 は、抵抗 502 と抵抗 501 との抵抗比で決定され、この抵抗比に基づいて分圧された電圧が制御信号として、制限電圧制御部 120 の出力端子から出力される。

20

【0041】

図 5 のように構成した制限電圧制御部 120 は、電源電圧 VDD が高くなった場合、図 2 の回路例ではトランジスタ 403 のゲート G の電圧をソース S に対して低く、図 4 の回路例ではトランジスタ 802 のゲート G の電圧をソース S に対して高くする。すなわち、図 5 の制限電圧制御部 120 は、可変抵抗 119 及び可変定電流源 121 を各実施形態で説明したように制御することが出来る。

【0042】

<制限電圧制御部 120 の第 2 の構成例>

図 6 は、制限電圧制御部 120 の具体例を示す回路図である。図 6 (a) は、制限電圧制御部の構成例を説明する図である。図 6 (a) に示す制限電圧制御部は、すでに説明した第 1 の実施形態に用いることができる。

30

図 6 (a) に示す制限電圧制御部 120 は、カレントミラー回路 618、電流源 601 及び抵抗 604 を備えている。カレントミラー回路 618 は、トランジスタ 602 及びトランジスタ 603 の各々を備えている。

【0043】

トランジスタ 602 は、p チャネル型の MOS トランジスタであり、ソース S が電源に接続され、ゲート G 及びドレイン D が電流源 601 を介して接地されている。

トランジスタ 603 は、p チャネル型の MOS トランジスタであり、ソース S が電源に接続され、ゲート G がトランジスタ 602 のゲート G に接続され、ドレイン D が抵抗 604 の一端に接続されている。

40

抵抗 604 は、一端が出力端子 605 に接続され、他端が接地されている。

【0044】

カレントミラー回路 618 において、電流源 601 が流す電流が所定のミラー比により、トランジスタ 603 のドレイン電流として、抵抗 604 に流れる。

これにより、トランジスタ 603 に流れるドレイン電流の電流値に応じて、抵抗 604 の電圧降下による電圧 V605 が出力端子 605 から出力される。

以下、図を参照して、制限電圧制御部 120 の電源電圧 VDD と電圧 V605 との対応関係を説明する。

【0045】

図 6 (b) は、制限電圧制御部 120 の電源電圧 VDD と電圧 V605 との対応関係を示

50

している。横軸が電源電圧 V_{DD} の電圧値 (V) を示し、縦軸が電圧 V_{605} の電圧値 (V) を示している。

電源電圧 V_{DD} の電圧値が $0V$ から V_{DD1} 未満までは、トランジスタ 603 がオフ状態であるため、抵抗 604 に電流が流れずに、電圧 V_{605} は $0V$ である。

電源電圧 V_{DD} の電圧値が V_{DD1} でトランジスタ 603 がオン状態となり、トランジスタ 603 は、電源電圧 V_{DD} が V_{DD1} から V_{DD2} まで抵抗領域 (線形領域) として動作する。この抵抗領域において、トランジスタ 603 に流れる電流が増加するに従い、電圧 V_{605} は線形的に増加する。この抵抗領域においては、 $V_{605} \propto V_{DD}$ の関係となっている。

【0046】

したがって、図2の回路の制限電圧制御部120に図6(a)の回路を用いた場合、トランジスタ403のゲートGに、電圧 V_{605} が印加されるため、電源電圧 V_{DD} が V_{DD2} までは、電圧 $(V_{DD} - V_{605})$ がトランジスタ403の閾値電圧 $|V_{TH403}|$ より低いので、トランジスタ403はオフ状態となる。

【0047】

また、電源電圧 V_{DD} が V_{DD2} を超えると、トランジスタ 603 が飽和領域となり、トランジスタ 603 のドレイン電流が増加せずほぼ一定値となるため、電圧 V_{605} も一定値となる。すなわち、電源電圧 V_{DD} が V_{DD2} を超えると、 $V_{DD} > V_{605}$ の関係となり、 $V_{DD} - V_{605} > |V_{TH403}|$ の関係が成り立つと、トランジスタ403はオン状態となる。

この結果、可変抵抗回路119の抵抗値が変化し、制限電圧 V_3 の電圧値を上昇させ、出力電流制限値 I_{LIM1} を低下させることができる。

【0048】

また、図6(a)における抵抗 604 は、他の電流電圧変換素子に置き換える構成としても良い。例えば、ゲートGとドレインDとを接続したダイオード接続のトランジスタを1個あるいは複数個を直列に多段接続した構成、またダイオードを、抵抗 604 に換えて出力端子 605 と接地との間に順方向に介挿する構成としても良い。

【0049】

<制限電圧制御部120の第3の構成例>

図7は、制限電圧制御部120具体例を示す回路図である。図7(a)は、制限電圧制御部の構成例を説明する図である。図7(a)に示す制限電圧制御部は、すでに説明した第2の実施形態に用いることができる。

図7(a)に示す制限電圧制御部120は、カレントミラー回路918、電流源901及び抵抗904を備えている。カレントミラー回路918は、トランジスタ902及びトランジスタ903の各々を備えている。

【0050】

トランジスタ902は、nチャネル型のMOSトランジスタであり、ドレインD及びゲートGが電流源901を介して電源に接続され、ソースSが接地されている。

トランジスタ903は、nチャネル型のMOSトランジスタであり、ドレインDが出力端子905に接続され、ゲートGがトランジスタ902のゲートGに接続され、ソースSが接地されている。

抵抗904は、一端が電源に接続され、他端が出力端子905に接続されている。

【0051】

カレントミラー回路918において、電流源901が流す電流が所定のミラー比により、トランジスタ903のドレイン電流として、抵抗904に流れる。

これにより、トランジスタ903に流れるドレイン電流の電流値に応じて、抵抗904の電圧降下による電圧 V_{905} が出力端子905から出力される。

以下、図を参照して、制限電圧制御部120の電源電圧 V_{DD} と電圧 V_{905} との対応関係を説明する。

【0052】

10

20

30

40

50

図7(b)は、制限電圧制御部120の電源電圧VDDと電圧V905との対応関係を示している。横軸が電源電圧VDDの電圧値(V)を示し、縦軸が電圧V905の電圧値(V)を示している。

電源電圧VDDの電圧値が0VからVDD1未満までは、トランジスタ903がオフ状態であるため、電圧V905は電源電圧VDDの増加に対応して徐々に上昇する。

電源電圧VDDの電圧値がVDD1を超えると、トランジスタ903はオン状態となる。このため、一端、電圧V905が0Vに低下するが、電源電圧VDDがVDD1からVDD2まで抵抗領域(線形領域)として動作する。このとき、電源電圧VDDとともに電圧V905がゆるやかに上昇する。

【0053】

また、電源電圧VDDがVDD2を超えると、トランジスタ903が飽和領域となるため、電圧V905が電源電圧VDDの増加の傾きと同様の傾きで上昇する。

すなわち、トランジスタ903が飽和領域において動作している際、トランジスタ903のドレイン電流をI903とし、抵抗904の抵抗値をR904とした場合、電圧V905は $VDD - R904 \times I903$ で表される。

【0054】

図2の回路の制限電圧制御部120として、図7(a)に示す回路を用いた場合、トランジスタ802のゲートGに、V905が印加されるため、電源電圧VDDがVDD2を超えて、トランジスタ903が飽和領域となるまで、 $VDD - R904 \times I903 > |V_{TH802}|$ の関係が成り立たず、トランジスタ802はオフ状態である。

【0055】

また、電源電圧VDDがVDD2を超えて、トランジスタ903が飽和領域となると、電源電圧VDDの増加に対応して、電圧V905も上昇する。すなわち、電源電圧VDDが増加がVDD2を超えると、 $VDD > R904 \times I903$ の関係となり、 $VDD - R904 \times I903 > |V_{TH802}|$ の関係が成り立つと、トランジスタ802はオン状態となる。

この結果、トランジスタ117に流れる電流値が減少し、制限電圧V3の電圧値を上昇させ、出力電流制限値ILIM2を低下させることができる。

【0056】

また、図7(a)における抵抗904は、他の電流電圧変換素子に置き換える構成としても良い。例えば、ゲートGとドレインDとを接続したダイオード接続のトランジスタを1個あるいは複数個を直列に多段接続した構成、またダイオードを、抵抗904に換えて、電源と出力端子905との間に順方向に介挿する構成としても良い。

【0057】

また、第1の実施形態から第4の実施形態においては、電源回路として出力電圧Voutを分圧抵抗で分圧した帰還電圧VFBと基準電圧Vrefとが等しく制御される降圧型のボルテージレギュレータ1を例として説明したが、出力電圧Voutが基準電圧Vrefと等しく制御されるボルテージレギュレータなどの電源の出力段の出力段トランジスタにおける過電流を制限する構成に用いても良い。

【0058】

以上、この発明の実施形態を図面を参照して詳述してきたが、具体的な構成はこの実施形態に限られるものではなく、この発明の要旨を逸脱しない範囲の設計等も含まれる。例えば、図1において、制限電圧生成部250は、定電流源110の電流をカレントミラー回路118で折り返して可変抵抗119流す構成としているが、カレントミラー回路118で折り返す構成でなくても良い。また、可変抵抗119は、直列接続の抵抗401、402で構成したが、並列の抵抗で構成しても良い。その場合は、その構成に適した制限電圧制御部120を採用すればよい。また、可変定電流源121についても同様である。

【符号の説明】

【0059】

1...ボルテージレギュレータ

10

20

30

40

50

- 1 0 0 ... 電圧出力回路
- 1 0 3 ... 基準電圧電源
- 1 0 4 , 1 1 4 ... 誤差増幅回路
- 1 0 5 ... 出力段トランジスタ
- 1 0 8 ... 電流検出トランジスタ
- 1 1 0 , 6 0 1 , 8 0 1 , 9 0 1 ... 定電流源
- 1 1 5 ... ゲート電圧調整トランジスタ
- 1 1 8 , 6 1 8 , 9 1 8 ... カレントミラー回路
- 1 1 9 ... 可変抵抗
- 1 2 0 ... 制限電圧制御部
- 1 2 1 ... 可変定電流源
- 2 0 0 ... 過電流制限回路
- 2 5 0 , 2 5 1 ... 制限電圧生成部

10

【図面】

【図 1】

【図 2】

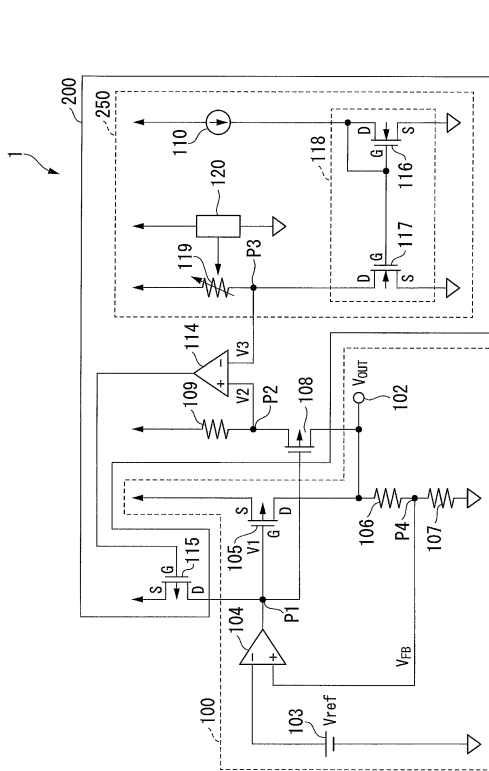


図 1

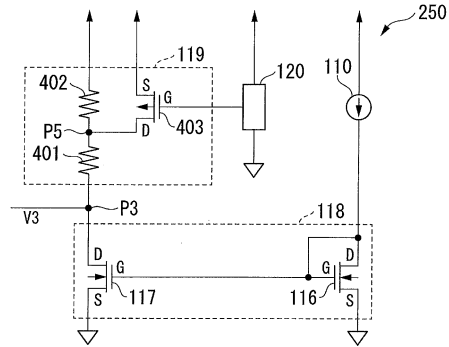


図 2

20

30

40

50

【 図 3 】

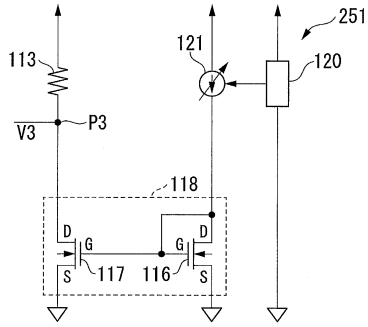


図 3

【 図 4 】

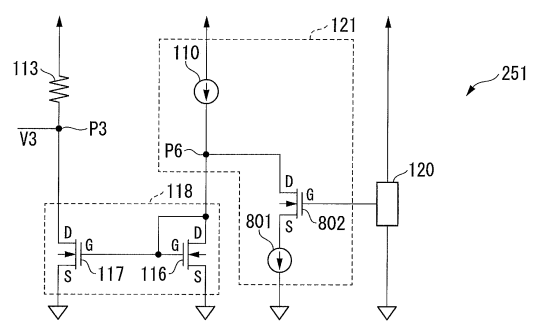


図 4

【 図 5 】

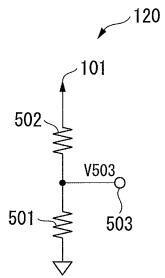
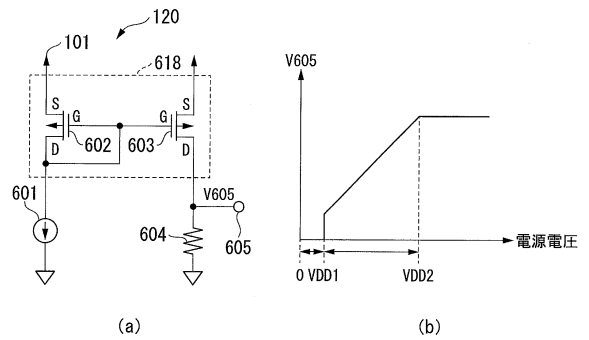


図 5

【 図 6 】



(a)

(b)

図 6

10

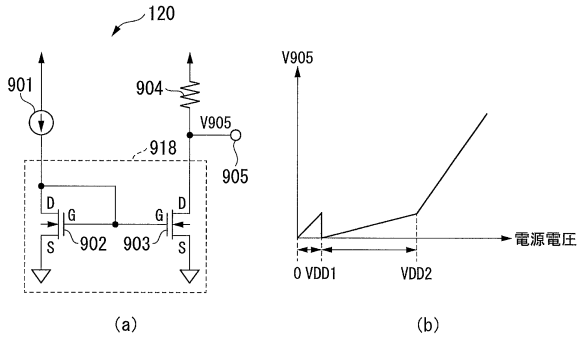
20

30

40

50

【 図 7 】



【 図 8 】

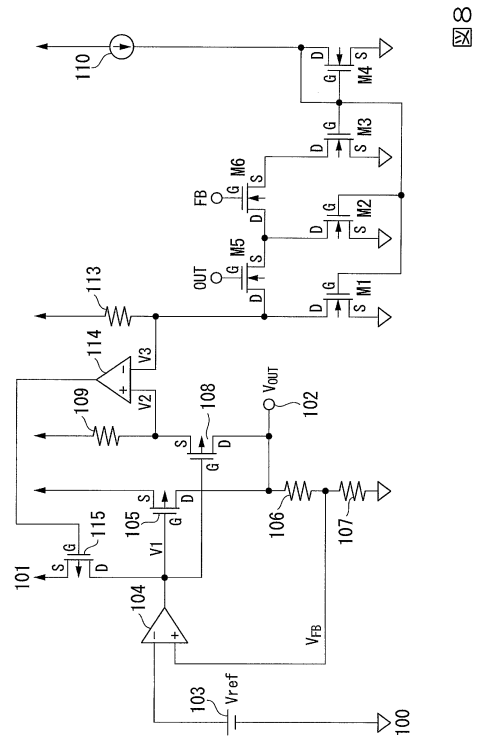


図 7

図 8

10

20

30

40

50

フロントページの続き

- (56)参考文献 特開2007-257229(JP,A)
特開2011-150640(JP,A)
特開2009-048362(JP,A)
- (58)調査した分野 (Int.Cl., DB名)
G05F 1/56