

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2021-34651  
(P2021-34651A)

(43) 公開日 令和3年3月1日(2021.3.1)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/11582 (2017.01)	HO 1 L 27/11582	5 F 0 8 3
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 7 1	5 F 1 0 1
HO 1 L 29/788 (2006.01)		
HO 1 L 29/792 (2006.01)		

審査請求 未請求 請求項の数 5 O L (全 23 頁)

(21) 出願番号 特願2019-155814 (P2019-155814)  
(22) 出願日 令和1年8月28日 (2019.8.28)

(71) 出願人 318010018  
キオクシア株式会社  
東京都港区芝浦三丁目1番21号  
(74) 代理人 100108855  
弁理士 蔵田 昌俊  
(74) 代理人 100103034  
弁理士 野河 信久  
(74) 代理人 100075672  
弁理士 峰 隆司  
(74) 代理人 100153051  
弁理士 河野 直樹  
(74) 代理人 100162570  
弁理士 金子 早苗

最終頁に続く

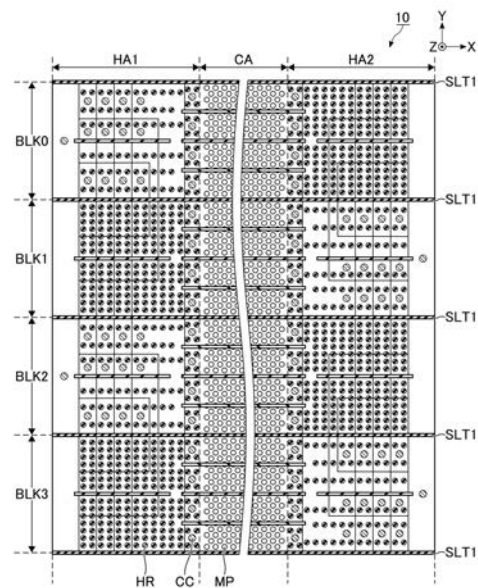
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】半導体記憶装置の歩留まりを改善する。

【解決手段】実施形態の半導体記憶装置は、第1乃至第3絶縁部材SLT1、第1及び第2の導電体、第1及び第3ピラーMP、並びに第2及び第4ピラーHRを含む。第1の導電体は第1及び第2絶縁部材間に設けられ、第2の導電体は第2及び第3絶縁部材間に設けられる。第1及び第3ピラーは第1領域CA内で第1及び第2の導電体をそれぞれ貫通している。複数の第2ピラーは第2領域HA1又は第3領域HA2内で第1の導電体を貫通し、複数の第4ピラーは、第2又は第3領域内で第2の導電体を貫通している。第3領域内における複数の第2ピラーの被覆率は、第2領域内における複数の第2ピラーの被覆率よりも高く且つ第1領域内における複数の第1ピラーの被覆率以下である。

【選択図】図9



## 【特許請求の範囲】

## 【請求項 1】

メモリセルを含む第 1 領域と、第 1 方向で前記第 1 領域を挟む第 2 領域及び第 3 領域とを含む基板と、

各々が前記第 1 方向に沿って前記第 1 乃至第 3 領域を横切って設けられ、前記第 1 方向と交差する第 2 方向に並んだ第 1 乃至第 3 絶縁部材と、

前記基板の上方、且つ前記第 1 絶縁部材と前記第 2 絶縁部材との間に設けられた第 1 の導電体と、

前記基板の上方、且つ前記第 2 絶縁部材と前記第 3 絶縁部材との間に設けられた第 2 の導電体と、

前記第 1 領域内で、前記第 1 の導電体を貫通して設けられた複数の第 1 ピラーと、

前記第 2 領域又は前記第 3 領域内で、前記第 1 の導電体を貫通し、且つ前記第 1 の導電体に対するコンタクトから離れて設けられた複数の第 2 ピラーと、

前記第 1 領域内で、前記第 2 の導電体を貫通して設けられた複数の第 3 ピラーと、

前記第 2 領域又は前記第 3 領域内で、前記第 2 の導電体を貫通し、且つ前記第 2 の導電体に対するコンタクトから離れて設けられた複数の第 4 ピラーと、

を備え、

前記第 3 領域内における前記複数の第 2 ピラーの被覆率は、前記第 2 領域内における前記複数の第 2 ピラーの被覆率よりも高く、且つ前記第 1 領域内における前記複数の第 1 ピラーの被覆率以下であり、

前記第 2 領域内における前記複数の第 4 ピラーの被覆率は、前記第 3 領域内における前記複数の第 4 ピラーの被覆率よりも高く、且つ前記第 1 領域内における前記複数の第 3 ピラーの被覆率以下である、

半導体記憶装置。

## 【請求項 2】

前記第 1 絶縁部材と前記第 3 絶縁部材との間の構造体と同様の構造体が、前記第 2 方向に沿って複数設けられる、

請求項 1 に記載の半導体記憶装置。

## 【請求項 3】

メモリセルを含む第 1 領域と、第 1 方向で前記第 1 領域を挟む第 2 領域及び第 3 領域とを含む基板と、

前記基板の上方、且つ前記第 1 方向に沿って前記第 1 乃至第 3 領域を横切って設けられ第 1 導電体層と、

前記第 1 領域内で、前記第 1 導電体層を貫通して設けられた複数の第 1 ピラーと、

前記第 2 領域又は前記第 3 領域内で、前記第 1 導電体層を貫通し、且つ前記第 1 導電体層に対するコンタクトから離れて設けられた複数の第 2 ピラーと、

を備え、

前記第 2 領域は、前記第 1 導電体層と対応するように、前記第 1 導電体層に対するコンタクトを含む第 1 サブ領域と、前記第 1 サブ領域と異なる第 2 サブ領域とを含み、

前記第 2 サブ領域内における前記複数の第 2 ピラーの被覆率は、前記第 1 サブ領域内における前記複数の第 2 ピラーの被覆率よりも高く、且つ前記第 1 領域内における前記複数の第 1 ピラーの被覆率以下である、

半導体記憶装置。

## 【請求項 4】

前記第 1 導電体層の上方に設けられた第 2 導電体層をさらに備え、

前記複数の第 1 ピラーのそれぞれと前記複数の第 2 ピラーの一部は、前記第 2 導電体層も貫通し、

前記第 3 領域は、前記第 2 導電体層と対応するように、前記第 2 導電体層に対するコンタクトを含む第 3 サブ領域と、前記第 3 サブ領域と異なる第 4 サブ領域とを含み、

前記第 4 サブ領域内における前記複数の第 2 ピラーの被覆率は、前記第 3 サブ領域内に

10

20

30

40

50

における前記複数の第 2 ピラーの被覆率よりも高く、且つ前記第 1 領域内における前記複数の第 1 ピラーの被覆率以下である、

請求項 3 に記載の半導体記憶装置。

【請求項 5】

前記基板と前記第 1 導電体層との間に設けられた第 3 導電体層をさらに備え、

前記複数の第 1 ピラーと前記複数の第 2 ピラーとのそれぞれは、前記第 3 導電体層も貫通し、

前記第 2 領域は、前記第 3 導電体層と対応するように、前記第 1 及び第 2 サブ領域と異なり且つ前記第 3 導電体層に対するコンタクトを含む第 5 サブ領域と、前記第 1、第 2 及び第 5 サブ領域と異なる第 6 サブ領域とを含み、

前記第 6 サブ領域内における前記複数の第 2 ピラーの被覆率は、前記第 5 サブ領域内における前記複数の第 2 ピラーの被覆率よりも高く、且つ前記第 1 領域内における前記複数の第 1 ピラーの被覆率以下であり、

前記第 1 サブ領域は、前記第 1 方向と交差する第 2 方向に前記第 2 サブ領域と隣り合い、且つ前記第 1 方向に前記第 6 サブ領域と隣り合い、

前記第 5 サブ領域は、前記第 2 方向に前記第 6 サブ領域と隣り合い、且つ前記第 1 方向に前記第 2 サブ領域と隣り合う、

請求項 3 に記載の半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

実施形態は、半導体記憶装置に関する。

【背景技術】

【0002】

データを不揮発に記憶することが可能な NAND 型フラッシュメモリが知られている。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2019 - 050243 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

半導体記憶装置の歩留まりを改善する。

【課題を解決するための手段】

【0005】

実施形態の半導体記憶装置は、基板と、第 1 乃至第 3 絶縁部材と、第 1 及び第 2 の導電体と、第 1 乃至第 4 ピラーと、を含む。基板は、メモリセルを含む第 1 領域と、第 1 方向で第 1 領域を挟む第 2 領域及び第 3 領域とを含む。第 1 乃至第 3 絶縁部材は、各々が第 1 方向に沿って第 1 乃至第 3 領域を横切って設けられ、第 1 方向と交差する第 2 方向に並んでいる。第 1 の導電体は、基板の上方、且つ第 1 絶縁部材と第 2 絶縁部材との間に設けられる。第 2 の導電体は、基板の上方、且つ第 2 絶縁部材と第 3 絶縁部材との間に設けられる。複数の第 1 ピラー及び複数の第 3 ピラーは、第 1 領域内で第 1 の導電体及び第 2 の導電体をそれぞれ貫通して設けられる。複数の第 2 ピラーは、第 2 領域又は第 3 領域内で第 1 の導電体を貫通し、且つ第 1 の導電体に対するコンタクトから離れて設けられる。複数の第 4 ピラーは、第 2 領域又は第 3 領域内で第 2 の導電体を貫通し、且つ第 2 の導電体に対するコンタクトから離れて設けられる。第 3 領域内における複数の第 2 ピラーの被覆率は、第 2 領域内における複数の第 2 ピラーの被覆率よりも高く、且つ第 1 領域内における複数の第 1 ピラーの被覆率以下である。第 2 領域内における複数の第 4 ピラーの被覆率は、第 3 領域内における複数の第 4 ピラーの被覆率よりも高く、且つ第 1 領域内における複数の第 3 ピラーの被覆率以下である。

10

20

30

40

50

## 【図面の簡単な説明】

## 【0006】

【図1】実施形態に係る半導体記憶装置のブロック図。

【図2】実施形態に係る半導体記憶装置が備えるメモリセルアレイの回路図。

【図3】実施形態に係る半導体記憶装置が備えるメモリセルアレイの平面レイアウトの一例を示す平面図。

【図4】実施形態に係る半導体記憶装置が備えるメモリセルアレイのセル領域における詳細な平面レイアウトの一例を示す平面図。

【図5】実施形態に係る半導体記憶装置が備えるメモリセルアレイのセル領域における断面構造の一例を示す断面図。

10

【図6】実施形態に係る半導体記憶装置におけるメモリピラーの断面構造の一例を示す断面図。

【図7】実施形態に係る半導体記憶装置が備えるメモリセルアレイの引出領域における詳細な平面レイアウトの一例を示す平面図。

【図8】実施形態に係る半導体記憶装置が備えるメモリセルアレイの引出領域における断面構造の一例を示す断面図。

【図9】実施形態に係る半導体記憶装置が備えるメモリセルアレイの平面レイアウトの一例を示す平面図。

【図10】実施形態の比較例に係る半導体記憶装置が備えるメモリセルアレイの平面レイアウトの一例を示す平面図。

20

【図11】半導体記憶装置における積層配線構造の形成方法の一例を示す断面図。

【図12】実施形態の第1変形例に係る半導体記憶装置が備えるメモリセルアレイの平面レイアウトの一例を示す平面図。

【図13】実施形態の第2変形例に係る半導体記憶装置が備えるメモリセルアレイの平面レイアウトの一例を示す平面図。

【図14】実施形態の第3変形例に係る半導体記憶装置が備えるメモリセルアレイの平面レイアウトの一例を示す平面図。

## 【発明を実施するための形態】

## 【0007】

以下に、実施形態について図面を参照して説明する。実施形態は、発明の技術的思想を具体化するための装置や方法を例示している。図面は模式的又は概念的なものであり、各図面の寸法及び比率等は必ずしも現実のものとは限らない。本発明の技術思想は、構成要素の形状、構造、配置等によって特定されるものではない。

30

## 【0008】

尚、以下の説明において、略同一の機能及び構成を有する構成要素については、同一符号を付す。参照符号を構成する文字の後の数字は、同じ文字を含んだ参照符号によって参照され、且つ同様の構成を有する要素同士を区別するために使用される。同じ文字を含んだ参照符号で示される要素を相互に区別する必要がない場合、これらの要素はそれぞれ文字のみを含んだ参照符号により参照される。

## 【0009】

40

## [1]実施形態

以下に、実施形態に係る半導体記憶装置1について説明する。

## 【0010】

## [1-1]半導体記憶装置1の構成

## [1-1-1]半導体記憶装置1の全体構成

図1は、実施形態に係る半導体記憶装置1の構成例を示している。半導体記憶装置1は、データを不揮発に記憶することが可能なNAND型フラッシュメモリであり、外部のメモリコントローラ2によって制御可能である。

## 【0011】

図1に示すように、半導体記憶装置1は、例えばメモリセルアレイ10、コマンドレジ

50

スタ 1 1、アドレスレジスタ 1 2、シーケンサ 1 3、ドライバモジュール 1 4、ロウデコーダモジュール 1 5、並びにセンスアンプモジュール 1 6を備えている。

【 0 0 1 2 】

メモリセルアレイ 1 0は、複数のブロック B L K 0 ~ B L K n ( n は 1 以上の整数 ) を含んでいる。ブロック B L K は、データを不揮発に記憶することが可能な複数のメモリセルの集合であり、例えばデータの消去単位として使用される。また、メモリセルアレイ 1 0には、複数のビット線及び複数のワード線が設けられる。各メモリセルは、例えば 1 本のビット線と 1 本のワード線とに関連付けられている。メモリセルアレイ 1 0の詳細な構成については後述する。

【 0 0 1 3 】

コマンドレジスタ 1 1は、半導体記憶装置 1 がメモリコントローラ 2 から受信したコマンド C M D を保持する。コマンド C M D は、例えばシーケンサ 1 3 に読み出し動作、書き込み動作、消去動作等を実行させる命令を含んでいる。

【 0 0 1 4 】

アドレスレジスタ 1 2は、半導体記憶装置 1 がメモリコントローラ 2 から受信したアドレス情報 A D D を保持する。アドレス情報 A D D は、例えばブロックアドレス B A d、ページアドレス P A d、及びカラムアドレス C A d を含んでいる。例えば、ブロックアドレス B A d、ページアドレス P A d、及びカラムアドレス C A d は、それぞれブロック B L K、ワード線、及びビット線の選択に使用される。

【 0 0 1 5 】

シーケンサ 1 3は、半導体記憶装置 1 全体の動作を制御する。例えば、シーケンサ 1 3は、コマンドレジスタ 1 1に保持されたコマンド C M D に基づいてドライバモジュール 1 4、ロウデコーダモジュール 1 5、及びセンスアンプモジュール 1 6等を制御して、読み出し動作、書き込み動作、消去動作等を実行する。

【 0 0 1 6 】

ドライバモジュール 1 4は、読み出し動作、書き込み動作、消去動作等で使用される電圧を生成する。そして、ドライバモジュール 1 4は、例えばアドレスレジスタ 1 2に保持されたページアドレス P A d に基づいて、選択されたワード線に対応する信号線に生成した電圧を印加する。

【 0 0 1 7 】

ロウデコーダモジュール 1 5は、アドレスレジスタ 1 2に保持されたブロックアドレス B A d に基づいて、対応するメモリセルアレイ 1 0内の 1 つのブロック B L K を選択する。そして、ロウデコーダモジュール 1 5は、例えば選択されたワード線に対応する信号線に印加された電圧を、選択されたブロック B L K 内の選択されたワード線に転送する。

【 0 0 1 8 】

センスアンプモジュール 1 6は、書き込み動作において、メモリコントローラ 2 から受信した書き込みデータ D A T に応じて、各ビット線に所望の電圧を印加する。また、センスアンプモジュール 1 6は、読み出し動作において、ビット線の電圧に基づいてメモリセルに記憶されたデータを判定し、判定結果を読み出しデータ D A T としてメモリコントローラ 2 に転送する。

【 0 0 1 9 】

以上で説明した半導体記憶装置 1 及びメモリコントローラ 2 は、それらの組み合わせにより 1 つの半導体装置を構成しても良い。このような半導体装置としては、例えば S D <sup>T</sup> <sup>M</sup> カードのようなメモリカードや、S S D ( solid state drive ) 等が挙げられる。

【 0 0 2 0 】

[ 1 - 1 - 2 ] メモリセルアレイ 1 0 の回路構成

図 2 は、実施形態に係る半導体記憶装置 1 が備えるメモリセルアレイ 1 0 の回路構成の一例を、メモリセルアレイ 1 0 に含まれた複数のブロック B L K のうち 1 つのブロック B L K を抽出して示している。図 2 に示すように、ブロック B L K は、例えば 4 つのストリングユニット S U 0 ~ S U 3 を含んでいる。

10

20

30

40

50

## 【 0 0 2 1 】

各ストリングユニットSUは、ビット線BL<sub>0</sub>～BL<sub>m</sub>（mは1以上の整数）にそれぞれ関連付けられた複数のNANDストリングNSを含んでいる。各NANDストリングNSは、例えばメモリセルトランジスタMT<sub>0</sub>～MT<sub>11</sub>、並びに選択トランジスタST<sub>1</sub>及びST<sub>2</sub>を含んでいる。メモリセルトランジスタMTは、制御ゲート及び電荷蓄積層を含み、データを不揮発に保持する。選択トランジスタST<sub>1</sub>及びST<sub>2</sub>のそれぞれは、各種動作時におけるストリングユニットSUの選択に使用される。

## 【 0 0 2 2 】

各NANDストリングNSにおいて、メモリセルトランジスタMT<sub>0</sub>～MT<sub>11</sub>は、直列接続される。選択トランジスタST<sub>1</sub>のドレインは、関連付けられたビット線BLに接続され、選択トランジスタST<sub>1</sub>のソースは、直列接続されたメモリセルトランジスタMT<sub>0</sub>～MT<sub>11</sub>の一端に接続される。選択トランジスタST<sub>2</sub>のドレインは、直列接続されたメモリセルトランジスタMT<sub>0</sub>～MT<sub>11</sub>の他端に接続される。選択トランジスタST<sub>2</sub>のソースは、ソース線SLに接続される。

10

## 【 0 0 2 3 】

同一のブロックBLKにおいて、メモリセルトランジスタMT<sub>0</sub>～MT<sub>11</sub>の制御ゲートは、それぞれワード線WL<sub>0</sub>～WL<sub>11</sub>に共通接続される。ストリングユニットSU<sub>0</sub>～SU<sub>3</sub>内のそれぞれの選択トランジスタST<sub>1</sub>のゲートは、それぞれ選択ゲート線SGD<sub>0</sub>～SGD<sub>3</sub>に共通接続される。同一のブロックBLKに含まれた選択トランジスタST<sub>2</sub>のゲートは、選択ゲート線SGSに共通接続される。

20

## 【 0 0 2 4 】

ビット線BL<sub>0</sub>～BL<sub>m</sub>には、それぞれ異なるカラムアドレスが割り当てられる。各ビット線BLは、複数のブロックBLK間で同一のカラムアドレスが割り当てられたNANDストリングNSによって共有される。ワード線WL<sub>0</sub>～WL<sub>11</sub>のそれぞれは、ブロックBLK毎に設けられる。ソース線SLは、複数のブロックBLK間で共有される。

## 【 0 0 2 5 】

1つのストリングユニットSU内で共通のワード線WLに接続された複数のメモリセルトランジスタMTの集合は、例えばセルユニットCUと称される。例えば、それぞれが1ビットデータを記憶するメモリセルトランジスタMTを含むセルユニットCUの記憶容量が、「1ページデータ」として定義される。セルユニットCUは、メモリセルトランジスタMTが記憶するデータのビット数に応じて、2ページデータ以上の記憶容量を有し得る。

30

## 【 0 0 2 6 】

尚、第1実施形態に係る半導体記憶装置1が備えるメモリセルアレイ10の回路構成は、以上で説明した構成に限定されない。例えば、各ブロックBLKが含むストリングユニットSUの個数や、各NANDストリングNSが含むメモリセルトランジスタMT並びに選択トランジスタST<sub>1</sub>及びST<sub>2</sub>の個数は、それぞれ任意の個数でも良い。

## 【 0 0 2 7 】

## [ 1 - 1 - 3 ] メモリセルアレイ10の構造

以下に、実施形態に係る半導体記憶装置1の構造の一例について説明する。尚、以下で参照される図面において、X方向はワード線WLの延伸方向に対応し、Y方向はビット線BLの延伸方向に対応し、Z方向は半導体記憶装置1の形成に使用される半導体基板20の表面に対する鉛直方向に対応している。平面図には、図を見易くするためにハッチングが適宜付加されている。平面図に付加されたハッチングは、ハッチングが付加された構成要素の素材や特性とは必ずしも関連していない。断面図では、図を見易くするために層間絶縁膜等の図示が適宜省略されている。

40

## 【 0 0 2 8 】

## (メモリセルアレイ10の平面レイアウトについて)

図3は、実施形態に係る半導体記憶装置1が備えるメモリセルアレイ10の平面レイアウトの一例であり、4つのブロックBLK<sub>0</sub>～BLK<sub>3</sub>に対応する領域を抽出して示して

50

いる。図3に示すように、メモリセルアレイ10の平面レイアウトは、例えば、X方向においてセル領域CAと引出領域HA1及びHA2とに分割される。また、メモリセルアレイ10は、スリットSLT1、SLT2、SLT3、及びSHEを含んでいる。

【0029】

セル領域CAは、引出領域HA1及びHA2に挟まれている。セル領域CAには、複数のNANDストリングNSが形成される。引出領域HA1及びHA2のそれぞれには、NANDストリングNSに接続されたワード線WL並びに選択ゲート線SGS及びSGDとロウデコーダモジュール15との間を電氣的に接続するためのコンタクトが形成される。

【0030】

スリットSLT1、SLT2、SLT3、及びSHEのそれぞれは、内部に絶縁部材が埋め込まれた構造を有し、同じ配線層に設けられ且つ当該スリットを介して隣り合う導電体層間を分断（絶縁）している。

10

【0031】

複数のスリットSLT1は、それぞれがX方向に沿って延伸して設けられ、Y方向に並んでいる。複数のスリットSLT1のそれぞれは、X方向においてセル領域CA並びに引出領域HA1及びHA2を横切っている。スリットSLT1は、ワード線WL0~WL11、並びに選択ゲート線SGD及びSGSを分断している。

【0032】

複数のスリットSLT2は、隣り合うスリットSLT1の間のそれぞれに配置される。複数のスリットSLT2は、それぞれがX方向に沿って引出領域HA1の端部領域から引出領域HA2の端部領域まで延伸し、セル領域CAを横切っている。スリットSLT2は、ワード線WL0~WL11、並びに選択ゲート線SGD及びSGSを分断している。

20

【0033】

複数のスリットSLT3は、隣り合うスリットSLT1の間のそれぞれに配置される。複数のスリットSLT3は、それぞれがX方向に沿って延伸して設けられ、引出領域HA1及びHA2のそれぞれに含まれている。スリットSLT3は、ワード線WL0~WL11、並びに選択ゲート線SGSを分断している。

【0034】

複数のスリットSHEは、隣り合うスリットSLT1及びSLT2の間のそれぞれに配置される。スリットSHEは、X方向において引出領域HA1の端部領域から引出領域HA2の端部領域まで延伸し、セル領域CAを横切っている。スリットSHEは、少なくとも選択ゲート線SGDを分断している。

30

【0035】

隣り合うスリットSLT1の間において、スリットSLT2は、引出領域HA1内のスリットSLT3と、引出領域HA2内のスリットSLT3とのそれぞれと離れている。以下では、隣り合うスリットSLT1の間において隣り合うスリットSLT2及びSLT3の間の部分のことを、ギャップ部GPと呼ぶ。

【0036】

以上で説明したメモリセルアレイ10の平面レイアウトでは、セル領域CAにおいてスリットSLT1、SLT2、及びSHEによって区切られた領域のそれぞれが、1つのストリングユニットSUに対応している。つまり、本例では、各々がX方向に延伸したストリングユニットSU0~SU3が、Y方向に並んでいる。そして、メモリセルアレイ10には、例えば図3に示されたレイアウトがY方向に繰り返し配置される。

40

【0037】

尚、隣り合うスリットSLT1の間に配置されるスリットSLT2及びSLT3の本数は、任意の本数に設計され得る。隣り合うスリットSLT1及びSLT2の間に配置されるスリットSHEの本数は、任意の本数に設計され得る。隣り合うスリットSLT1の間に形成されるストリングユニットSUの個数は、隣り合うスリットSLT1の間に配置されたスリットSLT2及びSHEの本数に基づいて変化する。

【0038】

50

(セル領域 C A におけるメモリセルアレイ 1 0 の構造について)

図 4 は、実施形態に係る半導体記憶装置 1 が備えるメモリセルアレイ 1 0 のセル領域 C A における詳細な平面レイアウトの一例であり、1 つのブロック B L K (すなわち、ストリングユニット S U 0 ~ S U 3 ) に対応する領域を抽出して示している。図 4 に示すように、セル領域 C A においてメモリセルアレイ 1 0 は、複数のメモリピラー M P 、複数のコンタクト C V 、及び複数のビット線 B L を含んでいる。

【 0 0 3 9 】

メモリピラー M P の各々は、例えば 1 つの N A N D ストリング N S として機能する。複数のメモリピラー M P は、例えば隣り合うスリット S L T 1 及び S L T 2 間の領域において、9 列の千鳥状に配置される。例えば、隣り合うスリット S L T 1 及び S L T 2 の中間部で X 方向に並んだメモリピラー M P は、スリット S H E と重なって配置される。つまり、複数のメモリピラー M P は、スリット S H E を貫通し、隣り合う選択ゲート線 S G D に接触したメモリピラー M P を含んでいる。

10

【 0 0 4 0 】

複数のビット線 B L は、それぞれが Y 方向に延伸し、X 方向に並んでいる。各ビット線 B L は、ストリングユニット S U 毎に少なくとも 1 つのメモリピラー M P と重なるように配置される。本例において各メモリピラー M P には、2 本のビット線 B L が重なって配置されている。メモリピラー M P に重なっている複数のビット線 B L のうち 1 本のビット線 B L と、当該メモリピラー M P との間には、コンタクト C V が設けられる。各メモリピラー M P は、コンタクト C V を介して対応するビット線 B L と電氣的に接続される。

20

【 0 0 4 1 】

尚、スリット S H E と重なったメモリピラー M P とビット線 B L との間のコンタクト C V は、省略される。言い換えると、異なる 2 本の実選ゲート線 S G D に接したメモリピラー M P とビット線 B L との間のコンタクト C V は、省略される。隣り合うスリット S L T 間におけるメモリピラー M P やスリット S H E 等の個数及び配置は、図 4 を用いて説明した構成に限定されず、適宜変更され得る。各メモリピラー M P と重なるビット線 B L の本数は、任意の本数に設計され得る。

【 0 0 4 2 】

図 5 は、図 4 の V - V 線に沿った断面図であり、実施形態に係る半導体記憶装置 1 の備えるメモリセルアレイ 1 0 のセル領域 C A における断面構造の一例を示している。また、図 5 には、X 方向においてスリット S H E と重なる部分が破線で示されている。図 5 に示すように、メモリセルアレイ 1 0 は、導電体層 2 1 ~ 2 5 を含んでいる。導電体層 2 1 ~ 2 5 は、半導体基板 2 0 の上方に設けられる。

30

【 0 0 4 3 】

具体的には、半導体基板 2 0 の上方に、絶縁体層を介して導電体層 2 1 が設けられる。図示が省略されているが、半導体基板 2 0 と導電体層 2 1 との間の絶縁体層には、例えばロウデコーダモジュール 1 5 やセンスアンプモジュール 1 6 等に対応する回路が設けられる。導電体層 2 1 は、例えば X Y 平面に沿って広がった板状に形成された複数の導電体層が積層された構造を有し、ソース線 S L として使用される。導電体層 2 1 は、例えばリンがドーブされたシリコンを含んでいる。

40

【 0 0 4 4 】

導電体層 2 1 の上方に、絶縁体層を介して導電体層 2 2 が設けられる。導電体層 2 2 は、例えば X Y 平面に沿って広がった板状に形成され、選択ゲート線 S G S として使用される。導電体層 2 2 は、例えばリンがドーブされたシリコンを含んでいる。

【 0 0 4 5 】

導電体層 2 2 の上方に、絶縁体層と導電体層 2 3 とが交互に積層される。導電体層 2 3 は、例えば X Y 平面に沿って広がった板状に形成される。積層された複数の導電体層 2 3 は、半導体基板 2 0 側から順に、それぞれワード線 W L 0 ~ W L 1 1 として使用される。導電体層 2 3 は、例えばタングステンを含んでいる。

【 0 0 4 6 】

50



最上層の導電体層 2 3 の上方に、絶縁体層を介して導電体層 2 4 が設けられる。導電体層 2 4 は、例えば X Y 平面に沿って広がった板状に形成される。導電体層 2 4 は、選択ゲート線 S G D として使用される。導電体層 2 4 は、例えばタングステンを含んでいる。

【 0 0 4 7 】

導電体層 2 4 の上方に、絶縁体層を介して導電体層 2 5 が設けられる。導電体層 2 5 は、例えば Y 方向に沿って延伸したライン状に形成され、ビット線 B L として使用される。つまり、図示せぬ領域において複数の導電体層 2 5 は、X 方向に沿って並んでいる。導電体層 2 5 は、例えば銅を含んでいる。

【 0 0 4 8 】

メモリピラー M P の各々は、Z 方向に沿って延伸して設けられ、導電体層 2 2 ~ 2 4 を貫通している。また、メモリピラー M P の各々は、例えばコア部材 3 0、半導体層 3 1、積層膜 3 2 を含んでいる。

10

【 0 0 4 9 】

コア部材 3 0 は、Z 方向に沿って延伸して設けられる。例えば、コア部材 3 0 の上端は、最上層の導電体層 2 4 よりも上層に含まれ、コア部材 3 0 の下端は、導電体層 2 1 が設けられた層内に含まれる。半導体層 3 1 は、例えばコア部材 3 0 の周囲を覆っている。メモリピラー M P の下部において、半導体層 3 1 の一部は、導電体層 2 1 に接触している。積層膜 3 2 は、半導体層 3 1 と導電体層 2 1 とが接触した部分を除いて、半導体層 3 1 の側面及び底面を覆っている。コア部材 3 0 は、例えば酸化シリコン ( S i O <sub>2</sub> ) 等の絶縁体を含んでいる。半導体層 3 1 は、例えばシリコンを含んでいる。

20

【 0 0 5 0 】

メモリピラー M P 内の半導体層 3 1 の上面には、柱状のコンタクト C V が設けられる。図示された領域には、5 本のメモリピラー M P のうち、2 本のメモリピラー M P に対応するコンタクト C V が表示されている。当該領域においてスリット S H E と重ならない且つコンタクト C V が接続されていないメモリピラー M P には、図示されない領域においてコンタクト C V が接続される。

【 0 0 5 1 】

コンタクト C V の上面には、1 個の導電体層 2 5、すなわち 1 本のビット線 B L が接触している。1 個の導電体層 2 5 には、スリット S L T 1、S L T 2 及び S H E と、スリット S H E に接触したメモリピラー M P とによって区切られた空間のそれぞれにおいて、1 本のコンタクト C V が接続される。つまり、導電体層 2 5 の各々には、例えば隣り合うスリット S L T 1 及び S H E 間における 1 本のメモリピラー M P と、隣り合うスリット S H E 及び S L T 2 間における 1 本のメモリピラー M P とが電氣的に接続される。

30

【 0 0 5 2 】

スリット S L T は、例えば X Z 平面に沿って広がった板状に形成され、導電体層 2 2 ~ 2 4 を分断している。スリット S L T の上端は、導電体層 2 4 と導電体層 2 5 との間の層に含まれている。スリット S L T の下端は、例えば導電体層 2 1 が設けられた層に含まれている。スリット S L T は、例えば酸化シリコン等の絶縁体を含んでいる。スリット S L T 内には、ライン状のコンタクトが形成されても良い。この場合、ライン状のコンタクトはソース線 S L に接続され、当該コンタクトと導電体層 2 2 ~ 2 4 との間が絶縁される。

40

【 0 0 5 3 】

スリット S H E は、例えば X Z 平面に沿って広がった板状に形成され、積層された導電体層 2 4 を分断している。スリット S H E の上端は、導電体層 2 4 と導電体層 2 5 との間の層に含まれている。スリット S H E の下端は、例えば最上層の導電体層 2 3 と導電体層 2 4 との間の層に含まれている。スリット S H E は、例えば酸化シリコン等の絶縁体を含んでいる。スリット S H E の上端とメモリピラー M P の上端とは、揃っていても良いし、揃っていなくても良い。

【 0 0 5 4 】

以上で説明したメモリピラー M P の構造では、メモリピラー M P と導電体層 2 2 とが交差する部分が、選択トランジスタ S T 2 として機能する。メモリピラー M P と導電体層 2

50

3 とが交差する部分が、メモリセルトランジスタ M T として機能する。メモリピラー M P と導電体層 2 4 とが交差する部分が、選択トランジスタ S T 1 として機能する。

【 0 0 5 5 】

図 6 は、図 5 の V I - V I 線に沿った断面図であり、第 1 実施形態に係る半導体記憶装置 1 におけるメモリピラー M P の断面構造の一例を示している。より具体的には、図 5 は、半導体基板 2 0 の表面に平行且つ導電体層 2 3 を含む層における、メモリピラー M P の断面構造を示している。図 6 に示すように、積層膜 3 2 は、例えばトンネル絶縁膜 3 3、絶縁膜 3 4、及びブロック絶縁膜 3 5 を含んでいる。

【 0 0 5 6 】

導電体層 2 3 を含む層において、コア部材 3 0 は、例えばメモリピラー M P の中央部に設けられる。半導体層 3 1 は、コア部材 3 0 の側面を囲っている。トンネル絶縁膜 3 3 は、半導体層 3 1 の側面を囲っている。絶縁膜 3 4 は、トンネル絶縁膜 3 3 の側面を囲っている。ブロック絶縁膜 3 5 は、絶縁膜 3 4 の側面を囲っている。導電体層 2 3 は、ブロック絶縁膜 3 5 の側面を囲っている。

10

【 0 0 5 7 】

半導体層 3 1 は、メモリセルトランジスタ M T 0 ~ M T 1 並びに選択トランジスタ S T 1 及び S T 2 のチャンネルとして使用される。トンネル絶縁膜 3 3 及びブロック絶縁膜 3 5 のそれぞれは、例えば酸化シリコンを含んでいる。絶縁膜 3 4 は、メモリセルトランジスタ M T の電荷蓄積層として使用され、例えば窒化シリコン ( S i N ) を含んでいる。これにより、メモリピラー M P の各々は、1 つの N A N D ストリング N S として機能する。

20

【 0 0 5 8 】

( 引出領域 H A におけるメモリセルアレイ 1 0 の構造について )

実施形態に係る半導体記憶装置 1 では、偶数番号のブロック B L K の引出領域 H A 1 における構造が、奇数番号のブロック B L K の引出領域 H A 2 における構造と類似し、偶数番号のブロック B L K の引出領域 H A 2 における構造が、奇数番号のブロック B L K の引出領域 H A 1 における構造と類似している。具体的には、例えば引出領域 H A 2 におけるブロック B L K 0 の平面レイアウトは、引出領域 H A 1 におけるブロック B L K 1 の構造を X 方向及び Y 方向のそれぞれに反転させた平面レイアウトと同様である。引出領域 H A 2 におけるブロック B L K 1 の平面レイアウトは、引出領域 H A 1 におけるブロック B L K 0 の構造を X 方向及び Y 方向のそれぞれに反転させた平面レイアウトと同様である。

30

【 0 0 5 9 】

図 7 は、実施形態に係る半導体記憶装置 1 が備えるメモリセルアレイ 1 0 の引出領域 H A 1 における詳細な平面レイアウトの一例であり、隣り合うブロック B L K 0 及び B L K 1 に対応する領域を抽出して示している。また、図 7 には、引出領域 H A 1 の近傍におけるセル領域 C A の一部も示されている。以下では、図 7 に示された引出領域 H A 1 におけるブロック B L K 0 及び B L K 1 の平面レイアウトに基づいて、引出領域 H A 1 及び H A 2 におけるブロック B L K 0 の平面レイアウトについて説明する。

【 0 0 6 0 】

図 7 に示すように、引出領域 H A 1 において、選択ゲート線 S G S、ワード線 W L 0 ~ W L 1 1、並びに選択ゲート線 S G D のそれぞれは、上層の配線層 ( 導電体層 ) と重ならない部分 ( テラス部分 ) を有している。また、引出領域 H A 1 においてメモリセルアレイ 1 0 は、複数のコンタクト C C、並びに複数の支持柱 H R を含んでいる。

40

【 0 0 6 1 】

引出領域 H A 1 において上層の配線層と重ならない部分の形状は、階段 (step)、段丘 (terrace)、畦石 (rimstone) 等と類似している。具体的には、選択ゲート線 S G S とワード線 W L 0 との間、ワード線 W L 0 とワード線 W L 1 との間、・・・、ワード線 W L 1 0 とワード線 W L 1 1 との間、ワード線 W L 1 1 と選択ゲート線 S G D との間に、それぞれ段差が設けられる。つまり本例では、ワード線 W L 0 ~ W L 1 1 の端部が、Y 方向に 2 段の段差を有し且つ X 方向に複数の段差が形成された 3 列の階段状に設けられる。

【 0 0 6 2 】

50

また、例えば引出領域 H A 1 及び H A 2 において、ブロック B L K 1 に対応するワード線 W L の階段構造は、ブロック B L K 0 に対応するワード線 W L の階段構造を、X 方向を軸として反転させた構造と同様になっている。言い換えると、引出領域 H A 1 及び H A 2 内において、ブロック B L K 0 (すなわち、偶数番号のブロック B L K) のワード線 W L において Y 方向に形成される段差の方向は、ブロック B L K 1 (すなわち、奇数番号のブロック B L K) のワード線 W L において Y 方向に形成される段差の方向と逆向きである。

【 0 0 6 3 】

このような積層配線の階段構造に対して、スリット S L T 3 は、例えば隣り合う 2 本のスリット S L T 1 間の中間部に配置され、ワード線 W L 1、W L 4、W L 7 及び W L 10 にそれぞれ対応する複数のテラス部分を X 方向に沿って横切っている。スリット S L T 3 は、選択ゲート線 S G S のテラス部分を X 方向において横切っていても良いし、横切っていても良い。スリット S H E は、例えば隣り合うスリット S L T 1 及び S L T 2 の中間部に配置され、選択ゲート線 S G D に対応するテラス部分を X 方向に沿って横切っている。また、本例において、同一のブロック B L K 内で同じ層に設けられたワード線 W L は、ギャップ部 G P を介してショートしている。言い換えると、隣り合う 2 本のスリット S L T 1 の一方のスリット S L T 1 に接したワード線 W L と、他方のスリット S L T 1 に接したワード線 W L とは、ギャップ部 G P を介して電氣的に接続されている。

10

【 0 0 6 4 】

複数のコンタクト C C は、ブロック B L K 0 の引出領域 H A 1 において、ワード線 W L 0 ~ W L 11、並びに選択ゲート線 S G D 及び S G S のそれぞれのテラス部分上にそれぞれ設けられ、ブロック B L K 0 の引出領域 H A 2 において、選択ゲート線 S G D のテラス部分上にそれぞれ設けられる。ワード線 W L 0 ~ W L 11、並びに選択ゲート線 S G D 及び S G S のそれぞれは、対応するコンタクト C C を介してロウデコーダモジュール 15 に電氣的に接続される。つまり、ワード線 W L は、引出領域 H A 1 及び H A 2 のいずれか一方に配置されたコンタクト C C から電圧が印加され、選択ゲート線 S G D は引出領域 H A 1 及び H A 2 内のそれぞれのコンタクト C C から電圧が印加される。

20

【 0 0 6 5 】

複数の支持柱 H R は、ブロック B L K 0 の引出領域 H A 1 及び H A 2 のそれぞれにおいて、スリット S L T が形成される領域と、コンタクト C C が形成される領域とを除いた領域に適宜配置される。また、支持柱 H R は、例えばコンタクト C C 及びスリット S L T のそれぞれと重ならないように設けられる。支持柱 H R は、Z 方向に延伸したホール内に絶縁部材が埋め込まれた構造を有し、積層された配線層 (例えば、ワード線 W L 及び選択ゲート線 S G D) を貫通している。

30

【 0 0 6 6 】

ブロック B L K 0 の引出領域 H A 1 において複数の支持柱 H R が配置される密度は、ブロック B L K 0 の引出領域 H A 2 において複数の支持柱 H R が配置される密度よりも小さい。言い換えると、ブロック B L K 0 において、ワード線 W L に接続されるコンタクト C C が配置されない引出領域 H A 2 内に支持柱 H R が配置される密度は、ワード線 W L に接続されるコンタクト C C が配置される引出領域 H A 1 内に支持柱 H R が配置される密度よりも高い。さらに言い換えると、ブロック B L K 0 において、引出領域 H A 1 における支持柱 H R の被覆率は、引出領域 H A 2 における支持柱 H R の被覆率よりも低くなる。

40

【 0 0 6 7 】

図 8 は、図 7 の V I I I - V I I I 線に沿った断面図であり、実施形態に係る半導体記憶装置 1 の備えるメモリセルアレイ 10 の引出領域 H A 1 における断面構造の一例を示している。また、図 8 には、引出領域 H A 1 の近傍におけるセル領域 C A の一部も示されている。図 8 に示すように、引出領域 H A 1 では、ワード線 W L 及び選択ゲート線 S G D に対応する複数の導電体層の端部が階段状に設けられる。また、引出領域 H A 1 においてメモリセルアレイ 10 は、複数の導電体層 26 を含んでいる。

【 0 0 6 8 】

図示された領域には、ワード線 W L 1、W L 4、W L 7 及び W L 10、並びに選択ゲ

50

ト線SGDに対応する複数のテラス部分が含まれている。そして、ワード線WL0、WL4、WL7及びWL10にそれぞれ対応する4層の導電体層23と、選択ゲート線SGDに対応する導電体層24とのそれぞれのテラス部分上に、それぞれ1本のコンタクトCCが設けられている。各コンタクトCC上には、1個の導電体層26が設けられ、電気的に接続される。各導電体層26は、例えば導電体層25と同じ配線層に含まれている。

#### 【0069】

支持柱HRは、Z方向に延伸して設けられ、例えば導電体層22及び23を貫通している。支持柱HRの上端は、例えば導電体層25とメモリピラーMPの上端との間の層に含まれている。支持柱HRの下端は、例えば導電体層22よりも下層に含まれている。支持柱HRの下端は、少なくとも導電体層22まで到達していれば良い。尚、導電体層24と重なるように配置された支持柱HRは、導電体層22～24を貫通し、当該支持柱HRのその他の構造は、図8に示された支持柱HRと同様である。

10

#### 【0070】

(支持柱HR及びコンタクトCCの配置について)

図9は、実施形態に係る半導体記憶装置1が備えるメモリセルアレイ10の平面レイアウトの一例であり、連続した4つのブロックBLK0～BLK3における支持柱HR及びコンタクトCCの配置の概要を示している。

#### 【0071】

図9に示すように、偶数番号のブロックBLK0及びBLK2では、引出領域HA1内にワード線WLのコンタクトCCが配置され、奇数番号のブロックBLK1及びBLK3では、引出領域HA2内にワード線WLのコンタクトCCが配置されている。各ブロックBLKにおいて、選択ゲート線SGDのコンタクトCCは、引出領域HA1と引出領域HA2とのそれぞれに配置されている。

20

#### 【0072】

また、偶数番号のブロックBLK0及びBLK2では、引出領域HA2内に支持柱HRが密に配置され、奇数番号のブロックBLK1及びBLK3では、引出領域HA1内に支持柱HRが密に配置されている。支持柱HRが密に配置されている引出領域HAにおける支持柱HRの被覆率は、ワード線WLのコンタクトCCが配置される引出領域HAにおける支持柱HRの被覆率よりも高く、好ましくはセル領域CAにおけるメモリピラーMPの被覆率と同様に設計される。

30

#### 【0073】

尚、各ブロックBLKにおいて、選択ゲート線SGSのコンタクトCCは、引出領域HA1及びHA2の一方のみに配置されても良いし、引出領域HA1及びHA2の両方に配置されても良い。選択ゲート線SGSのコンタクトCCの周りに支持柱HRが配置される場合には、各ブロックBLKの選択ゲート線SGSのコンタクトCCは、ワード線WLのコンタクトCCが配置される引出領域HAに配置されることが好ましい。

#### 【0074】

[1-2] 実施形態の効果

以上で説明した実施形態に係る半導体記憶装置1に依れば、半導体記憶装置の歩留まりを改善することが出来る。以下に、実施形態に係る半導体記憶装置1の詳細な効果について説明する。

40

#### 【0075】

メモリセルが三次元に積層された半導体記憶装置では、ワード線WL等の配線が積層されている。このような積層配線を形成する方法としては、犠牲部材を用いた置換処理が知られている。ここで、比較例を用いて積層配線の置換処理について簡潔に説明する。

#### 【0076】

図10は、実施形態の比較例に係る半導体記憶装置が備えるメモリセルアレイ10の平面レイアウトの一例であり、図9と同様の領域を示している。図10に示すように、比較例におけるコンタクトCCの配置は、実施形態と同様である。一方で、比較例では、各ブロックBLKにおいて、ワード線WLのコンタクトCCが配置されない引出領域HA内で

50

支持柱HRが配置される密度が、ワード線WLのコンタクトCCが配置される引出領域HA内で支持柱HRが配置される密度と同程度になっている。

【0077】

図11は、実施形態の比較例に係る半導体記憶装置における製造途中の断面構造の一例であり、積層配線が形成されるセル領域CA及び引出領域HAの一部を簡略化して示している。図11の(1)~(3)は、積層配線の置換処理の代表的な工程に対応している。

【0078】

まず、図11の(1)に示すように、犠牲部材41が積層される。簡潔に述べると、絶縁体層40と犠牲部材41とが交互に積層され、積層された絶縁体層40と犠牲部材41とを貫通するメモリピラーMPが形成される。そして、犠牲部材41の端部が加工され、引出領域HA内に犠牲部材41の階段構造が形成される。それから、絶縁体層42によって引出領域HA内の段差が埋め込まれ、引出領域HA内に支持柱HRが形成される。

10

【0079】

次に、図11の(2)に示すように、犠牲部材41が除去される。簡潔に述べると、まず積層された犠牲部材41を分断するスリットSLTが形成される。そして、スリットSLTを介したエッチングによって、積層された犠牲部材41が選択的に除去される。このとき、犠牲部材41が除去された構造体における立体構造は、メモリピラーMP及び支持柱HRによって維持される。

【0080】

最後に、図11の(3)に示すように、導電体43が形成される。簡潔に述べると、例えばCVD(Chemical Vapor Deposition)によって、犠牲部材41が除去された空間に導電体43が形成される。そして、スリットSLT内に残存する導電体が除去される。これにより、ワード線WL等に対応する積層配線が形成される。

20

【0081】

比較例における引出領域HAでは、支持柱HRが配置される密度が小さい。つまり、引出領域HAにおいて形成される導電体43の量が多くなる。導電体43(例えばタンゲステン)は、成膜された後の熱工程によって収縮する場合があります。導電体43の量が多くなる程、その収縮量が大きくなる傾向がある。つまり、セル領域CAにおける導電体43の収縮量よりも、引出領域HAにおける導電体43の収縮量の方が大きくなり得る。

【0082】

その結果、比較例に係る半導体記憶装置1では、引出領域HAにおける導電体43の積層構造が沈下する可能性がある。このような積層構造の沈下が発生すると、例えばビット線BLを形成するためのリソグラフィ工程において、セル領域CAと引出領域HAとの間で凸凹が形成され、引出領域HAにおけるデフォーカスが発生するおそれがある。リソグラフィ工程におけるデフォーカスの発生は、当該工程で形成される配線の不良が発生する原因になる。

30

【0083】

これに対して、実施形態に係る半導体記憶装置1では、引出領域HA内でコンタクトCCが配置されない領域に、支持柱HRを密に配置している。そして、当該領域に支持柱HRが配置される密度は、例えばセル領域CA内でメモリピラーMPが配置される密度と同等に設計される。つまり、支持柱HRが密に配置された領域における導電体43の形成量が、セル領域CA内と同等になる。

40

【0084】

これにより、実施形態に係る半導体記憶装置1では、セル領域CAと支持柱HRが密に配置された引出領域HAとで積層構造の沈下量が同等になり得る。また、実施形態に係る半導体記憶装置1では、支持柱HRが密に配置される領域が、引出領域HA1及びHA2で交互に設けられている。このため、引出領域HA1及びHA2のそれぞれにおいて、積層構造の沈下による局所的な凹凸の発生が抑制される。

【0085】

以上のように、実施形態に係る半導体記憶装置1では、引出領域HA1及びHA2にお

50

ける凹凸を抑制することが出来、積層配線の置換処理後のリソグラフィ工程におけるデフォーカスの発生を抑制することが出来る。従って、実施形態に係る半導体記憶装置 1 の構造は、配線の形成不良の発生を抑制することが出来、歩留まりを改善することが出来る。

【 0 0 8 6 】

[ 2 ] 実施形態の第 1 変形例

以下に、実施形態の第 1 変形例に係る半導体記憶装置 1 について説明する。実施形態の第 1 変形例に係る半導体記憶装置は、実施形態に対してコンタクト C C 及び支持柱 H R の配置が異なる。図 1 2 は、実施形態の第 1 変形例に係る半導体記憶装置 1 が備えるメモリセルアレイ 1 0 の平面レイアウトの一例であり、図 9 と同様の領域を示している。

【 0 0 8 7 】

図 1 2 に示すように、偶数番号のブロック B L K 0 及び B L K 2 では、引出領域 H A 1 内にワード線 W L 1、W L 2、W L 4、W L 5、W L 7、W L 8、W L 1 0、及び W L 1 1 のコンタクト C C が配置され、引出領域 H A 2 内にワード線 W L 0、W L 3、W L 6、及び W L 9 のコンタクト C C が配置されている。

【 0 0 8 8 】

同様に、奇数番号のブロック B L K 1 及び B L K 3 では、引出領域 H A 1 内にワード線 W L 0、W L 3、W L 6、及び W L 9 のコンタクト C C が配置され、引出領域 H A 2 内にワード線 W L 1、W L 2、W L 4、W L 5、W L 7、W L 8、W L 1 0、及び W L 1 1 のコンタクト C C が配置されている。

【 0 0 8 9 】

そして、実施形態の第 1 変形例では、引出領域 H A 1 内の各ブロック B L K は、コンタクト C C を含むサブ領域 S U B 1 と、サブ領域 S U B 1 と異なるサブ領域 S U B 2 とを含んでいる。サブ領域 S U B 1 及び S U B 2 のそれぞれには、複数の支持柱 H R が配置される。サブ領域 S U B 2 における支持柱 H R の被覆率は、サブ領域 S U B 1 における支持柱 H R の被覆率よりも高く且つセル領域 C A におけるメモリピラー M P の被覆率以下である。

【 0 0 9 0 】

同様に、引出領域 H A 2 内の各ブロック B L K は、コンタクト C C を含むサブ領域 S U B 3 と、サブ領域 S U B 3 と異なるサブ領域 S U B 4 とを含んでいる。サブ領域 S U B 3 及び S U B 4 のそれぞれには、複数の支持柱 H R が配置される。サブ領域 S U B 4 における支持柱 H R の被覆率は、サブ領域 S U B 3 における支持柱 H R の被覆率よりも高く且つセル領域 C A におけるメモリピラー M P の被覆率以下である。

【 0 0 9 1 】

また、サブ領域 S U B 1 内における複数の支持柱 H R の被覆率は、サブ領域 S U B 3 内における複数の支持柱 H R の被覆率と略等しい。サブ領域 S U B 2 内における複数の支持柱 H R の被覆率は、サブ領域 S U B 4 内における複数の支持柱 H R の被覆率と略等しい。

【 0 0 9 2 】

以上のように、実施形態の第 1 変形例に係る半導体記憶装置 1 は、各ブロック B L K において、ワード線 W L のコンタクト C C を引出領域 H A 1 及び H A 2 に割り振っている。そして、引出領域 H A 1 及び H A 2 のそれぞれにおいて、ワード線 W L のコンタクト C C が配置される領域以外の領域において、支持柱 H R が密に配置される。

【 0 0 9 3 】

その結果、実施形態の第 1 変形例に係る半導体記憶装置 1 は、引出領域 H A における局所的な凹凸構造を第 1 実施形態よりも抑制することが出来る。従って、実施形態の第 1 変形例に係る半導体記憶装置 1 は、第 1 実施形態よりも歩留まりを改善することが出来る。

【 0 0 9 4 】

[ 3 ] 実施形態の第 2 変形例

以下に、実施形態の第 2 変形例に係る半導体記憶装置 1 について説明する。実施形態の第 2 変形例に係る半導体記憶装置は、実施形態に対してコンタクト C C 及び支持柱 H R の配置が異なる。図 1 3 は、実施形態の第 2 変形例に係る半導体記憶装置 1 が備えるメモリ

10

20

30

40

50

セルアレイ 10 の平面レイアウトの一例であり、図 9 と同様の領域を示している。

【 0 0 9 5 】

図 1 3 に示すように、偶数番号のブロック B L K 0 及び B L K 2 では、引出領域 H A 1 内にワード線 W L 1、W L 2、W L 4、W L 5、W L 7、W L 8、W L 1 0、及び W L 1 1 のコンタクト C C が配置され、引出領域 H A 2 内にワード線 W L 0、W L 3、W L 6、及び W L 9 のコンタクト C C が配置されている。

【 0 0 9 6 】

同様に、奇数番号のブロック B L K 1 及び B L K 3 では、引出領域 H A 1 内にワード線 W L 0、W L 3、W L 6、及び W L 9 のコンタクト C C が配置され、引出領域 H A 2 内にワード線 W L 1、W L 2、W L 4、W L 5、W L 7、W L 8、W L 1 0、及び W L 1 1 のコンタクト C C が配置されている。

10

【 0 0 9 7 】

そして、実施形態の第 2 変形例では、引出領域 H A 1 内の各ブロック B L K において、スリット S L T 3 に対して紙面上側の領域にコンタクト C C が配置され、紙面下側の領域に支持柱 H R が密に配置される。引出領域 H A 2 内の各ブロック B L K において、スリット S L T 3 に対して紙面下側の領域にコンタクト C C が配置され、紙面上側の領域に支持柱 H R が密に配置される。

【 0 0 9 8 】

言い換えると、各ブロック B L K では、X 方向においてストリングユニット S U 0 及び S U 1 に対向する引出領域 H A 1 内のテラス部分と、X 方向においてストリングユニット S U 2 及び S U 3 に対向する引出領域 H A 2 内のテラス部分とにコンタクト C C が配置されている。そして、X 方向においてストリングユニット S U 0 及び S U 1 に対向する引出領域 H A 2 内のテラス部分と、X 方向においてストリングユニット S U 2 及び S U 3 に対向する引出領域 H A 1 内のテラス部分とに支持柱 H R が密に配置されている。

20

【 0 0 9 9 】

以上のように、実施形態の第 2 変形例に係る半導体記憶装置 1 は、各ブロック B L K において、ワード線 W L のコンタクト C C を引出領域 H A 1 及び H A 2 に割り振っている。そして、引出領域 H A 1 及び H A 2 のそれぞれにおいて、ワード線 W L のコンタクト C C が配置される領域と、支持柱 H R が密に配置される領域とが交互に並んでいる。

【 0 1 0 0 】

その結果、実施形態の第 2 変形例に係る半導体記憶装置 1 は、引出領域 H A における局所的な凹凸構造を第 1 実施形態よりも抑制することが出来る。従って、実施形態の第 2 変形例に係る半導体記憶装置 1 は、第 1 実施形態よりも歩留まりを改善することが出来る。

30

【 0 1 0 1 】

[ 4 ] 実施形態の第 3 変形例

以下に、実施形態の第 3 変形例に係る半導体記憶装置 1 について説明する。実施形態の第 2 変形例に係る半導体記憶装置は、実施形態に対してコンタクト C C 及び支持柱 H R の配置が異なる。図 1 4 は、実施形態の第 3 変形例に係る半導体記憶装置 1 が備えるメモリセルアレイ 10 の平面レイアウトの一例であり、図 9 と同様の領域を示している。

【 0 1 0 2 】

図 1 4 に示すように、偶数番号のブロック B L K 0 及び B L K 2 では、引出領域 H A 1 内にワード線 W L 1、W L 2、W L 4、W L 5、W L 6、及び W L 9 のコンタクト C C が配置され、ワード線 W L 0、W L 3、W L 7、W L 8、W L 1 0、及び W L 1 1 のテラス部分に支持柱 H R が密に配置されている。そして、引出領域 H A 2 内にワード線 W L 0、W L 3、W L 7、W L 8、W L 1 0、及び W L 1 1 のコンタクト C C が配置され、ワード線 W L 1、W L 2、W L 4、W L 5、W L 6、及び W L 9 のテラス部分に支持柱 H R が密に配置されている。

40

【 0 1 0 3 】

同様に、奇数番号のブロック B L K 1 及び B L K 3 では、引出領域 H A 1 内にワード線 W L 0、W L 3、W L 7、W L 8、W L 1 0、及び W L 1 1 のコンタクト C C が配置され

50

、ワード線WL1、WL2、WL4、WL5、WL6、及びWL9のテラス部分に支持柱HRが密に配置されている。そして、引出領域HA2内にワード線WL1、WL2、WL4、WL5、WL6、及びWL9のコンタクトCCが配置され、ワード線WL0、WL3、WL7、WL8、WL10、及びWL11のテラス部分に支持柱HRが密に配置されている。

【0104】

言い換えると、引出領域HA1内の各ブロックBLKでは、スリットSLT3に対して紙面上側且つセル領域CAから遠い領域と、紙面下側且つセル領域CAに近い領域とにコンタクトCCが配置され、紙面上側且つセル領域CAに近い領域と、紙面下側且つセル領域CAから遠い領域とに支持柱HRが密に配置されている。引出領域HA2内の各ブロックBLKでは、スリットSLT3に対して紙面上側且つセル領域CAから近い領域と、紙面下側且つセル領域CAから遠い領域とにコンタクトCCが配置され、紙面上側且つセル領域CAから遠い領域と、紙面下側且つセル領域CAに近い領域とに支持柱HRが密に配置されている。

10

【0105】

また、引出領域HA1内の各ブロックBLKでは、スリットSLT3に対して、紙面上側且つセル領域CAから遠い領域内における複数の支持柱HRの被覆率は、紙面下側且つセル領域CAに近い領域内における複数の支持柱HRの被覆率と略等しい。スリットSLT3に対して、紙面下側且つセル領域CAから遠い領域内における複数の支持柱HRの被覆率は、紙面上側且つセル領域CAに近い領域内における複数の支持柱HRの被覆率と略等しい。

20

【0106】

同様に、引出領域HA2内の各ブロックBLKでは、スリットSLT3に対して、紙面上側且つセル領域CAから近い領域内における複数の支持柱HRの被覆率は、紙面下側且つセル領域CAから遠い領域内における複数の支持柱HRの被覆率と略等しい。スリットSLT3に対して、紙面下側且つセル領域CAに近い領域内における複数の支持柱HRの被覆率は、紙面上側且つセル領域CAから遠い領域内における複数の支持柱HRの被覆率と略等しい。

【0107】

以上のように、実施形態の第3変形例に係る半導体記憶装置1では、各ブロックBLK内においてコンタクトCCが配置される領域が、引出領域HA1及びHA2のそれぞれにおいて互い違いに設けられている。そして、引出領域HA1及びHA2では、コンタクトCCが配置される領域を除いて支持柱HRが密に配置されている。

30

【0108】

その結果、実施形態の第3変形例に係る半導体記憶装置1は、引出領域HAにおける局所的な凹凸構造を第1実施形態よりも抑制することが出来る。従って、実施形態の第3変形例に係る半導体記憶装置1は、実施形態よりも歩留まりを改善することが出来る。

【0109】

[5] その他の変形例等

実施形態の半導体記憶装置は、基板と、第1乃至第3絶縁部材と、第1及び第2の導電体と、第1乃至第4ピラーと、を含む。基板は、メモリセルを含む第1領域と、第1方向で第1領域を挟む第2領域及び第3領域とを含む。第1乃至第3絶縁部材は、各々が第1方向に沿って第1乃至第3領域を横切って設けられ、第1方向と交差する第2方向に並んでいる。第1の導電体は、基板の上方、且つ第1絶縁部材と第2絶縁部材との間に設けられる。第2の導電体は、基板の上方、且つ第2絶縁部材と第3絶縁部材との間に設けられる。複数の第1ピラー及び複数の第3ピラーは、第1領域内で第1の導電体及び第2の導電体をそれぞれ貫通して設けられる。複数の第2ピラーは、第2領域又は第3領域内で第1の導電体を貫通し、且つ第1の導電体に対するコンタクトから離れて設けられる。複数の第4ピラーは、第2領域又は第3領域内で第2の導電体を貫通し、且つ第2の導電体に対するコンタクトから離れて設けられる。第3領域内における複数の第2ピラーの被覆率

40

50



は、第2領域内における複数の第2ピラーの被覆率よりも高く、且つ第1領域内における複数の第1ピラーの被覆率以下である。第2領域内における複数の第4ピラーの被覆率は、第3領域内における複数の第4ピラーの被覆率よりも高く、且つ第1領域内における複数の第3ピラーの被覆率以下である。これにより、半導体記憶装置の歩留まりを改善することが出来る。

【0110】

実施形態では、支持柱HRが絶縁体のみで構成される場合について例示したが、支持柱HRの構造はその他の構造であっても良い。例えば、支持柱HRは、メモリピラーMPと同様の構成を有していても良いし、メモリピラーMPに含まれた構成の一部を有していても良い。例えば、支持柱HRがメモリピラーMPと同様の構成を有する場合、支持柱HRの上面とメモリピラーMPの上面とが揃って設けられ得る。

10

【0111】

実施形態では、引出領域HA1及びHA2のそれぞれに選択ゲート線SGDのコンタクトCCが配置される場合について例示したが、選択ゲート線SGDのコンタクトCCは、引出領域HA1及びHA2の少なくとも一方に配置されていれば良い。この場合に、コンタクトCCの配置が省略された選択ゲート線SGDのテラス部分には、実施形態と同様に支持柱HRが密に配置されても良い。選択ゲート線SGDのテラス部分の一方側に対するコンタクトCCの配置は、実施形態、及び第1乃至第3変形例のいずれも適用することが可能である。

【0112】

実施形態において、メモリセルアレイ10の構造はその他の構造であっても良い。例えば、メモリピラーMPは、複数のピラーがZ方向に2本以上連結された構造であっても良い。また、メモリピラーMPは、選択ゲート線SGDに対応するピラーと、ワード線WLに対応するピラーとが連結された構造であっても良い。スリットSLT内は、複数種類の絶縁体により構成されても良い。

20

【0113】

実施形態では、引出領域HAにおいてワード線WL0~WL11の端部がY方向に2段の段差を有し且つX方向に複数の段差が形成された3列の階段状に設けられる場合について例示したが、これに限定されない。積層されたワード線WLの端部においてY方向に形成される段差の数は、任意の数に設計され得る。つまり、半導体記憶装置1において、引出領域HAにおけるワード線WLの端部は、任意の列数の階段状に設計され得る。

30

【0114】

実施形態では、半導体記憶装置1がメモリセルアレイ10下にセンスアンプモジュール16等の回路が設けられた構造を有する場合を例に説明したが、これに限定されない。例えば、半導体記憶装置1は、半導体基板20上にワード線WL等の積層配線が形成された構造であっても良いし、センスアンプモジュール16等が設けられたチップと、メモリセルアレイ10が設けられたチップとが貼り合わされた構造であっても良い。このような貼り合わせ構造を有する場合、半導体基板20に相当する構成は省略されても良い。

【0115】

実施形態で説明に使用した図面では、メモリピラーMPや支持柱HRがZ方向において同一径を有している場合を例示したが、これに限定されない。例えば、メモリピラーMPや支持柱HRは、テーパ形状又は逆テーパ形状を有していても良いし、中間部分が膨らんだ形状を有していても良い。同様に、スリットSLTやスリットSHEがテーパ形状又は逆テーパ形状を有していても良いし、中間部分が膨らんだ形状を有していても良い。また、実施形態では、メモリピラーMP、支持柱HR、及びコンタクトCCのそれぞれの断面構造が円形である場合について例示したが、これらの断面構造は楕円形であっても良く、任意の形状に設計され得る。

40

【0116】

本明細書において“接続”は、電氣的に接続されている事を示し、例えば間に別の素子を介することを除外しない。“電氣的に接続される”は、電氣的に接続されたものと同様

50

に動作することが可能であれば、絶縁体を介していても良い。“柱状”は、半導体記憶装置 1 の製造工程において形成されたホール内に設けられた構造体であることを示している。

【0117】

本明細書において“被覆率”は、例えば平面視において、ある領域内で対象の構成要素が設けられている面積の割合に対応している。また、“被覆率”は、ある領域内でワード線 WL (導電体層 23) を貫通している対象の構成要素の、半導体基板 20 の表面と平行な断面における面積の割合と見なされても良い。

【0118】

本明細書において“領域”は、半導体基板 20 によって含まれる構成と見なされても良い。例えば、半導体基板 20 がセル領域 CA 並びに引出領域 HA1 及び HA2 を含むと規定された場合、セル領域 CA 並びに引出領域 HA1 及び HA2 は、半導体基板 20 の上方の異なる領域にそれぞれ関連付けられる。

10

【0119】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことが出来る。これら実施形態やその変形は、発明の範囲や要旨に含まれると共に、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

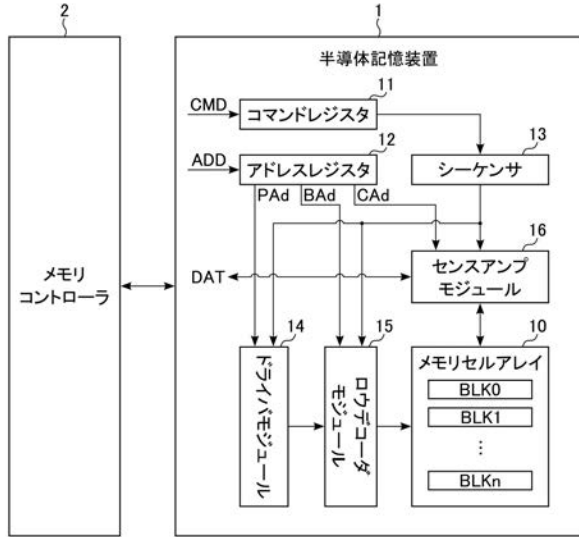
20

【符号の説明】

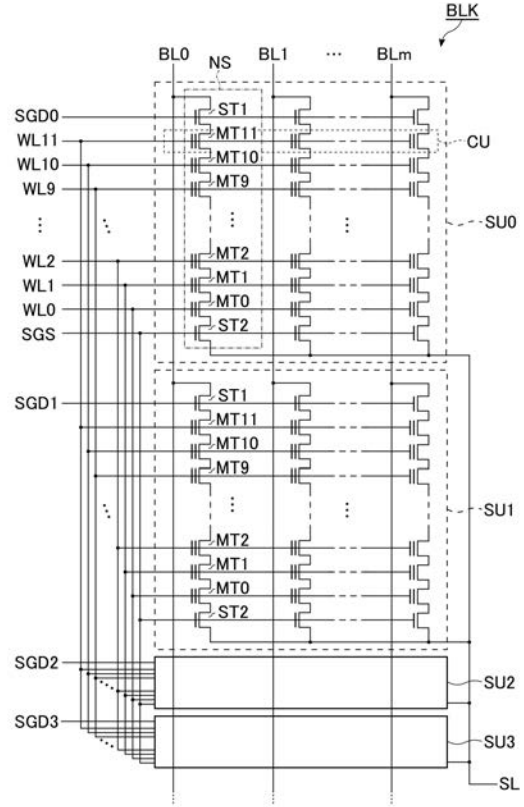
【0120】

1 ... 半導体記憶装置、2 ... メモリコントローラ、10 ... メモリセルアレイ、11 ... コマンドレジスタ、12 ... アドレスレジスタ、13 ... シーケンサ、14 ... ドライバモジュール、15 ... ロウデコーダモジュール、16 ... センスアンプモジュール、20 ... 半導体基板、21 ~ 26 ... 導電体層、30 ... コア部材、31 ... 半導体層、32 ... 積層膜、33 ... トンネル絶縁膜、34 ... 絶縁膜、35 ... ブロック絶縁膜、SLT, SHE ... スリット、CA ... セル領域、HA ... 引出領域、BLK ... ブロック、SU ... スtringユニット、BL ... ビット線、WL ... ワード線、SL ... ソース線、SGS, SGD ... 選択ゲート線、MT ... メモリセルトランジスタ、ST1, ST2 ... 選択トランジスタ

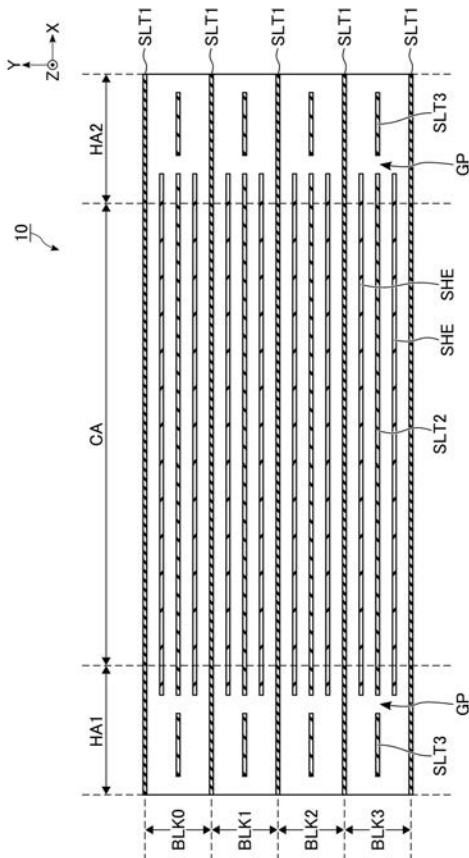
【 図 1 】



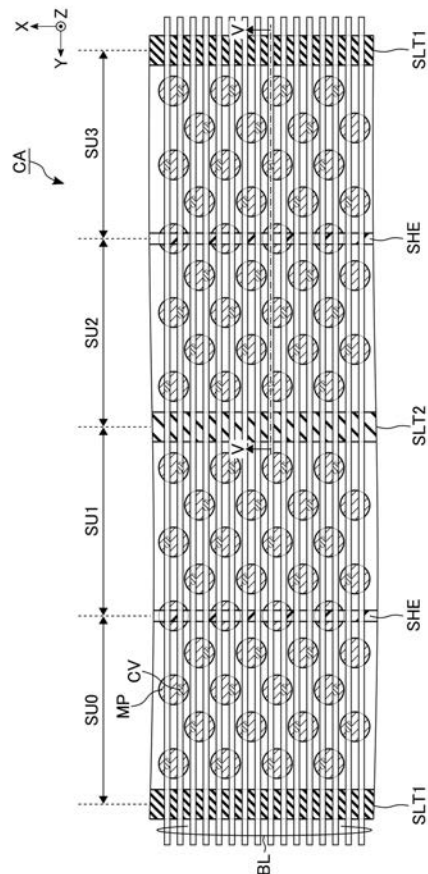
【 図 2 】



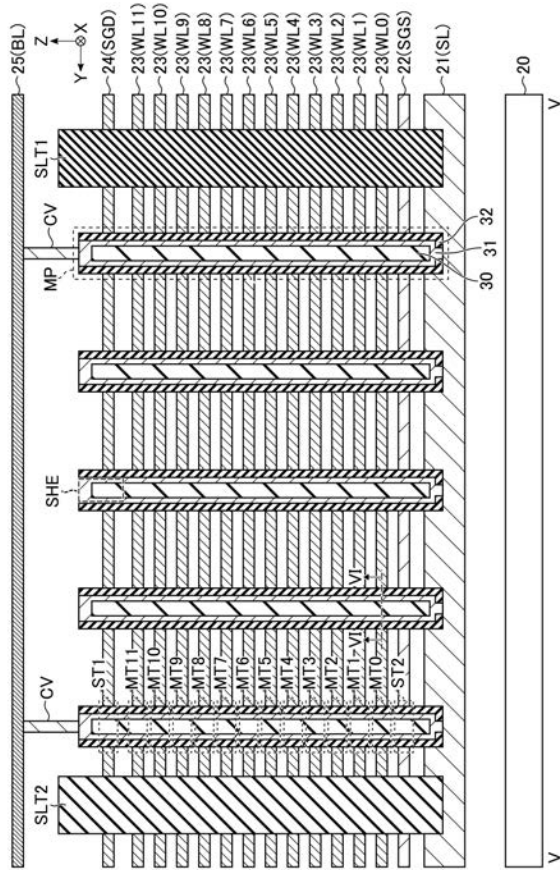
【 図 3 】



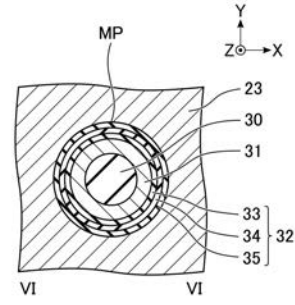
【 図 4 】



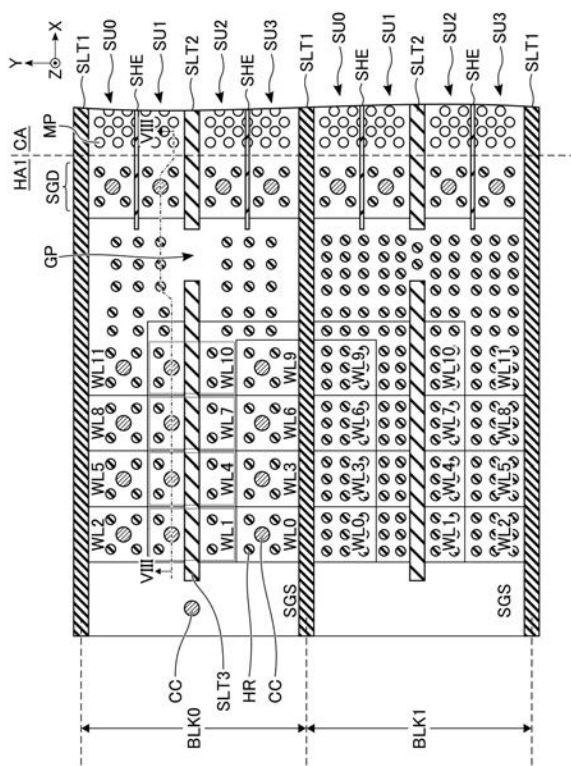
【 図 5 】



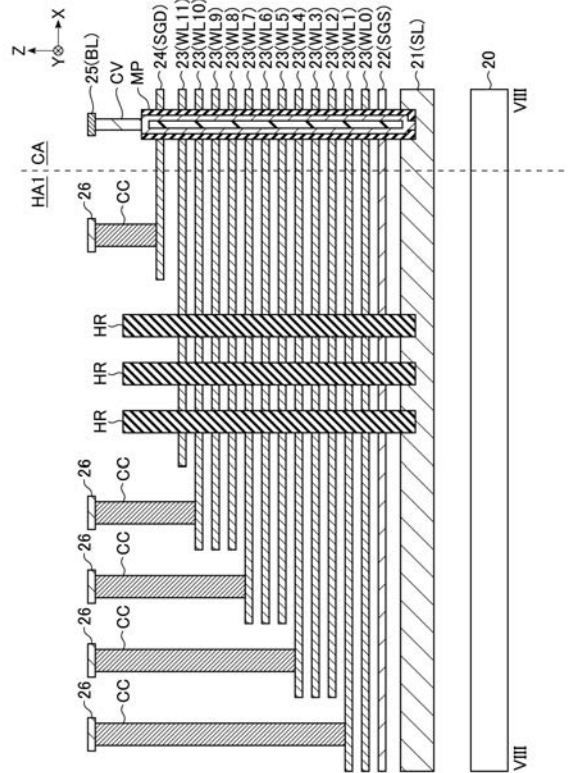
【 図 6 】



【 図 7 】

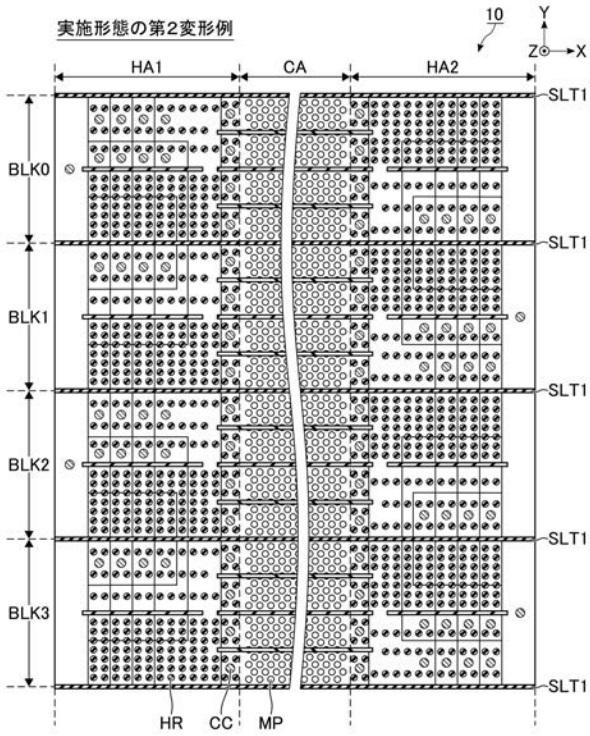


【 図 8 】

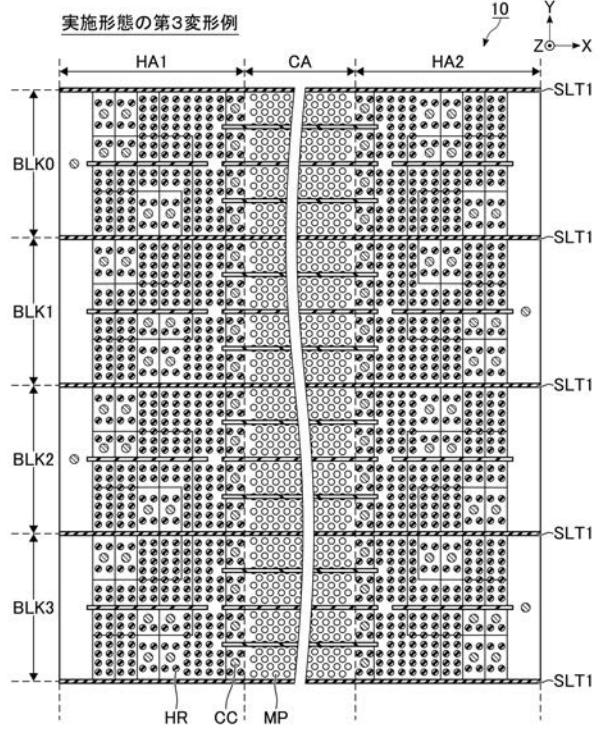




【 図 1 3 】



【 図 1 4 】



---

フロントページの続き

(72)発明者 大田黒 賢也

東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内

(72)発明者 西村 尚志

東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内

Fターム(参考) 5F083 EP18 EP23 EP33 EP34 EP76 GA09 GA10 GA27 JA04 JA19  
JA39 KA01 KA05 LA02 LA12 LA16 LA21 MA06 MA16  
5F101 BA45 BB05 BD22 BD30 BD34