

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号

特開2023-42194
(P2023-42194A)

(43)公開日 令和5年3月27日(2023.3.27)

(51)国際特許分類		F I			テーマコード(参考)
H 0 3 H	7/01 (2006.01)	H 0 3 H	7/01	A	5 J 0 2 4
H 0 3 H	7/46 (2006.01)	H 0 3 H	7/46	A	

審査請求 未請求 請求項の数 11 O L (全27頁)

(21)出願番号	特願2021-149379(P2021-149379)	(71)出願人	000003067 T D K 株式会社 東京都中央区日本橋二丁目 5 番 1 号
(22)出願日	令和3年9月14日(2021.9.14)	(74)代理人	110002907 弁理士法人イートシン国際特許事務所
		(72)発明者	佐藤 拓也 東京都中央区日本橋二丁目 5 番 1 号 T D K 株式会社内
		F ターム(参考)	5J024 AA01 BA09 CA02 CA03 DA05 DA29 EA01 EA02 KA02

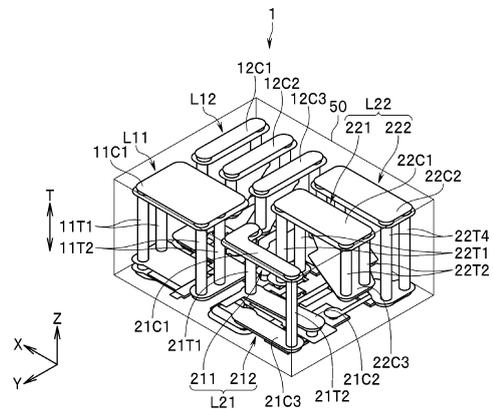
(54)【発明の名称】 積層型電子部品

(57)【要約】 (修正有)

【課題】 2つのインダクタ間の電磁界結合を抑制しながら、小型化する積層型電子部品を提供する。

【解決手段】 電子部品 1 は、積層体 5 0 と、インダクタ L 2 1、L 2 2 と、を備えている。インダクタ L 2 1 は、スルーホール列 2 1 T 1、2 1 T 2 と、導体層部 2 1 C 1、2 1 C 2、2 1 C 3 とを有する。導体層部 2 1 C 2 は、スルーホール列 2 1 T 1 の他端に接続され、且つスルーホール列 2 1 T 2 に近づくように延在している。導体層部 2 1 C 3 は、スルーホール列 2 1 T 2 に接続され、且つ、スルーホール列 2 1 T 1 に近づくように延在している。

【選択図】 図 1 1



【特許請求の範囲】

【請求項 1】

積層された複数の誘電体層を含む積層体と、

前記積層体に一体化され、前記複数の誘電体層の積層方向に直交する第 1 の軸の周りに巻回された第 1 のインダクタと、

前記積層体に一体化され、前記積層方向に直交する第 2 の軸の周りに巻回された第 2 のインダクタとを備え、

前記第 1 の軸を含むと共に前記第 1 のインダクタによって囲まれた第 1 の空間を、前記第 1 の軸に垂直な仮想の平面に垂直投影して得られる第 1 の領域の面積と、前記第 2 の軸を含むと共に前記第 2 のインダクタによって囲まれた第 2 の空間を、前記第 2 の軸に垂直な仮想の平面に垂直投影して得られる第 2 の領域の面積は、互いに異なり、

10

前記第 2 のインダクタは、前記第 2 の軸に平行な一方向から見たときに、前記第 2 の空間の少なくとも一部が、前記第 1 の空間の一部に重なるように配置され、

前記第 1 のインダクタは、第 1 のスルーホール列と、第 2 のスルーホール列と、第 1 の導体層部と、第 2 の導体層部と、第 3 の導体層部とを含み、

前記第 1 のスルーホール列と前記第 2 のスルーホール列の各々は、2 つ以上のスルーホールが直列に接続されることによって構成され、

前記第 1 の導体層部、前記第 2 の導体層部および前記第 3 の導体層部の各々は、少なくとも 1 つの導体層を含み、

前記第 1 の導体層部は、前記第 1 のスルーホール列の一端と前記第 2 のスルーホール列の一端とを接続し、

20

前記第 2 の導体層部は、前記第 1 のスルーホール列の他端に接続され、且つ前記第 2 のスルーホール列の他端に近づくように延在し、

前記第 3 の導体層部は、前記第 2 のスルーホール列の前記他端に接続され、且つ前記第 1 のスルーホール列の前記他端に近づくように延在していることを特徴とする積層型電子部品。

【請求項 2】

前記第 1 の軸と前記第 2 の軸は、互いに平行であることを特徴とする請求項 1 記載の積層型電子部品。

【請求項 3】

30

前記第 1 の領域の面積は、前記第 2 の領域の面積よりも大きいことを特徴とする請求項 1 または 2 記載の積層型電子部品。

【請求項 4】

前記第 1 の空間の前記積層方向における寸法は、前記第 2 の空間の前記積層方向における寸法よりも大きいことを特徴とする請求項 1 ないし 3 のいずれかに記載の積層型電子部品。

【請求項 5】

前記第 2 のインダクタは、それぞれ前記第 2 の軸の周りに 1 回未満巻回された複数の導体部分と、前記複数の導体部分を直列に接続する少なくとも 1 つの接続部分とを含むことを特徴とする請求項 1 ないし 4 のいずれかに記載の積層型電子部品。

40

【請求項 6】

更に、第 1 のポートと、

第 2 のポートと、

前記第 1 のポートと前記第 2 のポートとを接続する信号経路とを備え、

前記第 1 のインダクタと前記第 2 のインダクタの各々は、回路構成上、前記信号経路とグランドとの間に設けられていることを特徴とする請求項 1 ないし 4 のいずれかに記載の積層型電子部品。

【請求項 7】

前記第 2 のインダクタは、それぞれ前記第 2 の軸の周りに 1 回未満巻回された第 1 の導体部分および第 2 の導体部分と、前記第 1 の導体部分と前記第 2 の導体部分とを接続する

50

接続部分とを含み、

前記第 2 の導体部分は、回路構成上、前記第 1 の導体部分と前記グランドとの間に設けられ、

前記第 1 の導体部分と前記第 1 のインダクタは、磁気結合することを特徴とする請求項 6 記載の積層型電子部品。

【請求項 8】

更に、複数の信号端子と、少なくとも 1 つのグランド端子とを備え、

前記積層体は、前記積層方向の両端に位置する底面および上面と、前記底面と前記上面を接続する 4 つの側面とを有し、

前記複数の信号端子と前記少なくとも 1 つの信号端子は、前記底面に配置されていることを特徴とする請求項 1 ないし 7 のいずれかに記載の積層型電子部品。 10

【請求項 9】

前記第 3 の導体層部は、前記第 1 の導体層部と前記底面との間に配置され、

前記積層方向に平行な一方向から見たときに、前記第 3 の導体層部は、前記複数の信号端子のうちの 1 つを横切るように延在していることを特徴とする請求項 8 記載の積層型電子部品。

【請求項 10】

前記少なくとも 1 つのグランド端子は、第 1 のグランド端子と第 2 のグランド端子とを含み、

前記第 1 のインダクタは、前記第 1 のグランド端子に電氣的に接続され、 20

前記第 2 のインダクタは、前記第 2 のグランド端子に電氣的に接続されていることを特徴とする請求項 8 または 9 記載の積層型電子部品。

【請求項 11】

更に、前記積層体に一体化され、前記第 1 のインダクタおよび前記第 2 のインダクタを含まない回路を備えたことを特徴とする請求項 1 ないし 10 のいずれかに記載の積層型電子部品。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、2 つのインダクタを含む積層型電子部品に関する。 30

【背景技術】

【0002】

小型移動体通信機器では、システムおよび使用周波数帯域が異なる複数のアプリケーションで共通に使用されるアンテナを設け、このアンテナが送受信する複数の信号を、分波器を用いて分離する構成が広く用いられている。

【0003】

一般的に、第 1 の周波数帯域内の周波数の第 1 の信号と、第 1 の周波数帯域よりも高い第 2 の周波数帯域内の周波数の第 2 の信号を分離する分波器は、共通ポートと、第 1 の信号ポートと、第 2 の信号ポートと、共通ポートから第 1 の信号ポートに至る第 1 の信号経路に設けられた第 1 のフィルタと、共通ポートから第 2 の信号ポートに至る第 2 の信号経路に設けられた第 2 のフィルタとを備えている。第 1 および第 2 のフィルタとしては、例えば、インダクタとキャパシタを用いて構成された LC 共振器が用いられる。 40

【0004】

分波器としては、特許文献 1 に開示されているように、積層された複数の誘電体層を含む積層体を用いたものが知られている。また、LC 共振器に用いられるインダクタとしては、特許文献 1 に開示されているように、導体層の両端にそれぞれピアホール導体が接続された U 字型のインダクタが知られている。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】国際公開第2016/152206号

【発明の概要】

【発明が解決しようとする課題】

【0006】

近年、小型移動体通信機器の小型化、省スペース化が市場から要求されており、その通信機器に用いられる分波器の小型化も要求されている。フィルタを構成するLC共振器が互いに結合する2つのインダクタを含んでいる場合、分波器が小型化すると、2つのインダクタ間の電磁界結合が強くなりすぎる場合がある。これにより、所望の特性を実現することができない場合があった。

【0007】

特許文献1に記載されているように、分波器が互いに結合する2つのU字型のインダクタを含んでいる場合、インダクタを構成する導体層の長手方向に2つのインダクタをずらすことによって、2つのインダクタ間の磁気結合を調整することができる。しかし、このように2つのインダクタを配置すると、積層体内に無駄なスペースが生じてしまい、その結果、分波器の平面形状が大きくなってしまう。

【0008】

上記の問題は、互いに結合する2つのU字型のインダクタに限らず、それぞれ積層体の積層方向に直交する軸の周りに巻回された2つのインダクタが互いに結合する場合にも当てはまる。また、上記の問題は、分波器に限らず、互いに結合する2つのインダクタを含む積層型電子部品全般に当てはまる。

【0009】

本発明はかかる問題点を鑑みてなされたもので、その目的は、2つのインダクタ間の電磁界結合を調整しながら、小型化が可能な積層型電子部品を提供することにある。

【課題を解決するための手段】

【0010】

本発明の積層型電子部品は、積層された複数の誘電体層を含む積層体と、積層体に一体化され、複数の誘電体層の積層方向に直交する第1の軸の周りに巻回された第1のインダクタと、積層体に一体化され、積層方向に直交する第2の軸の周りに巻回された第2のインダクタとを備えている。第1の軸を含むと共に第1のインダクタによって囲まれた第1の空間を、第1の軸に垂直な仮想の平面に垂直投影して得られる第1の領域の面積と、第2の軸を含むと共に第2のインダクタによって囲まれた第2の空間を、第2の軸に垂直な仮想の平面に垂直投影して得られる第2の領域の面積は、互いに異なる。第2のインダクタは、第2の軸に平行な一方向から見たときに、第2の空間の少なくとも一部が、第1の空間の一部に重なるように配置されている。

【0011】

第1のインダクタは、第1のスルーホール列と、第2のスルーホール列と、第1の導体層部と、第2の導体層部と、第3の導体層部とを含んでいる。第1のスルーホール列と第2のスルーホール列の各々は、2つ以上のスルーホールが直列に接続されることによって構成されている。第1の導体層部、第2の導体層部および第3の導体層部の各々は、少なくとも1つの導体層を含んでいる。第1の導体層部は、第1のスルーホール列の一端と第2のスルーホール列の一端とを接続している。第2の導体層部は、第1のスルーホール列の他端に接続され、且つ第2のスルーホール列の他端に近づくように延在している。第3の導体層部は、第2のスルーホール列の他端に接続され、且つ第1のスルーホール列の他端に近づくように延在している。

【0012】

本発明の積層型電子部品において、第1の軸と第2の軸は、互いに平行であってもよい。

【0013】

また、本発明の積層型電子部品において、第1の領域の面積は、第2の領域の面積よりも大きくてもよい。

10

20

30

40

50

【0014】

また、本発明の積層型電子部品において、第1の空間の積層方向における寸法は、第2の空間の積層方向における寸法よりも大きくてもよい。

【0015】

また、本発明の積層型電子部品において、第2のインダクタは、それぞれ第2の軸の周りに1回未満巻回された複数の導体部分と、複数の導体部分を直列に接続する少なくとも1つの接続部分とを含んでいてもよい。

【0016】

また、本発明の積層型電子部品は、更に、第1のポートと、第2のポートと、第1のポートと第2のポートとを接続する信号経路とを備えていてもよい。この場合、第1のインダクタと第2のインダクタの各々は、回路構成上、信号経路とグランドとの間に設けられていてもよい。また、この場合、第2のインダクタは、それぞれ第2の軸の周りに1回未満巻回された第1の導体部分および第2の導体部分と、第1の導体部分と第2の導体部分とを接続する接続部分とを含んでいてもよい。第2の導体部分は、回路構成上、第1の導体部分とグランドとの間に設けられていてもよい。第1の導体部分と第1のインダクタは、磁気結合してもよい。

10

【0017】

また、本発明の積層型電子部品は、更に、複数の信号端子と、少なくとも1つのグランド端子とを備えていてもよい。積層体は、積層方向の両端に位置する底面および上面と、底面と上面を接続する4つの側面とを有していてもよい。複数の信号端子と少なくとも1つの信号端子は、底面に配置されていてもよい。この場合、第3の導体層部は、第1の導体層部と底面との間に配置されていてもよい。また、積層方向に平行な一方向から見たときに、第3の導体層部は、複数の信号端子のうちの1つを横切るように延在していてもよい。また、少なくとも1つのグランド端子は、第1のグランド端子と第2のグランド端子とを含んでいてもよい。第1のインダクタは、第1のグランド端子に電氣的に接続されていてもよい。第2のインダクタは、第2のグランド端子に電氣的に接続されていてもよい。

20

【0018】

また、本発明の積層型電子部品は、更に、積層体に一体化され、第1のインダクタおよび第2のインダクタを含まない回路を備えていてもよい。

30

【発明の効果】

【0019】

本発明の積層型電子部品では、第1のインダクタは、第1のスルーホール列と、第2のスルーホール列と、第1の導体層部と、第2の導体層部と、第3の導体層部とを含んでいる。第2の導体層部は、第1のスルーホール列に接続され、且つ第2のスルーホール列に近づくように延在している。第3の導体層部は、第2のスルーホール列に接続され、且つ第1のスルーホール列に近づくように延在している。これにより、本発明によれば、2つのインダクタ間の電磁界結合を調整しながら、積層型電子部品を小型化することができるという効果を奏する。

【図面の簡単な説明】

40

【0020】

【図1】本発明の一実施の形態に係る積層型電子部品の回路構成を示す回路図である。

【図2】本発明の一実施の形態に係る積層型電子部品の回路構成を示す回路図である。

【図3】本発明の一実施の形態に係る積層型電子部品の外観を示す斜視図である。

【図4】本発明の一実施の形態に係る積層型電子部品の積層体における1層目ないし3層目の誘電体層のパターン形成面を示す説明図である。

【図5】本発明の一実施の形態に係る積層型電子部品の積層体における4層目ないし6層目の誘電体層のパターン形成面を示す説明図である。

【図6】本発明の一実施の形態に係る積層型電子部品の積層体における7層目ないし9層目の誘電体層のパターン形成面を示す説明図である。

50

【図 7】本発明の一実施の形態に係る積層型電子部品の積層体における 10 層目ないし 12 層目の誘電体層のパターン形成面を示す説明図である。

【図 8】本発明の一実施の形態に係る積層型電子部品の積層体における 13 層目ないし 22 層目の誘電体層のパターン形成面を示す説明図である。

【図 9】本発明の一実施の形態に係る積層型電子部品の積層体における 23 層目および 24 層目の誘電体層のパターン形成面を示す説明図である。

【図 10】本発明の一実施の形態に係る積層型電子部品の積層体の内部を示す斜視図である。

【図 11】本発明の一実施の形態に係る積層型電子部品の積層体の内部を示す斜視図である。

【図 12】図 10 および図 11 に示した積層体の内部の一部を示す側面図である。

【図 13】図 10 および図 11 に示した積層体の内部の一部を示す側面図である。

【図 14】図 10 および図 11 に示した積層体の内部の一部を示す側面図である。

【図 15】図 10 および図 11 に示した積層体の内部の一部を示す側面図である。

【図 16】図 10 および図 11 に示した積層体の内部の一部を示す平面図である。

【図 17】図 10 および図 11 に示した積層体の内部の一部を示す平面図である。

【図 18】本発明の一実施の形態に係る積層型電子部品における共通ポートと第 1 の信号ポートとの間の通過減衰特性を示す特性図である。

【図 19】本発明の一実施の形態に係る積層型電子部品における共通ポートと第 2 の信号ポートとの間の通過減衰特性を示す特性図である。

【発明を実施するための形態】

【0021】

以下、本発明の実施の形態について図面を参照して詳細に説明する。始めに、図 1 を参照して、本発明の一実施の形態に係る積層型電子部品（以下、単に電子部品と記す。）1 の構成の概略について説明する。図 1 には、電子部品 1 の例として、分波器（ダイプレクサ）を示している。分波器は、第 1 の通過帯域内の周波数の第 1 の信号を選択的に通過させる第 1 のフィルタ 10 と、第 1 の通過帯域よりも高い第 2 の通過帯域内の周波数の第 2 の信号を選択的に通過させる第 2 のフィルタ 20 とを備えている。

【0022】

電子部品 1 は、更に、共通ポート 2 と、第 1 の信号ポート 3 と、第 2 の信号ポート 4 と、共通ポート 2 と第 1 の信号ポート 3 とを接続する第 1 の信号経路 5 と、共通ポート 2 と第 2 の信号ポート 4 とを接続する第 2 の信号経路 6 とを備えている。第 1 のフィルタ 10 は、回路構成上、共通ポート 2 と第 1 の信号ポート 3 との間に設けられている。第 2 のフィルタ 20 は、回路構成上、共通ポート 2 と第 2 の信号ポート 4 との間に設けられている。第 1 の信号経路 5 は、共通ポート 2 から第 1 のフィルタ 10 を経由して第 1 の信号ポート 3 に至る経路である。第 2 の信号経路 6 は、共通ポート 2 から第 2 のフィルタ 20 を経由して第 2 の信号ポート 4 に至る経路である。

【0023】

第 1 の通過帯域内の周波数の第 1 の信号は、第 1 のフィルタ 10 が設けられた第 1 の信号経路 5 を選択的に通過する。第 2 の通過帯域内の周波数の第 2 の信号は、第 2 のフィルタ 20 が設けられた第 2 の信号経路 6 を選択的に通過する。このようにして、電子部品 1 は、第 1 の信号と第 2 の信号を分離する。

【0024】

次に、図 1 を参照して、第 1 のフィルタ 10 の構成の一例について説明する。第 1 のフィルタ 10 は、インダクタ L11, L12, L13 と、キャパシタ C11, C12, C13, C14, C15, C16 とを含んでいる。インダクタ L11, L12 は、回路構成上、第 1 の信号経路 5 上に設けられている。また、インダクタ L11 は、回路構成上、インダクタ L12 よりも第 1 の信号ポート 3 により近い位置に設けられている。インダクタ L11 の一端は、第 1 の信号ポート 3 に接続されている。インダクタ L11 の他端は、インダクタ L12 の一端に接続されている。インダクタ L12 の他端は、共通ポート 2 に接続

10

20

30

40

50

されている。

【0025】

キャパシタC11は、インダクタL11に対して並列に接続されている。キャパシタC12は、インダクタL12に対して並列に接続されている。キャパシタC13の一端は、インダクタL11の一端に接続されている。キャパシタC13の他端は、インダクタL12の他端に接続されている。

【0026】

キャパシタC14の一端は、インダクタL11の一端に接続されている。キャパシタC15の一端は、インダクタL11とインダクタL12の接続点に接続されている。キャパシタC14, C15の各他端は、インダクタL13の一端に接続されている。インダクタL13の他端は、グラウンドに接続されている。キャパシタC16は、インダクタL13に対して並列に接続されている。インダクタL13は、回路構成上、第1の信号経路5とグラウンドとの間に設けられている。

10

【0027】

次に、図2を参照して、第2のフィルタ20の構成の一例について説明する。第2のフィルタ20は、インダクタL21, L22と、キャパシタC21, C22, C23, C24, C25, C26, C27, C28, C29, C30, C31とを含んでいる。キャパシタC21の一端は、第2の信号ポート4に接続されている。キャパシタC21の他端は、キャパシタC22の一端に接続されている。キャパシタC22の他端は、キャパシタC23の一端に接続されている。キャパシタC23の他端は、共通ポート2に接続されている。

20

【0028】

キャパシタC24の一端は、キャパシタC21の一端に接続されている。キャパシタC24の他端は、キャパシタC22の他端に接続されている。キャパシタC25の一端は、キャパシタC22とキャパシタC23の接続点に接続されている。

【0029】

インダクタL21は、回路構成上、第2の信号経路6とグラウンドとの間に設けられている。インダクタL21は、インダクタ部分211, 212を含んでいる。インダクタ部分211の一端は、キャパシタC21とキャパシタC22の接続点に接続されている。インダクタ部分211の他端は、インダクタ部分212の一端に接続されている。インダクタ部分212の他端は、グラウンドに接続されている。

30

【0030】

インダクタL22は、回路構成上、第2の信号経路6とグラウンドとの間に設けられている。また、インダクタL22は、回路構成上、インダクタL21よりも共通ポート2により近い位置に設けられている。インダクタL22は、インダクタ部分221, 222を含んでいる。インダクタ部分221の一端は、キャパシタC25の他端に接続されている。インダクタ部分221の他端は、インダクタ部分222の一端に接続されている。インダクタ部分222の他端は、グラウンドに接続されている。

【0031】

インダクタL21のインダクタ部分211と、インダクタL22のインダクタ部分221は、互いに磁気結合している。インダクタL21のインダクタ部分212と、インダクタL22のインダクタ部分222は、互いに磁気結合していない。

40

【0032】

キャパシタC26は、インダクタL21のインダクタ部分211に対して並列に接続されている。キャパシタC27は、インダクタL21のインダクタ部分212に対して並列に接続されている。キャパシタC28の一端は、インダクタ部分211の一端に接続されている。キャパシタC28の他端は、インダクタ部分212の他端に接続されている。

【0033】

キャパシタC29は、インダクタL22のインダクタ部分221に対して並列に接続されている。キャパシタC30は、インダクタL22のインダクタ部分222に対して並列

50

に接続されている。キャパシタ C 3 1 の一端は、インダクタ部分 2 2 1 の一端に接続されている。キャパシタ C 3 1 の他端は、インダクタ部分 2 2 2 の他端に接続されている。

【 0 0 3 4 】

次に、図 3 を参照して、電子部品 1 のその他の構成について説明する。図 3 は、電子部品 1 の外観を示す斜視図である。

【 0 0 3 5 】

電子部品 1 は、更に、積層された複数の誘電体層と複数の導体とを含む積層体 5 0 を備えている。積層体 5 0 は、共通ポート 2、第 1 の信号ポート 3、第 2 の信号ポート 4、インダクタ L 1 1 , L 1 2 , L 1 3 , L 2 1 , L 2 2 およびキャパシタ C 1 1 ~ C 1 6 , C 2 1 ~ C 3 1 を一体化するためのものである。第 1 のフィルタ 1 0 と第 2 のフィルタ 2 0 は、それぞれ複数の導体を用いて構成されている。 10

【 0 0 3 6 】

積層体 5 0 は、複数の誘電体層の積層方向 T の両端に位置する底面 5 0 A および上面 5 0 B と、底面 5 0 A と上面 5 0 B を接続する 4 つの側面 5 0 C ~ 5 0 F とを有している。側面 5 0 C , 5 0 D は互いに反対側を向き、側面 5 0 E , 5 0 F も互いに反対側を向いている。側面 5 0 C ~ 5 0 F は、上面 5 0 B および底面 5 0 A に対して垂直になっている。

【 0 0 3 7 】

ここで、図 3 に示したように、X 方向、Y 方向、Z 方向を定義する。X 方向、Y 方向、Z 方向は、互いに直交する。本実施の形態では、積層方向 T に平行な一方向を、Z 方向とする。また、X 方向とは反対の方向を - X 方向とし、Y 方向とは反対の方向を - Y 方向とし、Z 方向とは反対の方向を - Z 方向とする。 20

【 0 0 3 8 】

図 3 に示したように、底面 5 0 A は、積層体 5 0 における - Z 方向の端に位置する。上面 5 0 B は、積層体 5 0 における Z 方向の端に位置する。底面 5 0 A および上面 5 0 B の各々の形状は、X 方向に長い矩形形状である。側面 5 0 C は、積層体 5 0 における - X 方向の端に位置する。側面 5 0 D は、積層体 5 0 における X 方向の端に位置する。側面 5 0 E は、積層体 5 0 における - Y 方向の端に位置する。側面 5 0 F は、積層体 5 0 における Y 方向の端に位置する。

【 0 0 3 9 】

Z 方向から見たときの積層体 5 0 の平面形状、すなわち底面 5 0 A の形状（上面 5 0 B の形状）は、長方形である。この長方形の長辺は、X 方向に平行であり、この長方形の短辺は、Y 方向に平行である。 30

【 0 0 4 0 】

電子部品 1 は、更に、積層体 5 0 の底面 5 0 A に設けられた信号端子 1 1 2 , 1 1 3 , 1 1 4 と、グランドに接続されるグランド端子 1 1 1 , 1 1 5 , 1 1 6 , 1 1 7 , 1 1 8 , 1 1 9 とを備えている。グランド端子 1 1 1 は、底面 5 0 A と側面 5 0 D と側面 5 0 E が交差する位置に存在する角部の近傍に配置されている。信号端子 1 1 3 は、底面 5 0 A と側面 5 0 D と側面 5 0 F が交差する位置に存在する角部の近傍に配置されている。信号端子 1 1 4 は、底面 5 0 A と側面 5 0 C と側面 5 0 F が交差する位置に存在する角部の近傍に配置されている。グランド端子 1 1 5 は、底面 5 0 A と側面 5 0 C と側面 5 0 E が交差する位置に存在する角部の近傍に配置されている。 40

【 0 0 4 1 】

信号端子 1 1 2 は、グランド端子 1 1 1 とグランド端子 1 1 5 との間に配置されている。グランド端子 1 1 6 は、グランド端子 1 1 1 と信号端子 1 1 3 との間に配置されている。グランド端子 1 1 7 は、信号端子 1 1 3 と信号端子 1 1 4 との間に配置されている。グランド端子 1 1 8 は、信号端子 1 1 4 とグランド端子 1 1 5 との間に配置されている。グランド端子 1 1 9 は、底面 5 0 A の中央に配置されている。

【 0 0 4 2 】

信号端子 1 1 2 は共通ポート 2 に対応し、信号端子 1 1 3 は第 1 の信号ポート 3 に対応し、信号端子 1 1 4 は第 2 の信号ポート 4 に対応している。従って、共通ポート 2、第 1 50

の信号ポート 3 および第 2 の信号ポート 4 は、積層体 5 0 の底面 5 0 A に設けられている。

【 0 0 4 3 】

次に、図 4 (a) ないし図 9 (b) を参照して、積層体 5 0 を構成する複数の誘電体層および複数の導体の一例について説明する。この例では、積層体 5 0 は、積層された 2 4 層の誘電体層を有している。以下、この 2 4 層の誘電体層を、下から順に 1 層目ないし 2 4 層目の誘電体層と呼ぶ。また、1 層目ないし 2 4 層目の誘電体層を符号 5 1 ~ 7 4 で表す。

【 0 0 4 4 】

図 4 (a) ないし図 8 (c) において、複数の円は複数のスルーホールを表している。誘電体層 5 1 ~ 7 2 の各々には、複数のスルーホールが形成されている。複数のスルーホールは、それぞれ、スルーホール用の孔に導体ペーストを充填することによって形成される。複数のスルーホールの各々は、導体層または他のスルーホールに接続されている。

10

【 0 0 4 5 】

図 4 (a) は、1 層目の誘電体層 5 1 のパターン形成面を示している。誘電体層 5 1 のパターン形成面には、端子 1 1 1 ~ 1 1 9 が形成されている。図 4 (b) は、2 層目の誘電体層 5 2 のパターン形成面を示している。誘電体層 5 2 のパターン形成面には、導体層 5 2 1 , 5 2 2 , 5 2 3 , 5 2 4 , 5 2 5 が形成されている。

【 0 0 4 6 】

図 4 (c) は、3 層目の誘電体層 5 3 のパターン形成面を示している。誘電体層 5 3 のパターン形成面には、導体層 5 3 1 , 5 3 2 , 5 3 3 , 5 3 4 , 5 3 5 , 5 3 6 , 5 3 7 , 5 3 8 , 5 3 9 , 5 3 1 0 , 5 3 1 1 , 5 3 1 2 が形成されている。導体層 5 3 1 の一端は、導体層 5 3 1 1 に接続されている。導体層 5 3 1 の他端は、導体層 5 3 1 2 に接続されている。図 4 (c) では、導体層 5 3 1 と導体層 5 3 1 1 との境界および導体層 5 3 1 と導体層 5 3 1 2 との境界を、点線で示している。

20

【 0 0 4 7 】

図 5 (a) は、4 層目の誘電体層 5 4 のパターン形成面を示している。誘電体層 5 4 のパターン形成面には、導体層 5 4 1 , 5 4 2 , 5 4 3 , 5 4 4 , 5 4 5 , 5 4 6 , 5 4 7 , 5 4 8 が形成されている。導体層 5 4 1 , 5 4 3 は、導体層 5 4 2 に接続されている。図 5 (b) は、5 層目の誘電体層 5 5 のパターン形成面を示している。誘電体層 5 5 のパターン形成面には、導体層 5 5 1 , 5 5 2 , 5 5 3 , 5 5 4 が形成されている。導体層 5 5 4 は、導体層 5 5 3 に接続されている。図 5 (c) は、6 層目の誘電体層 5 6 のパターン形成面を示している。誘電体層 5 6 のパターン形成面には、導体層 5 6 1 , 5 6 2 が形成されている。

30

【 0 0 4 8 】

図 6 (a) は、7 層目の誘電体層 5 7 のパターン形成面を示している。誘電体層 5 7 のパターン形成面には、導体層 5 7 1 , 5 7 2 が形成されている。導体層 5 7 2 は、導体層 5 7 1 に接続されている。図 6 (b) は、8 層目の誘電体層 5 8 のパターン形成面を示している。誘電体層 5 8 のパターン形成面には、導体層は形成されていない。図 6 (c) は、9 層目の誘電体層 5 9 のパターン形成面を示している。誘電体層 5 9 のパターン形成面には、導体層 5 9 1 が形成されている。

40

【 0 0 4 9 】

図 7 (a) は、1 0 層目の誘電体層 6 0 のパターン形成面を示している。誘電体層 6 0 のパターン形成面には、導体層 6 0 1 が形成されている。図 7 (b) は、1 1 層目の誘電体層 6 1 のパターン形成面を示している。誘電体層 6 1 のパターン形成面には、導体層は形成されていない。図 7 (c) は、1 2 層目の誘電体層 6 2 のパターン形成面を示している。誘電体層 6 2 のパターン形成面には、導体層 6 2 1 , 6 2 2 が形成されている。積層方向 T に平行な一方向 (Z 方向) から見たときの導体層 6 2 1 , 6 2 2 の形状は、同じであってもよい。

【 0 0 5 0 】

50

図 8 (a) は、 1 3 層目の誘電体層 6 3 のパターン形成面を示している。誘電体層 6 3 のパターン形成面には、導体層 6 3 1 , 6 3 2 が形成されている。積層方向 T に平行な一方向 (Z 方向) から見たときの導体層 6 3 1 , 6 3 2 の形状は、同じであってもよい。図 8 (b) は、 1 4 層目ないし 2 1 層目の誘電体層 6 4 ~ 7 1 のパターン形成面を示している。誘電体層 6 4 ~ 7 1 には、導体層は形成されていない。図 8 (c) は、 2 2 層目の誘電体層 7 2 のパターン形成面を示している。誘電体層 7 2 のパターン形成面には、導体層 7 2 1 , 7 2 2 , 7 2 3 , 7 2 4 , 7 2 5 , 7 2 6 , 7 2 7 が形成されている。積層方向 T に平行な一方向 (Z 方向) から見たときの導体層 7 2 2 , 7 2 3 , 7 2 4 の形状は、同じであってもよい。積層方向 T に平行な一方向 (Z 方向) から見たときの導体層 7 2 6 , 7 2 7 の形状は、同じであってもよい。

10

【 0 0 5 1 】

図 9 (a) は、 2 3 層目の誘電体層 7 3 のパターン形成面を示している。誘電体層 7 3 のパターン形成面には、導体層 7 3 1 , 7 3 2 , 7 3 3 , 7 3 4 , 7 3 5 , 7 3 6 , 7 3 7 が形成されている。積層方向 T に平行な一方向 (Z 方向) から見たときの導体層 7 3 2 , 7 3 3 , 7 3 4 の形状は、同じであってもよい。積層方向 T に平行な一方向 (Z 方向) から見たときの導体層 7 3 6 , 7 3 7 の形状は、同じであってもよい。図 9 (b) は、 2 4 層目の誘電体層 7 4 のパターン形成面を示している。誘電体層 7 4 のパターン形成面には、導体層よりなるマーク 7 4 1 が形成されている。

【 0 0 5 2 】

図 2 に示した積層体 5 0 は、 1 層目の誘電体層 5 1 のパターン形成面が積層体 5 0 の底面 5 0 A になり、 2 4 層目の誘電体層 7 4 のパターン形成面とは反対側の面が積層体 5 0 の上面 5 0 B になるように、 1 層目ないし 2 4 層目の誘電体層 5 1 ~ 7 4 が積層されて構成される。

20

【 0 0 5 3 】

図 4 (a) ないし図 8 (c) に示した複数のスルーホールは、 1 層目ないし 2 2 層目の誘電体層 5 1 ~ 7 2 を積層したときに、積層方向 T において重なる導体層または積層方向 T において重なる他のスルーホールに接続されている。また、図 4 (a) ないし図 8 (c) に示した複数のスルーホールのうち、端子内または導体層内に位置するスルーホールは、その端子またはその導体層に接続されている。

【 0 0 5 4 】

図 1 0 および図 1 1 は、 1 層目ないし 2 4 層目の誘電体層 5 1 ~ 7 4 が積層されて構成された積層体 5 0 の内部を示している。図 1 0 および図 1 1 に示したように、積層体 5 0 の内部では、図 4 (a) ないし図 9 (a) に示した複数の導体層と複数のスルーホールが積層されている。なお、図 1 0 および図 1 1 では、マーク 7 4 1 を省略している。

30

【 0 0 5 5 】

積層体 5 0 は、例えば、誘電体層 5 1 ~ 7 4 の材料をセラミックとして、低温同時焼成法によって作製される。この場合には、まず、それぞれ後に誘電体層 5 1 ~ 7 4 になる複数のセラミックグリーンシートを作製する。各セラミックグリーンシートには、後に複数の導体層になる複数の焼成前導体層と、後に複数のスルーホールになる複数の焼成前スルーホールが形成されている。次に、複数のセラミックグリーンシートを積層して、グリーンシート積層体を作製する。次に、このグリーンシート積層体を切断して、焼成前積層体を作製する。次に、この焼成前積層体におけるセラミックと導体を低温同時焼成工程によって焼成して、積層体 5 0 を完成させる。

40

【 0 0 5 6 】

次に、図 4 (a) ないし図 1 5 を参照して、インダクタ L 1 1 , L 1 2 , L 1 3 , L 2 1 , L 2 2 の構成について詳しく説明する。図 1 2 ないし図 1 5 は、積層体 5 0 の内部の一部を示す側面図である。図 1 2 は、側面 5 0 D 側から見た積層体 5 0 の内部の一部を示しており、主にインダクタ L 1 1 , L 1 2 , L 1 3 を示している。図 1 3 は、側面 5 0 E 側から見た積層体 5 0 の内部の一部を示しており、主にインダクタ L 1 2 , L 1 3 , L 2 2 を示している。図 1 4 は、側面 5 0 C 側から見た積層体 5 0 の内部の一部を示しており

50

、主にインダクタ L 2 1 , L 2 2 を示している。図 1 5 は、側面 5 0 F 側から見た積層体 5 0 の内部の一部を示しており、主にインダクタ L 1 1 , L 2 1 を示している。

【 0 0 5 7 】

インダクタ L 1 1 , L 1 2 , L 1 3 , L 2 1 , L 2 2 は、それぞれ積層体 5 0 に一体化されている。後述するように、インダクタ L 1 1 , L 1 2 , L 2 1 , L 2 2 の各々は、複数のスルーホール列を含んでいる。複数のスルーホール列の各々は、積層方向 T に並んだ 2 つ以上のスルーホール列が直列に接続されることによって構成されている。

【 0 0 5 8 】

始めに、インダクタ L 1 1 の構成について説明する。図 1 2 および図 1 5 に示したように、インダクタ L 1 1 は、積層方向 T に直交する方向に方向な軸 A 1 1 の周りに巻回されている。本実施の形態では特に、軸 A 1 1 は、Y 方向に平行な方向に延在している。

【 0 0 5 9 】

また、インダクタ L 1 1 は、軸 A 1 1 の周りに 1 回未満巻回された 1 つの導体部分を含んでいる。インダクタ L 1 1 の導体部分は、導体層部 1 1 C 1 を含んでいる（図 1 0 および図 1 1 参照）。導体層部 1 1 C 1 は、X 方向に平行な方向に長い形状を有している。導体層部 1 1 C 1 は、積層方向 T において互いに異なる位置に配置され且つ 4 つのスルーホールによって並列に接続された導体層 7 2 1 , 7 3 1（図 8（c）および図 9（a）参照）を含んでいる。導体層 7 2 1 , 7 3 1 の各々は、X 方向に平行な方向に延在している。

【 0 0 6 0 】

インダクタ L 1 1 の導体部分は、更に、2 つのスルーホール列 1 1 T 1 と、2 つのスルーホール列 1 1 T 2 を含んでいる（図 1 0 および図 1 1 参照）。導体層部 1 1 C 1 の長手方向の一端の近傍の部分には、2 つのスルーホール列 1 1 T 1 が並列に接続されている。導体層部 1 1 C 1 の長手方向の他端の近傍の部分には、2 つのスルーホール列 1 1 T 2 が並列に接続されている。

【 0 0 6 1 】

次に、インダクタ L 1 2 の構成について説明する。図 1 2 および図 1 3 に示したように、インダクタ L 1 2 は、積層方向 T に直交する方向に平行な軸 A 1 2 の周りに巻回されている。本実施の形態では特に、軸 A 1 2 は、X 方向に平行な方向に延在している。また、インダクタ L 1 2 は、それぞれ軸 A 1 2 の周りに 1 回未満巻回された導体部分 L 1 2 A , L 1 2 B , L 1 2 C と、導体部分 L 1 2 A , L 1 2 B を直列に接続する接続部分 L 1 2 D と、導体部分 L 1 2 B , L 1 2 C を直列に接続する接続部分 L 1 2 E とを含んでいる。

【 0 0 6 2 】

導体部分 L 1 2 A , L 1 2 B , L 1 2 C は、それぞれ、導体層部 1 2 C 1 , 1 2 C 2 , 1 2 C 3 を含んでいる（図 1 0 および図 1 1 参照）。導体層部 1 2 C 1 , 1 2 C 2 , 1 2 C 3 の各々は、Y 方向に平行な方向に長い形状を有している。

【 0 0 6 3 】

導体層部 1 2 C 1 は、積層方向 T において互いに異なる位置に配置され且つ 2 つのスルーホールによって並列に接続された導体層 7 2 2 , 7 3 2（図 8（c）および図 9（a）参照）を含んでいる。導体層部 1 2 C 2 は、積層方向 T において互いに異なる位置に配置され且つ 2 つのスルーホールによって並列に接続された導体層 7 2 3 , 7 3 3（図 8（c）および図 9（a）参照）を含んでいる。導体層部 1 2 C 3 は、積層方向 T において互いに異なる位置に配置され且つ 2 つのスルーホールによって並列に接続された導体層 7 2 4 , 7 3 4（図 8（c）および図 9（a）参照）を含んでいる。導体層 7 2 2 ~ 7 2 4 , 7 3 2 ~ 7 3 4 の各々は、Y 方向に平行な方向に延在している。

【 0 0 6 4 】

導体部分 L 1 2 A は、更に、スルーホール列 1 2 T 1 , 1 2 T 2 を含んでいる（図 1 0 および図 1 1 参照）。スルーホール列 1 2 T 1 は、導体層部 1 2 C 1 の長手方向の一端の近傍の部分に接続されている。スルーホール列 1 2 T 2 は、導体層部 1 2 C 1 の長手方向の他端の近傍の部分に接続されている。

【 0 0 6 5 】

10

20

30

40

50

導体部分 L 1 2 B は、更に、スルーホール列 1 2 T 3 , 1 2 T 4 を含んでいる（図 1 0 および図 1 1 参照）。スルーホール列 1 2 T 3 は、導体層部 1 2 C 2 の長手方向の一端の近傍の部分に接続されている。スルーホール列 1 2 T 3 は、導体層部 1 2 C 2 の長手方向の他端の近傍の部分に接続されている。

【 0 0 6 6 】

導体部分 L 1 2 C は、更に、スルーホール列 1 2 T 5 , 1 2 T 6 を含んでいる（図 1 0 および図 1 1 参照）。スルーホール列 1 2 T 5 は、導体層部 1 2 C 3 の長手方向の一端の近傍の部分に接続されている。スルーホール列 1 2 T 6 は、導体層部 1 2 C 3 の長手方向の他端の近傍の部分に接続されている。

【 0 0 6 7 】

接続部分 L 1 2 D は、導体部分 L 1 2 A のスルーホール列 1 2 T 2 と導体部分 L 1 2 B のスルーホール列 1 2 T 3 とを接続している。また、接続部分 L 1 2 D は、導体層部 1 2 C 4 を含んでいる（図 1 0 参照）。導体層部 1 2 C 4 は、積層方向 T において互いに異なる位置に配置され且つ 2 つのスルーホールによって並列に接続された導体層 6 2 1 , 6 3 1（図 7（c）および図 8（a）参照）を含んでいる。

【 0 0 6 8 】

接続部分 L 1 2 E は、導体部分 L 1 2 B のスルーホール列 1 2 T 4 と導体部分 L 1 2 C のスルーホール列 1 2 T 5 とを接続している。また、接続部分 L 1 2 E は、導体層部 1 2 C 5 を含んでいる（図 1 0 参照）。導体層部 1 2 C 5 は、積層方向 T において互いに異なる位置に配置され且つ 2 つのスルーホールによって並列に接続された導体層 6 2 2 , 6 3 2（図 7（c）および図 8（a）参照）を含んでいる。

【 0 0 6 9 】

図 5（a）および図 5（b）に示した導体層 5 4 2 , 5 5 2 は、積層方向 T において互いに異なる位置に配置され且つ 3 つのスルーホールによって並列に接続されている。導体層 5 4 2 , 5 5 2 は、インダクタ L 1 1 の導体部分のスルーホール列 1 1 T 3 , 1 1 T 4 と、インダクタ L 1 2 の導体部分 L 1 2 A のスルーホール列 1 2 T 1 とを接続している。

【 0 0 7 0 】

次に、インダクタ L 1 3 の構成について説明する。インダクタ L 1 3 は、積層方向 T に平行な軸 A 1 3 の周りに巻回されている。インダクタ L 1 3 は、導体層 5 3 1（図 4（c）参照）によって構成されている。

【 0 0 7 1 】

次に、インダクタ L 2 1 の構成について説明する。図 1 4 および図 1 5 に示したように、インダクタ L 2 1 は、積層方向 T に直交する方向に平行な軸 A 2 1 の周りに巻回されている。本実施の形態では特に、軸 A 2 1 は、Y 方向に平行な方向に延在している。

【 0 0 7 2 】

また、インダクタ L 2 1 は、軸 A 2 1 の周りに 1 回未満巻回された 1 つの導体部分を含んでいる。インダクタ L 2 1 の導体部分は、導体層部 2 1 C 1 を含んでいる（図 1 0 および図 1 1 参照）。導体層部 2 1 C 1 は、積層方向 T において互いに異なる位置に配置され且つ 2 つのスルーホールによって並列に接続された導体層 7 2 5 , 7 3 5（図 8（c）および図 9（a）参照）を含んでいる。導体層 7 2 5 , 7 3 5 の各々は、X 方向に延在する第 1 の部分と、Y 方向に延在する第 2 の部分とを含んでいる。

【 0 0 7 3 】

インダクタ L 2 1 の導体部分は、更に、スルーホール列 2 1 T 1 , 2 1 T 2 を含んでいる（図 1 0 および図 1 1 参照）。スルーホール列 2 1 T 1 は、導体層部 2 1 C 1 の長手方向の一端の近傍の部分に接続されている。スルーホール列 2 1 T 2 は、導体層部 2 1 C 1 の長手方向の他端の近傍の部分に接続されている。

【 0 0 7 4 】

インダクタ L 2 1 は、更に、導体層部 2 1 C 2 , 2 1 C 3 を含んでいる（図 1 1 参照）。導体層部 2 1 C 1 は、スルーホール列 2 1 T 1 の一端とスルーホール列 2 1 T 2 の一端を接続している。導体層部 2 1 C 2 は、スルーホール列 2 1 T 1 の他端に接続され、スル

10

20

30

40

50

ーホール列 2 1 T 2 の他端に近づくように延在している。導体層部 2 1 C 3 は、スルーホール列 2 1 T 2 の他端に接続され、スルーホール列 2 1 T 1 の他端に近づくように延在している。

【 0 0 7 5 】

導体層部 2 1 C 2 は、積層方向 T において互いに異なる位置に配置され且つ 2 つのスルーホールによって並列に接続された導体層 5 6 1 , 5 7 1 (図 5 (c) および図 6 (a) 参照) を含んでいる。導体層部 2 1 C 3 は、積層方向 T において互いに異なる位置に配置され且つ 2 つのスルーホールによって並列に接続された導体層 5 4 4 , 5 5 3 (図 5 (a) および図 5 (b) 参照) を含んでいる。

【 0 0 7 6 】

導体層部 2 1 C 1 , 2 1 C 2 およびスルーホール列 2 1 T 1 , 2 1 T 2 は、インダクタ L 2 1 のインダクタ部分 2 1 1 を構成する。導体層部 2 1 C 3 は、インダクタ L 2 1 のインダクタ部分 2 1 2 を構成する。導体層部 2 1 C 3 (導体層 5 4 4 , 5 5 3) は、導体層 5 2 6 , 5 3 1 0 (図 4 (b) および図 4 (c) 参照) および複数のスルーホールを介して、グランド端子 1 1 7 に接続されている。

【 0 0 7 7 】

次に、インダクタ L 2 2 の構成について説明する。図 1 3 および図 1 4 に示したように、インダクタ L 2 2 は、積層方向 T に直交する方向に平行な軸 A 2 2 の周りに巻回されている。本実施の形態では特に、軸 A 2 2 は、Y 方向に平行な方向に延在している。また、インダクタ L 2 2 は、それぞれ軸 A 2 2 の周りに 1 回未満巻回された導体部分 L 2 2 A , L 2 2 B と、導体部分 L 2 2 A , L 2 2 B を直列に接続する接続部分 L 2 2 C とを含んでいる。

【 0 0 7 8 】

導体部分 L 2 2 A , L 2 2 B は、それぞれ、導体層部 2 2 C 1 , 2 2 C 2 を含んでいる (図 1 0 および図 1 1 参照) 。導体層部 2 2 C 1 , 2 2 C 2 の各々は、X 方向に平行な方向に長い形状を有している。

【 0 0 7 9 】

導体層部 2 2 C 1 は、積層方向 T において互いに異なる位置に配置され且つ 4 つのスルーホールによって並列に接続された導体層 7 2 6 , 7 3 6 (図 8 (c) および図 9 (a) 参照) を含んでいる。導体層部 2 2 C 2 は、積層方向 T において互いに異なる位置に配置され且つ 4 つのスルーホールによって並列に接続された導体層 7 2 7 , 7 3 7 (図 8 (c) および図 9 (a) 参照) を含んでいる。導体層 7 2 6 , 7 2 7 , 7 3 6 , 7 3 7 の各々は、X 方向に平行な方向に延在している。

【 0 0 8 0 】

導体部分 L 2 2 A は、更に、2 つのスルーホール列 2 2 T 1 と、2 つのスルーホール列 2 2 T 2 とを含んでいる (図 1 0 および図 1 1 参照) 。導体層部 2 2 C 1 の長手方向の一端の近傍の部分には、2 つのスルーホール列 2 2 T 1 が並列に接続されている。導体層部 2 2 C 1 の長手方向の他端の近傍の部分には、2 つのスルーホール列 2 2 T 2 が並列に接続されている。

【 0 0 8 1 】

導体部分 L 2 2 B は、更に、2 つのスルーホール列 2 2 T 3 と、2 つのスルーホール列 2 2 T 4 とを含んでいる (図 1 0 および図 1 1 参照) 。導体層部 2 2 C 2 の長手方向の一端の近傍の部分には、2 つのスルーホール列 2 2 T 3 が並列に接続されている。導体層部 2 2 C 2 の長手方向の他端の近傍の部分には、2 つのスルーホール列 2 2 T 4 が並列に接続されている。

【 0 0 8 2 】

接続部分 L 2 2 C は、導体部分 L 2 2 A の 2 つスルーホール列 2 2 T 2 と導体部分 L 2 2 B の 2 つのスルーホール列 2 2 T 3 とを接続している。また、接続部分 L 2 2 C は、導体層部 2 2 C 3 を含んでいる (図 1 0 および図 1 1 参照) 。導体層部 2 2 C 3 は、積層方向 T において互いに異なる位置に配置され且つ 4 つのスルーホールによって並列に接続さ

10

20

30

40

50

れた導体層 5 9 1 , 6 0 1 (図 6 (c) および 図 7 (a) 参照) を含んでいる。

【 0 0 8 3 】

導体部分 L 2 2 A は、インダクタ L 2 2 のインダクタ部分 2 2 1 を構成する。導体部分 L 2 2 B は、インダクタ L 2 2 のインダクタ部分 2 2 2 を構成する。導体部分 L 2 2 B は、回路構成上、導体部分 L 2 2 A とグランドとの間に設けられている。導体部分 L 2 2 B の 2 つのスルーホール列 2 2 T 4 は、導体層 5 2 5 , 5 3 9 (図 4 (b) および 図 4 (c) 参照) および複数のスルーホールを介して、グランド端子 1 1 5 , 1 1 8 に接続されている。

【 0 0 8 4 】

次に、キャパシタ C 1 1 ~ C 1 6 , C 2 1 ~ C 3 1 と、図 4 (a) ないし 図 9 (b) に示した積層体 5 0 の内部の構成要素との対応関係について説明する。キャパシタ C 1 1 は、図 4 (b) ないし 図 5 (a) 、 図 8 (c) および 図 9 (a) に示した導体層 5 2 1 , 5 3 2 , 5 4 1 , 5 5 1 と、これらの導体層の間の誘電体層 5 2 , 5 3 , 5 4 とによって構成されている。キャパシタ C 1 2 は、図 7 (c) 、 図 8 (a) 、 図 8 (c) および 図 9 (a) に示した導体層 6 2 1 , 6 2 2 , 6 3 1 , 6 3 2 , 7 2 2 ~ 7 2 4 , 7 3 2 ~ 7 3 4 と、これらの導体層の間の誘電体層 6 2 , 7 2 とによって構成されている。キャパシタ C 1 3 は、導体層 7 2 1 ~ 7 2 4 , 7 3 1 ~ 7 3 4 によって構成されている。

【 0 0 8 5 】

キャパシタ C 1 4 は、図 4 (c) に示した導体層 5 3 1 1 , 5 3 2 によって構成されている。キャパシタ C 1 5 は、導体層 5 3 1 1 と、図 5 (a) に示した導体層 5 4 2 と、これらの導体層の間の誘電体層 5 3 とによって構成されている。キャパシタ C 1 6 は、図 4 (c) および 図 5 (a) に示した導体層 5 3 1 2 , 5 4 3 と、これらの導体層の間の誘電体層 5 3 とによって構成されている。

【 0 0 8 6 】

キャパシタ C 2 1 は、図 4 (c) および 図 5 (a) に示した導体層 5 3 3 , 5 4 5 と、これらの導体層の間の誘電体層 5 3 とによって構成されている。キャパシタ C 2 2 は、図 4 (c) 、 図 5 (a) および 図 5 (c) に示した導体層 5 3 4 , 5 4 5 と、これらの導体層の間の誘電体層 5 3 とによって構成されている。キャパシタ C 2 3 は、図 4 (c) および 図 5 (a) に示した導体層 5 3 5 , 5 4 6 と、これらの導体層の間の誘電体層 5 3 とによって構成されている。キャパシタ C 2 4 は、導体層 5 3 3 , 5 3 4 によって構成されている。キャパシタ C 2 5 は、図 4 (c) 、 図 5 (a) および 図 5 (c) に示した導体層 5 3 6 , 5 4 6 , 5 4 7 と、これらの導体層の間の誘電体層 5 3 とによって構成されている。

【 0 0 8 7 】

キャパシタ C 2 6 は、図 5 (c) 、 図 6 (a) 、 図 8 (c) および 図 9 (a) に示した導体層 5 6 1 , 5 7 1 , 7 2 5 , 7 3 5 と、これらの導体層の間の誘電体層 5 6 , 7 2 とによって構成されている。キャパシタ C 2 7 は、図 5 (a) および 図 5 (b) に示した導体層 5 4 4 , 5 5 3 と、これらの導体層の間の誘電体層 5 4 とによって構成されている。キャパシタ C 2 8 は、図 5 (b) および 図 6 (a) に示した導体層 5 5 4 , 5 7 2 と、これらの導体層の間の誘電体層 5 5 , 5 6 とによって構成されている。

【 0 0 8 8 】

キャパシタ C 2 9 は、図 6 (c) 、 図 7 (a) 、 図 8 (c) および 図 9 (a) に示した導体層 5 9 1 , 6 0 1 , 7 2 6 , 7 3 6 と、これらの導体層の間の誘電体層 5 9 , 7 2 とによって構成されている。キャパシタ C 3 0 は、導体層 5 9 1 , 6 0 1 と、図 8 (c) および 図 9 (a) に示した 7 2 7 , 7 3 7 と、これらの導体層の間の誘電体層 5 9 , 7 2 とによって構成されている。キャパシタ C 3 1 は、図 4 (c) および 図 5 (a) に示した導体層 5 3 7 , 5 4 8 と、これらの導体層の間の誘電体層 5 3 とによって構成されている。

【 0 0 8 9 】

次に、図 1 0 ないし 図 1 7 を参照して、本実施の形態に係る電子部品 1 の構造上の特徴について説明する。図 1 6 および 図 1 7 は、図 1 0 および 図 1 1 に示した積層体 5 0 の内

10

20

30

40

50

部の一部を示す平面図である。

【0090】

図10ないし図15に示したように、インダクタL12は、インダクタL11に対して、積層方向Tに直交する一方向すなわち-Y方向の先に配置されている。インダクタL21とインダクタL22は、それぞれ、インダクタL11とインダクタL12に対して、積層方向Tに直交する一方向すなわち-X方向の先に配置されている。

【0091】

図12および図15において、符号S11を付した破線で囲まれた領域は、軸A11を含むと共にインダクタL11によって囲まれた空間を示している。また、図12および図13において、符号S12を付した破線で囲まれた領域は、軸A12を含むと共にインダクタL12によって囲まれた空間を示している。また、図14および図15において、符号S21を付した破線で囲まれた領域は、軸A21を含むと共にインダクタL21によって囲まれた空間を示している。また、図13および図14において、符号S22を付した破線で囲まれた領域は、軸A22を含むと共にインダクタL22によって囲まれた空間を示している。

10

【0092】

図15において、符号S11を付した破線で囲まれた領域は、空間S11を、軸A11に垂直な仮想の平面(XZ平面)に垂直投影して得られる領域でもある。以下、この領域を、空間S11の投影領域と言う。空間S11の投影領域の面積は、インダクタL11の開口面積に相当する。

20

【0093】

また、図12において、符号S12を付した破線で囲まれた領域は、空間S12を、軸A12に垂直な仮想の平面(YZ平面)に垂直投影して得られる領域でもある。以下、この領域を、空間S12の投影領域と言う。空間S12の投影領域の面積は、インダクタL12の開口面積に相当する。

【0094】

また、図15において、符号S21を付した破線で囲まれた領域は、空間S21を、軸A21に垂直な仮想の平面(XZ平面)に垂直投影して得られる領域でもある。以下、この領域を、空間S21の投影領域と言う。空間S21の投影領域の面積は、インダクタL21の開口面積に相当する。

30

【0095】

また、図13において、符号S22を付した破線で囲まれた領域は、空間S22を、軸A22に垂直な仮想の平面(XZ平面)に垂直投影して得られる領域でもある。以下、この領域を、空間S22の投影領域と言う。空間S22の投影領域の面積は、インダクタL22の開口面積に相当する。

【0096】

図12および図15に示したように、空間S11の投影領域の面積は、空間S12の投影領域よりも大きい。また、図12および図15に示したように、空間S21の投影領域の面積は、空間S12の投影領域よりも大きい。また、図12および図13に示したように、空間S22の投影領域の面積は、空間S12の投影領域よりも大きい。

40

【0097】

また、図13および図15に示したように、空間S21の投影領域の面積と空間S22の投影領域の面積は、互いに異なっている。本実施の形態では特に、空間S21の投影領域の面積は、空間S22の投影領域の面積よりも大きい。また、空間S21の投影領域の積層方向Tにおける寸法は、空間S22の投影領域の積層方向Tにおける寸法よりも大きい。

【0098】

インダクタL11は、軸A11に平行な一方向(Y方向)から見たときに、空間S11の一部が、空間S12の少なくとも一部に重なるように配置されている。

【0099】

50

インダクタ L 1 2 は、軸 A 1 2 に平行な一方向（X方向）から見たときに、空間 S 1 2 の少なくとも一部が、空間 S 2 2 と重なるように配置されている。また、インダクタ L 1 2 は、軸 A 1 2 が、積層体 5 0 の底面 5 0 A の長辺（上面 5 0 B の長辺）に平行になるように配置されている。

【0100】

インダクタ L 1 3 は、軸 A 1 3 が、空間 S 1 1 , S 2 1 , S 2 2 とは交差しないが空間 S 1 2 と交差するように配置されている。言い換えると、インダクタ L 1 3 は、Z方向から見てインダクタ L 1 2 と重なるように配置されている。インダクタ L 1 2 とインダクタ L 1 3 との間、具体的には、導体層 5 3 1（図4（c）参照）と導体層 6 2 1 , 6 2 2（図7（c）参照）の間には、キャパシタを構成するために用いられるキャパシタ用導体層は介在していない。

10

【0101】

インダクタ L 2 1 は、軸 A 2 1 に平行な一方向（Y方向）から見たときに、空間 S 2 1 の一部が、空間 S 2 2 の少なくとも一部と重なるように配置されている。言い換えると、インダクタ L 2 2 は、軸 A 2 2 に平行な一方向（Y方向）から見たときに、空間 S 2 2 の少なくとも一部が、空間 S 2 1 の一部と重なるように配置されている。

【0102】

インダクタ L 2 1 の導体層部 2 1 C 3 は、インダクタ L 2 1 の導体層部 2 1 C 1 と底面 5 0 A との間に配置されている。積層方向 T に平行な一方向（Z方向）から見たときに、導体層部 2 1 C 3 は、信号端子 1 1 4 を横切るように延在している。また、インダクタ L 2 1 は、グランド端子 1 1 7 に電氣的に接続されている。インダクタ L 2 2 は、グランド端子 1 1 5 , 1 1 8 に電氣的に接続されている。

20

【0103】

インダクタ L 2 2 は、インダクタ L 2 2 のインダクタ部分 2 2 1 を構成する導体部分 L 2 2 A と、インダクタ L 2 2 のインダクタ部分 2 2 2 を構成する L 2 2 B と、導体部分 L 2 2 A , L 2 2 B を直列に接続する接続部分 L 2 2 C とを含んでいる。導体部分 L 2 2 A（インダクタ部分 2 2 1）は、インダクタ L 2 1 のうち、インダクタ L 2 1 のインダクタ部分 2 1 1 を構成する導体層部 2 1 C 1 , 2 1 C 2 およびスルーホール列 2 1 T 1 , 2 1 T 2 と磁気結合する。

【0104】

図17には、インダクタ L 1 1 の導体層部 1 1 C 1 を構成する2つの導体層 7 2 1 , 7 3 1 を示している。図17に示したように、導体層 7 2 1 の面積は、導体層 7 3 1 の面積よりも大きい。導体層 7 3 1 は、積層方向 T に平行な一方向（Z方向）から見たときに、導体層 7 2 1 の外縁の内側に配置されている。Z方向から見たときの導体層 7 3 1 の形状は、Z方向から見たときの導体層 7 2 1 の形状と相似形である。導体層 7 2 1 は、導体層 7 3 1 と軸 A 1 1 との間に配置されている。

30

【0105】

導体層 7 2 1 , 7 3 1 についての上記の説明は、導体層 7 2 x , 7 3 x の組（x は 2 以上 7 以下の整数）にも当てはまる。導体層 7 2 1 , 7 3 1 についての上記の説明中の導体層 7 2 1 , 7 3 1 を、それぞれ導体層 7 2 x , 7 3 x に置き換えれば、導体層 7 2 x , 7 3 x についての説明になる。なお、インダクタ L 1 2 を構成する導体層 7 2 x , 7 3 x の組についての説明の場合、上記の説明中の軸 A 1 1 は、軸 A 1 2 に置き換わる。また、インダクタ L 2 1 を構成する導体層 7 2 5 , 7 3 5 の組についての説明の場合、上記の説明中の軸 A 1 1 は、軸 A 2 1 に置き換わる。また、インダクタ L 2 2 を構成する導体層 7 2 x , 7 3 x の組についての説明の場合、上記の説明中の軸 A 1 1 は、軸 A 2 2 に置き換わる。

40

【0106】

図16には、インダクタ L 1 2 の導体層部 1 2 C 4 を構成する2つの導体層 6 2 1 , 6 3 1 を示している。図16に示したように、導体層 6 3 1 の面積は、導体層 6 2 1 の面積よりも大きい。導体層 6 2 1 は、積層方向 T に平行な一方向（Z方向）から見たときに、

50

導体層 6 3 1 の外縁の内側に配置されている。Z 方向から見たときの導体層 6 2 1 の形状は、Z 方向から見たときの導体層 6 3 1 の形状と相似形である。導体層 6 3 1 は、導体層 6 2 1 と軸 A 1 2 との間に配置されている。

【 0 1 0 7 】

導体層 6 2 1 , 6 3 1 についての上記の説明は、導体層 6 2 2 , 6 3 2 の組、導体層 5 6 1 , 5 7 1 の組、導体層 5 4 3 , 5 5 3 の組、および導体層 5 9 1 , 6 0 1 の組にも当てはまる。導体層 6 2 1 , 6 3 1 についての上記の説明中の導体層 6 2 1 , 6 3 1 を、それぞれ導体層 6 2 2 , 6 3 2 に置き換えれば、導体層 6 2 2 , 6 3 2 についての上記の説明になる。

【 0 1 0 8 】

また、導体層 6 2 1 , 6 3 1 についての上記の説明中の導体層 6 2 1 , 6 3 1 を、それぞれ導体層 5 6 1 , 5 7 1 または導体層 5 4 3 , 5 5 3 に置き換え、導体層 6 2 1 , 6 3 1 についての上記の説明中の軸 A 1 2 を、軸 A 2 1 に置き換えれば、導体層 5 6 1 , 5 7 1 または導体層 5 4 3 , 5 5 3 についての上記の説明になる。

【 0 1 0 9 】

また、導体層 6 2 1 , 6 3 1 についての上記の説明中の導体層 6 2 1 , 6 3 1 を、それぞれ導体層 5 9 1 , 6 0 1 に置き換え、導体層 6 2 1 , 6 3 1 についての上記の説明中の軸 A 1 2 を、軸 A 2 2 に置き換えれば、導体層 5 9 1 , 6 0 1 についての上記の説明になる。

【 0 1 1 0 】

次に、本実施の形態に係る電子部品 1 の特性の一例を示す。図 1 8 は、共通ポート 2 と第 1 の信号ポート 3 との間の通過減衰特性、すなわち第 1 のフィルタ 1 0 の通過減衰特性を示す特性図である。図 1 9 は、共通ポート 2 と第 2 の信号ポート 4 との間の通過減衰特性、すなわち第 2 のフィルタ 2 0 の通過減衰特性を示す特性図である。図 1 8 および図 1 9 において、横軸は周波数を示し、縦軸は減衰量を示している。

【 0 1 1 1 】

図 1 8 において、符号 9 1 は、インダクタ L 1 1 によって形成される減衰極を示し、符号 9 2 は、インダクタ L 1 2 によって形成される減衰極を示している。インダクタ L 1 2 は、第 1 のフィルタ 1 0 の通過減衰特性において、第 1 の通過帯域よりも高域側に減衰極 9 2 を形成する。インダクタ L 1 1 は、第 1 のフィルタ 1 0 の通過減衰特性において、第 1 の通過帯域と減衰極 9 2 との間において減衰極 9 1 を形成する。すなわち、第 1 のフィルタ 1 0 の通過減衰特性において、インダクタ L 1 1 が形成する減衰極 9 1 は、インダクタ L 1 2 が形成する減衰極 9 2 よりも第 1 の通過帯域に近い。

【 0 1 1 2 】

図 1 9 において、符号 9 3 は、インダクタ L 2 1 によって形成される減衰極を示し、符号 9 4 は、インダクタ L 2 2 によって形成される減衰極を示している。インダクタ L 2 3 は、第 2 のフィルタ 2 0 の通過減衰特性において、第 2 の通過帯域の低域側に減衰極 9 3 を形成する。インダクタ L 2 2 は、第 2 のフィルタ 2 0 の通過減衰特性において、減衰極 9 3 と第 2 の通過帯域との間において減衰極 9 4 を形成する。すなわち、第 2 のフィルタ 2 0 の通過減衰特性において、インダクタ L 2 2 が形成する減衰極 9 4 は、インダクタ L 2 1 が形成する減衰極 9 3 よりも第 2 の通過帯域に近い。

【 0 1 1 3 】

以下、インダクタ L 1 1 , L 1 2 , L 1 3 , L 2 1 , L 2 2 の各々のインダクタンスと Q 値の一例について説明する。一例では、インダクタ L 1 1 のインダクタンスは、0 . 8 nH である。インダクタ L 1 1 の Q 値は、1 2 5 である。インダクタ L 1 2 のインダクタンスは、3 . 4 nH である。インダクタ L 1 2 の Q 値は、1 1 3 である。インダクタ L 1 3 のインダクタンスは、0 . 8 1 nH である。インダクタ L 1 3 の Q 値は、5 3 である。インダクタ L 2 1 のインダクタンスは、1 . 5 nH である。インダクタ L 2 1 の Q 値は、7 3 である。インダクタ L 2 2 のインダクタンスは、2 . 0 nH である。インダクタ L 2 2 の Q 値は、1 2 7 である。

【 0 1 1 4 】

10

20

30

40

50

次に、本実施の形態に係る電子部品1の作用および効果について説明する。本実施の形態では、インダクタL21は、軸A21に平行な一方向(Y方向)から見たときに、空間S21の一部が、空間S22の少なくとも一部と重なるように配置されている。言い換えると、インダクタL22は、軸A22に平行な一方向(Y方向)から見たときに、空間S22の少なくとも一部が、空間S22の一部と重なるように配置されている。本実施の形態では特に、軸A21と軸A22は平行である。従って、本実施の形態では、インダクタL21, L22は、インダクタL21の開口とインダクタL22の開口が互いに対向し、且つY方向から見てインダクタL21とインダクタL22が重なるように配置されている。

【0115】

ここで、インダクタL21とのインダクタL22との間の磁気結合を調整することを考える。例えば、インダクタL21, L22の一方を、X方向または-X方向にずらすことによって、磁気結合を調整することができる。しかし、そうすると、積層体50内に無駄なスペースが生じてしまい、電子部品1の平面形状(Z方向から見た形状)が大きくなってしまう。

【0116】

これに対し、本実施の形態では、空間S21の投影領域の面積と空間S22の投影領域の面積を、互いに異ならせている。これにより、本実施の形態によれば、インダクタL21, L22の一方を、X方向または-X方向にずらすことなく、磁気結合を調整することができる。

【0117】

ところで、空間S21の投影領域の面積を調整するために、インダクタL21の積層方向Tの寸法を大きくすることが考えられる。この場合、積層体50の底面50AからインダクタL21までの距離が小さくなる。もし、インダクタL21の近傍にグランド端子が設けられていると、インダクタL21とグランド端子間に浮遊容量が生じ、所望の特性を得られなくなるおそれがある。

【0118】

これに対し、本実施の形態では、インダクタL21は、スルーホール列21T1の他端に接続され、スルーホール列21T2の他端に近づくように延在する導体層部21C2と、スルーホール列21T2の他端に接続され、スルーホール列21T1の他端に近づくように延在する導体層部21C3を含んでいる。本実施の形態によれば、導体層部21C2, 21C3の少なくとも一方によって、積層方向Tに平行な一方向(Z方向)から見て、インダクタL21がグランド端子と重ならないように配置することができる。本実施の形態では特に、積層方向Tに平行な一方向(Z方向)から見たときに、導体層部21C3は、信号端子114を横切るように延在している。これにより、本実施の形態によれば、インダクタL21の積層方向Tの寸法を大きくして、空間S21の投影領域の面積を調整することができる。

【0119】

以上のことから、本実施の形態によれば、インダクタL21, L22間の電磁界結合を調整しながら、電子部品1を小型化することができる。

【0120】

また、本実施の形態では、電子部品1は、インダクタL21, L22を含む第2のフィルタ20と、インダクタL21, L22を含まない第1のフィルタ10とを備えている。第1のフィルタ10と第2のフィルタ20との間のアイソレーションを大きくするために、第1のフィルタ10と第2のフィルタ20とに挟まれる位置にグランド端子を設けることが考えられる。本実施の形態では、導体層部21C3は、第1のフィルタ10と第2のフィルタ20とに挟まれる位置に設けられたグランド端子117に接続されている。すなわち、本実施の形態によれば、第1のフィルタ10とインダクタL21との間のアイソレーションを大きくしながら、導体層部21C3によって、インダクタL21をグランド端子117に接続させることができる。

10

20

30

40

50

【0121】

また、本実施の形態では、インダクタL22は、導体部分L22A，L22Bを含んでいる。導体部分L22Aは、インダクタL21と磁気結合している。すなわち、本実施の形態では、インダクタL22の一部が、インダクタL21と磁気結合している。本実施の形態によれば、上記のようにインダクタを構成することにより、インダクタL21とインダクタL22との間の磁気結合を調整することができる。

【0122】

次に、本実施の形態におけるその他の効果について説明する。本実施の形態では、インダクタL11の開口面積に相当する空間S11の投影領域の面積は、インダクタL12の開口面積に相当する空間S12の投影領域の面積よりも大きい。すなわち、本実施の形態では、インダクタL12の開口面積に相当する空間S12の投影領域の面積は、インダクタL11の開口面積に相当する空間S11の投影領域の面積よりも小さい。これにより、インダクタL12の近傍に、他のインダクタを配置するためのスペースを形成することができる。本実施の形態では、上記のスペースに、インダクタL13を配置している。前述のように、インダクタL13は、軸A13が、空間S11とは交差しないが空間S12と交差するように配置されている。本実施の形態では、更に、インダクタL11，L12，L13は、それぞれ互いに異なる方向に平行な軸の周りに巻回されている。本実施の形態では特に、軸A11，A12，A13は、互いに直交している。これらのことから、本実施の形態によれば、インダクタL11，L12，L13間の電磁界結合を抑制しながら、電子部品1を小型化することができる。

【0123】

また、本実施の形態では、インダクタL11は、軸A11に平行な一方向から見たときに、空間S11の一部が、空間S12の少なくとも一部に重なるように配置されている。これにより、本実施の形態によれば、空間S11と空間S12が互いに重ならない場合に比べて、電子部品1を小型化することができる。

【0124】

また、本実施の形態によれば、第1のフィルタ10は、インダクタL11，L12，L13を含んでいる。本実施の形態によれば、インダクタL11，L12，L13の上記の特徴によって、積層体50内の第1のフィルタ10の領域を小さくすることができ、その結果、電子部品1を小型化することができる。

【0125】

また、本実施の形態では、インダクタL12の開口面積に相当する空間S12の投影領域の面積は、インダクタL22の開口面積に相当する空間S22の投影領域の面積よりも小さい。本実施の形態では、更に、インダクタL12，L13，L22は、それぞれ互いに異なる方向に平行な軸の周りに巻回されている。本実施の形態では特に、軸A12，A13，A22は、互いに直交している。これらのことから、本実施の形態によれば、インダクタL12，L13，L22間の電磁界結合を抑制しながら、電子部品1を小型化することができる。

【0126】

また、本実施の形態では、インダクタL12は、軸A12に平行な一方向から見たときに、空間S12の一部が、空間S22の少なくとも一部に重なるように配置されている。これにより、本実施の形態によれば、空間S12と空間S22が互いに重ならない場合に比べて、電子部品1を小型化することができる。

【0127】

また、本実施の形態では、インダクタL12とインダクタL13の間には、キャパシタ用導体層は介在していない。これにより、本実施の形態によれば、インダクタL12とインダクタL13との間にキャパシタ用導体層が介在する場合に比べて、電子部品1を小型化することができる。

【0128】

また、本実施の形態では、第1のフィルタ10は、インダクタL12，L13を含み、

10

20

30

40

50

第2のフィルタ20は、インダクタL22を含んでいる。本実施の形態によれば、インダクタL12, L13, L22の上記の特徴によって、第1のフィルタ10と第2のフィルタ20を近づけることができ、その結果、電子部品1を小型化することができる。

【0129】

ところで、インダクタL12の開口面積に相当する空間S12の投影領域の面積が小さいことから、インダクタL12のインダクタンスは、比較的小さくなる。これに対し、本実施の形態では、インダクタL12は、それぞれ軸A12の周りに1回未満巻回された導体部分L12A, L12B, L12Cを含んでいる。すなわち、本実施の形態では、インダクタL12は、軸A12の周りに、約3回巻回されている。これにより、本実施の形態によれば、インダクタL12のインダクタンスを大きくすることができる。また、本実施の形態によれば、インダクタL12の軸A12に平行な方向(X方向に平行な方向)の寸法を大きくすることができる。これにより、本実施の形態によれば、インダクタL13を配置するためのスペースを大きくすることができる。

10

【0130】

また、本実施の形態では、インダクタL12は、軸A12が、積層体50の底面50Aの長辺(上面50Bの長辺)に平行になるように配置されている。これにより、本実施の形態によれば、軸A12に平行な方向に他のインダクタ、具体的にはインダクタL22を配置しながら、軸A12の周りにインダクタL12を複数回巻回することができる。

【0131】

また、本実施の形態では、インダクタL11, L12は、回路構成上、第1の信号経路5上に設けられ、インダクタL13は、回路構成上、第1の信号経路5とグランドとの間に設けられている。インダクタL13は、インダクタL11, L12に比べて、Q値が小さくてもよい。前述のように、一例では、インダクタL11のQ値は125であり、インダクタL12のQ値は113であり、インダクタL13のQ値は53である。本実施の形態では、比較的大きなQ値であることが好ましいインダクタL11, L12を、積層方向Tに直交する軸の周りに巻回されたインダクタとし、比較的小さなQ値であってもよいインダクタL13を、積層方向Tに平行な軸の周りに巻回されたインダクタとしている。そして、比較的小さなQ値であってもよいインダクタL13を、インダクタL12の近傍に形成されたスペースに配置している。

20

【0132】

また、本実施の形態では、インダクタL11では、導体層部11C1の長手方向の両端の近傍の部分には、それぞれ、2つのスルーホール列が並列に接続されている。また、インダクタL22では、導体層部22C1の長手方向の両端の近傍の部分には、それぞれ、2つのスルーホール列が並列に接続され、導体層部22C2の長手方向の両端の近傍の部分には、それぞれ、2つのスルーホール列が並列に接続されている。

30

【0133】

また、インダクタL12では、導体層部12C1の長手方向の両端の近傍の部分には、それぞれ、1つのスルーホール列が接続され、導体層部12C2の長手方向の両端の近傍の部分には、それぞれ、1つのスルーホール列が接続され、導体層部12C3の長手方向の両端の近傍の部分には、それぞれ、1つのスルーホール列が接続されている。また、インダクタL21では、導体層部21C1の長手方向の両端の近傍の部分には、それぞれ、1つのスルーホール列が接続されている。

40

【0134】

上述のように、本実施の形態では、インダクタL11, L22の各々において、導体層部の一端に複数(2つ)のスルーホール列が並列に接続されている。これにより、本実施の形態によれば、インダクタL11, L22の各々のQ値を大きくすることができる。

【0135】

一方、本実施の形態では、インダクタL12, L21の各々において、導体層部の一端に1つのスルーホール列が接続されている。これにより、本実施の形態によれば、インダクタL11, L12, L21, L22の全てにおいて、導体層部の一端に複数のスルーホ

50

ール列を並列に接続する場合に比べて、電子部品 1 を小さくすることができる。

【0136】

なお、第 1 のフィルタ 10 では、第 1 の通過帯域に最も近い減衰極 91 を形成するインダクタ L11 の Q 値を大きくすることが好ましい。また、第 2 のフィルタ 20 では、第 2 の通過帯域に最も近い減衰極 94 を形成するインダクタ L22 の Q 値を大きくすることが好ましい。本実施の形態では、このような観点から、インダクタ L11, L22 の各々において、導体層部の一端に複数 (2 つ) のスルーホール列を並列に接続して、インダクタ L11, L22 の各々の Q 値を大きくしている。

【0137】

また、本実施の形態では、インダクタ L12 は、インダクタ L11 に対して、- Y 方向の先に配置され、インダクタ L21 とインダクタ L22 は、それぞれ、インダクタ L11 とインダクタ L12 に対して、- X 方向の先に配置されている。すなわち、本実施の形態では、インダクタ L11, L12 が一列に並び、インダクタ L21, L22 がインダクタ L11, L12 とは異なる位置において一列に並んでいる。これにより、本実施の形態によれば、インダクタ L11, L22 が一列に並び、インダクタ L12, L21 がインダクタ L11, L22 とは異なる位置において一列に並ぶ場合に比べて、積層体 50 内に生じる無駄なスペースを小さくすることができ、その結果、電子部品 1 を小型化することができる。

10

【0138】

以上のことから、本実施の形態によれば、インダクタ L11, L22 の各々の Q 値を大きくしながら、電子部品 1 を小型化することができる。

20

【0139】

また、本実施の形態では、インダクタ L11 が巻回される軸 A11 と、インダクタ L22 が巻回される軸 A22 は、互いに平行である。本実施の形態では特に、軸 A11, A22 は、いずれも Y 方向に平行な方向に延在している。また、インダクタ L11, L22 の各々において、導体層部は、X 方向に長い形状を有している。そのため、本実施の形態によれば、軸 A11 と軸 A22 が互いに直交する場合に比べて、積層体 50 の Y 方向の寸法を小さくすることができる。

【0140】

また、本実施の形態では、軸 A12 に平行な方向と軸 A22 に平行な方向は、互いに直交する。本実施の形態では特に、軸 A12 に平行な方向は、X 方向に平行な方向であり、軸 A22 に平行な方向は、Y 方向に平行な方向である。また、本実施の形態では、インダクタ L12 は、X 方向に平行な軸 A12 の周りに、約 3 回巻回されている。前述のように、インダクタ L22 において、導体層部は、X 方向に長い形状を有している。そのため、本実施の形態によれば、軸 A22 が X 方向に平行であり、インダクタ L22 の導体層部が X 方向に短い形状を有している場合に比べて、インダクタ L12 を軸 A12 の周りに複数回巻回したときに生じる無駄なスペースを小さくすることができる。

30

【0141】

また、本実施の形態では、インダクタ L11 の導体層部 11C1 は、2 つの導体層 721, 731 を含んでいる。前述のように、積層体 50 の製造過程では、後に複数の導体層になる複数の焼成前導体層と、後に複数のスルーホールになる複数の焼成前スルーホールが形成されたセラミックグリーンシートが積層される。もし、セラミックグリーンシートまたは複数の焼成前導体層等のずれによって、導体層 721 と導体層 731 が互いにずれてしまうと、インダクタ L11 の特性が変化してしまう。

40

【0142】

これに対し、本実施の形態では、導体層 721 の面積は、導体層 731 の面積よりも大きい。そのため、仮に、導体層 731 が導体層 721 に対して相対的にずれたとしても、ずれ量が一定の大きさよりも小さい場合には、積層方向 T に平行な一方向 (Z 方向) から見たときに、導体層 731 は、導体層 721 からみ出さない。これにより、本実施の形態によれば、導体層 721 と導体層 731 が互いにずれることに起因するインダクタ L1

50

1の特性の変動を抑制することができる。

【0143】

上記の導体層721, 731についての説明は、導体層72x, 73xの組(xは2以上7以下の整数)、導体層621, 631の組、導体層622, 632の組、導体層561, 571の組、導体層543, 553の組、および導体層591, 601の組にも当てはまる。従って、本実施の形態によれば、セラミックグリーンシートまたは複数の焼成前導体層等のずれに起因する第1のフィルタ10および第2のフィルタ20の各々の特性の変動を抑制することができ、その結果、電子部品1の特性の変動を抑制することができる。

【0144】

なお、本発明は、上記実施の形態に限定されず、種々の変更が可能である。例えば、第1のフィルタ10および第2のフィルタ20の各々に含まれるインダクタの数は、3つ以上であってもよい。

【0145】

また、軸A11と軸A12は、90°以外の角度で交差していてもよい。同様に、軸A21と軸A22は、90°以外の角度で交差していてもよい。

【0146】

また、インダクタL11, L22の各々において、導体層部の一端には、3つ以上のスルーホール列が並列に接続されてもよい。

【0147】

また、インダクタL11, L12, L21, L22の各々において、導体層部は、積層方向Tにおいて互いに異なる位置に配置され且つ並列に接続された3つ以上の導体層を含んでいてもよい。導体層部が3つの導体層を含む場合、3つの導体層のうち最も面積が小さい導体層が、他の2つの導体層の間に介在していてもよい。あるいは、導体層部は、1つの導体層によって構成されていてもよい。

【符号の説明】

【0148】

1...電子部品、2...共通ポート、3...第1の信号ポート、4...第2の信号ポート、5...第1の信号経路、6...第2の信号経路、10...第1のフィルタ、20...第2のフィルタ、50...積層体、50A...底面、50B...上面、50C~50F...側面、51~74...誘電体層、111, 115~119...グランド端子、112~114...信号端子、C11~C16, C21~C31...キャパシタ、L11, L12, L13, L21, L22...インダクタ、S11, S12, S21, S22...空間。

10

20

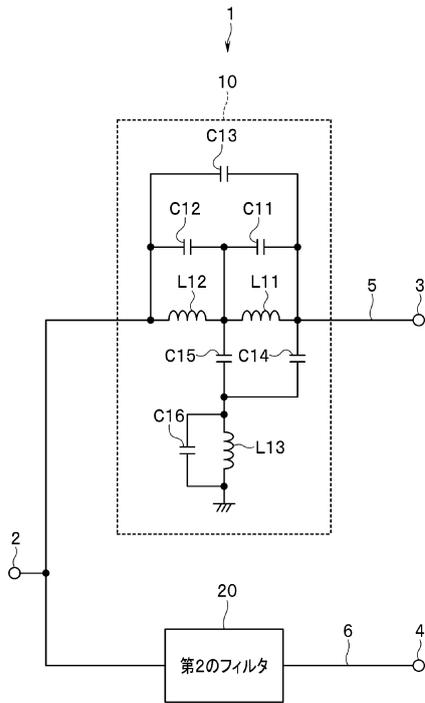
30

40

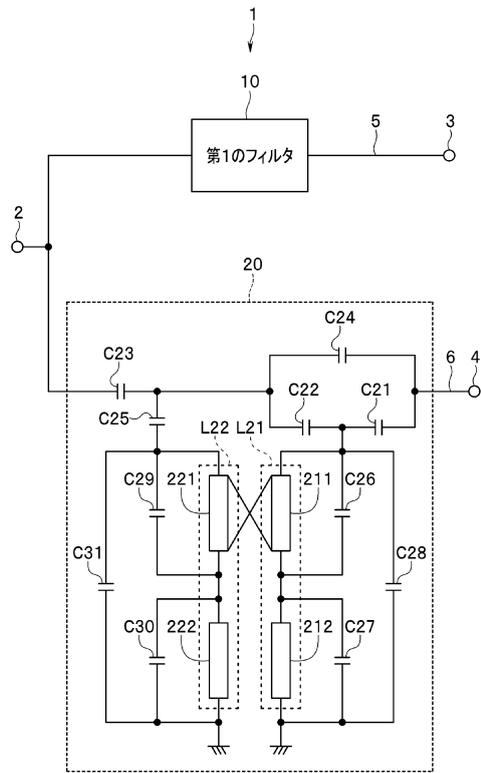
50

【 図 面 】

【 図 1 】



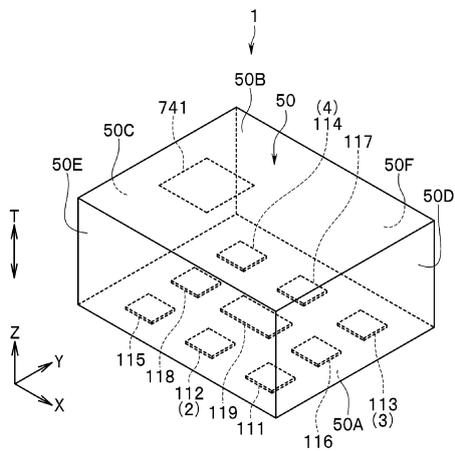
【 図 2 】



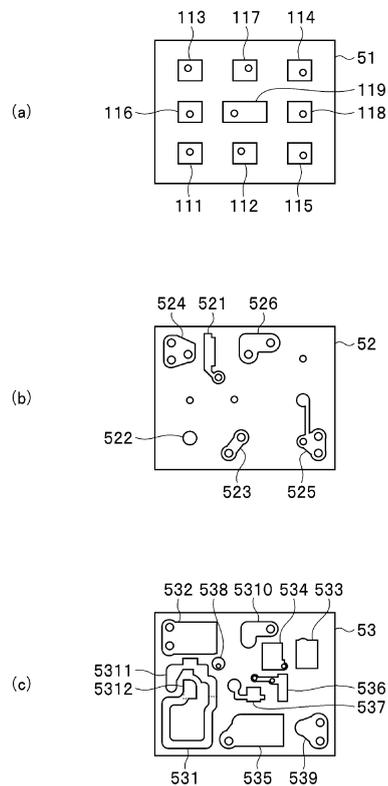
10

20

【 図 3 】



【 図 4 】

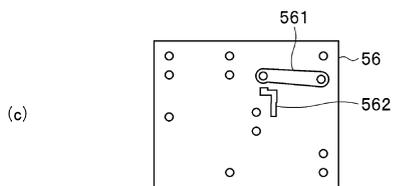
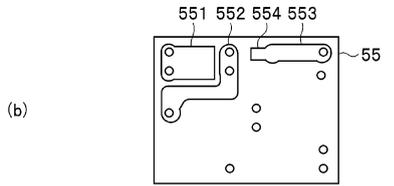
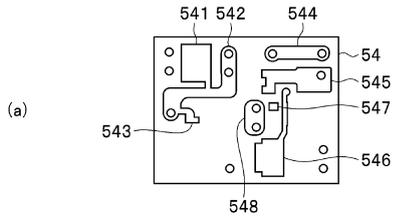


30

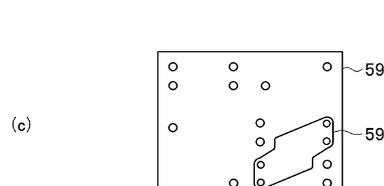
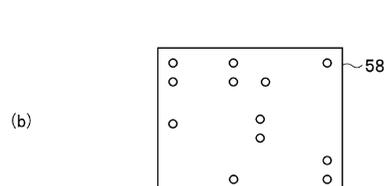
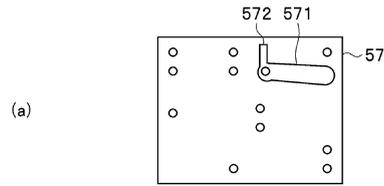
40

50

【 図 5 】



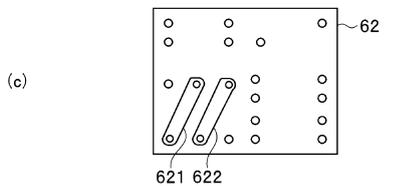
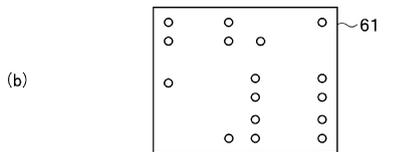
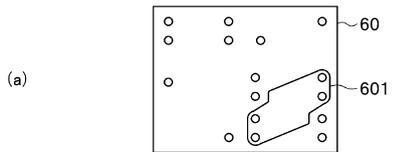
【 図 6 】



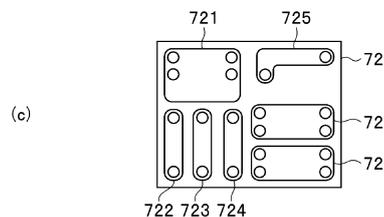
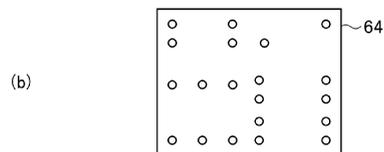
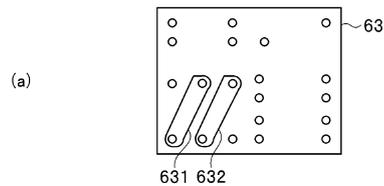
10

20

【 図 7 】



【 図 8 】

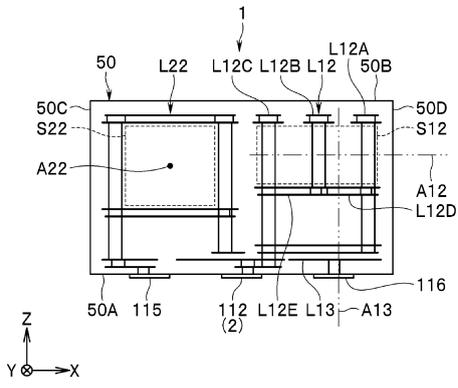


30

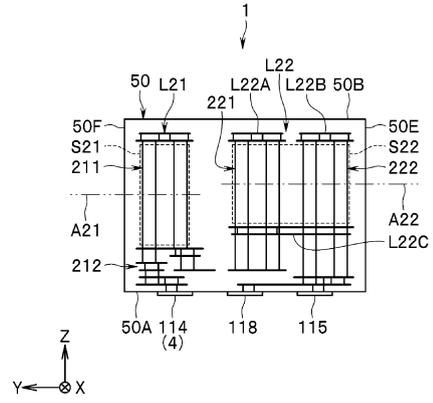
40

50

【 図 1 3 】

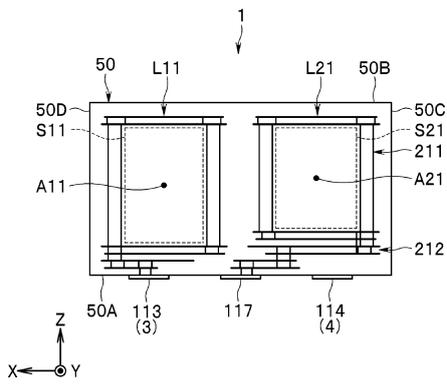


【 図 1 4 】

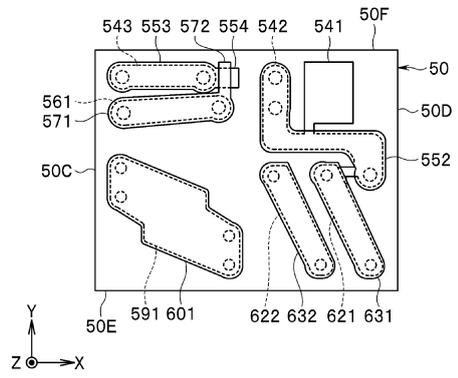


10

【 図 1 5 】



【 図 1 6 】



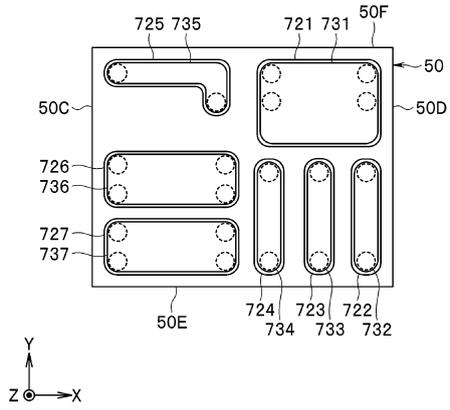
20

30

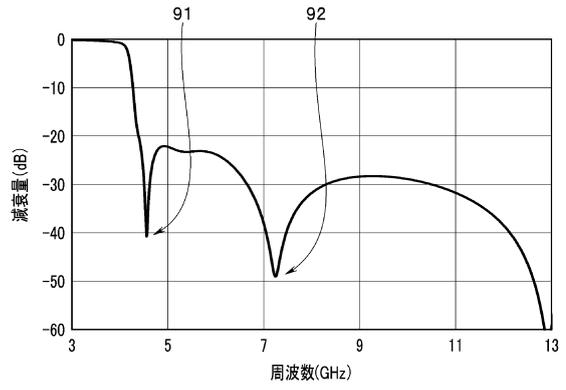
40

50

【 図 1 7 】

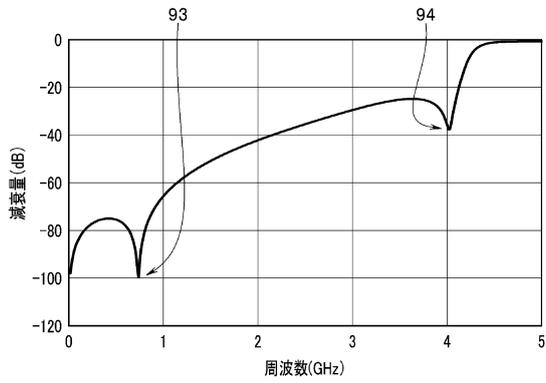


【 図 1 8 】



10

【 図 1 9 】



20

30

40

50