

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-112760

(P2014-112760A)

(43) 公開日 平成26年6月19日(2014.6.19)

(51) Int.Cl.	F I	テーマコード (参考)
HO4N 5/355 (2011.01)	HO4N 5/335 550	4M118
HO4N 5/365 (2011.01)	HO4N 5/335 650	5C024
HO4N 5/369 (2011.01)	HO4N 5/335 690	
HO1L 27/146 (2006.01)	HO1L 27/14 A	

審査請求 未請求 請求項の数 8 O L (全 24 頁)

(21) 出願番号 特願2012-266001 (P2012-266001)
 (22) 出願日 平成24年12月5日 (2012.12.5)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100082131
 弁理士 稲本 義雄
 (74) 代理人 100121131
 弁理士 西川 孝
 (72) 発明者 伊藤 芳晃
 東京都港区港南1丁目7番1号 ソニー株式会社内
 (72) 発明者 笠井 弦
 東京都港区港南1丁目7番1号 ソニー株式会社内
 Fターム(参考) 4M118 AA02 AB01 BA14 CA02 DD04
 FA06 GD03

最終頁に続く

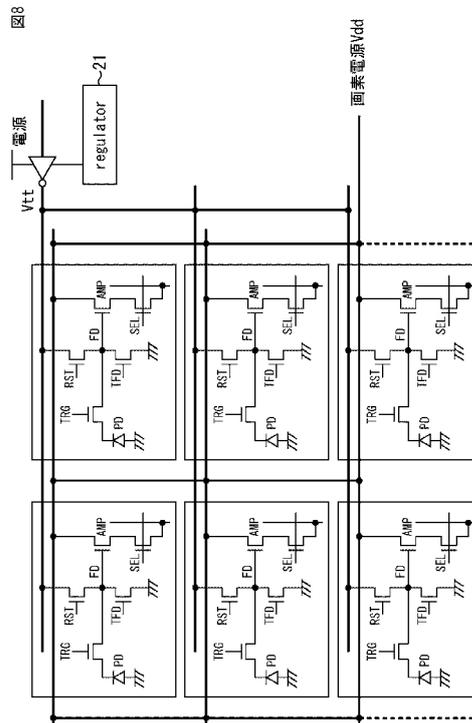
(54) 【発明の名称】 固体撮像装置および電子機器

(57) 【要約】

【課題】画質を劣化させることなく、ダイナミックレンジを拡大することができるようにする。

【解決手段】光電変換部から転送された信号電荷を保持する電荷保持部であって、第1の容量値の容量部、および、第1の容量値を増大させて第2の容量値とするための付加容量部から成る電荷保持部とを有する画素が複数個、行列状に配置されて成る画素アレイと、電荷保持部に保持された電荷をリセットするリセットトランジスタの一部に、リセットトランジスタの駆動電圧とは異なる電圧の試験電圧を印加する試験電圧用電源とを備える。

【選択図】 図8



【特許請求の範囲】

【請求項 1】

光電変換部から転送された信号電荷を保持する電荷保持部であって、第 1 の容量値の容量部、および、前記第 1 の容量値を増大させて第 2 の容量値とするための付加容量部から成る電荷保持部とを有する画素が複数個、行列状に配置されて成る画素アレイと、

前記電荷保持部に保持された電荷をリセットするリセットトランジスタの一部に、前記リセットトランジスタの駆動電圧とは異なる電圧の試験電圧を印加する試験電圧用電源とを備える固体撮像装置。

【請求項 2】

前記画素アレイの中の複数の画素のそれぞれにおいて、

前記光電変換部で受光した光に対応する画素信号を読み出す前に、前記リセットトランジスタをオンにして、前記電荷保持部に、前記試験電圧に対応する電荷を保持させる請求項 1 に記載の固体撮像装置。

10

【請求項 3】

前記画素アレイの中の所定の 1 行の画素において、

前記光電変換部で受光した光に対応する画素信号を読み出す前に、前記リセットトランジスタをオンにして、前記電荷保持部に、前記試験電圧に対応する電荷を保持させる請求項 1 に記載の固体撮像装置。

【請求項 4】

画素アレイの中の前記所定の 1 行の画素の受光部が遮光され、

前記光電変換部で受光した光に対応する画素信号を読み出す前に、前記光電変換部から前記電荷保持部に信号電荷を転送する転送トランジスタを、前記リセットトランジスタとともにオンにして、前記光電変換部に、前記試験電圧に対応する電荷を保持させる請求項 3 に記載の固体撮像装置。

20

【請求項 5】

前記電荷保持部に蓄積された電荷に対応する信号電圧であって、前記電荷保持部の容量を前記第 1 の容量値とした場合の信号電圧に基づいて生成される高ゲイン信号、および、前記電荷保持部の容量を前記第 2 の容量値とした場合の信号電圧に基づいて生成される低ゲイン信号に基づいて、前記第 1 の容量値と前記第 2 の容量値の比である容量比を演算する演算部をさらに備える

請求項 1 に記載の固体撮像装置。

30

【請求項 6】

前記高ゲイン信号および前記低ゲイン信号のそれぞれが、相関 2 重サンプリング処理によってノイズが除去された信号とされる

請求項 5 に記載の固体撮像装置。

【請求項 7】

前記容量比を記憶するメモリをさらに備える

請求項 5 に記載の固体撮像装置。

【請求項 8】

光電変換部から転送された信号電荷を保持する電荷保持部であって、第 1 の容量値の容量部、および、前記第 1 の容量値を増大させて第 2 の容量値とするための付加容量部から成る電荷保持部とを有する画素が複数個、行列状に配置されて成る画素アレイと、

前記電荷保持部に保持された電荷をリセットするリセットトランジスタの一部に、前記リセットトランジスタの駆動電圧とは異なる電圧の試験電圧を印加する試験電圧用電源とを備える固体撮像装置を備える

電子機器。

40

【発明の詳細な説明】

【技術分野】

【0001】

本技術は、固体撮像装置および電子機器に関し、特に、画質を劣化させることなく、ダ

50

イナミックレンジを拡大することができるようにする固体撮像装置および電子機器に関する。

【背景技術】

【0002】

同じ蓄積期間の信号電荷を用いて、ダイナミックレンジの異なる画像信号を得ることができるように、画素部に2つのFD容量を持つイメージセンサに係る技術が提案されている（例えば、特許文献1または特許文献2参照）。

【0003】

このようなイメージセンサにおいては、それぞれのFD容量でPDに貯まった電子を電圧に変換し読み取るようになされている。

【0004】

例えば、特許文献2の技術では、変調された飽和前電荷信号(S_1') + 変調された過飽和電荷信号(S_2') + $C_{FD} + C_S$ ノイズ(N_2)と $C_{FD} + C_S$ ノイズ(N_2)を差動アンプDCに入力し、これらの差分を取って $C_{FD} + C_S$ ノイズ(N_2)をキャンセルし、さらにアンプAPにより C_{FD} と C_S の容量比率によって復元して飽和前電荷信号(S_1)と同じゲインに調整することで、飽和前電荷信号と過飽和電荷信号の和($S_1 + S_2$)が得られる。

【0005】

$S_1' + S_2' + N_2$ 信号と N_2 信号は、差動アンプDC2に入力する前に、必要に応じて設けられるA/DコンバータADCによりそれぞれデジタル化してもよく、あるいはADCを設けずにアナログ信号のまま差動アンプDCに入力してもよい。

【0006】

このような技術を用いることにより、イメージセンサのダイナミックレンジを拡大することができる。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2000-165754号公報

【特許文献2】特許第4502278号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

ところで、2つのFD容量を持つイメージセンサにおいて画素信号を生成する場合、2つのFD容量の比(容量比)を用いた演算を行う必要がある。このため、正確な容量比を用いなければ、画素信号においてもノイズが発生してしまうことがある。

【0009】

しかしながら、半導体チップの製造プロセスにおいては、製造条件の揺らぎが発生するため、素子の電気特性にもばらつきが生じることがある。このような場合、設計上の容量比を用いたとしても、もはや正確な容量比とはいえず、不正確な容量比を用いた演算によって生成された画素信号は、例えば、リニアリティの劣化などの問題が発生しやすい。

【0010】

さらに、半導体チップの製造プロセスにおいて、ウェハーの面上の位置に応じてFDの容量が変化する場合などは、例えば、リニアリティの劣化が定常的に発生することによるシェーディングのような固定パターンのノイズが発生することになる。

【0011】

本技術はこのような状況に鑑みて開示するものであり、画質を劣化させることなく、ダイナミックレンジを拡大することができるようにするものである。

【課題を解決するための手段】

【0012】

本技術の第1の側面は、光電変換部から転送された信号電荷を保持する電荷保持部であって、第1の容量値の容量部、および、前記第1の容量値を増大させて第2の容量値とす

10

20

30

40

50

るための付加容量部から成る電荷保持部とを有する画素が複数個、行列状に配置されて成る画素アレイと、前記電荷保持部に保持された電荷をリセットするリセットトランジスタの一部に、前記リセットトランジスタの駆動電圧とは異なる電圧の試験電圧を印加する試験電圧用電源とを備える固体撮像装置である。

【0013】

前記画素アレイの中の複数の画素のそれぞれにおいて、前記光電変換部で受光した光に対応する画素信号を読み出す前に、前記リセットトランジスタをオンにして、前記電荷保持部に、前記試験電圧に対応する電荷を保持させるようにすることができる。

【0014】

前記画素アレイの中の所定の1行の画素において、前記光電変換部で受光した光に対応する画素信号を読み出す前に、前記リセットトランジスタをオンにして、前記電荷保持部に、前記試験電圧に対応する電荷を保持させるようにすることができる。

10

【0015】

画素アレイの中の前記所定の1行の画素の受光部が遮光され、前記光電変換部で受光した光に対応する画素信号を読み出す前に、前記光電変換部から前記電荷保持部に信号電荷を転送する転送トランジスタを、前記リセットトランジスタとともにオンにして、前記光電変換部に、前記試験電圧に対応する電荷を保持させるようにすることができる。

【0016】

前記電荷保持部に蓄積された電荷に対応する信号電圧であって、前記電荷保持部の容量を前記第1の容量値とした場合の信号電圧に基づいて生成される高ゲイン信号、および、前記電荷保持部の容量を前記第2の容量値とした場合の信号電圧に基づいて生成される低ゲイン信号に基づいて、前記第1の容量値と前記第2の容量値の比である容量比を演算する演算部をさらに備えるようにすることができる。

20

【0017】

前記高ゲイン信号および前記低ゲイン信号のそれぞれが、相関2重サンプリング処理によってノイズが除去された信号とされるようにすることができる。

【0018】

前記容量比を記憶するメモリをさらに備えるようにすることができる。

【0019】

本技術の第2の側面は、光電変換部から転送された信号電荷を保持する電荷保持部であって、第1の容量値の容量部、および、前記第1の容量値を増大させて第2の容量値とするための付加容量部から成る電荷保持部とを有する画素が複数個、行列状に配置されて成る画素アレイと、前記電荷保持部に保持された電荷をリセットするリセットトランジスタの一部に、前記リセットトランジスタの駆動電圧とは異なる電圧の試験電圧を印加する試験電圧用電源とを備える固体撮像装置を備える電子機器である。

30

【0020】

本技術の第1の側面においては、光電変換部から転送された信号電荷を保持する電荷保持部であって、第1の容量値の容量部、および、前記第1の容量値を増大させて第2の容量値とするための付加容量部から成る電荷保持部とを有する画素が複数個、行列状に配置され、前記電荷保持部に保持された電荷をリセットするリセットトランジスタの一部に、前記リセットトランジスタの駆動電圧とは異なる電圧の試験電圧が印加される。

40

【発明の効果】

【0021】

本技術によれば、画質を劣化させることなく、ダイナミックレンジを拡大することができる。

【図面の簡単な説明】

【0022】

【図1】2つのFD容量を持つイメージセンサの画素部の構成を、簡易的に示した回路図である。

【図2】TFDがオフされている場合の図1との等価回路を示した図である。

50

- 【図 3】TFD がオンされている場合の図 1 との等価回路を示した図である。
- 【図 4】高ゲイン信号 P 2 と低ゲイン信号 P 1 を説明する図である。
- 【図 5】合成信号 P 1' を説明する図である。
- 【図 6】容量 C F D と容量 (C F D + C S) のばらつきが生じた場合の合成信号 P 1' を説明する図である。
- 【図 7】容量 C F D と容量 (C F D + C S) のばらつきが生じた場合の合成信号 P 1' を説明する図である。
- 【図 8】本技術を適用したイメージセンサの画素部の構成を、簡略に示した回路図である。
- 【図 9】ロジック部に設けられた信号補正回路の構成例を示す図である。 10
- 【図 10】本技術を適用したイメージセンサにおけるカラム A D C 回路の概略構成を示すブロック図である。
- 【図 11】図 10 に示されるカラム A D C 回路における一般的な C D S 処理を説明するタイミングチャートである。
- 【図 12】本技術を適用したイメージセンサにおける各電圧パルスの形状を示すタイミングチャートである。
- 【図 13】図 12 における試験電荷注入期間、並びに、D 相第 1 期間および D 相第 2 期間における詳細なタイミングチャートである。
- 【図 14】図 12 における P 相第 1 期間、P 相第 2 期間、D 相第 1 期間、および D 相第 2 期間における詳細なタイミングチャートである。 20
- 【図 15】本技術を適用したイメージセンサにおいて、1 行毎に、各画素に試験電荷を注入する場合のタイミングチャートである。
- 【図 16】本技術を適用したイメージセンサにおいて、代表行にのみ試験電荷が注入される場合のタイミングチャートである。
- 【図 17】図 16 における試験電荷注入期間、並びに、P 相第 1 期間、P 相第 2 期間、D 相第 1 期間、および D 相第 2 期間における詳細なタイミングチャートである。
- 【図 18】本技術が適用される固体撮像装置の概略を示すシステム構成図である。
- 【図 19】本技術を適用した電子機器としての、撮像装置の構成例を示すブロック図である。
- 【発明を実施するための形態】 30
- 【0023】
以下、図面を参照して、ここで開示する技術の実施の形態について説明する。
- 【0024】
最初に従来技術の問題点について説明する。
- 【0025】
図 1 は、2 つの F D 容量を持つイメージセンサの画素部の構成を、簡易的に示した回路図である。
- 【0026】
この例における画素部は、フォトダイオード (P D) に蓄積された電荷が転送トランジスタ (T R G) を介してフローティングディフュージョン (F D) に転送される。また、 40
F D に蓄積された電荷が読み出された後、リセットトランジスタ (R S T) がオンされることにより、電源電圧が F D に供給され、F D の電位がリセットされるようになされている。
- 【0027】
F D に蓄積された電荷は、後述する信号電圧として、増幅トランジスタ (A M P) を介して読み出される。なお、信号電圧の読み出しは、図示せぬ選択トランジスタがオンされることにより行われる。
- 【0028】
また、この画素部には、F D 容量となるキャパシタであって、比較的小さい容量のキャパシタ C F D および比較的大きい容量のキャパシタ C S が設けられている。上述したよう 50

にPDから転送された電荷は、FDに転送されて蓄積される。このとき、FD切り替えトランジスタ(TFD)がオンまたはオフされることにより、FDの容量が変化する。

【0029】

TFDがオフされている場合、図1に示される回路は図2と等価となり、PDから転送された電荷が容量CFDのFDに蓄積されることになる。

【0030】

一方、TFDがオンされている場合、図1に示される回路は図3と等価となり、PDから転送された電荷が容量(CFD+CS)のFDに蓄積されることになる。

【0031】

イメージセンサにおいて、当該画素部から出力される画素信号は、FDに蓄積された電荷に対応する信号電圧に基づいて生成される。FDの容量をCで表したとき、FDから読み出される信号電圧Vは、 $V = Q / C$ で表されるので、図2の回路のFDから読み出される信号電圧に対応する信号(高ゲイン信号と称することにする)は、 $P2 = Q / CFD$ となる。一方、図3の回路のFDから読み出される信号電圧に対応する信号(低ゲイン信号と称することにする)は、 $P1 = Q / (CFD + CS)$ となる。

10

【0032】

図4は、高ゲイン信号P2と低ゲイン信号P1を説明する図である。同図の横軸はPDで受光した光量とされ、縦軸が信号レベルとされる。光量が十分に大きい場合、イメージセンサでは、低ゲイン信号P1を用いて画素信号が生成され、光量が十分に小さい場合、高ゲイン信号P2を用いて画素信号が生成される。このようにすることで、画素信号のダイナミックレンジを拡大することができる。

20

【0033】

一方で、光量が十分に大きいとは言えない場合、イメージセンサでは、低ゲイン信号P1と高ゲイン信号P2とを混合した信号を用いて画素信号が生成される。例えば、PDで受光した光量が光量 I_a から光量 I_b までの間であった場合、低ゲイン信号P1と高ゲイン信号P2とを混合した信号(合成信号と称することにする)P1'を用いて画素信号が生成される。

【0034】

合成信号P1'は、容量CFDと容量(CFD+CS)との比(容量比)を用いた演算により求めることが可能であり、 $P1' = P1 \times CFD / (CFD + CS)$ として求めることができる。

30

【0035】

すなわち、図5に示されるように、低ゲイン信号P1に容量比($= CFD / (CFD + CS)$)を乗じることにより、合成信号P1'が生成される。

【0036】

図5は、合成信号P1'を説明する図である。同図の横軸はPDで受光した光量とされ、縦軸が信号レベルとされる。図5において、合成信号P1'は、高ゲイン信号P2と同じ傾きを有する直線として示されている。

【0037】

このような合成信号P1'を用いることにより、PDで受光した光量が光量 I_a から光量 I_b までの間であった場合、光量が十分に小さい場合(高ゲイン信号P2の場合)と同じダイナミックレンジで画素信号を生成することが可能となる。

40

【0038】

しかしながら、容量CFDと容量(CFD+CS)の実際の値は、画素部毎に異なることがある。半導体チップの製造プロセスにおける製造条件の揺らぎが発生するため、素子の電気特性にもばらつきが生じることがあるからである。このように、容量CFDと容量(CFD+CS)のばらつきが生じた場合、設計時に得られた容量比と実際の容量比とが異なってしまうことがある。

【0039】

図6と図7は、容量CFDと容量(CFD+CS)のばらつきが生じた場合の合成信号

50

P 1 ' を説明する図である。同図の横軸は P D で受光した光量とされ、縦軸が信号レベルとされる。

【 0 0 4 0 】

図 6 に示されるように、合成信号 P 1 ' は、本来、高ゲイン信号 P 2 と同じ傾きを有する直線（図中の点線）となるものであるが、設計時に得られた容量比と実際の容量比とが異なっていた場合、合成信号 P 1 ' の傾きが高ゲイン信号 P 2 の傾きとは異なってしまう。

【 0 0 4 1 】

このため、図 7 に示されるように、高ゲイン信号 P 2 と合成信号 P 1 ' とのリニアリティが崩れ、P D で受光した光量が光量 l_a から光量 l_b までの間であった場合の画素信号の信号レベルが不正確なものとなってしまう。

10

【 0 0 4 2 】

例えば、半導体チップの製造プロセスにおいて、ウェハ-の面上の位置に応じて容量 C F D と容量 (C F D + C S) のばらつきが生じる場合などは、例えば、リニアリティの劣化が定常的に発生することによるシェーディングのような固定パターンのノイズが発生することになる。

【 0 0 4 3 】

そこで、本技術では、F D の容量のばらつきが生じた場合であっても、画素信号のリニアリティが崩れないようにする。

【 0 0 4 4 】

図 8 は、本技術を適用したイメージセンサの画素部の構成を、簡略に示した回路図である。

20

【 0 0 4 5 】

同図の例では、3 行 2 列（合計 6 個）の画素部が記載されており、各画素部では、図 1 の場合と同様に、フォトダイオード（P D）に蓄積された電荷が転送トランジスタ T R G を介してフローティングディフュージョン（F D）に転送される。

【 0 0 4 6 】

また、F D に蓄積された電荷が読み出された後、リセットトランジスタ（R S T）がオンされることにより、電圧 V_{dd} が F D に供給され、F D の電位がリセットされるようになされている。

30

【 0 0 4 7 】

F D に蓄積された電荷は、後述する信号電圧として、増幅トランジスタ（A M P）を介して読み出される。なお、信号電圧の読み出しは、図示せぬ選択トランジスタがオンされることにより行われる。

【 0 0 4 8 】

また、図 8 においては、表示が省略されているが、図 1 を参照して上述した場合と同様に、各画素部には、F D 容量となるキャパシタであって、比較的小さい容量のキャパシタ C F D および比較的大きい容量のキャパシタ C S が設けられている。上述したように P D から転送された電荷は、F D に転送されて蓄積される。このとき、F D 切り替えトランジスタ（T F D）がオンまたはオフされることにより、F D の容量が変化する。

40

【 0 0 4 9 】

図 8 の構成では、図 1 の場合とは異なり、R S T のドレイン端子に電圧 V_{tt} を印加するレギュレータ 2 1 が設けられている。

【 0 0 5 0 】

この電圧 V_{tt} は、画素部の各トランジスタの駆動を制御する電圧である電圧 V_{dd} とは異なる電圧とされ、後述するように F D に試験電荷を蓄積させるための電圧とされる。例えば、各トランジスタをオンさせるときの電圧（駆動電圧） V_{dd} が約 3 V であり、オフさせるときの電圧（駆動停止電圧） V_{dd} は約 0.3 V とされる。一方で、F D に試験電荷を蓄積させるときの電圧（試験電圧） V_{tt} は約 0 V 乃至 0.3 V であり、F D に試験電荷を蓄積させないときの電圧 V_{tt} は約 3 V とされる。

50

【 0 0 5 1 】

すなわち、本技術におけるイメージセンサは、画素部の各トランジスタの駆動電圧 V_d を供給する画素電源とは別の電源であるレギュレータ 2 1 を有している。

【 0 0 5 2 】

R S T のドレイン端子にグランド電圧付近の電圧（例えば、試験電圧）を印加すると、F D に微小な量の電荷（試験電荷と称することにする）が蓄積される。例えば、P D で強い光を受光した場合、P D に蓄積された電荷を F D に転送したとき、容量 C F D では蓄積することができず溢れてしまうので、容量 $(C F D + C S)$ に蓄積する必要がある。試験電荷は、容量 C F D から溢れることなく蓄積される微小な電荷とされる。

【 0 0 5 3 】

各画素の F D から読み出された信号電圧は、イメージセンサのロジック部に供給される。図 9 は、ロジック部に設けられた信号補正回路の構成例を示す図である。

【 0 0 5 4 】

図 9 において、演算器 4 1 には、高ゲイン信号 P 2 および低ゲイン信号 P 1 がそれぞれ入力される。演算器 4 1 は、高ゲイン信号 P 2 および低ゲイン信号 P 1 をそのまま選択器 4 3 に出力するとともに、高ゲイン信号と低ゲイン信号の比 $(P 1 / P 2)$ を算出し、比 $(P 1 / P 2)$ を低ゲイン信号 P 1 に乗じた合成信号 P 1 ' を選択器 4 3 に出力する。

【 0 0 5 5 】

なお、上述したように、 $P 2 = Q / C F D$ 、 $P 1 = Q / (C F D + C S)$ であることから、比 $(P 1 / P 2)$ は、容量比 と等しくなる。演算器 4 1 により算出された容量比は、バッファ 4 2 に保持されるようになされている。このようにすることで、画素毎に容量比 が異なる場合であっても、常に適正な合成信号 P 1 ' を得ることができ、リニアリティを崩さずに画素信号を生成することが可能となる。

【 0 0 5 6 】

選択器 4 3 は、高ゲイン信号 P 2、低ゲイン信号 P 1、または、合成信号 P 1 ' のいずれかを選択し、後段に出力するようになされている。

【 0 0 5 7 】

本技術を適用したイメージセンサは、例えば、画素信号を読み出す前に全画素の R S T をオンにして、R S T のドレイン端子に試験電圧を印加し、F D に試験電荷を蓄積させる。その後、所定の 1 行の画素を選択して F D から信号電圧を読み出し、上述したように、容量比 を演算して保持するようになされている。

【 0 0 5 8 】

そして、当該行の画素の P D で受光した電荷を F D に転送して読み出す際に、必要に応じて容量比 を用いて算出された合成信号 P 1 ' が読み出される。

【 0 0 5 9 】

さらに、次の行の画素を選択して F D から信号電圧を読み出し、上述したように、容量比 を演算して保持し、当該行の画素の P D で受光した電荷を F D に転送して読み出す際に、必要に応じて容量比 を用いて算出された合成信号 P 1 ' が読み出される。

【 0 0 6 0 】

このようにして各行の画素の画素信号が読み出される。このようにすることで、F D の容量のばらつきが生じた場合であっても、画素信号のリニアリティが崩れないようにする。

【 0 0 6 1 】

また、本技術を適用したイメージセンサでは、信号成分からリセット成分を除去する C D S (Correlated Double Sampling ; 相関 2 重サンプリング) 処理を行って画素信号を生成するようになされている。C D S 処理では、各画素の F D からリセット成分を読み出す P 相期間と信号成分を読み出す D 相期間が交互に設けられる。

【 0 0 6 2 】

すなわち、カラム A D C 回路内において、P 相期間にカウントされたリセット成分の値が、D 相期間にカウントされた信号成分の値から除去される。なお、P 相期間および D 相

10

20

30

40

50

期間においては、例えば、クロックに応じて順次変化する参照信号電圧と、FDから読み出された信号電圧との大小関係が比較され、この大小関係が反転するまでのクロック数がカウントされてデジタル信号の値が生成される。すなわち、P相期間およびD相期間のいずれか一方でカウントアップし、他方でカウントダウンすることにより、信号成分とリセット成分の差分を表すデジタル信号の値が得られる。

【0063】

上述したように本技術を適用したイメージセンサの画素部は、2つの異なるFD容量を有しているため、CDS処理が2回行われるようになされている。すなわち、FDを容量(CFD+CS)としてリセット成分を読み出すP相第1期間、FDを容量(CFD+CS)として信号成分を読み出すD相第1期間、FDを容量CFDとしてリセット成分を読み出すP相第2期間、およびFDを容量CFDとして信号成分を読み出すD相第2期間が設けられる。

10

【0064】

図10は、本技術を適用したイメージセンサにおけるコラムADC回路の概略構成を示すブロック図である。

【0065】

まず、図10Aに示されるように、P相第1期間(P相1)においてクロックがカウンタ53に供給されてカウントダウンされる。

【0066】

次に、図10Bに示されるように、P相第2期間(P相2)においてクロックがカウンタ52に供給されてカウントダウンされ、D相第2期間(D相2)においてクロックがカウンタ52に供給されてカウントアップされる。これにより、カウンタ52によって信号成分とリセット成分の差分を表すデジタル信号の値(CDS2)が生成される。このCDS2の値はラッチ51に保持される。

20

【0067】

その後、図10Cに示されるように、D相第1期間(D相1)においてクロックがカウンタ53に供給されてカウントアップされる。これにより、カウンタ53によって信号成分とリセット成分の差分を表すデジタル信号の値(CDS1)が生成される。このCDS1の値はラッチ51に保持される。

【0068】

図11は、図10に示されるコラムADC回路における一般的なCDS処理を説明するタイミングチャートである。図中最も上に示されるXHSは水平同期信号を表しており、水平同期信号のパルスが2回形成される間(すなわち2水平転送期間内)に、図10A乃至図10Cを参照して上述した処理が実行されるようになされている。

30

【0069】

一方で本技術を適用したイメージセンサの場合、上述したように、例えば、画素信号を読み出す前に全画素のRSTに試験電圧を印加し、FDに試験電荷を蓄積させる。その後、行毎に画素を選択してFDから信号電圧を読み出し、上述したように、容量比を演算して保持するようになされている。

【0070】

図12は、本技術を適用したイメージセンサにおける各電圧パルスの形状を示すタイミングチャートである。図中のSATimeは、レギュレータ21により試験電圧を印加する期間に形成されるパルスとされる。また、RSTnは、第n行目の画素のリセットトランジスタに印加される駆動電圧のパルスとされ、RSTn+1は、第n行目の画素のリセットトランジスタに印加される駆動電圧のパルスとされる。さらに、SELnは、第n行目の選択トランジスタに印加される駆動電圧のパルスとされ、SELn+1は、第n+1行目の選択トランジスタに印加される駆動電圧のパルスとされる。

40

【0071】

図12に示されるように、試験電荷注入期間において、レギュレータ21により試験電圧が印加されるとともに、第n行目の画素のリセットトランジスタ、および第n+1行目

50

のリセットトランジスタがオンされる。これにより、第 n 行目と第 $n + 1$ 行目の画素の FD に試験電荷が蓄積される。ここでは、第 n 行目と第 $n + 1$ 行目に係る各電圧パルスのみが示されているが、実際には、試験電荷注入期間において、レギュレータ 21 により試験電圧が印加されるとともに、全ての行の画素のリセットトランジスタがオンされ、全ての行の画素の FD に試験電荷が蓄積される。

【0072】

その後、 D 相第 1 期間と D 相第 2 期間において、第 n 行目の画素の選択トランジスタがオンされる。このとき読み出される信号電圧は、 PD で受光した光量に応じた電荷に対応する信号電圧ではなく、試験電荷に対応する信号電圧である。これにより、試験電荷に対応する高ゲイン信号 $P2$ と低ゲイン信号 $P1$ が出力され、カラム ADC 回路の演算器 41 によって第 n 行目の各画素の容量比が演算されてバッファ 42 に保持される。なお、ここで出力される高ゲイン信号 $P2$ と低ゲイン信号 $P1$ には CDS 処理が施されないことになる。

10

【0073】

そして、 P 相第 1 期間、 P 相第 2 期間、 D 相第 1 期間、および D 相第 2 期間において、第 n 行目の画素の選択トランジスタがオンされる。これにより、第 n 行目の各画素の PD で受光した光量に応じた電荷に対応する画素信号が、 CDS 処理を経て生成されることになる。

【0074】

さらに、その後、 D 相第 1 期間および D 相第 2 期間において、第 $n + 1$ 行目の画素の選択トランジスタがオンされる。これにより、カラム ADC 回路の演算器 41 によって第 $n + 1$ 行目の各画素の容量比が演算され、バッファ 42 に保持される。

20

【0075】

そして、 P 相第 1 期間、 P 相第 2 期間、 D 相第 1 期間、および D 相第 2 期間において、第 $n + 1$ 行目の画素の選択トランジスタがオンされる。これにより、第 $n + 1$ 行目の各画素の PD で受光した電荷に対応する画素信号が、 CDS 処理を経て生成されることになる。

【0076】

このようにして、各行の画素の画素信号が生成されていく。

【0077】

図 13 は、図 12 における試験電荷注入期間、並びに、 D 相第 1 期間および D 相第 2 期間における詳細なタイミングチャートである。同図は、横軸が時間とされ、 $4H$ (4 水平転送期間) の各信号波形が示されている。

30

【0078】

同図には、 FD に蓄積される電荷に対応する電圧の変化 (FD)、カラム ADC 回路で生成される参照信号電圧の波形 (DAC)、アンプトランジスタから出力される信号電圧の波形 (VSL) が示されている。また、選択トランジスタの駆動電圧の波形 (SEL)、リセットトランジスタの駆動電圧の波形 (RST)、転送トランジスタの駆動電圧の波形 (TRG)、および FD 切り替えトランジスタの駆動電圧の波形 (TFD) が示されている。

40

【0079】

さらに、同図には、図 10 を参照して上述した、カウンタ 53、およびカウンタ 52 に保持される各値が示されている。なお、図 13 では、 P 相第 1 期間、 P 相第 2 期間、 D 相第 1 期間、および D 相第 2 期間が表されていないので、カウンタ 52 の値は 0 のままとされている。

【0080】

図 10 に示されるように、電荷注入期間においては、 RST が “ H ” となり、レギュレータ 21 により試験電圧が印加され、 FD に試験電荷が蓄積 (注入) される。

【0081】

図 14 は、図 12 における P 相第 1 期間、 P 相第 2 期間、 D 相第 1 期間、および D 相第

50

2 期間における詳細なタイミングチャートである。同図は、横軸が時間とされ、4 H (4 水平転送期間) の各信号波形が示されている。

【 0 0 8 2 】

同図には、やはり F D に蓄積される電荷に対応する電圧の変化 (F D)、カラム A D C 回路で生成される参照信号電圧の波形 (D A C)、アンプトランジスタから出力される信号電圧の波形 (V S L) が示されている。また、選択トランジスタの駆動電圧の波形 (S E L)、リセットトランジスタの駆動電圧の波形 (R S T)、転送トランジスタの駆動電圧の波形 (T R G)、および F D 切り替えトランジスタの駆動電圧の波形 (T F D) が示されている。

【 0 0 8 3 】

さらに、同図には、図 1 0 を参照して上述した、カウンタ 5 3、およびカウンタ 5 2 に保持される各値が示されている。なお、図 1 4 では、カウンタ 5 3、および、カウンタ 5 2 の値が図 1 0 を参照して上述したように変化している。

【 0 0 8 4 】

すなわち、図 1 4 に示されるように、P 相第 1 期間、P 相第 2 期間、D 相第 1 期間、および D 相第 2 期間では、2 つの F D 容量を有するイメージセンサにおける一般的な信号の読み出し処理 (C D S 処理を伴う) が実行されることになる。

【 0 0 8 5 】

以上においては、画素信号を読み出す前に全画素の R S T に試験電圧を印加し、F D に試験電荷を蓄積させると説明したが、必ずしも全画素同時に試験電荷を蓄積させる (注入する) 必要はない。例えば、1 行毎に、各画素に試験電荷を注入するようにしてもよい。

【 0 0 8 6 】

図 1 5 は、本技術を適用したイメージセンサにおける各電圧パルスの形状を示すタイミングチャートであって、1 行毎に、各画素に試験電荷を注入する場合のタイミングチャートである。

【 0 0 8 7 】

図 1 5 は、図 1 2 に対応する図であり、S A T i m e は、レギュレータ 2 1 により試験電圧を印加する期間に形成されるパルスとされる。また、R S T n は、第 n 行目の画素のリセットトランジスタに印加される駆動電圧のパルスとされ、R S T n + 1 は、第 n 行目の画素のリセットトランジスタに印加される駆動電圧のパルスとされる。さらに、S E L n は、第 n 行目の選択トランジスタに印加される駆動電圧のパルスとされ、S E L n + 1 は、第 n + 1 行目の選択トランジスタに印加される駆動電圧のパルスとされる。

【 0 0 8 8 】

図 1 5 において、試験電荷注入期間において、レギュレータ 2 1 により試験電圧が印加されるとともに、第 n 行目の画素のリセットトランジスタがオンされる。これにより、第 n 行目の画素の F D に試験電荷が蓄積される。図 1 5 の場合、図 1 2 とは異なり、試験電荷注入期間において、第 n + 1 行目の画素のリセットトランジスタがオンされていない。このため、この試験電荷注入期間には、この 1 行 (第 n 行目) の画素にのみ試験電荷が注入されることになる。

【 0 0 8 9 】

その後、D 相第 1 期間と D 相第 2 期間において、第 n 行目の画素の選択トランジスタがオンされる。このとき読み出される信号電圧は、P D で受光した光量に応じた電荷に対応する信号電圧ではなく、試験電荷に対応する信号電圧である。これにより、試験電荷に対応する高ゲイン信号 P 2 と低ゲイン信号 P 1 が出力され、カラム A D C 回路の演算器 4 1 によって第 n 行目の各画素の容量比 が演算されてバッファ 4 2 に保持される。なお、ここで出力される高ゲイン信号 P 2 と低ゲイン信号 P 1 には C D S 処理が施されないことになる。

【 0 0 9 0 】

そして、P 相第 1 期間、P 相第 2 期間、D 相第 1 期間、および D 相第 2 期間において、第 n 行目の画素の選択トランジスタがオンされる。これにより、第 n 行目の各画素の P D

10

20

30

40

50

で受光した光量に応じた電荷に対応する画素信号が、CDS処理を経て生成されることになる。

【0091】

その後、次の試験電荷注入期間において、レギュレータ21により試験電圧が印加されるとともに、第 $n+1$ 行目の画素のリセットトランジスタがオンされる。これにより、第 $n+1$ 行目の画素のFDに試験電荷が蓄積される。この試験電荷注入期間では、第 n 行目の画素のリセットトランジスタがオンされていないので、この1行(第 $n+1$ 行目)の画素にのみ試験電荷が注入されることになる。

【0092】

さらに、その後、D相第1期間およびD相第2期間において、第 $n+1$ 行目の画素の選択トランジスタがオンされる。これにより、カラムADC回路の演算器41によって第 $n+1$ 行目の各画素の容量比が演算され、バッファ42に保持される。

10

【0093】

そして、P相第1期間、P相第2期間、D相第1期間、およびD相第2期間において、第 $n+1$ 行目の画素の選択トランジスタがオンされる。これにより、第 $n+1$ 行目の各画素のPDで受光した電荷に対応する画素信号が、CDS処理を経て生成されることになる。

【0094】

このようにして、各行の画素の画素信号が生成されていく。

【0095】

例えば、全ての行の画素に同時に試験電荷を注入するようにした場合、読み出しの順番が後になる行の画素では、試験電荷の注入から読み出しまでに要する時間が長くなり、FDから電荷が流出することにより試験電荷を維持できなくなることもあり得る。1行毎に、各画素に試験電荷を注入するにすれば、全ての行の画素において、試験電荷の注入から読み出しまでに要する時間を短くすることができ、確実に試験電荷を維持することが可能となる。

20

【0096】

以上においては、全ての行の画素に試験電荷が注入される実施の形態について説明した。しかしながら、このようにすると、全ての行において試験電荷の注入と、容量比の算出を行う必要があるため、フレームレートを高くすることが難しくなる。このため、例えば、画素アレイの中で代表となる行(代表行)を1行定めて、その代表行にのみ試験電荷が注入されるようにしてもよい。そして、代表行の各列の画素についてそれぞれ容量比を求め、求めたを他の全ての行の対応する列の画素に適用するようにしてもよい。

30

【0097】

このようにすることで、フレームレートを高くすることも容易になる。

【0098】

さらに、代表行にのみ試験電荷が注入される場合、代表行のみ画素の受光部が遮光されるようにし、代表行の画素では光電変換を行わせることなく、容量比の算出のためのみ用いられるようにすることもできる。このようにすると、容量比の算出の際にも、CDS処理が行われるようにすることができる。

40

【0099】

例えば、図8に示される回路において、試験電荷注入期間には、リセットトランジスタ(RST)とともに転送トランジスタ(TRG)もオンされるようにする。このようにすることで、PDにも試験電圧が印加され、その結果、PDにも試験電荷が蓄積されることになる。

【0100】

その後、FDの電荷をリセットし、P相第1期間、P相第2期間、D相第1期間、およびD相第2期間を設けることにより、CDS処理が施された高ゲイン信号P2と低ゲイン信号P1とを得ることができる。これにより、リセット成分が除去された高ゲイン信号P2と低ゲイン信号P1との比に基づいて、容量比を演算することが可能となる。

50

【 0 1 0 1 】

図 1 6 は、本技術を適用したイメージセンサにおける各電圧パルスの形状を示すタイミングチャートであって、代表行にのみ試験電荷が注入される場合のタイミングチャートである。

【 0 1 0 2 】

図 1 6 は、図 1 2 に対応する図であり、S A T i m e は、レギュレータ 2 1 により試験電圧を印加する期間に形成されるパルスとされる。また、R S T n は、第 n 行目の画素のリセットトランジスタに印加される駆動電圧のパルスとされ、R S T n + 1 は、第 n 行目の画素のリセットトランジスタに印加される駆動電圧のパルスとされる。さらに、S E L n は、第 n 行目の選択トランジスタに印加される駆動電圧のパルスとされ、S E L n + 1 は、第 n + 1 行目の選択トランジスタに印加される駆動電圧のパルスとされる。

10

【 0 1 0 3 】

図 1 6 においては、第 n 行目が代表行とされる。

【 0 1 0 4 】

図 1 6 において、試験電荷注入期間において、レギュレータ 2 1 により試験電圧が印加されるとともに、第 n 行目の画素のリセットトランジスタがオンされる。なお、図示されていないが、このとき転送トランジスタもオンされる。これにより、第 n 行目の画素の P D に試験電荷が蓄積される。図 1 6 の場合、図 1 2 とは異なり、試験電荷注入期間において、第 n + 1 行目の画素のリセットトランジスタがオンされていない。このため、この試験電荷注入期間には、代表行（第 n 行目）の画素にのみ試験電荷が注入されることになる。

20

【 0 1 0 5 】

その後、P 相第 1 期間、P 相第 2 期間、D 相第 1 期間、および D 相第 2 期間において、第 n 行目の画素の選択トランジスタがオンされる。このとき読み出される信号電圧は、リセット直後の F D の電荷に対応する信号電圧と、P D に蓄積された試験電荷が F D に転送された際の信号電圧である。これにより、C D S 処理を施した高ゲイン信号 P 2 と低ゲイン信号 P 1 が出力され、カラム A D C 回路の演算器 4 1 によって第 n 行目の各画素の容量比 が演算されてバッファ 4 2 に保持される。

【 0 1 0 6 】

そして、P 相第 1 期間、P 相第 2 期間、D 相第 1 期間、および D 相第 2 期間において、第 n 行目の画素の選択トランジスタがオンされる。これにより、第 n 行目の各画素の P D で受光した光量に応じた電荷に対応する画素信号が、C D S 処理を経て生成されることになる。

30

【 0 1 0 7 】

その後、P 相第 1 期間、P 相第 2 期間、D 相第 1 期間、および D 相第 2 期間において、第 n + 1 行目の画素の選択トランジスタがオンされる。これにより、第 n + 1 行目の各画素の P D で受光した電荷に対応する画素信号が、C D S 処理を経て生成されることになる。

【 0 1 0 8 】

その次の P 相第 1 期間、P 相第 2 期間、D 相第 1 期間、および D 相第 2 期間においては、第 n + 2 行目の各画素の P D で受光した電荷に対応する画素信号が、C D S 処理を経て生成されることになる。

40

【 0 1 0 9 】

このようにして、各行の画素の画素信号が生成されていく。

【 0 1 1 0 】

このようにすることで、容量比 を演算する際に用いられる高ゲイン信号 P 2 と低ゲイン信号 P 1 にも C D S 処理を施すことが可能となり、より正確な容量比 を用いて合成信号 P 1 ' を生成することができる。

【 0 1 1 1 】

図 1 7 は、図 1 6 における試験電荷注入期間、並びに、P 相第 1 期間、P 相第 2 期間、

50

D相第1期間、およびD相第2期間における詳細なタイミングチャートである。同図は、横軸が時間とされ、6H(6水平転送期間)の各信号波形が示されている。なお、図17に示されるP相第1期間、P相第2期間、D相第1期間、およびD相第2期間は、図16において、試験電荷注入期間の右隣に位置する期間(最初のP相第1期間、P相第2期間、D相第1期間、およびD相第2期間)であり、試験電荷に対応する信号電圧の読み出しとCDS処理に係る期間とされる。

【0112】

同図には、FDに蓄積される電荷に対応する電圧の変化(FD)、カラムADC回路で生成される参照信号電圧の波形(DAC)、アンプトランジスタから出力される信号電圧の波形(VSL)が示されている。また、選択トランジスタの駆動電圧の波形(SEL)、リセットトランジスタの駆動電圧の波形(RST)、転送トランジスタの駆動電圧の波形(TRG)、およびFD切り替えトランジスタの駆動電圧の波形(TFD)が示されている。

10

【0113】

さらに、同図には、図10を参照して上述した、カウンタ53、およびカウンタ52に保持される各値が示されている。

【0114】

図17に示されるように、電荷注入期間においては、RSTが“H”となり、TRGが“H”となる。このとき、レギュレータ21により試験電圧が印加され、FDとともにPDに試験電荷が蓄積(注入)される。

20

【0115】

その後、P相第1期間、P相第2期間、D相第1期間、およびD相第2期間に入ると、RSTおよびTRGは、それぞれ“L”となるが、RSTは再び“H”となる。これにより、FDがリセットされることになる。その後、P相第1期間およびP相第2期間となり、リセット成分がカウンタ53およびカウンタ52に保持される。

【0116】

そして、TRGが“H”となり、PDに蓄積されていた試験電荷がFDに転送される。その後、D相第1期間およびD相第2期間となり、信号成分がカウンタ53およびカウンタ52に保持され、CDS処理が行われる。

【0117】

図16中の、2回目以降のP相第1期間、P相第2期間、D相第1期間、およびD相第2期間における詳細なタイミングチャートは、図14と同様であり、2つのFD容量を有するイメージセンサにおける一般的な信号の読み出し処理(CDS処理を伴う)が実行される。

30

【0118】

図18は、本技術が適用される固体撮像装置の概略を示すシステム構成図である。ここでは、本技術を適用したCMOSイメージセンサ100の構成の概略を示すシステム構成図が示されている。

【0119】

図18に示されるように、CMOSイメージセンサ100は、図示せぬ半導体基板(チップ)上に形成された画素アレイ111と、画素アレイ111と同じ半導体基板上に集積された周辺回路部とを有する構成となっている。この例では、周辺回路部が、垂直駆動回路112、カラムADC回路113、水平駆動回路114およびシステム制御部115により構成されている。

40

【0120】

CMOSイメージセンサ100はさらに、信号処理部118およびデータ格納部119を備えている。信号処理部118およびデータ格納部119については、本イメージセンサ100とは別の基板に設けられる外部信号処理部、例えばDSP(Digital Signal Processor)やソフトウェアによる処理でも構わないし、本イメージセンサ100と同じ基板上に搭載しても構わない。

50

【0121】

画素アレイ111には、光電変換素子（例えば、フォトダイオード：PD）を有する画素が行列状に2次元配置されている。すなわち、図8を参照して上述した構成の画素が多数配置されて画素アレイ111が構成される。

【0122】

画素アレイ111にはさらに、行列状の画素配列に対して行ごとに画素駆動線116が図の左右方向（画素行の画素の配列方向）に沿って形成され、列ごとに垂直信号線117が図の上下方向（画素列の画素の配列方向）に沿って形成されている。図18では、画素駆動線116について1本として示しているが、1本に限られるものではない。画素駆動線116の一端は、垂直駆動回路112の各行に対応した出力端に接続されている。

10

【0123】

また、画素アレイ111には、試験電圧用電源121が接続されている。試験電圧用電源は、画素アレイ111に配置された各画素のリセットトランジスタのドレイン端子にグランド電圧付近の電圧を、試験電圧として印加するための電源とされる。例えば、図8のレギュレータ21により試験電圧用電源が構成される。

【0124】

垂直駆動回路112は、シフトレジスタやアドレスデコーダなどによって構成され、画素アレイ111の各画素を、全画素同時あるいは行単位等で駆動する画素駆動回路である。

【0125】

垂直駆動回路112によって選択走査された画素行の各单位画素から出力される信号は、垂直信号線117の各々を通してカラムADC回路113に供給される。カラムADC回路113は、画素アレイ111の画素列ごとに、選択行の各单位画素から垂直信号線117を通して出力される信号に対して所定の信号処理を行うとともに、信号処理後の画素信号を一時的に保持する。

20

【0126】

具体的には、カラムADC回路113は、信号処理として少なくとも、上述したCDS処理を行う。カラムADC回路113には、図10を参照して上述したように、カウンタやラッチが設けられている。

【0127】

水平駆動回路114は、シフトレジスタやアドレスデコーダなどによって構成され、カラムADC回路113の画素列に対応する単位回路を順番に選択する。この水平駆動回路114による選択走査により、カラムADC回路113で信号処理された画素信号が順番に出力される。

30

【0128】

システム制御部115は、各種のタイミング信号を生成するタイミングジェネレータ等によって構成され、当該タイミングジェネレータで生成された各種のタイミング信号を基に垂直駆動回路112、カラムADC回路113および水平駆動回路114などの駆動制御を行う。

【0129】

信号処理部118は、少なくとも加算処理機能を有し、カラムADC回路113から出力される画素信号に対して加算処理等の種々の信号処理を行う。信号処理部118には、ロジック部が設けられ、ロジック部には、図9を参照して上述したような信号補正回路が設けられている。

40

【0130】

データ格納部119は、信号処理部118での信号処理に当たって、その処理に必要なデータを一時的に格納する。

【0131】

ところで、以上において説明した実施の形態では、PDで受光した光量に応じた電荷に対応する信号電圧を読み出す前に、都度、容量比の演算が行われることになる。しかし

50

、例えば、イメージセンサの起動時などに、1回だけ容量比 の演算を行い、画素毎の容量比がメモリなどに記憶されるようにしてもよい。

【0132】

そして、全ての画素について容量比 が記憶された後は、各行の選択トランジスタがオンされている期間が、P相第1期間、P相第2期間、D相第1期間、およびD相第2期間とされるようにしてもよい。すなわち、全ての画素について容量比 が得られた後は、一般的なイメージセンサと同様に画素信号を読み出すようにすればよい。

【0133】

1回だけ容量比 の演算を行い、画素毎の容量比がメモリなどに記憶されるようにする場合、図12または図15を参照して上述したように、各行の画素についてそれぞれ容量比 が演算されて記憶されるようにしてもよいし、図16を参照して上述したように、代表行の画素についてのみ容量比 が演算されて記憶されるようにしてもよい。

10

【0134】

このようにすることで、画素信号のリニアリティが崩れないようにすることができ、かつ、実際に画像を撮影する際には、2つのFD容量を有するイメージセンサにおける一般的な信号の読み出し処理(CDS処理を伴う)のみを実行するだけでよい。

【0135】

一方で、上述したように、1回だけ容量比 の演算を行うようにする場合、容量比 を記憶するメモリを多数設ける必要があり、コスト増につながり易い。そこで、例えば、出荷時に全ての画素の容量比 を演算し、それらの平均値を求めておくようにしてもよい。そして、容量比 の平均値と、設計上の容量比との差分値を算出し、この差分値をメモリに記憶しておくようにすればよい。

20

【0136】

この場合、例えば、信号処理部118内のロジック部に、書き換え不可能なメモリであって、電力の供給なしに記憶内容を維持可能なメモリを設け、このメモリに上述した差分値を記憶するようにすればよい。そして、合成信号P1'を生成する際に、設計上の容量比と上述した差分値を用いて容量比 を求め、容量比 を用いた演算により合成信号P1'が生成されるようにすればよい。ただし、この場合の容量比 は、全ての画素の容量比の平均値となるので、画素毎に容量比 を求める場合と比較すると、やや精度が低下する。

30

【0137】

このようにすることで、メモリに係るコストを削減することができる。また、勿論、画素信号のリニアリティが崩れないようにすることができ、かつ、実際に画像を撮影する際には、2つのFD容量を有するイメージセンサにおける一般的な信号の読み出し処理(CDS処理を伴う)のみを実行するだけでよい。

【0138】

図19は、本技術を適用した電子機器としての、撮像装置の構成例を示すブロック図である。

【0139】

図19の撮像装置600は、レンズ群などからなる光学部601、上述した画素2の各構成が採用される固体撮像素子(撮像デバイス)602、およびカメラ信号処理回路であるDSP回路603を備える。また、撮像装置600は、フレームメモリ604、表示部605、記録部606、操作部607、および電源部608も備える。DSP回路603、フレームメモリ604、表示部605、記録部606、操作部607および電源部608は、バスライン609を介して相互に接続されている。

40

【0140】

光学部601は、被写体からの入射光(像光)を取り込んで固体撮像素子602の撮像面上に結像する。固体撮像素子602は、光学部601によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として出力する。この固体撮像素子602として、上述した実施の形態に係るCMOSイメージセンサ100等の固体撮像素

50

子を用いることができる。

【0141】

表示部605は、例えば、液晶パネルや有機EL(Electro Luminescence)パネル等のパネル型表示装置からなり、固体撮像素子602で撮像された動画または静止画を表示する。記録部606は、固体撮像素子602で撮像された動画または静止画を、ビデオテープやDVD(Digital Versatile Disk)等の記録媒体に記録する。

【0142】

操作部607は、ユーザによる操作の下に、撮像装置600が有する様々な機能について操作指令を発する。電源部608は、DSP回路603、フレームメモリ604、表示部605、記録部606および操作部607の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

10

【0143】

また、上述した実施形態においては、可視光の光量に応じた信号電荷を物理量として検知する単位画素が行列状に配置されてなるCMOSイメージセンサに適用した場合を例に挙げて説明した。しかしながら、本技術はCMOSイメージセンサへの適用に限られるものではなく、画素アレイの画素列ごとにカラム処理部を配置してなるカラム方式の固体撮像素子全般に対して適用可能である。

【0144】

また、本技術は、可視光の入射光量の分布を検知して画像として撮像する固体撮像素子への適用に限らず、赤外線やX線、あるいは粒子等の入射量の分布を画像として撮像する固体撮像素子や、広義の意味として、圧力や静電容量など、他の物理量の分布を検知して画像として撮像する指紋検出センサ等の固体撮像素子(物理量分布検知装置)全般に対して適用可能である。

20

【0145】

なお、本明細書において上述した一連の処理は、記載された順序に沿って時系列的に行われる処理はもちろん、必ずしも時系列的に処理されなくとも、並列的あるいは個別に実行される処理をも含むものである。

【0146】

また、本技術の実施の形態は、上述した実施の形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。

30

【0147】

なお、本技術は以下のような構成も取ることができる。

【0148】

(1)

光電変換部から転送された信号電荷を保持する電荷保持部であって、第1の容量値の容量部、および、前記第1の容量値を増大させて第2の容量値とするための付加容量部から成る電荷保持部とを有する画素が複数個、行列状に配置されて成る画素アレイと、

前記電荷保持部に保持された電荷をリセットするリセットトランジスタの一部に、前記リセットトランジスタの駆動電圧とは異なる電圧の試験電圧を印加する試験電圧用電源とを備える固体撮像装置。

40

(2)

前記画素アレイの中の複数の画素のそれぞれにおいて、

前記光電変換部で受光した光に対応する画素信号を読み出す前に、前記リセットトランジスタをオンにして、前記電荷保持部に、前記試験電圧に対応する電荷を保持させる

(1)に記載の固体撮像装置。

(3)

前記画素アレイの中の所定の1行の画素において、

前記光電変換部で受光した光に対応する画素信号を読み出す前に、前記リセットトランジスタをオンにして、前記電荷保持部に、前記試験電圧に対応する電荷を保持させる

(1)または(2)に記載の固体撮像装置。

50

(4)

画素アレイの中の前記所定の1行の画素の受光部が遮光され、

前記光電変換部で受光した光に対応する画素信号を読み出す前に、前記光電変換部から前記電荷保持部に信号電荷を転送する転送トランジスタを、前記リセットトランジスタとともにオンにして、前記光電変換部に、前記試験電圧に対応する電荷を保持させる

(3)に記載の固体撮像装置。

(5)

前記電荷保持部に蓄積された電荷に対応する信号電圧であって、前記電荷保持部の容量を前記第1の容量値とした場合の信号電圧に基づいて生成される高ゲイン信号、および、前記電荷保持部の容量を前記第2の容量値とした場合の信号電圧に基づいて生成される低ゲイン信号に基づいて、前記第1の容量値と前記第2の容量値の比である容量比を演算する演算部をさらに備える

10

(1)乃至(4)のいずれかに記載の固体撮像装置。

(6)

前記高ゲイン信号および前記低ゲイン信号のそれぞれが、相関2重サンプリング処理によってノイズが除去された信号とされる

(5)に記載の固体撮像装置。

(7)

前記容量比を記憶するメモリをさらに備える

(5)または(6)に記載の固体撮像装置。

20

(8)

光電変換部から転送された信号電荷を保持する電荷保持部であって、第1の容量値の容量部、および、前記第1の容量値を増大させて第2の容量値とするための付加容量部から成る電荷保持部とを有する画素が複数個、行列状に配置されて成る画素アレイと、

前記電荷保持部に保持された電荷をリセットするリセットトランジスタの一部に、前記リセットトランジスタの駆動電圧とは異なる電圧の試験電圧を印加する試験電圧用電源とを備える固体撮像装置を備える

電子機器。

【符号の説明】

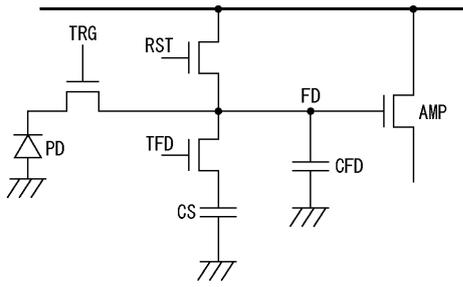
【0149】

30

100 CMOSイメージセンサ, 111 画素アレイ, 112 垂直駆動回路,
113 カラムADC回路, 114 水平駆動回路, 115 システム制御部,
118 信号処理部, 121 試験電圧用電源, 600 撮像装置, 602 固体撮像装置

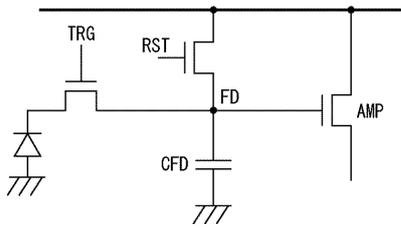
【 図 1 】

図1



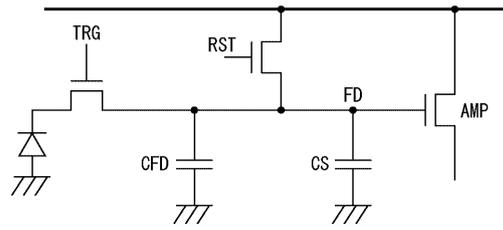
【 図 2 】

図2



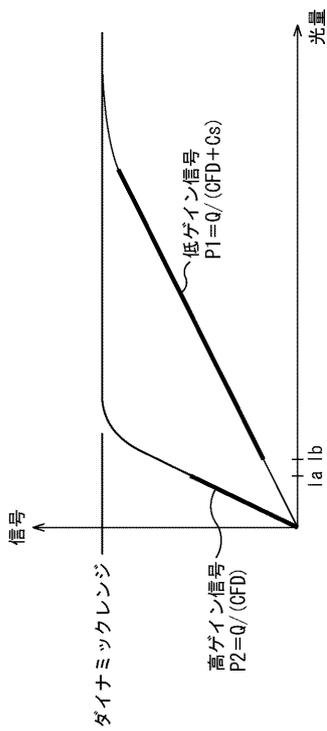
【 図 3 】

図3



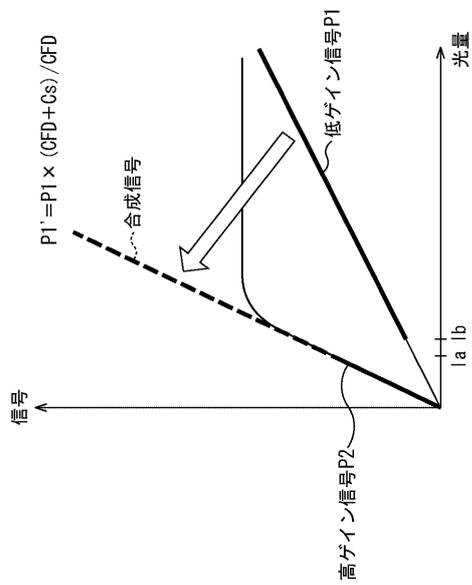
【 図 4 】

図4



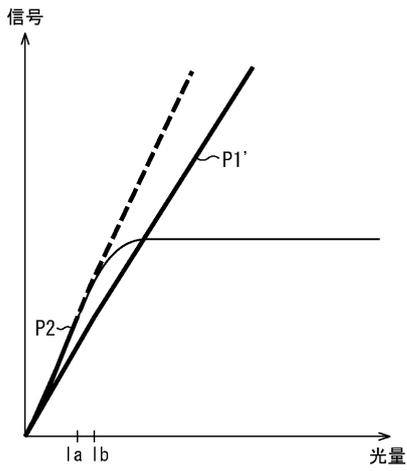
【 図 5 】

図5



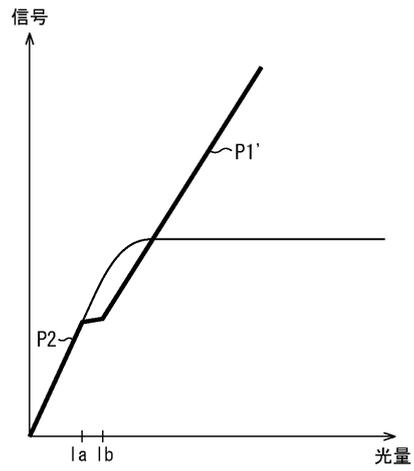
【 図 6 】

図6



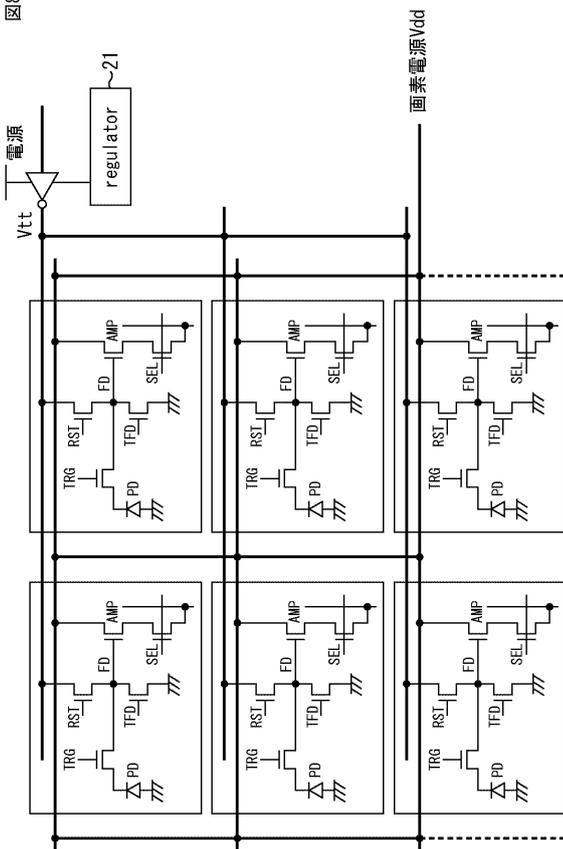
【 図 7 】

図7



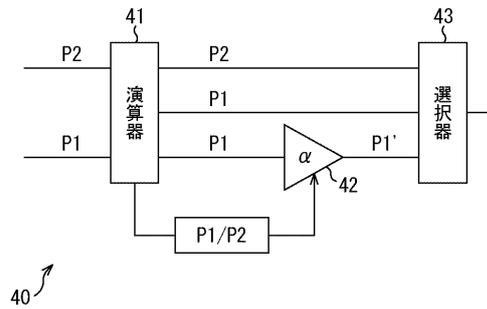
【 図 8 】

図8



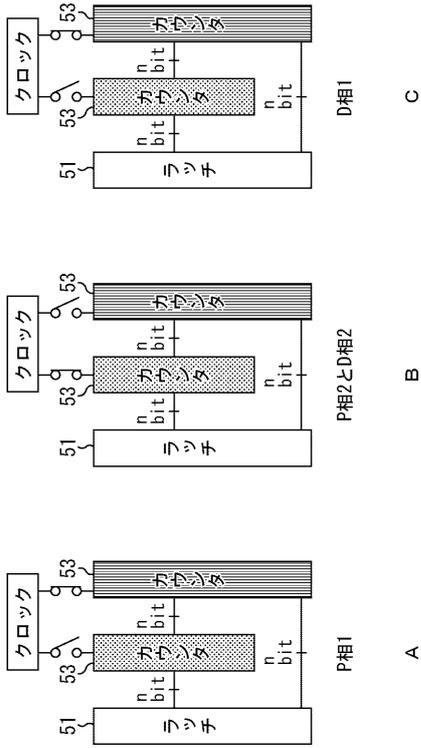
【 図 9 】

図9



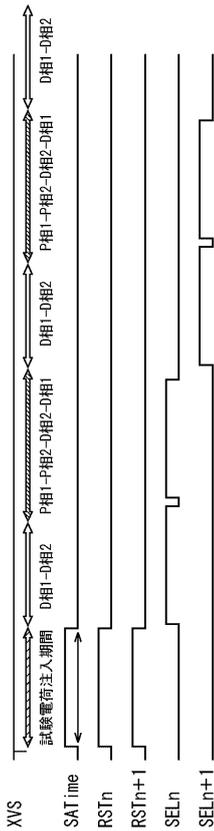
【 図 1 0 】

図10



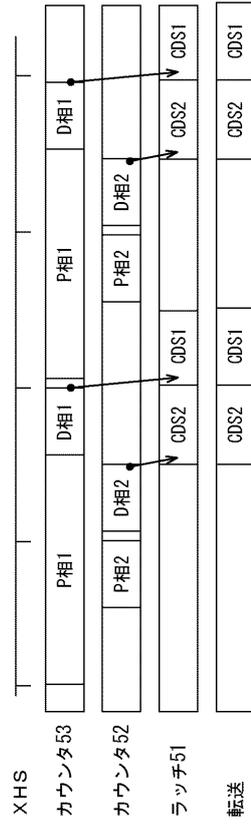
【 図 1 2 】

図12



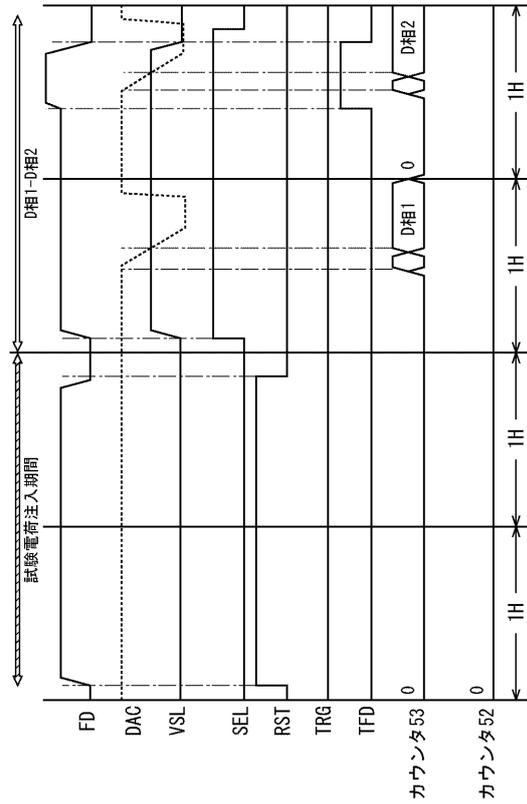
【 図 1 1 】

図11

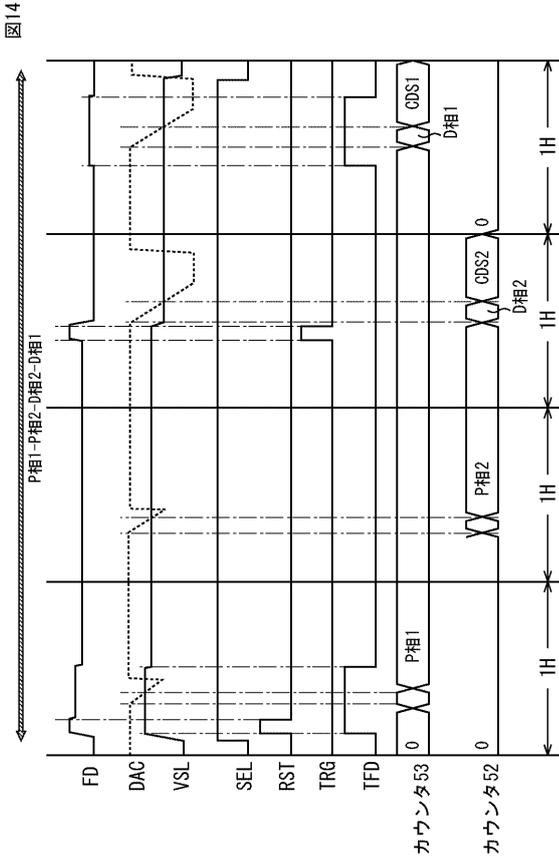


【 図 1 3 】

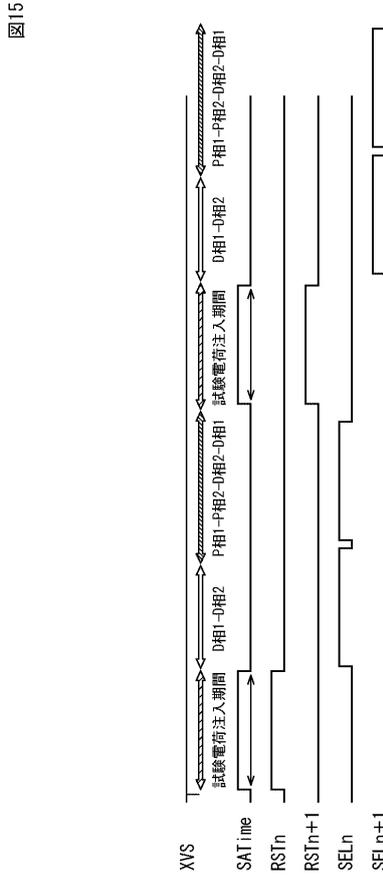
図13



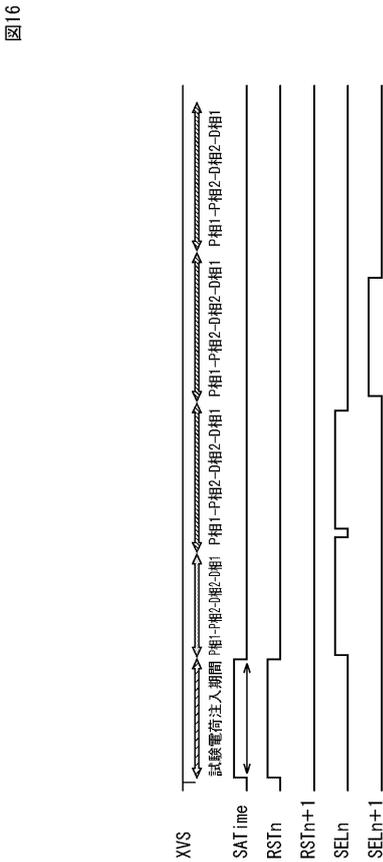
【 図 1 4 】



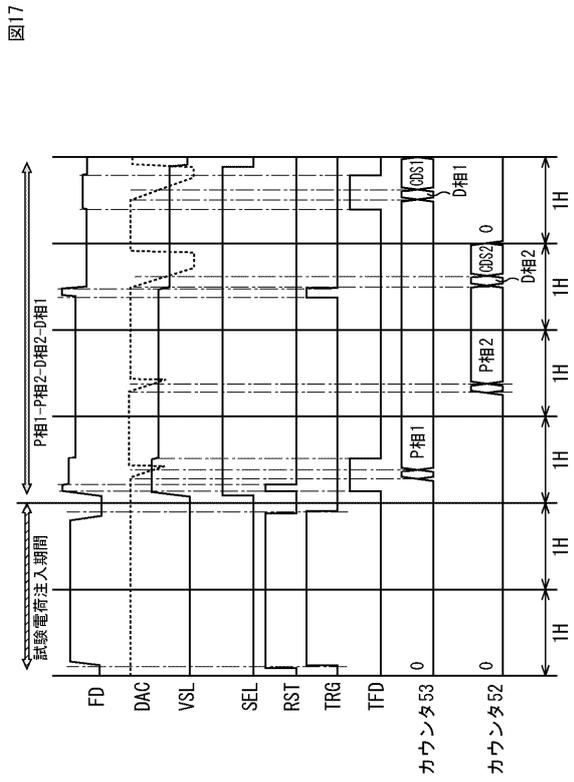
【 図 1 5 】



【 図 1 6 】



【 図 1 7 】



【 図 1 8 】

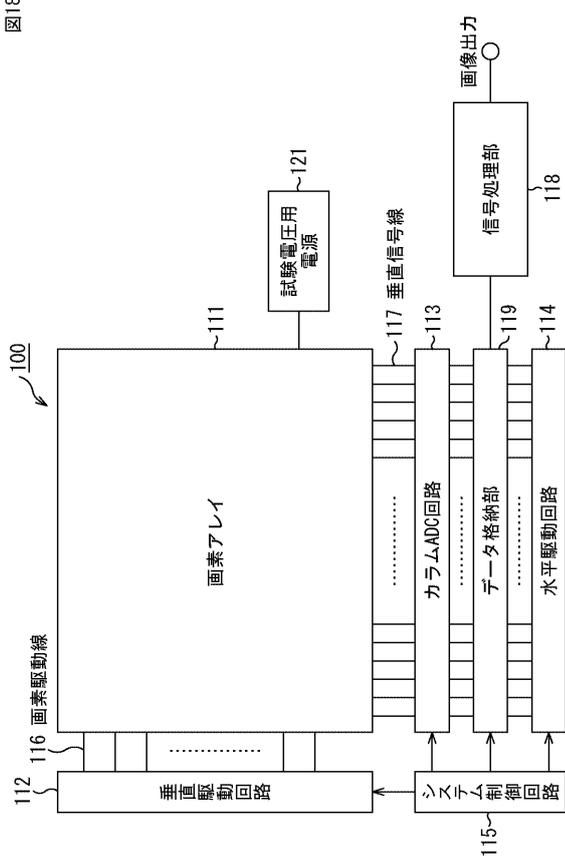


図18

【 図 1 9 】

600 撮像装置

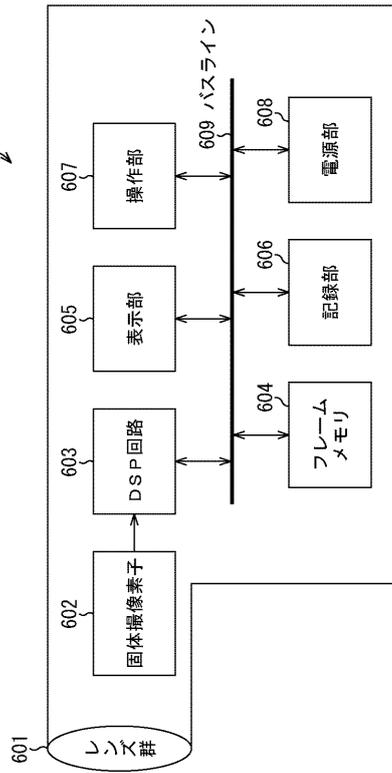


図19

フロントページの続き

Fターム(参考) 5C024 AX01 AX06 AX11 CX04 CX46 GX03 GX16 GX18 HX17 HX35
HX40 HX47 HX50 HX51 HX55