

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2012年8月30日 (30.08.2012)



(10) 国际公布号
WO 2012/113170 A1

- (51) 国际专利分类号:
H01L 21/336 (2006.01)
- (21) 国际申请号: PCT/CN2011/072527
- (22) 国际申请日: 2011年4月8日 (08.04.2011)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201110046790.3 2011年2月25日 (25.02.2011) CN
- (71) 申请人 (对除美国外的所有指定国): 中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市朝阳区北土城西路3号, Beijing 100029 (CN)。
- (72) 发明人; 及
- (75) 发明人/申请人 (仅对美国): 周华杰 (ZHOU, Huajie) [CN/CN]; 中国北京市朝阳区北土城西路3号, Beijing 100029 (CN)。 徐秋霞 (XU, Qiuxia) [CN/CN]; 中国北京市朝阳区北土城西路3号, Beijing 100029 (CN)。
- (74) 代理人: 中科专利商标代理有限责任公司 (CHINA SCIENCE PATENT & TRADEMARK AGENT LTD.);

中国北京市海淀区王庄路1号清华同方科技大厦B座25层, Beijing 100083 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

(54) Title: MANUFACTURING METHOD FOR SEMICONDUCTOR DEVICE

(54) 发明名称: 一种半导体器件的制备方法

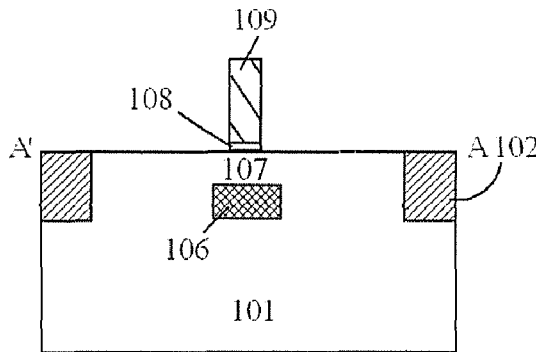


图 7B / Fig. 7B

(57) Abstract: A manufacturing method for semiconductor device is provided. The method comprises: a local buried isolation dielectric layer (106) is formed on a semiconductor substrate (101); a fin (107) is formed on a silicon substrate (101) which is located on the local buried isolation dielectric layer (106); a gate stack structure is formed on the top and side of the fin (107); source/drain structures are formed in the fin (107) of both sides of the gate stack structure; metallising. The method employs conventional top to bottom process which is based on quasi plane to realize good compatible with complementary metal oxide semiconductor (CMOS) planar process and is liable to integration, and thereby contributes to inhibit short channel effect and reduces dimension of the metal oxide semiconductor field effect transistor (MOSFET).

[见续页]

WO 2012/113170 A1

(57) 摘要:

提供一种半导体器件的制造方法。该方法包括：在半导体衬底（101）上形成局部埋层隔离介质层（106）；在局部埋层隔离介质层（106）上方的硅衬底（101）上形成鳍片（107）；在鳍片（107）顶部和侧面形成栅堆叠结构；在栅堆叠结构两侧的鳍片（107）中形成源/漏结构；金属化。该方法采用传统的基于准平面的自顶向下工艺实现了与互补金属氧化物半导体（CMOS）平面工艺的良好兼容并且易于集成，从而有利于抑制短沟道效应，降低金属氧化物半导体场效应晶体管（MOSFET）的尺寸。

一种半导体器件的制备方法

本申请要求了 2011 年 2 月 25 日提交的、申请号为 201110046790.3、发明名称为“一种半导体器件的制备方法”的中国专利申请的优先权，其全部内容通过引用结合
5 在本申请中。

技术领域

本发明属于半导体技术领域，尤其涉及一种体硅鳍型场效应晶体管的制备方法。

10 背景技术

随着集成电路产业按照 Moore 定律持续向前发展，CMOS 器件的特征尺寸持续缩小，平面体硅 CMOS 结构器件遇到了严峻的挑战。为了克服这些问题，各种新结构器件应运而生。在众多新结构器件中，鳍型场效应晶体管（FinFET）被认为是最有可能替代平面体硅 CMOS 器件的新结构器件之一，成为国际研究的热点。

15 FinFET 结构器件初期主要制备在 SOI 衬底上，工艺较体硅衬底而言较为简单。但是 SOI FinFET 存在制备成本高，散热性差，有浮体效应，与 CMOS 工艺兼容性差等缺点。为了克服 SOI FinFET 存在的问题，研究人员开始研究采用体硅衬底来制备 FinFET 器件，即 Bulk FinFET。基于 Bulk FinFET 的 DRAM、SRAM 等产品已经取得了应用。但是一般的 Bulk FinFET 结构器件较 SOI FinFET 器件而言仍然具有以下缺点：SCE 效应
20 抑制效果不理想；沟道底部的鳍片内仍然会形成泄漏电流路径造成泄漏电流较大；杂质剖面控制困难。

为了克服以上问题，推动 FinFET 结构器件尽快获得应用，需要进一步开展这方面的研究工作。这对于 FinFET 结构器件的应用以及半导体产业的发展具有重要意义。

25 发明内容

本发明目的在于提供一种新的、易于集成的、与平面 CMOS 工艺兼容性好的体硅鳍型场效应晶体管的制备方法。

为了实现上述目的，本发明的主要步骤包括：在半导体衬底上形成局部埋层隔离介质层；在所述局部埋层隔离介质层上方的硅衬底上形成鳍片；在所述鳍片顶部和侧
30 面形成栅堆叠结构；在所述栅堆叠结构两侧的鳍片中形成源/漏结构；金属化。

优选地，在半导体衬底上形成局部埋层隔离介质层的步骤包括：在半导体衬底上形成介质层；刻蚀所述介质层在半导体衬底形成凹槽；采用高能离子注入向半导体衬底内注入氧离子并高温退火形成局部埋层隔离介质层；

优选地，所述介质层包括 SiO_2 、TEOS 或 Si_3N_4 ，厚度为 200-1000nm；

5 优选地，所述采用高能离子注入向半导体衬底内注入氧离子并高温退火形成局部埋层隔离介质层步骤中，所述局部埋层隔离介质层的厚度为 50-200nm；

优选地，在所述局部埋层隔离介质层上方的硅衬底上形成鳍片的步骤包括：刻蚀所述局部埋层隔离介质层上方的硅衬底至埋层隔离介质层以嵌入所述半导体衬底形成至少两个凹槽，所述凹槽之间形成鳍片；所述局部埋层隔离介质层上方的硅衬底，
10 厚度为 20-100nm；所述鳍片的厚度为 10-60nm；

优选地，所述在所述鳍片顶部和侧面形成栅堆叠结构的步骤包括：在鳍片的顶部和侧面形成栅介质层和栅电极材料；光刻、刻蚀形成栅电极堆叠结构；

在本发明的优选实施例中，在所述栅堆叠结构两侧的鳍片中形成源/漏结构之前，所述方法进一步包括：进行倾角离子注入，以在所述鳍片中形成源/漏延伸区；或进行倾角离子注入，以在所述鳍片中形成晕环注入区；
15

优选地，所述在栅堆叠结构两侧的鳍片中形成源/漏结构步骤包括：在鳍片的两侧形成侧墙；离子注入形成源漏掺杂；形成源漏硅化物；

在本发明的优选实施例中，所述半导体衬底为体硅衬底。

从上述技术方案可以看出，本发明有以下有益效果：

20 1、本发明提供的这种半导体器件的制备方法，在体硅衬底上实现了鳍型场效应晶体管器件的制备，克服了 SOI FinFET 器件存在的自加热效应和浮体效应，降低了制备成本；

2、本发明提供的这种半导体器件的制备方法，克服了一般 Bulk FinFET 器件存在的泄漏电流大，抑制 SCE 效应能力差，杂质剖面难以控制等缺点；

25 3、本发明提供的这种半导体器件的制备方法，制备工艺简单可行，易于集成，与平面 CMOS 工艺兼容性好。

附图说明

30 通过以下参照附图对本发明实施例的描述，本发明的上述以及其他目的、特征和优点将更为清楚，在附图中：

图 1-7 示出了根据本发明实施例的方法制备体硅鳍型场效应晶体管的流程中对应的各结构剖面图；

附图标记说明：

101, Si 衬底；102, STI 隔离；103, 介质层；104, 凹槽结构；105, 注入氧离子；106, 局部埋层隔离介质层；107, 鳍片；108, 栅介质层；109, 栅电极。

应当注意的是，本说明书附图并非按照比例绘制，而仅为示意性的目的，因此，不应被理解为本发明范围的任何限制和约束。在附图中，相似的组成部分以相似的附图标号标识。

10 具体实施方式

以下，通过附图中示出的具体实施例来描述本发明。但是应该理解，这些描述只是示例性的，而并非要限制本发明的范围。此外，在以下说明中，省略了对公知结构和技术的描述，以避免不必要地混淆本发明的概念。

在附图中示出了根据本发明实施例的层结构示意图。这些图并非是按比例绘制的，其中为了清楚的目的，放大了某些细节，并且可能省略了某些细节。图中所示出的各种区域、层的形状以及它们之间的相对大小、位置关系仅是示例性的，实际中可能由于制造公差或技术限制而有所偏差，并且本领域技术人员根据实际所需可以另外设计具有不同形状、大小、相对位置的区域/层。

图 1~7 详细示出了根据本发明实施例制备半导体器件的各步骤对应的结构剖面图。以下，将参照这些附图来对根据本发明实施例的各个步骤予以详细说明。

首先参考图 1，在半导体衬底 101 上形成浅沟槽隔离 (STI, Shallow Trench Isolation) 102。具体地，所述半导体衬底 101 可以是半导体制造领域中常用的衬底材料，对于本发明的实施例，优选采用体 Si 衬底。

接着如图 2 所示，在半导体衬底 101 上形成介质层 103。所述介质层 103 可以包括： SiO_2 、TEOS、 Si_3N_4 或其他介质材料，在本发明的实施例中优选为 SiO_2 ，可以通过热生长形成，厚度约为 200-1000nm，该介质层 103 可以在后续的离子注入及鳍片的刻蚀过程中充当掩蔽层。

图 3A 示出了沿半导体衬底 101 表面的示意图，图 3B 为图 3A 中 AA' 方向的剖视图。如图 3A、3B 所示，对所述介质层 103 进行刻蚀形成凹槽 104。刻蚀形成所述凹槽 104 的方法例如可以是：采用电子束曝光正性抗蚀剂并反应离子刻蚀形成陡直的宽度

约为 200-400nm 的凹槽 104。凹槽的形状只是示例，本发明对此不做限制。该凹槽区域为今后形成局部埋层隔离介质层 106 的区域。

图 4 为向半导体衬底 101 内采用高能离子注入氧离子 105 的示意图。如图 4 所示，离子注入过程中凹槽 104 区域下方的半导体衬底 101 内被注入进氧离子，而其余区域的半导体衬底 101 被介质层 103 掩蔽没有注入氧离子。高能离子注入氧离子的工艺技术可以参经常规技术，这里不再赘述。

接着，参考图 5，在所述凹槽 104 下方的半导体衬底 101 内形成局部埋层隔离介质层 106。具体地，高能离子注入氧离子后在高温工艺下使注入的氧离子与硅发生反应从而形成局部埋层隔离介质层 106。为了更好的起到隔离作用，所述局部埋层隔离介质层的厚度为 50-200nm。

接着参考图 6A、6B 和 6C，在所述局部埋层隔离介质层 106 上方的半导体衬底 101 上形成鳍片 107，图 6A 示出了沿半导体衬底 101 表面的示意图，图 6B 和 6C 分别是沿图 6A 中 AA' 和 BB' 方向的剖视图。具体地，采用电子束曝光负性抗蚀剂并采用反应离子刻蚀 (Reactive Ion Etching) 半导体衬底 101 形成所述鳍片 107。所述鳍片 107 的厚度为 10-60nm，高度为 20-100nm。形成鳍片 107 后将介质层 103 去除。

接着如图 7A、7B 和 7C 所示，在整个衬底上形成栅介质层材料 108 和栅电极材料 109，然后刻蚀形成栅电极叠层结构。图 7A 示出了沿半导体衬底 101 表面的示意图，图 7B 和 7C 分别是沿图 7A 中 AA' 和 BB' 方向的剖视图。所述栅介质层材料 108 可以是普通栅介质材料，例如 SiO_2 ，或者是其他的高 k 介质材料，例如 SiON 和 HfAlON 、 HfTaON 、 HfSiON 、 Al_2O_3 等，在本发明地实施例中优选 HfSiON ，可通过低压化学气相沉积、金属有机化学气相沉积或者原子层淀积等方法形成，栅介质的等效氧化层厚度为 5 至 100 Å。所述栅电极材料 109 可以是难熔金属 W, Ti, Ta, Mo 和金属氮化物，例如 TiN , TaN , HfN , MoN 等或其他材料，栅电极材料可采用低压化学气相淀积，金属有机化学气相沉积、原子层淀积或其他方法形成，厚度可选为 2000 至 5000 Å。

可选地，在形成栅堆叠结构之后，所述方法进一步包括：进行倾角离子注入，以在所述鳍片中形成源/漏延伸区；或进行倾角离子注入，以在所述鳍片中形成晕环注入区。

接着，可以在栅堆叠的侧壁上形成栅侧墙。栅侧墙的形成可以参经常规技术，这里不再赘述。

接着，在栅堆叠两侧的半导体衬底中进行离子注入形成源/漏区并形成源漏硅化

物。

最后，金属化形成互连结构将电极引出。金属化的形成可以参经常规技术，这里不再赘述。

此外，本发明的实施例能够在体硅衬底上实现了鳍型场效应晶体管器件的制备。
5 该方法采用传统的基于准平面的自顶向下工艺，制备工艺简单可行，与 CMOS 平面工艺具有良好的兼容性，并且易于集成。

在以上的描述中，对于各层的构图、刻蚀等技术细节并没有做出详细的说明。但是本领域技术人员应当理解，可以通过现有技术中的各种手段，来形成所需形状的层、区域等。另外，为了形成同一结构，本领域技术人员还可以设计出与以上描述的方法
10 并不完全相同的方法。

以上参照本发明的实施例对本发明予以了说明。但是，这些实施例仅仅是为了说明的目的，而并非为了限制本发明的范围。本发明的范围由所附权利要求及其等价物限定。不脱离本发明的范围，本领域技术人员可以做出多种替换和修改，这些替换和修改都应落在本发明的范围之内。

15

权 利 要 求

- 1、一种半导体器件的制备方法，包括：
在半导体衬底上形成局部埋层隔离介质层；
5 在所述局部埋层隔离介质层上方的硅衬底上形成鳍片；
在所述鳍片顶部和侧面形成栅堆叠结构；
在所述栅堆叠结构两侧的鳍片中形成源/漏结构；
金属化。
- 2、根据权利要求 1 所述的方法，其中，在半导体衬底上形成局部埋层隔离介质
10 层的步骤包括：
在半导体衬底上形成介质层；
刻蚀所述介质层在半导体衬底形成凹槽；
采用高能离子注入向半导体衬底内注入氧离子并高温退火形成局部埋层隔离介
质层。
- 15 3、根据权利要求 2 所述的方法，其中，所述介质层包括 SiO_2 、TEOS 或 Si_3N_4 ，厚
度为 200-1000nm。
- 4、根据权利要求 2 所述的方法，其中，所述采用高能离子注入向半导体衬底内
注入氧离子并高温退火形成局部埋层隔离介质层步骤中，所述局部埋层隔离介质层的
厚度为 50-200nm。
- 20 5、根据权利要求 1 所述的方法，其中，在所述局部埋层隔离介质层上方的硅衬
底上形成鳍片的步骤包括：
电子束曝光负性抗蚀剂并刻蚀所述局部埋层隔离介质层上方的硅衬底至埋层隔
离介质层以嵌入所述半导体衬底形成至少两个凹槽，所述凹槽之间形成鳍片。
- 6、根据权利要求 5 所述的方法，其中，所述局部埋层隔离介质层上方的硅衬底，
25 厚度为 20-100nm；所述鳍片的厚度为 10-60nm。
- 7、根据权利要求 1 所述的方法，其中，所述在所述鳍片顶部和侧面形成栅堆叠
结构的步骤包括：
在鳍片的顶部和侧面形成栅介质层和栅电极材料；
光刻、刻蚀形成栅电极堆叠结构。
- 30 8、根据权利要求 1 所述的方法，其中，在所述栅堆叠结构两侧的鳍片中形成源/

漏结构之前，所述方法进一步包括：

进行倾角离子注入，以在所述鳍片中形成源/漏延伸区；或

进行倾角离子注入，以在所述鳍片中形成晕环注入区。

9、根据权利要求 1 所述的方法，其中，所述在栅堆叠结构两侧的鳍片中形成源/

5 漏结构步骤包括：

在鳍片的两侧形成侧墙；

离子注入形成源漏掺杂；

形成源漏硅化物。

10、根据权利要求 1 至 9 中任一项所述的方法，其中，所述半导体衬底为体硅衬

10 底。

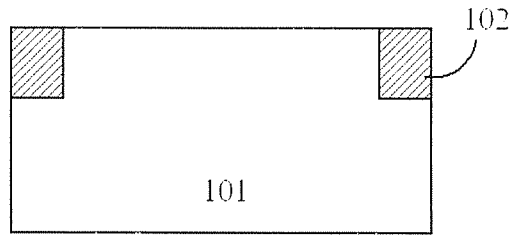


图 1

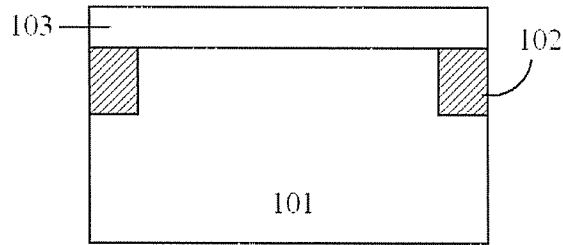


图 2

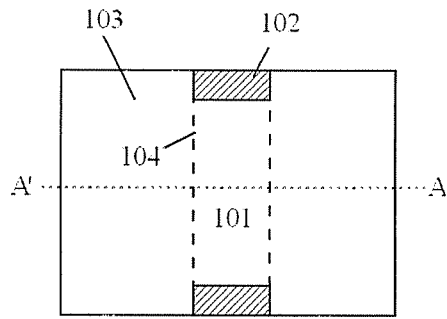


图 3A

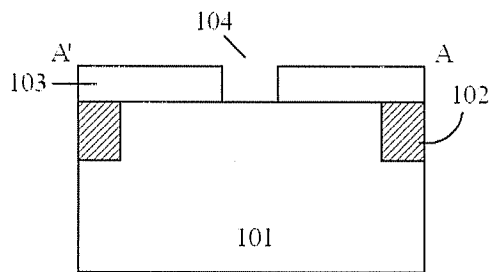


图 3B

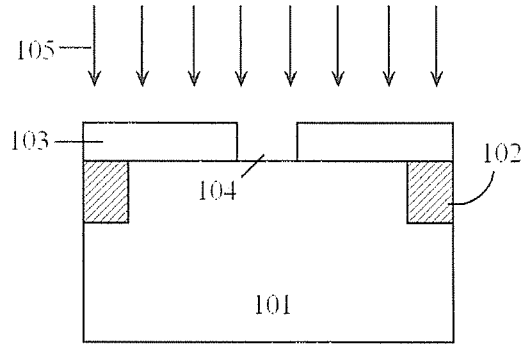


图 4

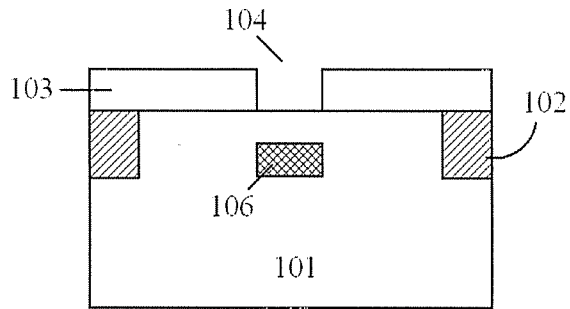


图 5

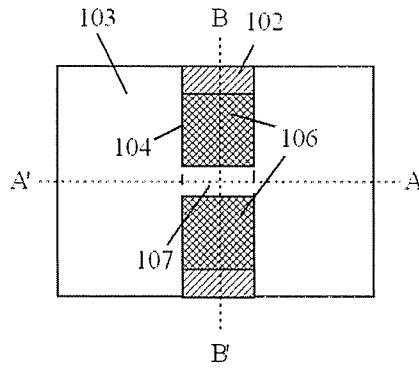


图 6A

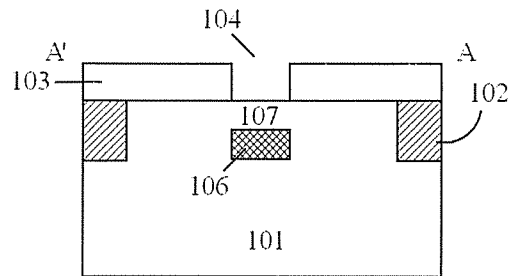


图 6B

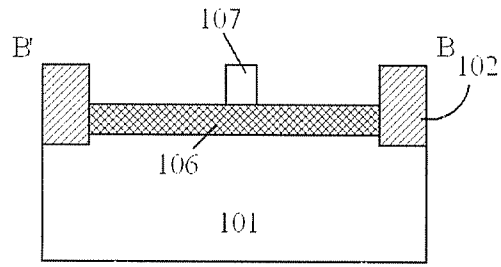


图 6C

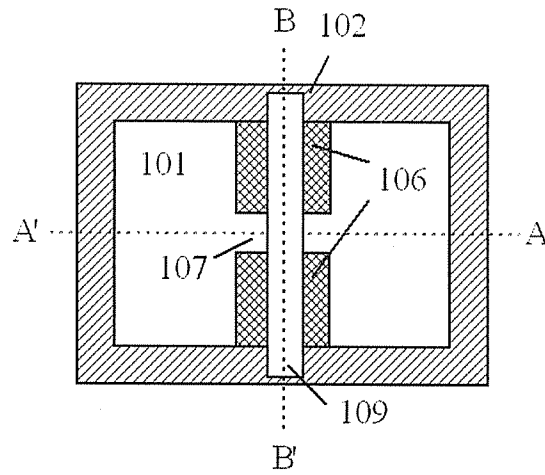


图 7A

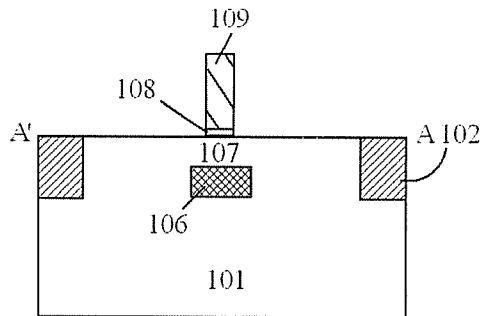


图 7B

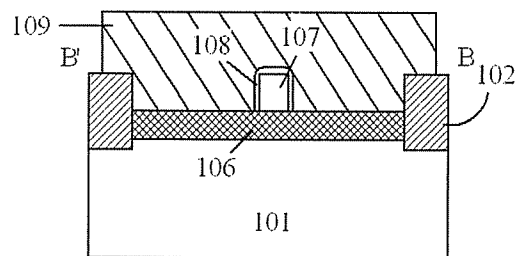


图 7C

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/072527

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/336(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC:H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI,EPODOC,CNKI,CNPAT:Gate,source,drain,fin,ridge,bulk,Si,silicon,local,oxid??,oxidation,LOCOS,embed+,buried,BOX,insulat???, dielectric

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO2008/026859A1(KYUNGPOOK NATIONAL UNIVERSITY INDUSTRY ACADEMIC COOPERATION FOUNDATION)06 Mar.2008(06.03.2008) Page 20, paragraph (68)-page 31, paragraph (103) of specification, figs.1-7	1-4,7-10
Y	CN101577278B(TAIWAN SEMICONDUCTOR MFG CO LTD)10 Nov.2010(10.11.2010), paragraphs (0047)-(0067) of specification, figs.1-42	1-4,7-10
A	CN100392859C(INST MICROELECT CHINESE ACAD)04 Jun.2008(04.06.2008) the whole document	1-10
A	US7449373B2(DOYLE et al.)11 Nov.2008(11.11.2008) the whole document	1-10

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim (S) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&”document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
12 Jul.2011(12.07.2011)

Date of mailing of the international search report
24 Nov. 2011 (24.11.2011)

Name and mailing address of the ISA/CN
The State Intellectual Property Office, the P.R.China
6 Xitucheng Rd., Jimen Bridge, Haidian District, Beijing, China
100088
Facsimile No. 86-10-62019451

Authorized officer
WANG,Lei
Telephone No. (86-10)62411577

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2011/072527

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
WO2008/026859A1	06.03.2008	KR100748261B1	09.08.2007
		US2010270619A1	28.10.2010
		US7906814B2	15.03.2011
CN101577278B	10.11.2010	US2009278196A1	12.11.2009
		CN101577278A	11.11.2009
		TW200947608A	16.11.2009
CN100392859C	04.06.2008	CN1770453A	10.05.2006
US7449373B2	11.11.2008	US2007238273A1	11.10.2007

国际检索报告

国际申请号
PCT/CN2011/072527

A. 主题的分类		
H01L21/336(2006.01) i		
按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类		
B. 检索领域		
检索的最低限度文献(标明分类系统和分类号)		
IPC:H01L		
包含在检索领域中的除最低限度文献以外的检索文献		
在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))		
WPI,EPODOC,CNKI,CNPAT:栅, 源, 漏, 鳍, 脊, 体, 块, 硅, 局部, 氧化, 掩, 埋, 嵌, 绝缘, 介电, 介质 Gate,source,drain,fin,ridge,bulk,Si,silicon,local,oxid??,oxidation,LOCOS,embed+,buried,BOX,insulat???,dielectric		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	WO2008/026859A1(KYUNGPOOK NATIONAL UNIVERSITY INDUSTRY ACADEMIC COOPERATION FOUNDATION)06.3 月 2008(06.03.2008) 说明书第 20 页第 (68) 段—第 31 页第 (103) 段, 附图 1—7	1-4,7-10
Y	CN101577278B(台湾积体电路制造股份有限公司)10.11 月 2010(10.11.2010)说明书第 (0047) 段-第 (0067) 段, 附图 1—42	1-4,7-10
A	CN100392859C(中国科学院微电子研究所)04.6 月 2008(04.06.2008)全文	1-10
A	US7449373B2(DOYLE 等)11.11 月 2008(11.11.2008)全文	1-10
<input type="checkbox"/> 其余文件在 C 栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。		
* 引用文件的具体类型:		“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件
“A” 认为不特别相关的表示了现有技术一般状态的文件		“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性
“E” 在国际申请日的当天或之后公布的在先申请或专利		“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性
“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)		“&” 同族专利的文件
“O” 涉及口头公开、使用、展览或其他方式公开的文件		
“P” 公布日先于国际申请日但迟于所要求的优先权日的文件		
国际检索实际完成的日期 12.7 月 2011(12.07.2011)	国际检索报告邮寄日期 24.11 月 2011 (24.11.2011)	
ISA/CN 的名称和邮寄地址: 中华人民共和国国家知识产权局 中国北京市海淀区蓟门桥西土城路 6 号 100088 传真号: (86-10)62019451	授权官员 王磊 电话号码: (86-10) 62411577	

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2011/072527

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
WO2008/026859A1	06.03.2008	KR100748261B1	09.08.2007
		US2010270619A1	28.10.2010
		US7906814B2	15.03.2011
CN101577278B	10.11.2010	US2009278196A1	12.11.2009
		CN101577278A	11.11.2009
		TW200947608A	16.11.2009
CN100392859C	04.06.2008	CN1770453A	10.05.2006
		US7449373B2	11.11.2008
		US2007238273A1	11.10.2007