(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 108231120 A
(43)申请公布日 2018.06.29

(21)申请号 201710986049.2

(22)申请日 2017.10.20

(30)优先权数据
15/787,665 2017.10.18 US

(71)申请人 上海博维逻辑半导体技术有限公司
地址 201306 上海市浦东新区泥城镇云端路1412弄15号2楼

(72)发明人 骆志炯 金晓明 王澍

(74)专利代理机构 北京博雅睿泉专利代理事务所(特殊普通合伙) 11442
代理人 杨国权 马佑平

(51)Int.Cl.
G11C 16/10(2006.01)

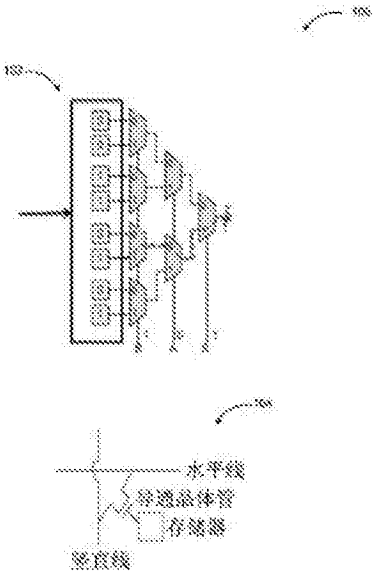
权利要求书3页 说明书11页 附图14页

(54)发明名称

可重新配置的非易失性存储器结构和系统

(57)摘要

本发明公开了一种可重新配置的非易失性存储器结构和系统以及具有多个非易失性存储器(NVM)位的非易失性静态随机存取存储器(nvSRAM))单元的技术。提出的结构可以快速转换/重新配置查找表(LUT)和/或重新配置FPGA路由。根据一些实施例的存储器结构可以将切换/重新配置的时间减少到一个或几个时钟周期。因此,实现了快速或实时的FPGA重新配置,一个LUT可以为多个功能服务。从而,可以使用一部分当前FPGA来执行多功能,这可以显著减小FPGA芯片的面积。根据实施例的其它结构,还可以通过重新配置为整个系统提供简单的路由,并且通过避免外部数据传输来提高数据安全性。



CN 108231120 A

1.一种可重新配置的现场可编程门阵列(FPGA),包括:

多个可编程门阵列电路;

包括多个配置单元、功能选择器电路和解码电路的查找表(LUT)电路,其中,所述多个配置单元用于存储多个真值表;以及

控制逻辑电路,用于向所述功能选择器电路提供功能地址映射以重新配置查找表。

2.根据权利要求1所述的可重新配置的现场可编程门阵列,其中,所述查找表包括M个配置单元,每个配置单元能够存储N个位,使得所述查找表能够最多存储M个真值表,M和N是正整数。

3.根据权利要求2所述的可重新配置的现场可编程门阵列,其中,所述查找表在加载时能够同时接收的真值表的个数的最大值为M。

4.根据权利要求1所述的可重新配置的现场可编程门阵列,其中,每个配置单元包括多个非易失性存储器(NVM)单元。

5.根据权利要求1所述的可重新配置的现场可编程门阵列,还包括:多个多位存储器结构,所述多位存储器结构用于执行加载所述真值表的路径,使得从可重新配置的现场可编程门阵列的内部存储器中重新加载存储器控制路径。

6.根据权利要求1所述的可重新配置的现场可编程门阵列,其中,每个配置单元用于存储多内容数据,所述多内容数据包括用于多个可重新配置的现场可编程门阵列功能的一个或多个不同的逻辑,或一个可重新配置的现场可编程门阵列功能的一个或多个不同的分支。

7.根据权利要求1所述的可重新配置的现场可编程门阵列,还包括:用于存储功能地址映射表的内部寄存器和非易失性内部存储器。

8.根据权利要求7所述的可重新配置的现场可编程门阵列,其中,在所述可重新配置的现场可编程门阵列被加电时,所述功能地址映射表被从所述非易失性内部存储器加载到所述内部寄存器,并通过所述内部寄存器提供所述功能选择器电路。

9.根据权利要求1所述的可重新配置的现场可编程门阵列,还包括单元控制器电路,其中所述功能选择器电路用于在所述配置单元中选择相应的非易失性存储器单元,所述单元控制器电路用于控制在所选择的所述非易失性存储器单元上的读写操作。

10.根据权利要求1所述的可重新配置的现场可编程门阵列,还包括:多个可重新配置的连接模块和切换模块。

11.根据权利要求10所述的可重新配置的现场可编程门阵列,其中,所述多个可重新配置的连接模块和切换模块是可编程互连点,并且包括交叉点结构、复合结构或断点结构。

12.根据权利要求1所述的可重新配置的现场可编程门阵列,其中,

所述可重新配置的现场可编程门阵列为完全可重新配置的,并且所述查找表和所述控制逻辑电路用于使编程功能切换到一个或多个新的功能;或者

所述可重新配置的现场可编程门阵列为部分可重新配置的,并且所述查找表和所述控制逻辑电路用于使编程功能切换到一个或多个新的功能,同时不修改另一个编程功能。

13.一种可重新配置的现场可编程门阵列(FPGA),包括:

多个可编程门阵列电路;

包括多个配置单元、路由选择器电路和解码电路的路由电路,其中,所述多个配置单元

用于存储多个真值表;以及

控制逻辑电路,用于为所述路由选择器电路提供路由地址映射,以连接布线和信号走线。

14.根据权利要求13所述的可重新配置的现场可编程门阵列,其中,所述路由电路包括M个配置单元,每个配置单元能够存储N个位,使得所述路由电路能够最多存储M个真值表,M和N是正整数。

15.一种用于可重新配置的存储器装置的配置单元,包括:

多个非易失性存储器(NVM)单元,用于存储可重新配置的现场可编程门阵列的查找表(LUT)的真值表,其中,所述查找表包括多个配置单元,并且能够基于功能地址映射进行重新配置,所述功能地址映射为所述可重新配置的现场可编程门阵列的控制逻辑电路提供给所述查找表的功能选择器电路的;以及

多内容文非易失性静态随机存取存储器(nvSRAM)装置。

16.根据权利要求15所述的配置单元,其中,所述非易失性存储器单元中的至少一个单元包括硅-氧化物-氮化物-氧化物-硅(SONOS)分裂栅极单元、浮动栅极单元、嵌入式闪存(eFlash)单元、片上程序闪存(pFlash)单元、1T/1R电阻式随机存取存储器(RAM)单元、基于电阻的存储器单元、基于相变的存储器单元、基于铁电的随机存取存储器单元或基于磁性的随机存取存储器单元。

17.根据权利要求15所述的配置单元,还包括:至少一个隔离装置,用于耦合所述多个非易失性存储器单元和所述非易失性静态随机存取存储器装置,以及用于基于所接收的使能信号来实现读取操作或写入操作。

18.根据权利要求15所述的配置单元,其中,所述配置单元被配置为差分单元结构,所述非易失性静态随机存取存储器装置耦合到多行非易失性存储器单元和一列或多列非易失性存储器单元。

19.根据权利要求15所述的配置单元,其中,所述配置单元被配置为单个单元结构,所述非易失性静态随机存取存储器装置到多行非易失性存储器单元和一列或多列非易失性存储器单元。

20.一种用于可重新配置的存储器装置的配置单元的多位存储器结构,所述配置单元包括:

静态随机存取存储器(SRAM)单元;以及

耦合到所述静态随机存取存储器单元的一个或多个非易失性存储器(NVM)单元,其中,所述一个或多个非易失性存储器单元连接到所述静态随机存取存储器单元的一对内部节点,所述一对内部节点是所述静态随机存取存储器单元的导通晶体管的一部分。

21.根据权利要求20所述的多位存储器结构,其中,存储在所述静态随机存取存储器单元中的数据被传送到连接到所述静态随机存取存储器单元的所述一个或多个非易失性存储器单元中的一个单元,或者从所述连接到所述静态随机存取存储器单元的所述一个或多个非易失性存储器单元中的一个单元中传出所述数据。

22.根据权利要求20所述的多位存储器结构,其中,所述一个或多个非易失性存储器单元中的至少一个单元包括硅-氧化物-氮化物-氧化物-硅(SONOS)分裂栅极单元、浮动栅极单元、嵌入式闪存(eFlash)单元、片上程序闪存(pFlash)单元、1T/1R电阻式随机存取存储

器(RAM)单元、基于电阻的存储器单元、基于相变的存储器单元、基于铁电的随机存取存储器单元或基于磁性的随机存取存储器单元。

23.根据权利要求20所述的多位存储器结构,还包括:

包括所述静态随机存取存储器单元的一行静态随机存取存储器单元;以及

一行或多行非易失性存储器单元,其中,所述一行或多行非易失性存储器单元连接到所述一行静态随机存取存储器单元中的相应的静态随机存取存储器单元的一对内部节点,所述一对内部节点是所述一行静态随机存取存储器单元中的所述静态随机存取存储器单元的导通晶体管的一部分。

可重新配置的非易失性存储器结构和系统

技术领域

[0001] 本发明涉及计算机技术领域，更具体地，涉及一种可重新配置的非易失性存储器结构和系统。

背景技术

[0002] 除非本文另外指出，否则本节中所描述的材料对于本申请的权利要求而言并非现有技术，并且不因为包括在本节中而被承认是现有技术。

[0003] 由于现场可编程门阵列(Field Programmable Gate Array，简称：FPGA)的市场化迅速、灵活性高，所以，在集成电路(IC)行业中，FPGA使用越来越广。但是，FPGA的配置过程相对较慢，这妨碍了多个功能之间的半实时切换/重新配置，导致需要使用大电路面积来执行多个功能

发明内容

[0004] 本发明的一个目的是提供一种可重新配置的非易失性存储器结构和系统的新技术方案。

[0005] 简要地说，本文大体描述了可重新配置的非易失性存储器结构和系统以及具有多个非易失性存储器(Non-volatile Memory，简称：NVM)位的非易失性静态随机存取存储器(Non-volatile Static Random Access Memory，简称：nvSRAM)单元的技术。

[0006] 在一些实施例中，提供了可以快速切换/重新配置查找表(Look-up Table，简称：LUT)和/或重新配置FPGA路由的结构。在常规FPGA中，根据芯片尺寸，通常，切换/重新配置可能需要几百个时钟周期或更长时间。根据一些实施例的存储器结构可以将切换/重新配置的时间减少到一个或几个时钟周期。因此，实现了快速或实时的FPGA重新配置，一个LUT可以为多个功能服务。从而，可以使用一部分当前FPGA来执行多功能，这可以显著减小FPGA芯片的面积。根据实施例的其它结构，还可以通过重新配置为整个系统提供简单的路由和路由重新配置，并且通过避免外部数据传输来提高数据安全性。

[0007] 上述概述仅仅是示例性的，并不意图通过任何方式限制本发明。除了上述示例的方面、实施例和特征之外，参考附图和下列详细描述，本发明的其它方面、实施例和特征将变得清楚。

[0008] 通过以下参照附图对本发明的示例性实施例的详细描述，本发明的其它特征及其优点将会变得清楚。

附图说明

[0009] 被结合在说明书中并构成说明书的一部分的附图示出了本发明的实施例，并且连同其说明一起用于解释本发明的原理。

[0010] 图1示出了FPGA的示例性FPGA查找表和路由电路的示意性电路图；

[0011] 图2A和图2B示出了具有可重新配置的查找表的可重新配置的FPGA的示例性框图

和示意图；

[0012] 图2C示出可重新配置的查找表的重新配置电路实现的框图；

[0013] 图3示出了具有NVM单元差分对的多内容文nvSRAM的示意性电路图，其中，所述NVM单元用作查找表的配置单元；

[0014] 图4示出了可重新配置的2-输入查找表及其真值表的示意图；

[0015] 图5示出了基于闪存的FPGA中具有可重新配置单元的示例性可重新配置2-输入查找表的示意图；

[0016] 图6示出在图5中基于闪存的FPGA中具有可重新配置单元的示例性可重新配置2-输入查找表的另一配置的示意图；

[0017] 图7示出了可重新配置的查找表的示例性实施例的示意图；

[0018] 图8示出了用于多内容数据配置单元的示例性路由、连接模块和切换模块；

[0019] 图9示出了可重新配置的FPGA中的示例性2x2交叉点路由器的示意性电路图；

[0020] 图10示出了具有多个功能的可重新配置的FPGA中的示例性多功能块；

[0021] 图11示出了具有多个功能的可重新配置的FPGA中的另一示例性多功能块；

[0022] 图12示出了可重新配置的FPGA的示例性流水线结构；

[0023] 图13示出了可重新配置的FPGA的另一示例性流水线结构；

[0024] 图14示出了具有通过多行连接的NVM单元的差分结构的nvSRAM单元的示意性电路图；

[0025] 图15示出了具有通过多行和多列连接的NVM单元的差分结构的nvSRAM单元的示意性电路图；

[0026] 图16示出了具有通过多行连接的NVM单元的单个单元结构的nvSRAM单元的示意性电路图；

[0027] 图17示出了具有通过多行和多列连接的NVM单元的单个单元结构的nvSRAM单元的示意性电路图；

[0028] 图18示出了具有通过多行连接的NVM单元的nvSRAM单元的示意性电路图；

[0029] 图19示出了具有通过多行和多列连接的NVM单元的nvSRAM单元的示意性电路图；以及

[0030] 图20示出了如本文所讨论的FPGA中实现可重新配置的NVM结构的示例性计算装置的框图。

具体实施方式

[0031] 现在将参照附图来详细描述本发明的各种示例性实施例。应注意到：除非另外具体说明，否则在这些实施例中阐述的部件和步骤的相对布置、数字表达式和数值不限制本发明的范围。

[0032] 以下对至少一个示例性实施例的描述实际上仅仅是说明性的，决不作为对本发明及其应用或使用的任何限制。

[0033] 对于相关领域普通技术人员已知的技术、方法和设备可能不作详细讨论，但在适当情况下，所述技术、方法和设备应当被视为说明书的一部分。

[0034] 在这里示出和讨论的所有例子中，任何具体值应被解释为仅仅是示例性的，而不

是作为限制。因此，示例性实施例的其它例子可以具有不同的值。

[0035] 应注意到：相似的标号和字母在下面的附图中表示类似项，因此，一旦某一项在一个附图中被定义，则在随后的附图中不需要对其进行进一步讨论。

[0036] 下文将参考附图部分来详细描述本发明，这些附图形成详细说明的一部分。在附图中，除非另有说明，通常相似的符号标识相似的组件。虽然详细描述了实施例和附图，但是并不意图限制本发明。在不脱离本文的主题精神或范围的情况下，可以使用其它实施例，并且可作其它改变。如本文和附图所述，可以以本文明确期望的各种不同的配置设置、取代、组合、分离和设计本发明的方面。

[0037] 总体来说，本发明尤其涉及可重新配置的非易失性存储器结构和系统以及具有多个非易失性存储器(NVM)位的非易失性静态随机存取存储器(nvSRAM))单元的技术。提出的结构可以快速切换/重新配置查找表(LUT)和/或重新配置FPGA路由。因此，根据一些实施例的存储器结构可以将多个真值表加载到LUT和路由结构中；通过在一个或几个时钟周期内将不同的真值表切换/加载到LUT中，将切换/重新配置时间减少到一个或几个时钟周期。结果，实现了快速或实时的FPGA重新配置，一个LUT可以为多个功能服务。从而，可以使用一部分当前FPGA来执行多功能，这可以显著减小FPGA芯片的面积。根据实施例的其它结构，还可以通过重新配置为整个系统提供简单快速的可重新配置路由，并且通过避免外部数据传输来提高数据安全性。

[0038] 本发明所使用的NVM存储器可以包括但不限于：浮动栅极存储器、硅-氧化物-氮化物-氧化物-硅(Silicon-Oxide-Nitride-Oxide-Silicon，简称：SONOS)存储器、RRAM(电阻式随机存取存储器)、相变存储器、诸如MRAM(磁性随机存储器)和STTRAM(自旋极化随机存取存储器)的磁性存储器、或基于铁电的RAM。

[0039] 图1示出了根据本发明所描述的至少一些实施例设置的FPGA的示例性FPGA查找表和路由电路的示意性电路图。

[0040] 在图1中，图100包括常规的FPGA查找表(LUT)102，其中，真值表存储在1xN位静态随机存取存储器(Static Random Access Memory，简称：SRAM)中或闪存阵列中，如图所示。例如，LUT 102可以是具有8位真值表和1x8存储器阵列的3-输入LUT。在任何给定的时间，只可能在LUT中存储一组真值表；而且，通过使用LUT外部的存储器芯片重新加载所述真值表可能需要很长的时间。在根据实施例的存储器结构中，对于N位真值表，可以由M×N个存储器阵列代替1×N存储器阵列，以将至多M组的真值表同时加载到LUT中。在执行期间，实时地从至多M组的真值表的内部选择一组真值表，通常，这可以在一个或几个时钟周期内完成。因此，所述结构可以显著地缩短重新配置的时间。这样，可以快速地重新配置根据实施例的LUT以执行至多M个功能。

[0041] 在常规FPGA路由中，如示意图104所示，存储区控制路由。与LUT类似，外部存储区通过SPI或另一个接口协议加载存储器。在各个实施例的存储器结构中，路由可以使用与LUT中使用的相似的多位存储器结构。因此，可以从内部存储器重新加载存储器控制路径，这可以显著地缩短重新配置的时间，并且可以快速地重新配置路由以执行至多M个功能。

[0042] 在实施例中可以使用各种类型的晶体管。为了说明，本发明可以使用金属氧化物半导体场效应晶体管(MOSFET)。MOSFET可以具有源极端子(例如，第一端子)、漏极端子(例如，第二端子)和控制端子。当为控制端子施加适当电平的偏置信号时，可以激活晶体管(例

如，偏置到有源操作中)，这可以促进源极端子和漏极端子之间的导通。根据晶体管的类型(例如，N型或P型)，可以施加适当电平的偏置信号，或者可以去除先前施加的偏置信号，使晶体管无效，这可以阻止源极和漏极之间的导通。MOSFET“端子”也可以称为“端口”。

[0043] 图2A和图2B示出了根据本发明所描述的至少一些实施例设置的具有可重新配置的查找表的可重新配置的FPGA的示例性框图和示意图。

[0044] 如图200A所示，具有多内容数据配置单元的可重新配置的LUT可以切换内容数据，并且可以重新配置LUT逻辑，以节省FPGA电路面积。在图200A中，左边的块是传统的FPGA，右边的块代表一个根据本发明的实施例的可重新配置的FPGA。图200B示出了具有重复配置单元(202)的LUT的示例性物理实施方式的示意性电路图。存储在配置单元202中的多内容数据可以是多个功能的不同逻辑或同一个功能的不同分支。配置数据可以并行地从NVM切换到SRAM，大大缩短了重新配置的总时间。静态可重新配置的FPGA可以以固定顺序切换逻辑，例如，[WL1->WL2->WL3->WL4->WL1...]。此外，在一个示例性实施例中，WL1:A3A2＝2’b00，WL1:A3A2＝2’b01，WL1:A3A2＝2’b10，以及WL1:A3A2＝2’b11。内部控制逻辑可以控制地址序列来依次切换。

[0045] 图2C示出了根据本发明所描述的至少一些实施例设置的可重新配置的查找表的重新配置电路实现的框图。

[0046] 动态可重新配置的FPGA可以通过由控制逻辑204控制的功能来切换逻辑，如图200C所示。用于功能和内部逻辑地址的映射表210可以保存在NVM(非易失性存储器)中。当系统打开时，可以将用于功能和内部逻辑地址的映射表210加载到内部寄存器208中。功能选择器206可以基于映射表210生成逻辑地址LA[1:0]，以切换配置单元202中的内容数据(通过解码器212)。因此，可以切换FPGA的逻辑来支持多种功能。

[0047] 图3示出了根据本文所描述的至少一些实施例布置的具有用作查找表的配置单元的NVM单元的差分对的多内容文nvSRAM的示意性电路图。

[0048] 在图300中，示例性配置单元为具有多个NVM位的nvSRAM和nvSRAM中的n组配置位。S0是SRAM单元；NV1-NVn是存储多个内容数据的NVM单元。具有多内容数据nvSRAM的可重新配置的LUT可以通过在LUT中重新配置配置RAM的数据来切换逻辑功能。重新配置过程可以包括将相应的NVM单元数据加载到SRAM中。可以并行地将多内容文nvSRAM数据从NVM单元重新加载到SRAM，并且可以明显缩短重新配置时间，例如，缩短到几纳秒到十纳秒。在根据实施例的系统中可以不需要用于存储配置数据的额外的外部或嵌入式闪存。在用户编译后，当给FPGA加电时，可以将配置数据编程到NVM中。当选择的WL(布线逻辑)和nvSL被偏置到正高压时，可以编程相应的单元，并且可以在编程之前执行擦除操作。根据实施例的多内容文nvSRAM中的NVM单元不限于浮动栅极存储器单元，还可以是SONOS单元、电阻RAM单元、MRAM单元或相当的NVM单元。当在NVM单元上执行读或写操作时，可以控制EN(使能)信号。

[0049] 图4示出了根据本发明所描述的至少一些实施例设置的可重新配置的2-输入查找表及其真值表的示意图。

[0050] 图400中的2-输入示例性LUT 404具有存储LUT真值表的配置位的四个配置单元。每个配置单元可以包含具有多个NVM单元(NV1-NVn)的SRAMS0。功能选择器电路可以切换配置RAM中的配置位，以重新配置LUT逻辑，从而支持不同的功能。在示例性LUT 404和示例性真值表406的组合中，当功能选择器切换到功能NV1时，LUT功能可以是O＝A&B；当功能选择

器切换到功能NV2时，LUT功能可以是O＝A+B；当功能选择器切换到功能NVn时，LUT功能可以是O＝A(+)B。控制逻辑402可以具有功能地址映射，并且可以控制内部逻辑地址以通过功能选择器电路切换功能。在一些实施例中，功能选择器电路可以是用于多个LUT的通用块。

[0051] 图5示出了根据本发明所描述的至少一些实施例设置的基于闪存的FPGA中具有可重新配置单元的示例性可重新配置2-输入查找表的示意图。

[0052] 在图500的示例中，配置单元506可以包含没有SRAM的多个NVM单元。可以使用读出放大器来读取NVM数据以配置LUT 504。在用户编译后，当给FPGA加电时，可以将配置数据编程到NVM中。当选择的WL和nvSL被偏置到正高压时，可以编程相应的单元，并且可以在编程之前执行擦除操作。如上所述，示例性NVM单元不限于浮动栅极存储器单元，还可以包括SONOS单元、电阻RAM单元、MRAM单元或其它相当的NVM单元。功能选择器电路用于在配置单元中切换数据，以基于从控制逻辑502接收到的功能地址映射来切换不同的功能。

[0053] 图6示出了根据本发明所描述的至少一些实施例设置的、在图5中基于闪存的FPGA中具有可重新配置单元的示例性可重新配置2-输入查找表的另一配置的示意图。

[0054] 在图600的示例中，配置单元606可以包含没有SRAM的多个NVM单元(NV1-NVn)以存储多个配置数据。功能选择器电路通过选择对应的NVM单元来切换和重新配置配置单元606。LUT 604中的A和B用于解码将被选择和读出的配置单元。切换控制电路可以检测内容数据选择转换并触发读出放大器。

[0055] 图7示出了根据本发明所描述的至少一些实施例设置的可重新配置的查找表的示例性实施例的示意图。

[0056] 图700示出了示例性2-输入LUT 704。A和B是输入信号，O是输出信号。C0-C3是配置单元。在该示例性配置的配置单元中，可以有具有多个NVM单元的SRAM。配置单元还可以包括没有SRAM的多个NVM单元。功能选择器电路用于选择对应的NVM单元；单元控制器电路控制NVM单元的读写。当加载和重新配置配置数据时，控制逻辑702可以控制LUT。与控制逻辑702组合的高压系统可以产生用于NVM单元读写的高压。

[0057] 图8示出了根据本发明描述的至少一些实施例设置的用于多内容数据配置单元的示例性路由、连接模块和切换模块。

[0058] 如图800所示，通过多内容数据配置单元，连接模块和切换模块802也可以被重新配置成不同的逻辑或功能。通过多内容数据配置单元804，可以将配置位并行地从NVM单元加载到SRAM单元，并且可以显著缩短重新配置时间(例如，缩短到纳秒级)。通过多内容数据配置单元(806)，可以在设计编译时存储路由或连接信息，并且可以将FPGA重新配置为在多个逻辑功能之间切换。

[0059] 图9示出了根据本发明所描述的至少一些实施例设置的可重新配置的FPGA中的示例性2x2交叉点路由器的示意性电路图。

[0060] 图900以2-水平线2-垂直线路由器为例。在示例性LUT 904的配置单元中，可以有具有多个NVM单元(NV1-NVn)的SRAM S0。功能选择器电路用于选择对应的NVM单元；单元控制器电路用于控制NVM单元的读写。当加载和重新配置配置数据时，控制逻辑902可以控制LUT 904。可编程互连点(PIP)不限于示例性LUT 904中的交叉点结构，其也可以是复合点、断点等。在LUT 904中，配置单元可以具有相同的结构。在其它实施例中，配置单元可以包括没有SRAM的多个NVM单元。

[0061] 图10示出了根据本发明描述的至少一些实施例设置的具有多个功能的可重新配置的FPGA的示例性多功能切换。

[0062] 可以为根据示例的FPGA系统重新配置多个功能。如果不能重新配置，FPGA可能具有多个栅极，并且需要较大的电路面积。能够重新配置时，FPGA可能需要长久的重新配置时间。通过根据实施例的用于FPGA的快速可重新配置结构，整个系统可以实现较高的切换(重新配置)速度、较小的电路面积、较少的栅极和更简单的路由。如图1000所示，当FPGA用于功能A时，功能切换可以包括相位1(1002)。在相位2(1004)中，可以对功能B、C和D重新配置FPGA。因为重新配置时间可能非常短，所以，重新配置过程可以在功能A之后执行。FPGA可以包括控制逻辑，以使用内部逻辑地址或解码器将相应的NVM数据加载到配置单元的SRAM中来控制重新配置过程，从而重新配置FPGA。

[0063] 图11示出了根据本发明描述的至少一些实施例设置的具有多个功能的可重新配置的FPGA中的另一示例性多功能切换。

[0064] 在另一示例性场景中，如图1100所示，FPGA系统可以具有不可重新配置的区域和可配置区域。FPGA系统可以具有主要功能(不可重新配置)和诸如B、C和D(可重新配置)的其它功能。如果不能重新配置，FPGA可能具有多个栅极，并且需要较大的电路面积。能够重新配置时，FPGA可能需要长久的重新配置时间。通过根据实施例的用于FPGA的快速可重新配置结构，整个系统可以实现较高的切换(重新配置)速度、较小的电路面积、较少的栅极和更简单的路由。如图1100所示，当FPGA用于功能A和B时，功能切换可以包括相位1(1102)。在相位2(1104)中，可以为FPGA的可重新配置部分重新配置功能C和D，无需重新配置主要功能。因为重新配置时间可以非常短，所以，当正在进行功能A时，可以执行重新配置过程。FPGA可以包括控制逻辑，以使用内部逻辑地址或解码器将相应的NVM数据加载到配置单元的SRAM中来控制重新配置过程，从而重新配置FPGA。

[0065] 图12示出了根据本发明描述的至少一些实施例设置的可重新配置的FPGA的示例性流水线结构。

[0066] 根据实施例的系统可以具有多个并行的通道。因此，可以在如图1200所示的流水线中结构基于示例性信道A-B-C-D的序列来执行这些功能。信道序列不限于A-B-C-D，其可以是任何顺序。可以使用内部控制逻辑来控制信道序列并重新配置FPGA以支持不同信道的不同功能。在图1200所示的基于信道顺序的系统中，虽然电路面积可能较小，但是系统时间却更长。因此，在FPGA设计中，需要平衡电路面积和系统时间。在某些系统中，可能不需要同时激活不同的信道，从而减少了系统总时间的影响。

[0067] 图13示出了根据本发明描述的至少一些实施例设置的可重新配置的FPGA的另一示例性流水线结构。

[0068] 在其它场景中，FPGA的主要功能可以被划分成诸如A、B、C和D的分支。如图1300所示，可以在流水线结构中基于分支的A-B-C-D的序列来执行这些功能。可以使用内部控制逻辑来控制和重新配置FPGA以支持不同分支的不同功能。在图1200所示的基于分支顺序的系统中，虽然电路面积可能较小，但是系统时间却更长。因此，在FPGA设计中，需要平衡电路面积和系统时间。

[0069] 图14至图19示出了nvSRAM存储器结构的各种示例性实施例。不同于在常规的系统中一般通过位线实现连接(其位于SRAM的两个导通栅极晶体管外)，NVM单元连接到每个存

储器结构的SRAM的内部节点(所述连接位于SRAM的两个导通栅极晶体管内)。所示的存储器结构可以在各种应用中提高效率、提高速度并且减少资源消耗。这样的存储器结构的一个示例性实现方式可以在如本发明所述的FPGA结构的FPGA中。然而,图14至图19所示的存储器结构不限于FPGA实现方式,可以使用在任何存储器使用电路中。

[0070] 图14示出了根据本发明所描述的至少一些实施例设置的具有通过多行连接的NVM单元的差分结构的nvSRAM单元的示意性电路图。

[0071] 图1400示出了具有通过多行连接的NVM单元的nvSRAM单元的差分单元结构。NVM单元(例如,浮动栅极存储器单元)的差分对可以连接到SRAM的锁存节点Q/QB。装置Ts可以是SRAM和NVM之间的隔离装置。在擦除模式下,可以关闭Ts;可以浮置nvBL/nvBL#/nvSL;可以将所选择的WL偏置到负压(例如大约-10V)。在一些实施例中,可以将NVM单元的阱偏置到正高压,而栅极保持在负压。

[0072] 在编程模式下,可以将选择栅极偏置到正高压(HV);可以浮置nvSL。在一些实施例中,可以将nvSL偏置到正压。可以将程序单元的nvBL/nvBL#设置为“0”,同时禁止的单元是浮置的。在调用模式下,可以关闭VCCI/VSSI;通过打开SWL并将SBL/SBL#强制为0,可以给Q/QB放电,使其电平变成地电平。可以打开所选择的一对NVM单元和Ts,并且可以将nvSL施加到VDD电平。然后,由于差分单元的不同Vt状态,Q和QB之间可能存在电压差。VCCI可能会升高,VSSI可能会降低。可以根据NVM单元的Vt状态可以将Q和QB锁存到稳定状态。

[0073] 图15示出了根据本发明所描述的至少一些实施例设置的具有通过多行和多列连接的NVM单元的差分结构的nvSRAM单元的示意性电路图。

[0074] 图1500示出了具有通过多行和多列连接的NVM单元的nvSRAM单元的差分单元结构。可以为调用和写入仅选择1个nvBL/nvBL#对;YS0/YS1可以是列解码信号。列数可以不限于两个。在擦除模式下,可以关闭Ts;可以浮置nvBL/nvBL#/nvSL;可以将所选择的WL偏置到负压(例如大约-10V)。在一些实施例中,可以将NVM单元的阱偏置到正高压,而栅极保持在负压。

[0075] 在编程模式下,可以将选择栅极偏置到正高压(HV);可以浮置nvSL。在一些实施例中,可以将nvSL偏置到正压。可以将程序单元的nvBL/nvBL#设置为“0”,同时禁止的单元是浮置的。在调用模式下,可以关闭VCCI/VSSI;通过打开SWL并将SBL/SBL#强制为0,可以给Q/QB放电,使其电平变成地电平。可以打开所选择的一对NVM单元和Ts,并且可以将nvSL施加到VDD电平。然后,由于差分单元的不同Vt状态,Q和QB之间可能存在电压差。VCCI可能会升高,VSSI会被降低。可以根据NVM单元的Vt状态将Q和QB锁存到稳定状态。

[0076] 图16示出了根据本发明所描述的至少一些实施例设置的具有通过多行连接的NVM单元的单个单元结构的nvSRAM单元的示意性电路图。

[0077] 图1600示出了具有通过多行连接的NVM单元的nvSRAM单元的单个单元结构。单个单元可以连接到SRAM的锁存节点Q,参考单元可以连接到QB,反之亦然。装置Ts可以是SRAM和NVM之间的隔离装置。在擦除模式下,可以关闭Ts;可以浮置nvBL/nvSL;可以将所选择的WL偏置到负压(例如大约-10V)。在一些实施例中,可以将NVM单元的阱偏置到正高压,而栅极保持在负压。

[0078] 在编程模式下,可以将选择栅极偏置到正高压(HV);可以浮置nvSL。在一些实施例中,可以将nvSL偏置到正压。可以将程序单元的nvBL设置为“0”,同时禁止的单元是浮置的。

在调用模式下，可以关闭VCCI/VSSI；通过打开SWL并将SBL/SBL#强制为0，可以给Q/QB放电，使其电平变成地电平。可以打开所选择的一对NVM单元和参考单元，以及TS；并且可以将nvSL施加到VDD电平。然后，由于所选择的NVM单元和参考单元的不同Vt状态，Q和QB之间可能存在电压差。VCCI可能会升高，VSSI可能会降低。可以根据NVM单元的Vt状态将Q和QB锁存到稳定状态。在一些实施例中，RBL可以包括与nvBL加载匹配的附加电容器电路。

[0079] 图17示出了根据本发明所描述的至少一些实施例设置的具有通过多行和多列连接的NVM单元的单个单元结构的nvSRAM单元的示意性电路图。

[0080] 图1700示出了具有通过多行和多列连接的NVM单元的nvSRAM单元的单个单元结构。可以为调用和写入仅选择1个列；YS0/YS1可以是列解码信号。列数可以不限于两个。在擦除模式下，可以关闭Ts；可以浮置nvBL/nvSL；可以将所选择的WL偏置到负压(例如大约-10V)。在一些实施例中，可以将NVM单元的阱偏置到正高压，而栅极保持在负压。

[0081] 在编程模式下，可以将选择栅极偏置到正高压(HV)；可以浮置nvSL。在一些实施例中，可以将nvSL偏置到正压。可以将程序单元的nvBL设置为“0”，同时禁止的单元是浮置的。在调用模式下，可以关闭VCCI/VSSI；通过打开SWL并将SBL/SBL#强制为0，可以给Q/QB放电，使其电平变成地电平。可以打开所选择的一对NVM单元和参考单元，以及TS；并且可以将nvSL施加到VDD电平。然后，由于所选择的NVM单元和参考单元的不同Vt状态，Q和QB之间可能存在电压差。VCCI可能会升高，VSSI可能会降低。可以根据NVM单元的Vt状态将Q和QB锁存到稳定状态。在一些实施例中，RBL可以包括与nvBL加载匹配的附加电容器电路。

[0082] 图18示出了根据本发明所描述的至少一些实施例设置的具有通过多行连接的NVM单元的nvSRAM单元的示意性电路图。

[0083] 图1800示出了具有通过多行连接的NVM单元的示例性nvSRAM单元。在擦除模式下，当S/D处于浮置状态时，可以关闭VCCI/VSSI，并且可以将负压偏置到NVM单元栅极。在编程模式下，可以将选择栅极偏置到正高压(HV)；可以浮置nvSL。在一些实施例中，可以将nvSL偏置到正压。可以将程序单元的nvBL设置为“0”，同时禁止的单元是浮置的。在调用模式下，Q/QB的电量可能被放电至“0”。当打开NVM单元并且将nvSL设置为“0”时，VCCI可能会被升高。由于NVM单元的不同Vt状态，Q和QB之间可能存在电压差。为了将Q/QB锁存到稳定状态，VSSI可以连接到“0”。

[0084] 图19示出了根据本发明所描述的至少一些实施例设置的具有通过多行和多列连接的NVM单元的nvSRAM单元的示意性电路图。

[0085] 图1900示出了具有通过多行和多列连接的NVM单元的示例性nvSRAM单元。可以为调用和写入仅选择1个列；YS0/YS1可以是列解码信号。列数可以不限于两个。在擦除模式下，当S/D处于浮置状态时，可以关闭VCCI/VSSI，并且可以将负压偏置到NVM单元栅极。在编程模式下，可以将选择栅极偏置到正高压(HV)；可以浮置nvSL。在一些实施例中，可以将nvSL偏置到正压。可以将程序单元的nvBL设置为“0”，同时禁止的单元是浮置的。在调用模式下，Q/QB的电量可能被放电至“0”。当打开NVM单元并且将nvSL设置为“0”时，VCCI可能会增加。由于NVM单元的不同Vt状态，Q和QB之间可能存在电压差。为了将Q/QB锁存到稳定状态，VSSI可以连接到“0”。

[0086] 如上所述，在图14至图19所示的存储器结构中，通过将NVM单元连接到每个存储器结构的SRAM的内部节点，而不是通过位线连接。所示的存储器结构可以在各种应用中提高

效率、提高速度并且减少资源消耗。图14至图19所示的存储器结构的实现方式不限于FPGA应用，可以使用在任何存储器使用电路中。

[0087] 一些实施例涉及操作可重新配置的非易失性存储器结构和系统的示例性过程。不一定以任何特定顺序呈现本文所描述的任何过程的操作，并且替代某些或所有操作执行的顺序是可行的，也是预料中的。为了便于描述和说明，已经以显示的顺序呈现了操作。在不脱离本发明的范围的情况下，可以以不同的顺序等方式同时添加、组合、修改、省略和/或执行操作。

[0088] 可以在任何时间结束所示的过程，并且不需要完整地执行所述过程。可以通过一个或多个处理器执行包括在计算机存储介质(例如，本文所描述的有形的非暂时性计算机可读存储介质)上的计算机可读指令来执行所述过程的部分或所有操作和/或基本相同的操作。在本说明书和权利要求书中使用的术语“计算机可读指令”及其变体在本发明中被广泛使用，包括例程、应用、应用模块、程序模块、程序、组件、数据结构、算法等。计算机可读指令可以在各种系统配置上实现，包括单处理器或多处理器系统、小型计算机、大型计算机、个人计算机、手持式计算装置、基于微处理器的可编程消费电子产品以及它们的组合等。

[0089] 图20示出了根据本发明所描述的至少一些实施例设置的、如本文所讨论的在FPGA中实现可重新配置的NVM结构的示例性计算装置200的框图。在非常基本的配置2002中，计算装置2000通常包括一个或多个处理器2004以及系统存储器2006。存储器总线2008可用于处理器2004和系统存储器2006之间的通信。

[0090] 根据期望的配置，处理器2004可以是任意类型的，包括但不限于微处理器(μP)、微控制器(μC)、数字信号处理器(DSP)或其任何组合。处理器2004可以包括一级或多级缓存，诸如高速缓存存储器2012、处理器核2014和寄存器2016。处理器核2014可以包括算法逻辑单元(ALU)、浮点单元(FPU)、数字信号处理核(DSP核)或其任何组合。存储器控制器2018也可以与处理器2004一起使用，或者在一些实现中，存储器控制器2020可以是处理器2004的内部部件。

[0091] 根据期望的配置，系统存储器2006可以是任意类型的，包括但不限于易失性存储器(诸如RAM)、非易失性存储器(诸如ROM、闪速存储器等)或其任何组合。系统存储器2006通常包括操作系统2020、一个或多个应用程序2022和程序数据2024。

[0092] 计算装置2000可以具有附加特征或功能，以及用于促进基本配置2002与任何所需装置和接口之间的通信的附加接口。例如，可以使用总线/接口控制器2040通过存储接口总线2034来促进基本配置2002与一个或多个数据存储装置2032之间的通信。数据存储装置2032可以是可移动存储装置2036、不可移动存储装置2038或其组合。举几个例子来说，可移动存储装置和不可移动存储装置的示例包括诸如软盘驱动器和硬盘驱动器(HDD)的磁盘装置、诸如光盘(CD)驱动器或数字通用盘(DVD)驱动器的光盘驱动器、固态驱动器(SSD)和磁带驱动器等。示例性计算机存储介质可以包括以任何方法或技术实现的用于存储诸如计算机可读指令、数据结构、程序模块或其它数据的信息的易失性和非易失性介质以及可移动和不可移动介质。

[0093] 系统存储器2006、可移除存储器设备2036和不可移动存储设备2038都是计算机存储介质的示例。计算机存储介质包括但不限于RAM、ROM、EEPROM、闪速存储器或其它存储器技术，CD-ROM、DVD或其它光学存储设备、磁带盒、磁带、磁盘存储设备或其它磁存储装置，或

可用于存储所需信息并且可由计算装置2000访问的任何其它介质。任何这样的计算机存储介质都可以是装置2000的一部分。因此，使用如本发明所描述的基于SRAM的存储器结构可以实现任何计算机存储介质。

[0094] 计算装置2000还可以包括接口总线2040，所述接口总线用于通过总线/接口控制器2030促进从各种接口装置(例如，输出接口、外围接口和通信接口)到基本配置2002之间的通信。示例性输出装置2042包括图形处理单元2048和音频处理单元2050，用于通过一个或多个A/V端口2052与诸如显示器或扬声器的各种外部装置通信。示例性外围接口2044包括串行接口控制器2054或并行接口控制器2056，用于通过一个或多个I/O端口2058与诸如输入设备(例如，键盘、鼠标、笔、语音输入装置、触摸输入装置等)的外部装置或其它外围装置(例如打印机、扫描仪等)通信。示例性通信装置2046包括网络控制器2060，用于通过一个或多个通信端口2064促进与网络通信上的一个或多个其它计算装置2062之间的通信。通信连接是通信介质的一个示例。通信介质通常可以通过计算机可读指令、数据结构、程序模块或诸如载波或其它传输机制的调制数据信号中的其它数据来实现，并且包括任何信息传递介质。“调制数据信号”可以是具有一个或多个特征的信号，通过设置或改变所述特征可以对信号中的信息进行编码。作为示例，通信介质可以包括诸如有线网络连接或直接有线连接的有线介质，以及诸如声学、射频(RF)、红外(IR)和其它无线介质的无线介质。本发明所使用的术语“计算机可读介质”可以包括存储介质和通信介质。

[0095] 计算装置2000可以为小型便携式(或移动)电子装置的一部分，例如，蜂窝电话、个人数据助理(PDA)、个人媒体播放器装置、无线智能手表装置、个人耳机装置、专用装置或包括上述任何功能的混合装置。计算装置2000也可以为包括笔记本电脑配置和非笔记本电脑配置的个人计算机。

[0096] 本发明不限于本申请所描述的特定实施例，所述实施例旨在说明各个方面。在不脱离本发明的精神和范围的情况下，可以做很多修改和变化。除了本文列举的方法和装置外，在本发明的范围内的功能等效的方法和装置也是可行的。这些修改和变化旨在落在附属权利要求的范围内。本发明只受所附的权利要求的条件以及这些权利要求享有的等效物的全部范围的限制。应当理解，本发明不限于特定的方法、混合或组合，当然，其是多变的。还应当理解，本文使用的术语仅用于描述特定实施例，而并非旨在限制本发明。

[0097] 基本上，对于本文中使用的任何复数和/或单数术语，为了适用于内容数据和/或应用程序，本领域技术人员可以将复数形式切换为单数形式和/或从单数形式切换为复数形式。为了清楚起见，本文中明确地阐述了各种单数/复数的排列。

[0098] 本领域技术人员应当理解，一般来说，本文使用的术语，特别是在所附权利要求(例如，所附权利要求的主体)中使用的术语通常旨在作为“开放性”术语(例如，术语“包括(including)”应被解释为“包括但不限于”，术语“具有”应被解释为“至少具有”，术语“包括(includes)”应被解释为“包括但不限于”等)。本领域技术人员将进一步理解，如果所引入的权利要求意图陈述特定的数目，那么，权利要求中将明确陈述这种意图；在没有这种陈述的情况下，表明不存在这样的意图。例如，为了便于理解，以下所附权利要求可以使用引导短语“至少一个”和“一个或多个”以引入权利要求的陈述。

[0099] 然而，这些短语的使用不应当解释为暗示权利要求的陈述通过不定冠词“一个”或“一种”的引入，限制任意具体权利要求包含这样引入的权利要求陈述的发明，只包含一个

这样的陈述，甚至当相同的权利要求包含所述引导短语“一个或多个”，或“至少一个”时，而用不定冠词“一个”或“一种”(例如，“一个”和/或“一种”应该代表性地解释为“一个或多个”，或“至少一个”)；这同样对于用来介绍权利要求陈述的定冠词的使用有效。另外，即使明确地陈述一个所引入的权利要求陈述的特定数目，本领域的普通技术人员将会认识到此陈述也典型地应当解释为意味着至少该陈述的数目(例如，没有其他修饰语的“两个陈述，”典型地意味着至少两个陈述，或者两个或更多个陈述)。

[0100] 此外，在使用类似于“A、B或C中的至少一项等等”的惯例的情况中，通常，这种构造旨在本领域的普通技术人员应当理解该惯例的意义上(例如，“一个系统具有A、B或C中的至少一项”将包括但是不限于系统单独具有A、单独具有B、单独具有C、A与B一起、A与C一起、B与C一起和/或A、B和C三者一起，等等)。本领域的普通技术人员将进一步理解的是无论是在说明书、权利要求书还是附图中，呈现两个或更多个替代性术语的几乎任何分隔性词语和/或短语都应当理解为考虑到了包括这些术语中的一者、这些术语中的任一者或这两个术语的可能性。例如，短语“A或B”将被理解为包括“A”或“B”或“A和B”的可能性。

[0101] 此外，当按照Markush组描述本发明的特征或方面时，本领域技术人员应意识到还按照Markush组成员的任何单独成员或亚组来描述本发明。

[0102] 进一步地，术语“第一”、“第二”、“第三”和“第四”等的使用是区分元件的重复实体或区分过程的步骤，没有系列或时间限制，除非特别声明要求这种序列或时间顺序。

[0103] 本领域技术人员将理解，对于任何和所有目的，例如在提供书面描述方面，本文公开的所有范围还包括任何和所有可能的子范围及其子范围的组合。可以简单地认为任何列出的范围都是被充分描述的，可以使同一范围被分成至少相等的两份、三份、四份、五份、十份等。作为非限制性示例，本文讨论的每个范围可以被容易地分成下三分之一、中三分之一和上三分之一等。本领域技术人员还将理解，所有语言，例如“至多”、“至少”、“大于”和“小于”等包括所述的数字，并且涉及可以随后分成如上所述的子范围的范围。最后，本领域技术人员将理解，范围包括每个单独的要素。因此，例如，具有1-3个元素的组是指具有1个、或2个或3个元素的组。类似地，具有1-5个元素的组是指具有1个、或2个、或3个、或4个或5个元素的组等。

[0104] 尽管本文已经公开了各种方面和实施例，但是其它方面和实施例也是可能的。本文公开的各种方面和实施例用于说明目的而不意图具有限定性，本发明的真实范围和精神应由所附权利要求指示。

[0105] 虽然已经通过例子对本发明的一些特定实施例进行了详细说明，但是本领域的技术人员应该理解，以上例子仅是为了进行说明，而不是为了限制本发明的范围。本领域的技术人员应该理解，可在不脱离本发明的范围和精神的情况下，对以上实施例进行修改。本发明的范围由所附权利要求来限定。

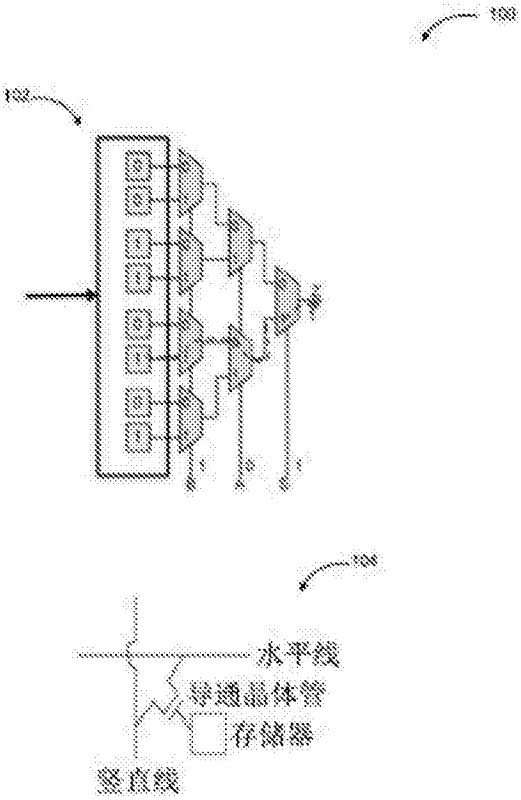

100
102
104
水平线
导通晶体管
存储器
竖直线

图1

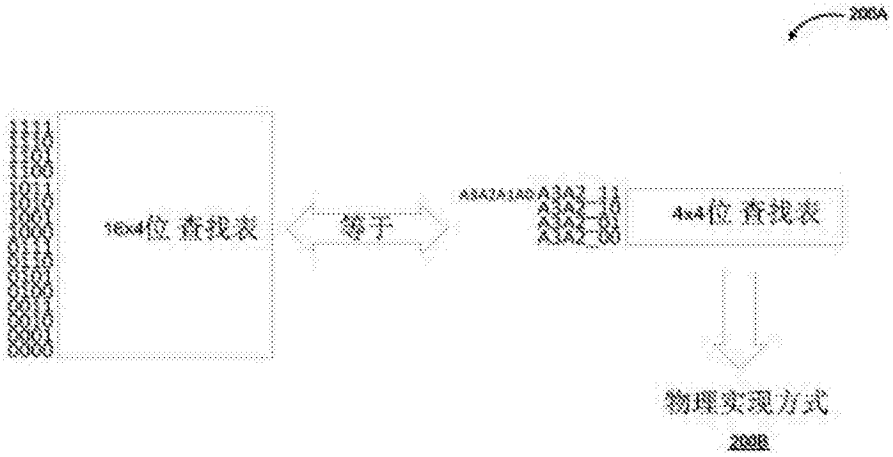

200A
16x4位 查找表
等于
4x4位 查找表
物理实现方式
200B

图2A

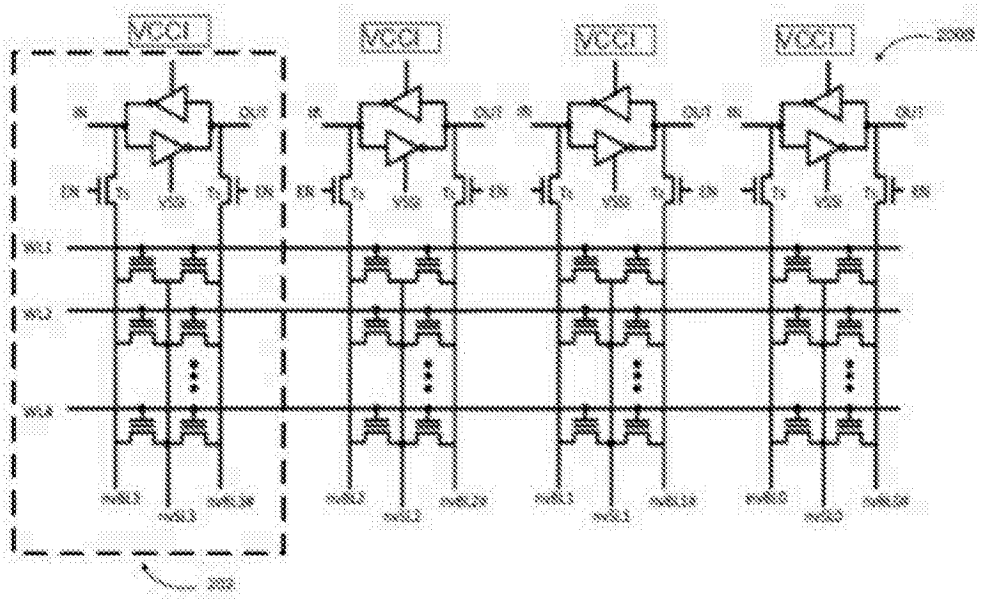

VCCI
VCCI
VCCI
VCCI
IN
OUT
IN
OUT
IN
OUT
IN
OUT
IN
IN
IN
IN
WL1
WL2
WL3
BL1
BL2
BL3
BL4
BL5
BL6
BL7
BL8
BL9
BL10
BL11
BL12
200B
200

图2B

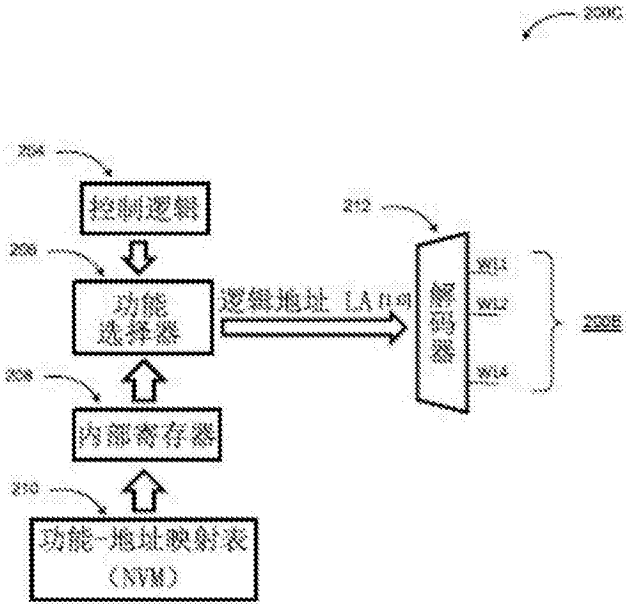

200C
204
控制逻辑
206
功能
选择器
逻辑地址（LA n-1）
212
解码器
WL1
WL2
WL4
200E
208
内部寄存器
210
功能-地址映射表
（NVM）

图2C

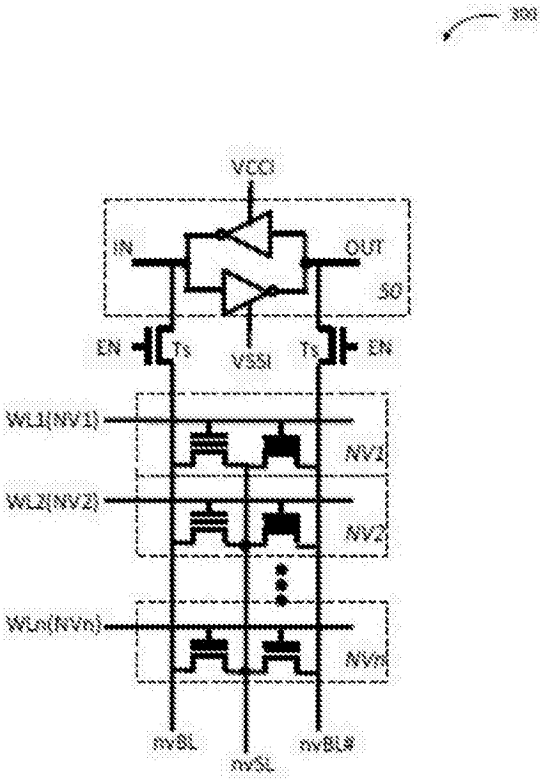

VCCI
IN
OUT
SO
EN
Ts
VSSI
Ts
EN
WL1(NV1)
NV1
WL2(NV2)
NV2
WLn(NVn)
NVn
nvBL
nvSL
nvBL#

图3

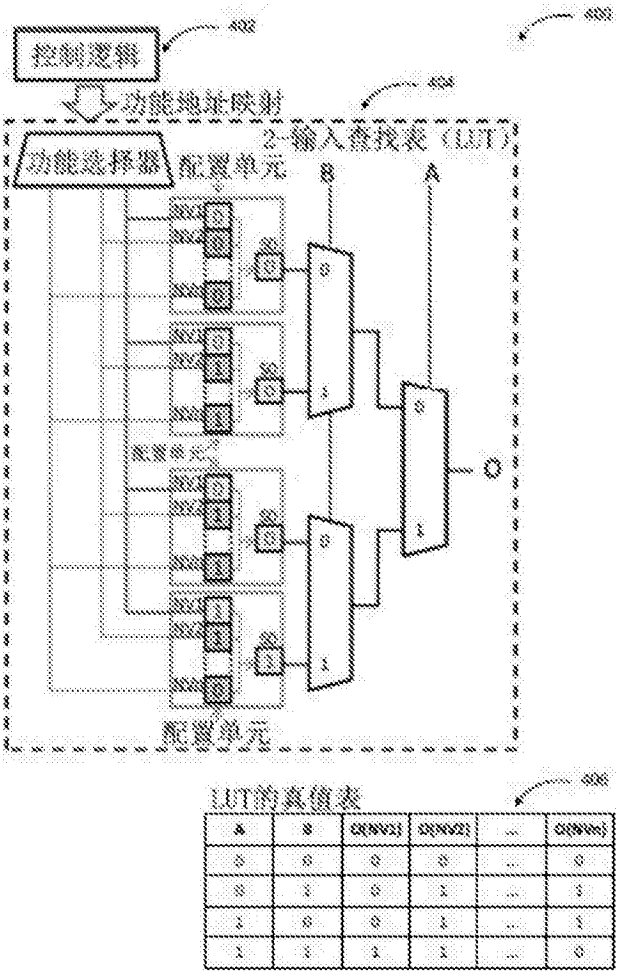

控制逻辑
402
400
功能地址映射
404
2-输入查找表（LUT）
功能选择器
配置单元
B
A
配置单元
配置单元
O
LUT的真值表
406
A
B
O(NV1)
O(NV2)
...
O(NVm)
0
0
0
0
...
0
0
1
0
1
...
1
1
0
0
1
...
1
1
1
1
1
...
0

图4

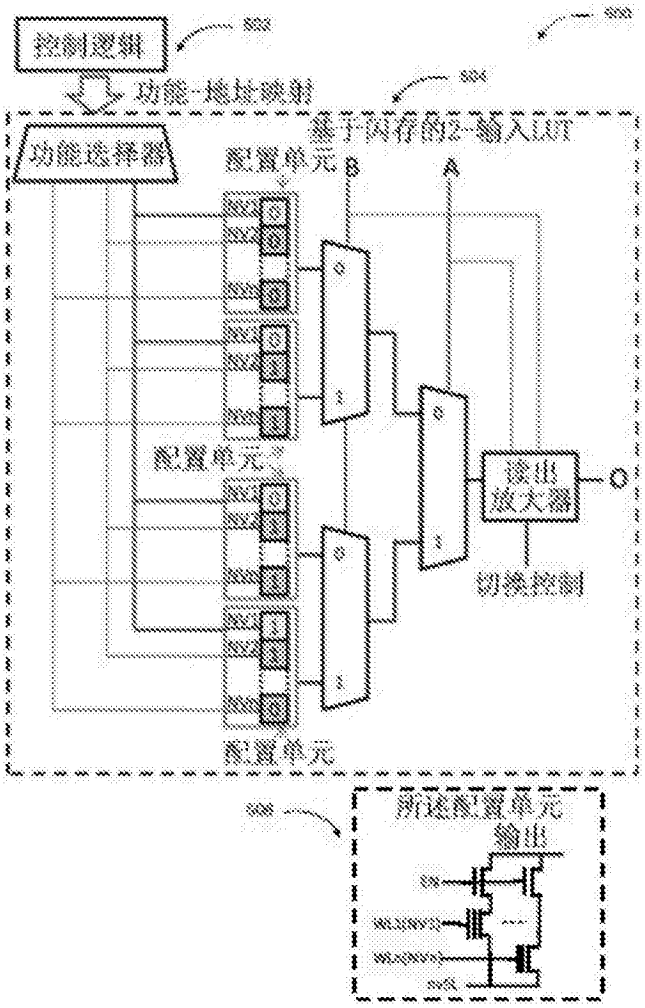

控制逻辑
功能-地址映射
功能选择器
基于闪存的2-输入LUT
配置单元
B
A
配置单元
读出
放大器
O
切换控制
配置单元
所述配置单元
输出

图5

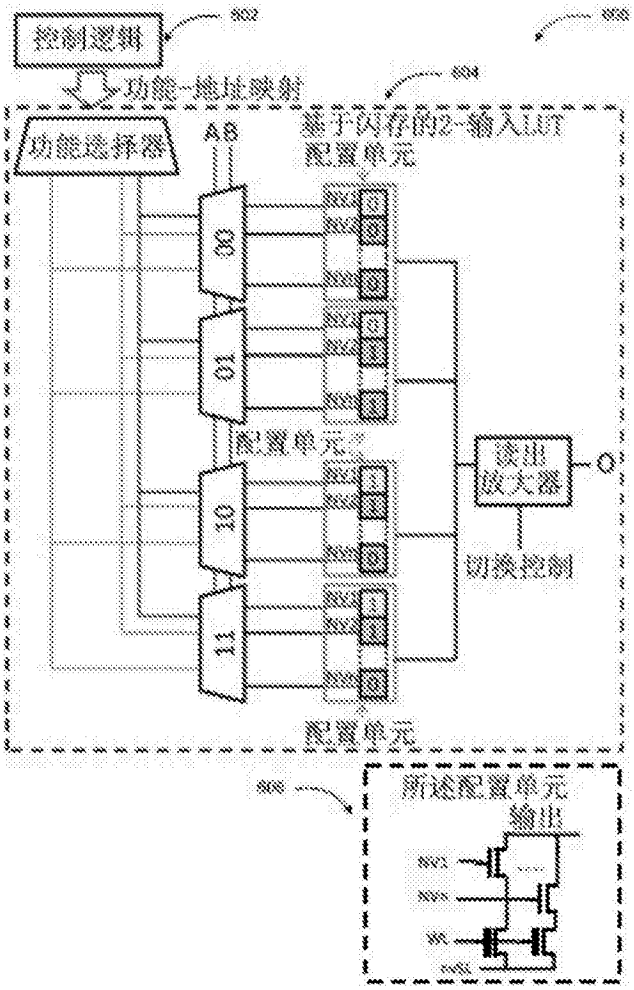

控制逻辑
602
600
功能-地址映射
604
功能选择器
A B
基于闪存的2-输入LUT
配置单元
00
01
10
11
配置单元
读出
放大器
O
切换控制
配置单元
606
所述配置单元
输出

图6

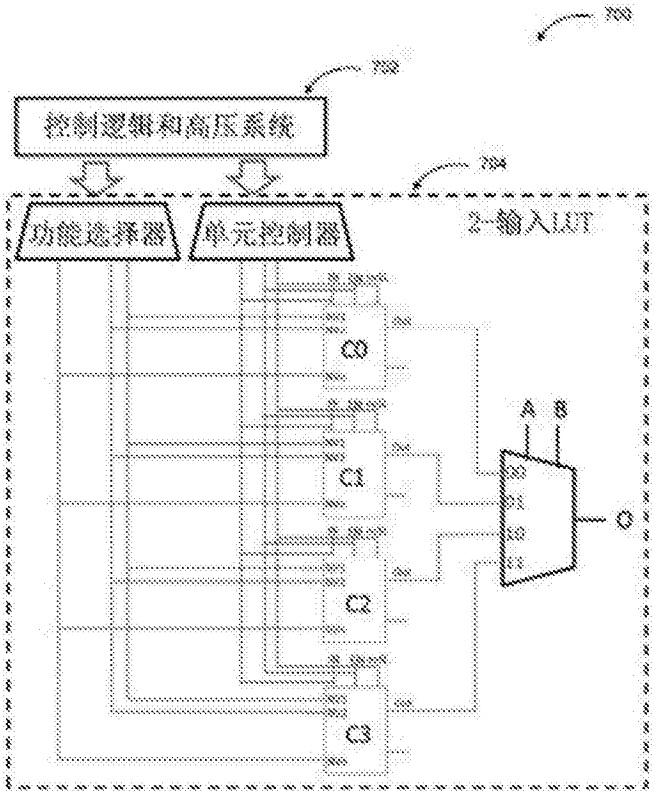


图7

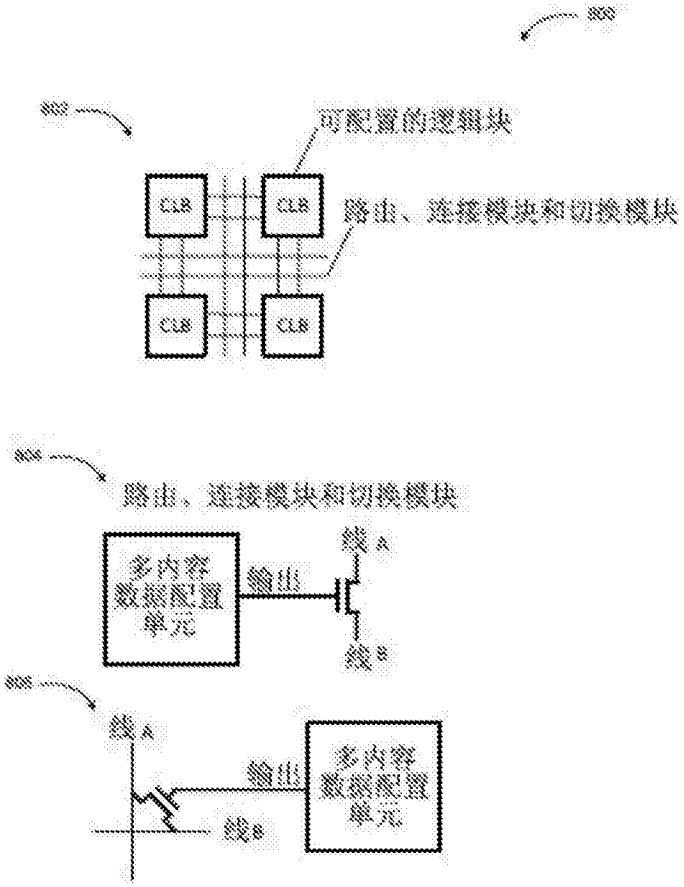

800
802
可配置的逻辑块
CLB
CLB
CLB
CLB
路由、连接模块和切换模块
804
路由、连接模块和切换模块
多内容
数据配置
单元
输出
线A
线B
806
线A
输出
线B
多内容
数据配置
单元

图8

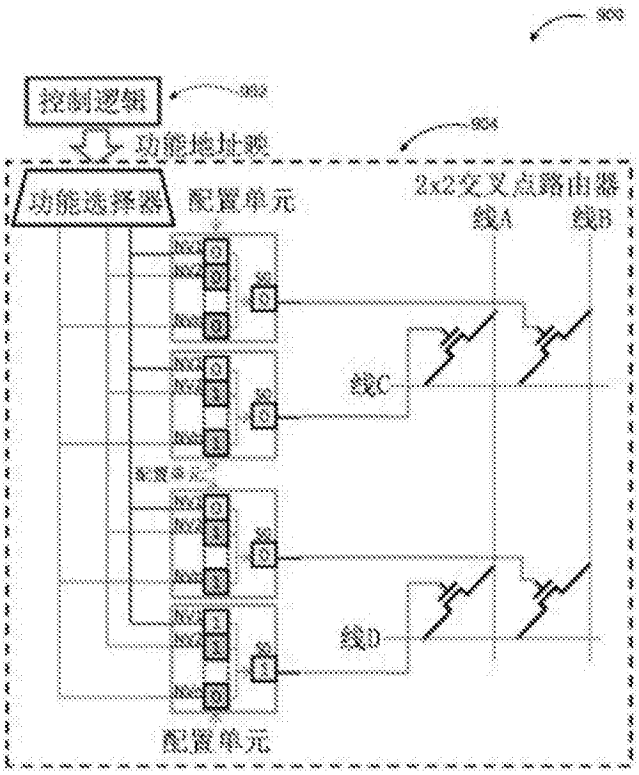

800
控制逻辑
802
功能地址映
806
功能选择器
配置单元
2x2交叉点路由器
线A
线B
线C
线D
配置单元

图9

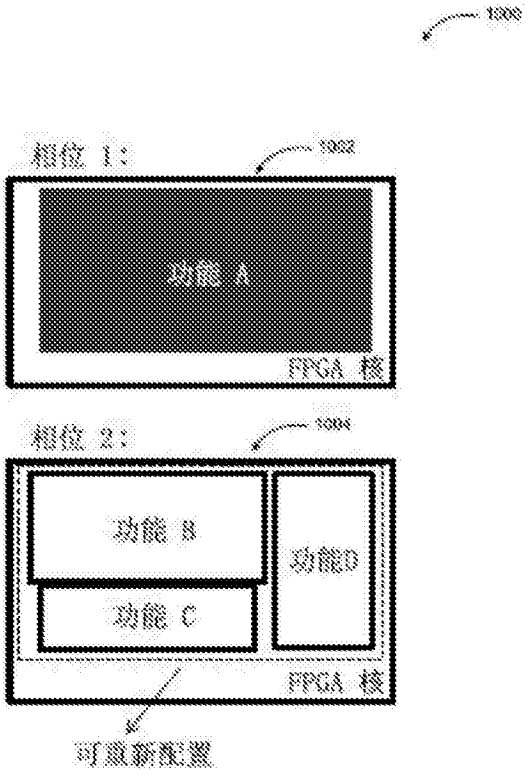

1000
相位 1:
1002
功能 A
FPGA 核
相位 2:
1004
功能 B
功能 C
功能D
FPGA 核
可重新配置

图10

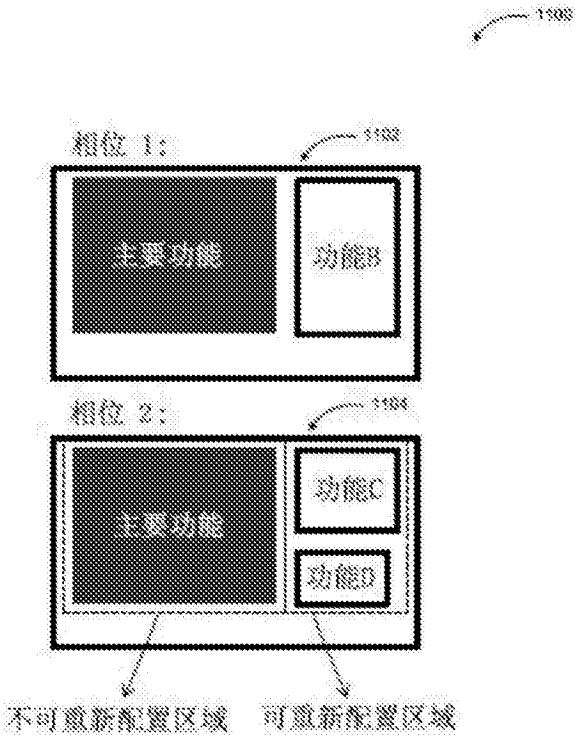

1108
相位 1：
1102
主要功能
功能B
相位 2：
1104
主要功能
功能C
功能D
不可重新配置区域
可重新配置区域

图11

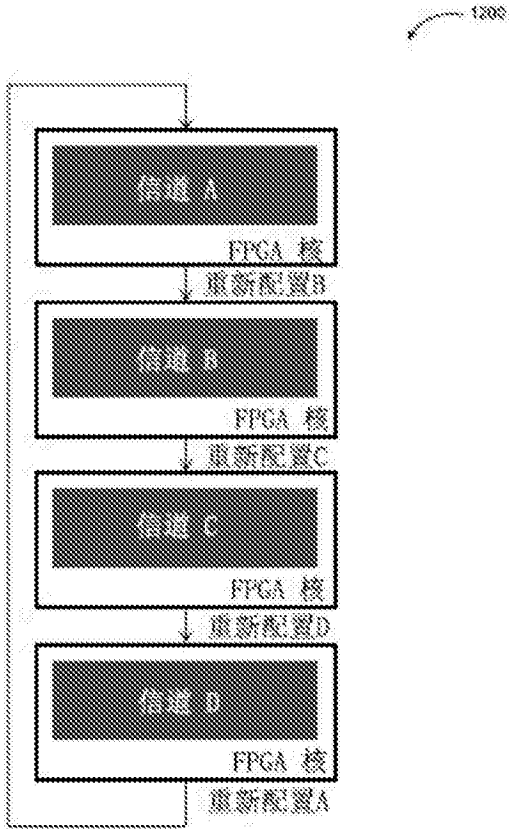

1200
信道 A
FPGA 核
重新配置B
信道 B
FPGA 核
重新配置C
信道 C
FPGA 核
重新配置D
信道 D
FPGA 核
重新配置A

图12

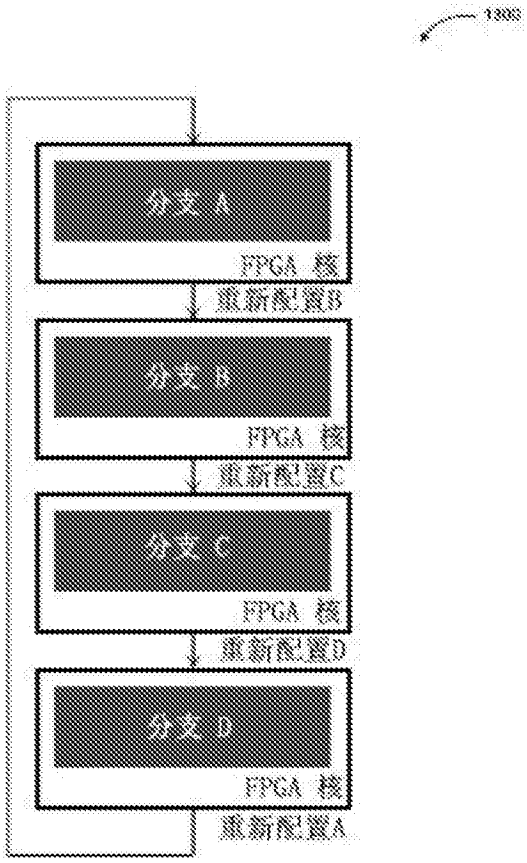

1300
分支 A
FPGA 核
重新配置B
分支 B
FPGA 核
重新配置C
分支 C
FPGA 核
重新配置D
分支 D
FPGA 核
重新配置A

图13

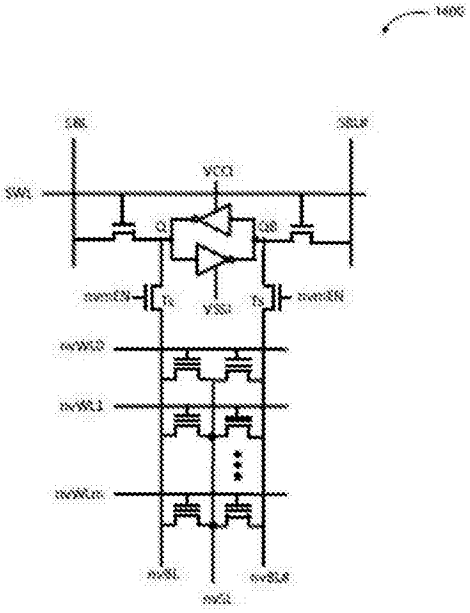


图14

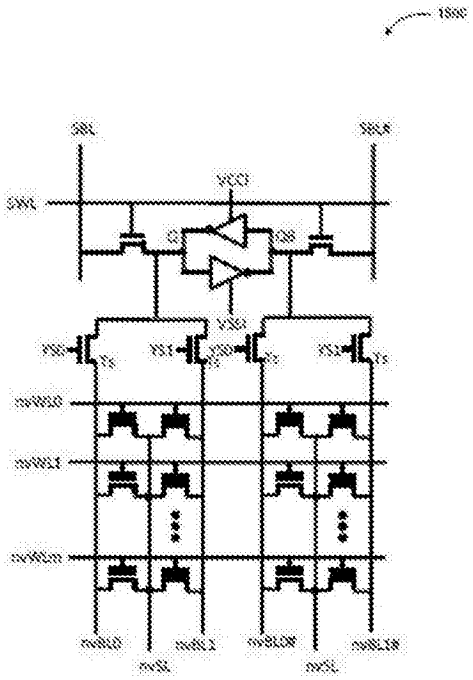


图15

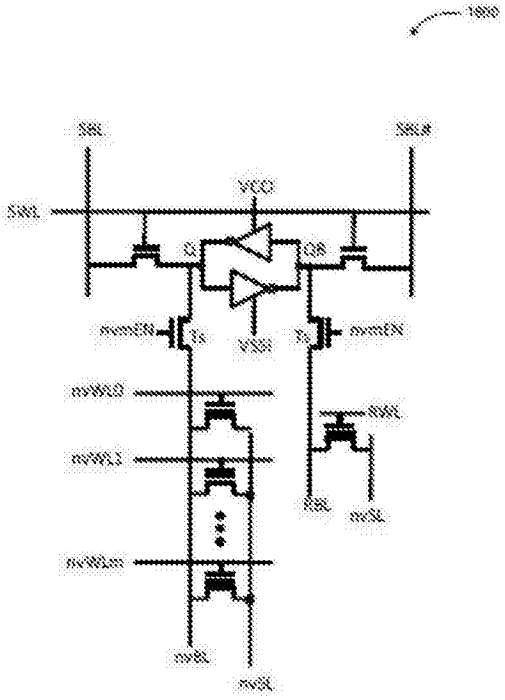


图16

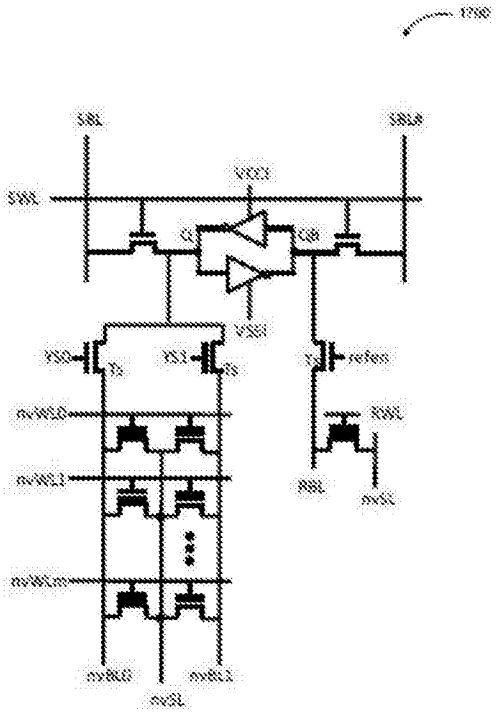


图17

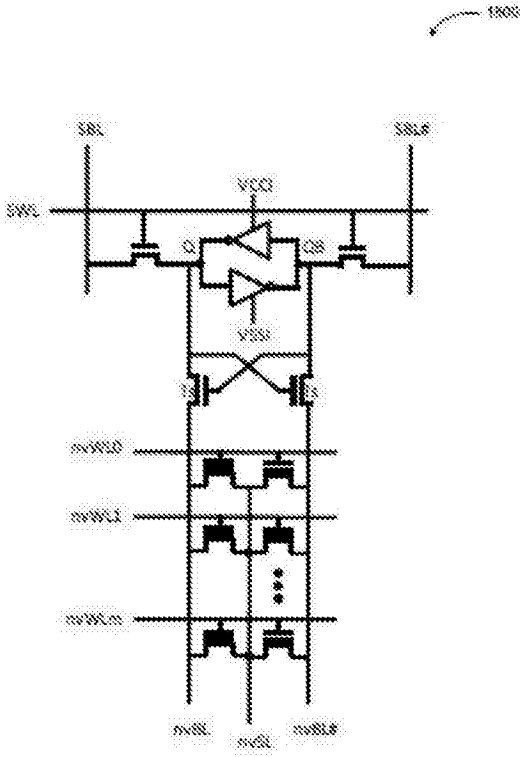


图18

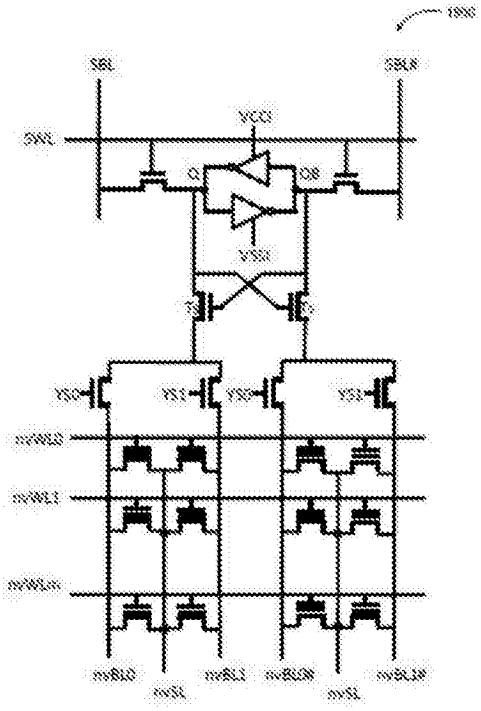


图19

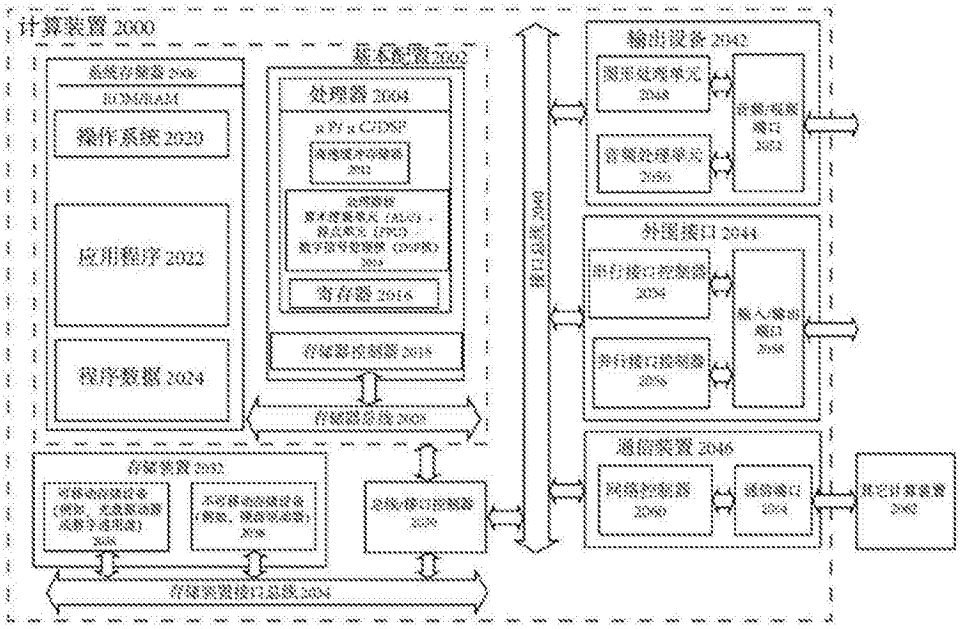


图20