



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0107011
(43) 공개일자 2021년08월31일

- (51) 국제특허분류(Int. Cl.)
H01M 10/0585 (2010.01) H01M 10/04 (2015.01)
H01M 4/04 (2006.01) H01M 4/13 (2010.01)
H01M 4/139 (2010.01) H01M 50/54 (2021.01)
- (52) CPC특허분류
H01M 10/0585 (2013.01)
H01M 10/0436 (2013.01)
- (21) 출원번호 10-2021-7019522
- (22) 출원일자(국제) 2019년12월24일
심사청구일자 없음
- (85) 번역문제출일자 2021년06월23일
- (86) 국제출원번호 PCT/FR2019/000220
- (87) 국제공개번호 WO 2020/136313
국제공개일자 2020년07월02일
- (30) 우선권주장
1874096 2018년12월24일 프랑스(FR)

- (71) 출원인
이-펜
프랑스, 69570 다르딜리, 슈맹 뒤 쥐뱅, 12
- (72) 발명자
가뻡, 파비앙
프랑스공화국, 69570 다르딜리이, 몽페 뒤 클레르 5
- 경땡, 프레데릭
프랑스공화국, 69160 따쟁 라 드미-윈느, 알레 데 잘리제 7
- (74) 대리인
특허법인오리진

전체 청구항 수 : 총 26 항

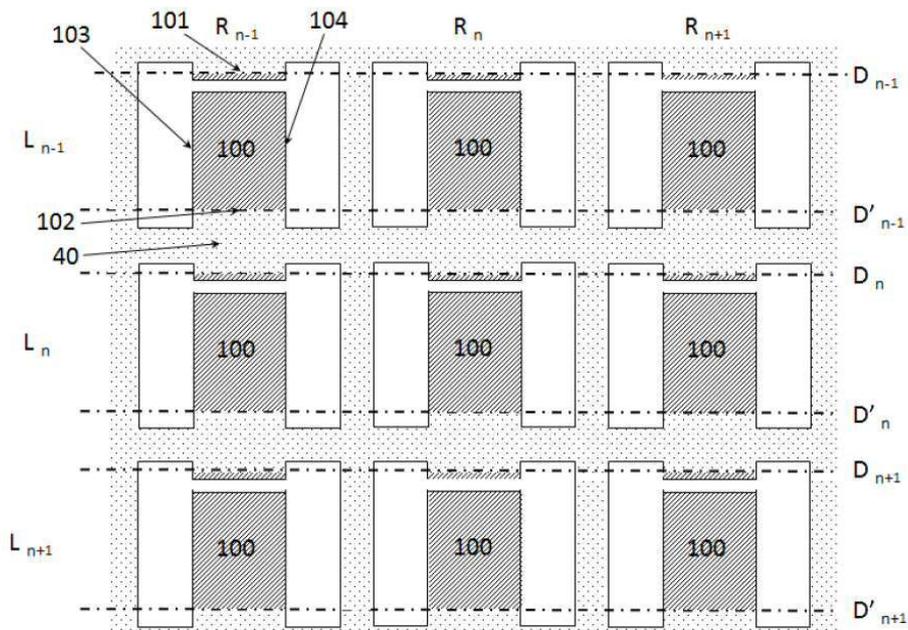
(54) 발명의 명칭 전지들을 제조하는 방법 및 상기 방법으로 획득된 전지

(57) 요약

본 발명은 서로의 위에 교대로 배치된 적어도 하나의 애노드와 적어도 하나의 캐소드를 포함하는 전지에 관한 것으로, 상기 전지는 애노드 연결부 영역 및 상기 애노드 연결부 영역과 측방향으로 대향되는 캐소드 연결부 영역을 포함하는 측방향 에지들, 및 길이방향 에지들을 포함하며, 상기 애노드는, - 집전체 기관, - 적어도 하나의

(뒷면에 계속)

대표도 - 도5



애노드 층, 및 - 선택적으로 전해질 재료의 층 또는 전해질이 함침된 분리막 층을 포함하고, 상기 캐소드는, - 집전체 기관, - 적어도 하나의 캐소드 층, 및 - 선택적으로 전해질 재료의 층 또는 전해질이 함침된 분리막 층을 포함하며, 상기 전지는 적어도 하나의 애노드 층, 적어도 하나의 전해질 재료 또는 전해질로 함침된 분리막 층, 및 적어도 하나의 캐소드 층을 연속적으로 포함하며, 각 애노드 및 각 캐소드는, 전극 재료, 전해질 및/또는 집전체 기관이 없는 공간에 의해 각각의 보조 바디로부터 분리된 각각의 메인 바디를 포함하며, 자유 공간은 상기 전지의 대향하는 길이방향 에지들을 연결하는 것을 특징으로 하는, 전지.

(52) CPC특허분류

H01M 4/0404 (2013.01)

H01M 4/043 (2013.01)

H01M 4/13 (2013.01)

H01M 4/139 (2013.01)

H01M 50/54 (2021.01)

명세서

청구범위

청구항 1

서로의 위에 교대로 배치된 적어도 하나의 애노드(3)와 적어도 하나의 캐소드(1)를 포함하는 전지(100)로서, 상기 전지(100)는 애노드 연결부 영역 및 상기 애노드 연결부 영역과 측방향으로 대향되는 캐소드 연결부 영역을 포함하는 측방향 예지들(101, 102), 및 길이방향 예지들(103, 104)를 포함하며,

상기 애노드(3)는,

- 집전체 기관,
- 적어도 하나의 애노드 층, 및
- 선택적으로 전해질 재료의 층 또는 전해질이 함침된 분리막 층을 포함하고,

상기 캐소드(1)는,

- 집전체 기관,
- 적어도 하나의 캐소드 층, 및
- 선택적으로 전해질 재료의 층 또는 전해질이 함침된 분리막 층을 포함하며,

상기 전지는 적어도 하나의 애노드 층, 적어도 하나의 전해질 재료 또는 전해질로 함침된 분리막 층, 및 적어도 하나의 캐소드 층을 연속적으로 포함하며,

각 애노드 및 각 캐소드는, 전극 재료, 전해질 및/또는 집전체 기관이 없는 공간(113, 133)에 의해 각각의 보조 바디(112, 132)로부터 분리된 각각의 메인 바디(111, 131)를 포함하며, 자유 공간은 상기 전지의 대향하는 길이 방향 예지들(103, 104)을 연결하는 것을 특징으로 하는, 전지.

청구항 2

제 1 항에 있어서,

평면에서 볼때, 캐소드들의 자유 공간들은 중첩되어 있는 것을 특징으로 하는, 전지.

청구항 3

제 1 항 또는 제 2 항에 있어서,

평면에서 볼때, 애노드들의 자유 공간들은 중첩되어 있는 것을 특징으로 하는, 전지.

청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

평면에서 볼때, 캐소드들 및 애노드들의 자유 공간들은 일치하지 않는 것을 특징으로 하는, 전지.

청구항 5

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 자유 공간에 대향하는 캐소드들 및 애노드들의 각각의 보조 바디의 자유 면들(112', 132')은 애노드들 및 캐소드들의 각각의 메인 바디의 자유 면들(131', 111')과 같은 높이로 피팅되는 것을 특징으로 하는, 전지.

청구항 6

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 전지의 6개의 면들 중 4개를 완전히 덮는 캡슐화 시스템을 포함하며,
나머지 2개의 면들은 애노드 연결부 영역 및 캐소드 연결부 영역을 포함하는 것을 특징으로 하는, 전지.

청구항 7

제 6 항에 있어서,

상기 캡슐화 시스템은,

- 상기 전지 상에 증착된, 바람직하게는 파릴렌, F형 파릴렌, 폴리이미드, 에폭시 수지들, 실리콘, 폴리아미드, 졸-겔 실리카, 유기 실리카 및/또는 이들의 혼합물로부터 선택되는 적어도 하나의 제 1 커버링 층,
- 상기 적어도 하나의 제 1 커버링 층 상에 원자 층들의 증착에 의해 증착된, 전기 절연 재료로 구성된 적어도 하나의 제 2 커버링 층을 포함하며,

상기 적어도 하나의 제 1 커버링 층 및 적어도 하나의 제 2 커버링 층의 시퀀스가 $z \geq 1$ 로 z 회 반복될 수 있는 것을 특징으로 하는, 전지.

청구항 8

제 1 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 애노드 연결부 영역 및 캐소드 연결부 영역은 중단 시스템에 의해 덮이는 것을 특징으로 하는, 전지.

청구항 9

제 8 항에 있어서,

상기 중단 시스템은,

- 바람직하게는 흑연으로 채워진 에폭시 수지에 기초한, 흑연으로 채워진 재료의 제 1 층,
- 상기 중단 시스템의 제 1 층 상에 배치된 조밀한 금속 구리의 제 2 층, 및
- 선택적으로, 상기 제 2 층 상에 배치된, 주석의 주석-아연 합금에 기초한 제 3 층, 및
- 선택적으로, 상기 중단 시스템의 제 3 층 상에 배치된, 주석 기반 또는 은, 팔라듐 및 구리 합금 기반의 제 4 층을 연속적으로 포함하는 것을 특징으로 하는, 전지.

청구항 10

제 1 항 내지 제 9 항 중 어느 한 항에 있어서,

상기 자유 공간의 폭(L_{113})은 0.01mm 내지 0.5mm인 것을 특징으로 하는, 전지.

청구항 11

제 1 항 내지 제 10 항 중 어느 한 항에 있어서,

상기 보조 바디의 폭(L_{112})은 0.05mm 내지 2mm인 것을 특징으로 하는, 전지.

청구항 12

전지를 제조하는 방법으로서,

상기 전지는, 서로의 위에 교대로 배치된 적어도 하나의 애노드(3)와 적어도 하나의 캐소드(1)를 포함하며,

상기 전지(100)는 길이방향 예지들(103, 104) 및 측방향 예지들(101, 102)을 포함하며,

상기 애노드(3)는,

- 집전체 기판,
- 적어도 하나의 애노드 층, 및

- 선택적으로 전해질 재료의 층 또는 전해질이 함침된 분리막 층을 포함하고, 상기 캐소드는,
- 집전체 기판,
- 적어도 하나의 캐소드 층, 및
- 선택적으로 전해질 재료의 층 또는 전해질이 함침된 분리막 층을 포함하며,

상기 전지는 적어도 하나의 애노드 층, 적어도 하나의 전해질 재료 또는 전해질로 함침된 분리막 층, 및 적어도 하나의 캐소드 층을 연속적으로 포함하며,

각 애노드(3)는 전지의 제 1 측방향 에지 근처에 위치한 애노드 연결부 영역을 포함하는 반면, 각 캐소드(1)는 제 1 에지와 대향되는 전지의 제 2 측방향 에지 상에 위치한 캐소드 연결부 영역을 포함하며,

상기 제조 방법은,

a) 복수의 전지들의 애노드 층을 형성하도록 의도된 제 1 시트들 또는 애노드 시트들, 및 복수의 전지들의 캐소드 층을 형성하도록 의도된 제 2 시트들 또는 캐소드 시트들을 포함하는, 교대 시트들의 스택(1)을 제공하는 단계로서,

각 애노드 시트는 적어도 하나의 애노드 슬롯(34)을 포함하고, 각 캐소드 시트는 적어도 하나의 캐소드 슬롯(14)을 포함하며, 애노드 및 캐소드 각각인 상기 슬롯은 전지의 길이방향 에지들(103, 104)을 구획하도록 적어도 부분적으로 중첩된 2개의 길이방향 부분들(16, 36), 및 상기 2개의 길이방향 부분들을 연결하는 측방향 부분(18, 38)을 포함하며, 상기 애노드 슬롯(38)의 측방향 부분 및 상기 캐소드 슬롯(18)의 측방향 부분은 서로 오프셋되며, 상기 슬롯들의 각 측방향 부분은 전극 재료, 전해질 및 집전체 기판이 없는 공간을 구획하며, 상기 자유 공간은 각 애노드 및 각 캐소드에 대해 보조 바디로부터 메인 바디를 분리하는, 상기 교대 시트들의 스택(1)을 제공하는 단계,

b) 제공된 상기 교대 시트들의 스택을 열처리 및/또는 기계적 압축하는 단계,

c) 적어도 부분적으로 상기 슬롯들 내부로 연장되는 2개의 컷아웃들(D_n , D'_n)을 생성하는 단계로서, 제 1 컷아웃은 상기 애노드 슬롯의 측방향 부분과 길이방향 부분들의 마주보는 단부 사이에서 연장되고, 제 2 컷아웃은 상기 캐소드 슬롯의 측방향 부분과 길이방향 부분들의 마주보는 단부 사이에서 연장되는, 상기 2개의 컷아웃들(D_n , D'_n)을 생성하는 단계를 포함하는 것을 특징으로 하는, 전지 제조 방법.

청구항 13

제 12 항에 있어서,

단계 c) 이후에,

- 상기 전지 상의, 바람직하게는 파릴렌, F형 파릴렌, 폴리이미드, 에폭시 수지들, 실리콘, 폴리아미드, 졸-겔 실리카, 유기 실리카 및/또는 이들의 혼합물로부터 선택되는 적어도 하나의 제 1 커버링 층, 및
- 상기 적어도 하나의 제 1 커버링 층 상에 원자 층들의 증착에 의해 증착된, 전기 절연 재료로 구성된 적어도 하나의 제 2 커버링 층으로서,

적어도 하나의 제 1 커버링 층 및 적어도 하나의 제 2 커버링 층의 시퀀스가 $z \geq 1$ 로 z 회 반복될 수 있도록 증착함으로써, 상기 컷아웃 스택이 캡슐화되는 것을 특징으로 하는, 전지 제조 방법.

청구항 14

제 13 항에 있어서,

상기 컷아웃 스택을 캡슐화하는 단계 d) 후에, 상기 컷아웃 및 캡슐화된 스택이 액체 전해질들 또는 리튬 염들을 함유하는 이온성 액체와 같은 리튬 이온들을 운반하는 상(phase)에 의해 함침되는 것을 특징으로 하는, 전지 제조 방법.

청구항 15

제 13 항 또는 제 14 항에 있어서,

상기 전지의 종단들이,

- 바람직하게는 흑연으로 채워진 에폭시 수지에 기초한, 흑연으로 채워진 재료의 제 1 층,
- 종단 시스템의 제 1 층 상에 배치된 조밀한 금속 구리의 제 2 층, 및
- 선택적으로, 종단 시스템의 제 2 층 상에 배치된, 주석의 주석-아연 합금에 기초한 제 3 층, 및
- 선택적으로, 종단 시스템의 제 3 층 상에 배치된, 주석 기반 또는 은, 팔라듐 및 구리 합금 기반의 제 4 층을 연속적으로 증착함으로써 생성되는 것을 특징으로 하는, 전지 제조 방법.

청구항 16

제 12 항 내지 제 15 항 중 어느 한 항에 있어서,

2개의 컷아웃들(D_n , D'_n)은, 애노드들 및 캐소드들의 적어도 대부분, 특히 애노드들 및 캐소드들 전체를 통해 생성되는 것을 특징으로 하는, 전지 제조 방법.

청구항 17

제 16 항에 있어서,

각 컷아웃과 상기 길이방향 부분들의 마주하는 단부들 사이의 거리들이 동일한 것을 특징으로 하는, 전지 제조 방법.

청구항 18

제 17 항에 있어서,

상기 거리들은 0.05mm 내지 2mm인 것을 특징으로 하는, 전지 제조 방법.

청구항 19

제 12 항 내지 제 18 항 중 어느 한 항에 있어서,

각 슬롯은 대략 H 형상을 갖고, 상기 길이방향 부분들은 상기 H의 수직 메인 리세스들을 형성하며, 상기 측방향 부분은 상기 H의 채널을 형성하는 것을 특징으로 하는, 전지 제조 방법.

청구항 20

제 12 항 내지 제 19 항 중 어느 한 항에 있어서,

상기 슬롯들의 각 측방향 부분은 전지의 대향하는 길이방향 에지들을 연결하는, 전극 재료, 전해질 및/또는 집 전체 기판이 없는 공간을 구획하며, 상기 자유 공간은 각 애노드 및 각 캐소드에 대해 보조 바디로부터 메인 바디를 분리하는 것을 특징으로 하는, 전지 제조 방법.

청구항 21

제 20 항에 있어서,

상기 측방향 부분의 폭은 0.05 mm 내지 2 mm인 것을 특징으로 하는, 전지 제조 방법.

청구항 22

제 12 항 내지 제 21 항 중 어느 한 항에 있어서,

상기 스택에 속하는 각 시트는 서로 나란히 배치된 복수의 슬롯 행들을 포함하고, 2개의 컷아웃들은 동일한 행 상의 모든 슬롯들을 관통해 만들어지는 것을 특징으로 하는, 전지 제조 방법.

청구항 23

제 12 항 내지 제 22 항 중 어느 한 항에 있어서,

각 시트는 서로의 아래에 배치된 복수의 슬롯의 열들을 포함하는 것을 특징으로 하는, 전지 제조 방법.

청구항 24

제 23 항에 있어서,

인접 행들에 형성된 인접 컷아웃들을 분리하는 거리는 0.05mm 내지 5mm인 것을 특징으로 하는, 전지 제조 방법.

청구항 25

제 23 항 또는 제 24 항에 있어서,

행들의 수는 10 내지 500이고, 열들의 수는 10 내지 500인 것을 특징으로 하는, 전지 제조 방법.

청구항 26

제 12 항 내지 제 25 항 중 어느 한 항에 있어서,

각 컷아웃은 톱질 방법, 스웨이징 절단 방법, 절단기, 또는 레이저에 의해 만들어지는 것을 특징으로 하는, 전지 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 전지들의 제조에 관한 것이다. 본 발명은 특히 리튬 이온 전지들에 적용될 수 있다. 본 발명은 전지들, 특히 리튬 이온 전지들을 제조하는 새로운 방법에 관한 것이다. 또한 본 발명은 이러한 방법으로 획득된 전지들과 관련이 있으며, 상기 전지들은 향상된 서비스 수명을 제공하는 새로운 아키텍처를 가지고 있다.

배경 기술

[0002] 완전 고체 전지들이나 액체 전해액이 함침된 전지들 등과 같이 에너지 밀도가 높고 전력 밀도가 높은 이차 전지들의 생성 효율을 높이기 위해 전해질 층으로 미리 코팅된 애노드와 캐소드 시트들을 번갈아 중첩하여 복수의 전지들을 동시에 제조할 수 있다.

[0003] WO 2016/001584 (I/TEN)는 전해질 층으로 코팅된 전극 층으로 연속적으로 덮힌 전도성 기판을 포함하는 시트들을 기재한다; 이러한 시트들은 증착 전 또는 후에 패턴, 특히 U자형으로 절단된다. 이러한 시트들은 복수의 기본 셀들의 스택을 구성하기 위해 교대로 적층된다. 애노드들과 캐소드들의 절단 패턴들은 캐소드와 애노드 층들의 스택이 측방향으로 오프셋되도록 "반대 배향" 구성으로 배치된다. 적층 단계 후, 이러한 문서는 스택 상의 약 10 마이크론의 두꺼운 층과 등각, 일반적으로, 중합체 층 내 및 스택 내에 존재하는 공동들 내의 캡슐화 시스템 증착 방법을 교시한다. 이는 먼저 절단 평면들에서 구조의 강성을 보장하고 두번째로 대기에 대한 전지 셀의 보호를 보장할 수 있게 한다. 스택이 생성되고 단단한 구조로 캡슐화되면 단일 전지들을 얻기 위해 절단 평면들을 따라 절단되며, 전지들의 캐소드 및 애노드 연결부들의 절단 평면들 각각 상에 드러난다. 이러한 절단 중에 캡슐화 시스템이 찢어져 전지의 불투과성의 불연속성이 발생할 수 있다. 이러한 캐소드 및 애노드 연결부들이 보이는 지점에 중단들(즉, 전기 접점들)을 추가하는 것도 알려져 있다.

[0004] 이러한 종래 기술은 WO 2016/001584에 기재된 리튬 이온 전지 구조를 예시하는 도 12를 참조하여 본 명세서에서 더 상세히 설명된다. 전지(200)는 교대로 서로 위에 배치되는 복수의 애노드들(230) 및 복수의 캐소드들(210)을 포함한다. 각 애노드 및 각 캐소드는 애노드 층 및 캐소드 층으로 각각 지칭되는 각 애노드 또는 캐소드 활성 재료의 층을 포함한다. 더욱이, 도 12에 도시되지 않은 전해질 재료 층이 애노드와 캐소드 사이에 개재되어 전해질 재료가 2개의 마주 보는 활성 재료들을 분리한다. 이들을 구성하는 다양한 층들의 두께는 일반적으로 10 μm를 초과하지 않으며 종종 1 μm 내지 4 μm이다. 전지는 제 1 측방향 예지(201) 상에서 서로의 아래에 위치한 애노드 연결부들(230')을 갖는다. 더욱이, 대향하는 측방향 예지(202) 상에, 서로 아래에 위치한 캐소드 연결부들(210')이 제공된다. 애노드들(230) 및 캐소드들(210)의 스택은 측방향으로 오프셋된다. 캐소드 연결부들(210')은 애노드의 자유 면(230")에 대해 돌출되어 위치한다. 유사한 방식으로, 대향하는 예지(201) 상에서, 캐소드의 자유 면(210")은 애노드 연결부들(230')이 후속적으로 증착되는 애노드의 자유 면에 대해 오목하게 위치된다.

[0005] 그러나 이러한 알려진 해결책에는 몇 가지 단점들이 있다. 그 이유는 전극들의 포지셔닝, 특히 다층 전지용 전

극들의 에지들의 근접성과 절단부들의 청결도에 따라, 일반적으로 만연한 단락의 형태로 단부들에 누설 전류가 나타날 수 있기 때문이다. 이는 전지의 성능을 저하시키며, 이는 전지 주변과 캐소드 및 애노드 연결부들 근처에서 캡슐화 시스템을 사용하더라도 마찬가지이다. 더욱이, 특히 전지 에지들 상에 있는 전극들의 측방향 오프셋들에 의해 생성된 공간들에서의 전지의 에지들 상에서의, 전지 상에서의 캡슐화 시스템의 만족스럽지 않은 증착이 때때로 발견된다.

[0006] 더욱이, 각각 애노드와 캐소드의 종단들이 인접한 층들, 각각 캐소드와 애노드로부터 오목하게 위치하기 때문에 큰 치수의 컷아웃을 만들 필요가 있다. 그런 다음 이러한 컷아웃은 절연 재료로 충전되어야 한다. 그의 큰 치수를 감안할 때, 이러한 컷아웃은 적절한 전지를 생성하기 위해 유용한 재료들의 상당한 손실을 초래한다. 또한, 스택 내에 존재하는 사용가능한 공동들 내에 큰 두께의 절연체를 증착해야 한다. 두꺼운 절연체는 절단 과정에서 두꺼운 층에 증착된 캡슐화 시스템이 박리되는 경향이 있기 때문에 전체 전지 캡슐화 시스템을 약화시킬 위험이 있다.

[0007] 따라서 종래 기술에 따른 아키텍처는 기술적 및 경제적 단점들을 모두 갖는다.

발명의 내용

[0008] 본 발명은 상기 언급된 종래 기술의 일부 단점들을 적어도 부분적으로 개선하는 것을 목표로 한다.

[0009] 본 발명은 특히 에너지 밀도와 전력 밀도가 높은 이차 전지들의 생성 효율을 높이고 더 적은 비용으로 보다 효율적인 캡슐화를 생성하는 것을 목표로 한다.

[0010] 본 발명은 특히 단락 위험을 줄이고 자기-방전이 적은 전지를 제조할 수 있는 방법을 제안하고자 한다.

[0011] 본 발명은 특히 수명이 매우 긴 전지를 간단하고 안정적이며 신속하게 제조할 수 있는 방법을 제안하고자 한다.

[0012] 또한, 본 발명은 종래 기술보다 더 나은 품질의 절단 단계를 사용하는 이러한 방법을 제안하는 것을 목표로 한다.

[0013] 또한, 본 발명은 최종 전지 생성 과정에서 발생하는 캡슐화 단계와 캡슐화 자체를 개선할 수 있는 방법을 제안하는 것을 목표로 한다.

[0014] 또한, 본 발명은 재료들의 손실을 더 적게 유발하는 전지들의 제조 방법을 제안하는 것을 목표로 한다.

[0015] 상기 목적 중 적어도 하나는 아래에 제시된 본 발명에 따른 목적들 중 적어도 하나에 의해 달성된다. 본 발명은, 제 1 목적으로서, 서로의 위에 교대로 배치된 적어도 하나의 애노드와 적어도 하나의 캐소드를 포함하는 전지로서, 상기 전지는 애노드 연결부 영역 및 상기 애노드 연결부 영역과 측방향으로 대향되는 캐소드 연결부 영역을 포함하는 측방향 에지들, 및 길이방향 에지들을 포함하며, 상기 애노드는,

[0016] - 집전체 기관,

[0017] - 적어도 하나의 애노드 층, 및

[0018] - 선택적으로 전해질 재료 또는 전해질이 함침된 분리막 층을 포함하며,

[0019] 상기 캐소드는,

[0020] - 집전체 기관,

[0021] - 적어도 하나의 캐소드 층, 및

[0022] - 선택적으로 전해질 재료 또는 전해질이 함침된 분리막 층을 포함하며,

[0023] 이로써 상기 전지는 적어도 하나의 애노드 층, 적어도 하나의 전해질 재료 또는 전해질로 함침된 분리막 층, 및 적어도 하나의 캐소드 층을 연속적으로 포함하며,

[0024] 각 애노드 및 각 캐소드는 전극 재료, 전해질 및/또는 집전체 기관이 없는 공간에 의해 각각의 보조 바디로부터 분리된 각각의 메인 바디를 포함하며, 상기 자유 공간은 상기 전지의 상기 대향하는 길이방향 에지들을 연결하는, 즉 상기 자유 공간은 상기 전지의 상기 대향하는 길이방향 에지들 사이로 연장되는, 전지를 제안한다.

[0025] 본 발명은 제 2 목적으로서, 서로의 위에 교대로 배치된 적어도 하나의 애노드와 적어도 하나의 캐소드를 포함하는 전지로서, 상기 전지는 애노드 연결부 영역 및 바람직하게는 상기 애노드 연결부 영역과 측방향으로 대향

되는 캐소드 연결부 영역을 포함하는 측방향 예지들, 및 길이방향 예지들을 포함하며, 상기 애노드는,

- [0026] - 집전체 기판,
- [0027] - 적어도 하나의 애노드 층, 및
- [0028] - 선택적으로 전해질 재료 또는 전해질이 함침된 분리막 층을 포함하며,
- [0029] 상기 캐소드는,
- [0030] - 집전체 기판,
- [0031] - 적어도 하나의 캐소드 층, 및
- [0032] - 선택적으로 전해질 재료 또는 전해질이 함침된 분리막 층을 포함하며,
- [0033] 이로써 상기 전지는 적어도 하나의 애노드 층, 적어도 하나의 전해질 재료 또는 전해질로 함침된 분리막 층, 및 적어도 하나의 캐소드 층을 연속적으로 포함하며,
- [0034] 각 애노드 및 각 캐소드는 전극 재료, 전해질 및/또는 집전체 기판이 없는 공간에 의해 각 보조 바디로부터 분리된 각 메인 바디를 포함하며, 상기 자유 공간은 상기 전지의 상기 대향하는 길이방향 예지들을 연결, 즉 상기 자유 공간은 상기 전지의 상기 대향하는 길이방향 예지들 사이로 연장되는, 전지를 제안한다.
- [0035] 유리하계는, 상기 전지는 상기 전지의 6개의 면들 중 4개를 완전히 덮는 캡슐화 시스템을 포함하며, 나머지 2개의 면들은 애노드 연결부 영역 및 캐소드 연결부 영역을 포함한다.
- [0036] 유리하계는, 상기 캡슐화 시스템은,
- [0037] - 상기 전지 상에 증착된, 바람직하게는 파릴렌, F형 파릴렌, 폴리이미드, 에폭시 수지들, 실리콘, 폴리아미드, 졸-겔 실리카, 유기 실리카 및/또는 이들의 혼합물로부터 선택되는 적어도 하나의 제 1 커버링 층,
- [0038] - 상기 적어도 하나의 제 1 커버링 층 상으로의 원자 층들의 증착에 의해 증착된, 전기 절연 재료로 구성된 적어도 하나의 제 2 커버링 층을 포함하며,
- [0039] 적어도 하나의 제 1 커버링 층 및 적어도 하나의 제 2 커버링 층의 이러한 시퀀스는 $z \geq 1$ 로 z 회 반복될 수 있다.
- [0040] 유리하계는, 상기 애노드 연결부 영역 및 상기 캐소드 연결부 영역은 종단 시스템에 의해 덮인다.
- [0041] 유리하계는, 상기 종단 시스템은,
- [0042] - 바람직하게는 흑연으로 채워진 에폭시 수지에 기초한, 흑연으로 채워진 재료의 제 1 층,
- [0043] - 상기 종단 시스템의 상기 제 1 층 상에 배치된 조밀한 금속 구리의 제 2 층, 및
- [0044] - 선택적으로, 상기 제 2 층 상에 배치된, 주석의 주석-아연 합금에 기초한 제 3 층, 및
- [0045] - 선택적으로 상기 종단 시스템의 상기 제 3 층 상에 배치된, 주석 기반 또는 은, 팔라듐 및 구리 합금 기반의 제 4 층을 연속적으로 포함한다.
- [0046] 유리하계는, 상기 자유 공간의 폭은 0.01mm 내지 0.5mm이다.
- [0047] 유리하계는, 상기 보조 바디들의 폭은 0.05mm 내지 2mm이다.
- [0048] 유리하계는, 평면도에서, 상기 캐소드들의 자유 공간들이 중첩된다.
- [0049] 유리하계는, 평면도에서, 상기 애노드들의 자유 공간들이 중첩된다.
- [0050] 유리하계는, 평면도에서 상기 캐소드들 및 상기 애노드들의 상기 자유 공간들이 일치하지 않는다.
- [0051] 본 발명의 또 다른 목적은 전지를 제조하기 위한 방법으로서,
- [0052] 상기 전지는 서로의 위에 교대로 배치된 적어도 하나의 애노드와 적어도 하나의 캐소드를 포함하며, 상기 전지는 길이방향 예지들 및 측방향 예지들을 포함하며,
- [0053] 상기 애노드는,

- [0054] - 집전체 기판,
- [0055] - 적어도 하나의 애노드 층, 및
- [0056] - 선택적으로 전해질 재료 또는 전해질이 함침된 분리막 층을 포함하며,
- [0057] 상기 캐소드는,
- [0058] - 집전체 기판,
- [0059] - 적어도 하나의 캐소드 층, 및
- [0060] - 선택적으로 전해질 재료 또는 전해질이 함침된 분리막 층을 포함하며,
- [0061] 이로써 상기 전지는 적어도 하나의 애노드 층, 적어도 하나의 전해질 재료 또는 전해질로 함침된 분리막 층, 및 적어도 하나의 캐소드 층을 연속적으로 포함하며,
- [0062] 각 애노드는 상기 전지의 제 1 측방향 에지 근처에 위치한 애노드 연결부 영역을 포함하는 반면, 각 캐소드는 상기 제 1 에지와 대향되는 상기 전지의 제 2 측방향 에지 상에 위치한 캐소드 연결부 영역을 포함하며,
- [0063] 상기 제조 방법은,
- [0064] a) 교대 시트들의 스택을 제공하는 단계로서, 이러한 스택은 복수의 전지들의 애노드 층을 형성하도록 의도된 제 1 시트들 또는 애노드 시트들, 및 복수의 전지들의 캐소드 층을 형성하도록 의도된 제 2 시트들 또는 캐소드 시트들을 포함하며,
- [0065] 각 애노드 시트는 적어도 하나의 애노드 슬롯을 포함하고, 각 캐소드 시트는 적어도 하나의 캐소드 슬롯을 포함하며, 애노드 및 캐소드 각각인 상기 슬롯은 상기 전지의 상기 길이방향 에지들을 구획하도록 적어도 부분적으로 중첩된 2개의 길이방향 부분들, 및 상기 2개의 길이방향 부분들을 연결하는 측방향 부분, 즉 상기 슬롯의 상기 2개의 길이방향 부분들 사이로 연장되는 측방향 부분을 포함하며, 상기 애노드 슬롯의 상기 측방향 부분 및 상기 캐소드 슬롯의 상기 측방향 부분은 서로 오프셋되며, 상기 슬롯들의 각 측방향 부분은 전극 재료, 전해질 및 집전체 기판이 없는 공간을 구획하며, 상기 자유 공간은 각 애노드 및 각 캐소드에 대해 보조 바디로부터 메인 바디를 분리하는, 상기 교대 시트들의 스택을 제공하는 단계,
- [0066] b) 이전에 제공된 상기 교대 시트들의 스택을 열처리 및/또는 기계적 압축하는 단계,
- [0067] c) 적어도 부분적으로 상기 슬롯들 내부로 연장되는 2개의 컷아웃들을 생성하는 단계로서, 제 1 컷아웃은 상기 애노드 슬롯의 상기 측방향 부분과 상기 길이방향 부분들의 마주보는 단부 사이에서 연장되는 반면, 제 2 컷아웃은 상기 캐소드 슬롯의 상기 측방향 부분과 상기 길이방향 부분들의 마주보는 단부 사이에서 연장되는, 상기 2개의 컷아웃들을 생성하는 단계를 포함하는, 전지를 제조하기 위한 방법이다.
- [0068] 유리하게는,
- [0069] - 상기 전지 상의, 바람직하게는 파릴렌, F형 파릴렌, 폴리이미드, 에폭시 수지들, 실리콘, 폴리아미드, 줄-겔 실리카, 유기 실리카 및/또는 이들의 혼합물로부터 선택되는 적어도 하나의 제 1 커버링 층, 및
- [0070] - 상기 적어도 하나의 제 1 커버링 층 상으로의 원자 층들의 증착에 의해 증착된, 전기 절연 재료로 구성된 적어도 하나의 제 2 커버링 층으로서, 적어도 하나의 제 1 커버링 층 및 적어도 하나의 제 2 커버링 층의 시퀀스는 $z \geq 1$ 로 z 회 반복될 수 있는, 상기 제 2 커버링 층을 증착함으로써 단계 c) 이후에, 상기 컷아웃 스택이 캡슐화된다.
- [0071] 유리하게는, 상기 컷아웃 스택을 캡슐화하는 단계 d) 후에, 상기 컷아웃 및 상기 캡슐화된 스택이 액체 전해질들 또는 리튬 염들을 함유하는 이온성 액체와 같은 리튬 이온들을 운반하는 상에 의해 함침된다.
- [0072] 유리하게는, 상기 전지의 종단들은,
- [0073] - 바람직하게는 흑연으로 채워진 에폭시 수지에 기초한, 흑연으로 채워진 재료의 제 1 층,
- [0074] - 상기 종단 시스템의 상기 제 1 층 상에 배치된 조밀한 금속 구리의 제 2 층, 및
- [0075] - 선택적으로, 상기 종단 시스템의 상기 제 2 층 상에 배치된, 주석의 주석-아연 합금에 기초한 제 3 층, 및
- [0076] - 선택적으로 상기 종단 시스템의 상기 제 3 층 상에 배치된, 주석 기반 또는 은, 팔라듐 및 구리 합금 기반의

제 4 층을 연속적으로 증착함으로써 생성된다.

- [0077] 유리하계는, 상기 2개의 컷아웃들은 상기 애노드들 및 캐소드들의 적어도 대부분을 통해, 특히 상기 애노드들 및 캐소드들 모두를 통해 생성된다.
- [0078] 유리하계는, 각 컷아웃과 상기 길이방향 부분들의 상기 마주하는 단부들 사이의 거리들이 동일하다. 유리하계는, 상기 거리들은 0.05mm 내지 2mm이다.
- [0079] 유리하계는, 각 슬롯은 대략 H 형상을 갖고, 상기 길이방향 부분들은 상기 H의 수직 메인 리세스를들을 형성하고, 상기 측방향 부분은 상기 H의 채널을 형성한다.
- [0080] 유리하계는, 상기 슬롯들의 각 측방향 부분은 상기 전지의 상기 대향하는 길이방향 에지들을 연결하는, 임의의 전극 재료, 전해질 및/또는 집전체 기관이 없는 공간을 구획하며, 상기 자유 공간은 각 애노드 및 각 캐소드에 대해 보조 바디로부터 메인 바디를 분리한다.
- [0081] 유리하계는, 상기 측방향 부분의 폭은 0.05 mm 내지 2 mm이다.
- [0082] 유리하계는, 상기 스택에 속하는 각 시트는 서로 나란히 배치된 복수의 슬롯 행들을 포함한다. 유리하계는, 상기 2개의 컷아웃들은 동일한 행 상의 모든 슬롯들을 관통해 만들어진다.
- [0083] 유리하계는, 각 시트는 서로의 아래에 배치된 복수의 슬롯들의 열들을 포함한다.
- [0084] 유리하계는, 인접 행들에 형성된 인접 컷아웃들을 분리하는 거리는 0.05mm 내지 5mm이다.
- [0085] 유리하계는, 행들의 수는 10 내지 500이고, 열들의 수는 10 내지 500이다.
- [0086] 유리하계는, 각 컷아웃은 톱질 방법, 스웨이징 절단 방법, 절단기 또는 레이저에 의해 만들어진다.
- [0087] 이하에서는, 본 발명을 첨부된 도면을 참조한 실시예를 통하여 더 상세히 설명한다. 그러나, 그러한 실시예나 도면들은 단지 비제한적인 예시들로 주어진 것이다.

도면의 간단한 설명

- [0088] [도 1]은 본 발명에 따른 전지 제조 방법에 따른 스택을 형성하고자 하는 애노드 및 캐소드 시트들의 사시도이다.
- [도 2]는 도 1의 시트들 중 하나를 도시하는 정면도이다.
- [도 3]은 인접한 시트들에 형성된 H자형 슬롯들을 더 크게 도시한 정면도이다.
- [도 4]는 인접한 시트들에 형성된 이러한 H자형 슬롯들을 또한 더 크게 도시하는 사시도이다.
- [도 5]는 이전 도면들에서 스택에 형성된 다양한 슬롯들에 대해 수행되는 절단 단계를 도시하는 평면도이다.
- [도 6]은 H자형 슬롯 상에 형성된 컷아웃들을 더 크게 나타낸 평면도이다.
- [도 7]은 도 6에 나타낸 VII-VII 선을 따른 단면도이다.
- [도 8]은 도 6에 나타낸 VIII-VIII 선을 따른 단면도이다.
- [도 9]는 특히 이전 도면들의 방법에 따라 획득될 수 있는 본 발명에 따른 전지를 도시한 평면도이다.
- [도 10]은 특히 이전 도면들의 방법에 따라 획득될 수 있는 본 발명에 따른 전지를 나타내는 정면도이다.
- [도 11]은 특히 이전 도면들의 방법에 따라 획득될 수 있는 본 발명에 따른 전지를 도시한 사시도이다.
- [도 12]는 종래 기술에 따른 전지를 도시하는 사시도이다.
- [도 13]은 본 발명의 제 2 변형예에 따른 애노드 시트 또는 캐소드 시트 상에 형성된 다양한 H자형 슬롯들에 실시되는 절단 단계를 도시한 평면도이다.
- [도 14]는 본 발명의 제 2 변형예에 따른 H자형 슬롯들 상에 형성된 컷아웃들을 더 크게 도시한 평면도이다.
- [도 15]는 특히 본 발명의 제 2 변형예에 따라 획득될 수 있는 본 발명에 따른 전지를 도시한 사시도이다.

발명을 실시하기 위한 구체적인 내용

- [0089] 본 발명에 따른 방법은 우선 교대 시트들의 스택(I)을 포함하는 단계를 포함하며, 이러한 시트들은 이하에서 경우에 따라 "애노드 시트들" 및 "캐소드 시트들"로 지칭된다. 보다 상세히 알 수 있는 바와 같이 각 애노드 시트는 복수의 전지들의 애노드를 형성하기 위한 것이고, 각 캐소드 시트는 복수의 전지들의 캐소드를 형성하기 위한 것이다. 도 1에 도시된 예에서는 5개의 캐소드 시트들(1) 및 5개의 애노드 시트들(3)이 도시된다. 실제로 이러한 스택은 일반적으로 1만에서 1천 사이의 더 많은 수의 시트들로 구성된다. 유리한 실시예에서, 이러한 모든 시트들은 4개의 단부들에 천공들(2)을 가지므로, 이러한 천공들(2)이 중첩될 때, 이러한 시트들의 모든 캐소드들 및 모든 애노드들은 이하에서 더 상세히 설명되는 바와 같이 구체적으로 배치된다(참조: 도 1 및 도 2). 시트들의 4개의 단부들에 있는 이러한 천공들(2)은 특히 제조 후의 애노드 및 캐소드 시트들 또는 전해질 층으로 덮이거나 분리막으로 덮힌 애노드 및/또는 캐소드 시트들 상의 임의의 적절한 수단에 의해 생성될 수 있으며, 이로써 이러한 전해질 층 또는 이러한 분리막은 반대 극성의 두 시트들 사이, 즉 애노드 시트와 캐소드 시트 사이에 개재된다.
- [0090] 공지된 유형일 수 있는 각 양극 또는 캐소드 시트의 물리적 및 화학적 구조는 본 발명의 일부를 형성하지 않으며 간결하게만 기재될 것이다. 각 애노드 및 캐소드 시트는 활성 애노드 층 및 활성 캐소드 층을 각각 포함한다. 이러한 활성 층들 각각은 고체, 즉 밀도가 높거나 다공성일 수 있다. 더욱이, 2개의 인접한 시트들 간의 전기적 접촉을 피하기 위해, 전해질 층 또는 액체 전해질로 함침된 분리막이 대향 시트와 접촉하여 이러한 2개의 시트들 중 적어도 하나 상에 배치된다. 본 발명을 기재하는 도면들에 도시되지 않은 전해질 층 또는 액체 전해질이 함침된 분리막은 반대 극성의 두 시트들 사이, 즉 애노드 시트와 캐소드 시트 사이에 개재된다.
- [0091] 이제, 다른 캐소드 시트들이 동일한 구조를 갖는다는 것을 이해하여 캐소드 시트들(1) 중 하나의 기계적 구조가 기재될 것이다. 또한, 후술하는 바와 같이 애노드 시트들(3)은 캐소드 시트들(1)의 구조와 매우 유사한 구조를 갖는다.
- [0092] 도 2에서 알 수 있는 바와 같이, 캐소드 시트(1)는 실질적으로 정사각형 형태의 사각형 형상을 갖는다. 이는 이하에서 기재될 H자형 슬롯들이 형성되는 소위 천공된 중앙 영역(10)을 한정한다. 이러한 H자형 슬롯들의 포지셔닝을 참고하여, 소위 시트의 수직 방향(YY)이 정의되며, 이는 이러한 H들의 수직 방향에 대응하고, 시트의 소위 수평 방향(XX)은 방향(YY)에 수직이다. 중앙 영역(10)은 고체, 즉 슬롯들이 없는 주변 프레임(12)에 의해 경계가 형성된다. 이러한 프레임의 기능은 특히 각 시트를 쉽게 조작할 수 있도록 하는 것이다.
- [0093] H자형 슬롯들은 서로의 아래에 배치된 라인들(L₁ 내지 L_y)을 따라 분포되어 있고, 서로 나란히 제공된 열들(R₁ 내지 R_x)을 따라 배치된다.
- [0094] 비제한적인 예들로서, 표면 실장된 구성요소 유형(이하 SMC)의 마이크로전지들의 제조와 관련하여, 사용되는 애노드 및 캐소드 시트들은 100mm x 100mm 플레이트들일 수 있다. 일반적으로 이러한 시트들의 행들의 수는 10 내지 500인 반면 열들의 수는 10 내지 500이다. 전지의 필요한 용량에 따라 이들의 치수들이 달라질 수 있으며 애노드 및 캐소드 시트들의 행 수와 열 수를 적절히 조정할 수 있다. 사용되는 애노드 및 캐소드 시트들의 치수들은 요구사항들에 따라 조정될 수 있다. 도 2에 도시된 바와 같이, 2개의 인접한 행들은 재료(20)의 브릿지들로 분리되며, 그의 높이는 H₂₀으로 표시되며 0.05mm 내지 5mm이다. 2개의 인접한 열들은 재료 스트립들로 구분되며 너비는 L₂₂로 표시되며 0.05mm 내지 5mm이다. 애노드 및 캐소드 시트들의 이러한 브리지들 및 재료 스트립들은 쉽게 조작될 수 있도록 충분한 기계적 강성을 부여한다.
- [0095] 슬롯들(14)은 관통 슬롯들이며, 즉 시트의 상부 면과 하부 면 상에 각각 나타난다. 슬롯들(14)은 화학적 에칭, 전기주조, 레이저 절단, 미세천공 또는 스탬핑에 의해 애노드 또는 캐소드 재료들을 증착하기 전에 기판 상에 직접 공지된 방식으로 제조될 수 있다. 또한, 이러한 슬롯들은 예를 들어 레이저 절단, 펄스 레이저 절단, 미세천공 또는 스탬핑에 의해 자체 공지된 방식으로, 애노드 또는 캐소드 재료들로 덮인 기판들, 전해질 층 또는 분리막으로 덮힌 애노드 또는 캐소드 시트들 상에 제조될 수 있다. 모든 캐소드들에서 생성된 슬롯들(14)은 특히 도 3에 도시된 바와 같이 중첩된다.
- [0096] 이제 H자형 슬롯들(14) 중 하나가 캐소드 시트의 모든 컷아웃들이 동일하다는 이해 하에 기재될 것이다. 슬롯(14)은 2개의 수직 및 평행 메인 리세스들(16)에 의해 형성되며, 이들은 바람직하게는 2개의 수직 메인 리세스들(16)에 수직인 수평 채널(18)에 의해 그들의 상단 부분이 연결된다. 다음 주석들이 사용된다:
- [0097] · H₁₄는 슬롯 어셈블리의 높이이며, 일반적으로 0.25mm 내지 10mm이다;

- [0098] · L_{14} 는 그의 폭이며, 일반적으로 0.25mm 내지 10mm이다;
- [0099] · L_{16} 은 각 메인 리세스의 너비이며, 일반적으로 0.02mm 내지 5mm이다;
- [0100] · H_{18} 은 각 채널의 높이이며, 일반적으로 0.01mm 내지 0.5mm 사이이다;
- [0101] · D_{18} 은 메인 리세스들의 상단과 채널의 상단 간의 높이 차이이며, 일반적으로 0.05mm 내지 2mm이다.
- [0102] 또한, 각 애노드는 슬롯들(14)과 동일한 수로 제공되는 슬롯들(34)의 다양한 행들 및 열들을 구비한다. 특히 도 4에 도시된 바와 같이, 각 슬롯(34)의 구조는 각 슬롯(14)의 구조와 실질적으로 유사하며, 즉, 이러한 슬롯(34)은 채널(38)에 의해 연결된 2개의 수직 메인 리세스들(36)을 포함한다. 수직 메인 리세스들(36)의 치수들은 수직 메인 리세스들(16)의 치수들과 동일하고, 유사한 방식으로 채널들(38)의 치수들은 채널들(18)의 치수들과 유사하다.
- [0103] 평면도에서, 수직 메인 리세스들(36)은 이들(16)과 중첩된다. 슬롯들(14 및 34) 간의 유일한 차이점은 채널들(38)이 하부에 제공된다는 사실에 있다. 특히 도 3에 도시된 바와 같이, 채널들(18 및 38)은 XH로 표시되는 H들의 중앙 축에 대해 평면도에서 상호 대칭이다.
- [0104] 진술한 스택은 그의 전체적인 기계적 안정성을 보장하기 위한 단계들을 거쳤다고 가정한다. 그 자체로 알려진 유형의 이러한 단계들은 특히 다양한 층들의 열압착을 포함한다. 아래에서 볼 수 있듯이, 이러한 스택을 사용하면 개별 전지들을 형성할 수 있으며 그의 수는 행들의 수 Y와 열들의 수 X의 곱과 같다.
- [0105] 이를 위해, 도 5를 참조하면, 3개의 행들(L_{n-1} 내지 L_{n+1}) 및 3개의 열들(R_{n-1} 내지 R_{n+1})이 도시되었다. 본 발명에 따르면, 슬롯들의 행 당 2개의 컷아웃들 D_n 및 D'_n 이 생성된다. 바로 관통하도록 구현된, 즉 스택의 높이 전체에 걸쳐 연장되는 각 컷아웃은 그 자체로 공지된 방식으로 생성된다. 비제한적인 예들로서, 톱질에 의한 절단, 특히 스웨이징에 의한 절단, 절단기에 의한 절단 또는 레이저에 의한 절단이 언급될 것이다.
- [0106] 특히 도 5의 슬롯들 중 하나를 더 크게 나타낸 도면인 도 6에 도시된 바와 같이, 각 컷아웃은 각각의 채널과 H의 마주하는 단부 사이에 생성된다. 상기 컷아웃의 두께는 무시된다고 가정한다. 이러한 조건들 하에서, 이러한 도 6을 참조하면, 비제한적인 예들로서 다음 사항이 언급된다:
- [0107] · 컷아웃 D_n 과 수평 채널(18)의 대향 면 사이의 거리 D_{20} 은 이러한 거리 D_{20} 이 D_{18} 보다 작거나 같다는 것을 이해하면 0.05mm 내지 2mm이다;
- [0108] · 컷아웃 D'_n 과 수평 채널(38)의 대향 면 사이의 거리 D_{40} 은 이러한 거리 D_{40} 이 D_{38} 보다 작거나 같다는 것을 이해하면 0.05mm 내지 2mm이다.
- [0109] 도 5를 참조하면, 각 최종 전지는 상단과 하단에서, 2개의 컷아웃들로 구분되며 좌우는 H의 수직 메인 리세스들의 내부 면들로 구분된다. 이러한 도 5에서, 절단 선들(D_n 및 D'_n)에 의해 일단 절단된 전지들(100)은 빗금처리되었고, 전지들을 형성하지 않는 스택의 시트들의 영역들(40)은 점들로 도시된 반면, 슬롯들의 부피는 비어 있다.
- [0110] 도 7 및 도 8은 평행 절단 선들을 따라 취한 단면도들이다. 단면 VII-VII는 H의 수직 메인 리세스들을 관통해 연장되는 반면 단면 VIII-VIII는 재료를 관통한다. 도 7에서, 영역들(40)은 도 5에 도시된 바와 같이 참조되었으며, 이는 특히 애노드들(43)의 재료들의 오프셋들 및 캐소드들(41)의 재료들의 오프셋들에 대응한다. 도 8에서 전지(100)의 각 캐소드(1) 및 각 애노드(3)에 대해 전극 재료, 전해질 및/또는 집전체 기관이 없는 공간(113 및 133)에 의해 보조 바디(112 및 132)로부터 분리된 메인 바디(111 및 131)을 갖도록 컷아웃들은 애노드들과 캐소드들을 통해, 즉 H자형 슬롯들의 채널들로부터 거리(D_{20})에서 만들어진다. 이것은 종래 기술에 비해 컷아웃의 품질을 개선하고 전지의 측방향 예지들에서 단락의 존재를 피할 수 있게 하므로 본 발명의 특히 유리한 특징이 있는 경우이다.
- [0111] 출원 WO 2016/001584는 대기에 대해 전지의 셀을 보호하기 위해 캡슐화 시스템에 캡슐화되어 교대로 적층되고 측방향으로 오프셋된(도 12 참조) 애노드 및 캐소드 시트들로 구성된 복수의 기본 셀들의 스택들을 기재한다. 애노드 및 캐소드 연결부들이 없는 단일 전지들을 얻을 수 있게 하는 이러한 캡슐화된 스택들의 절단은 전극 및 캡슐화 시스템이 교대로 연속되는 절단 평면에서 구현된다. 종래 기술의 전지의 전극과 캡슐화 시스템 간에 존

재하는 밀도의 차를 통해, 이러한 절단 평면을 따라 이루어진 절단은 절단 평면 주위의 캡슐화 시스템이 찢어질, 따라서 단락들의 생성 위험을 야기한다. 종래 기술에서, 캡슐화 동안, 캡슐화 층은 U자형 컷아웃들을 갖는 시트들의 스택의 틈새들을 채운다. 이러한 틈새들에 도입된 이러한 캡슐화 층은 두껍고 스택에 잘 부착되지 않아 후속 절단 중에 캡슐화 시스템이 찢어질 위험이 있다.

- [0112] 본 발명에 따르면, H자형 컷아웃들이 있는 시트들을 사용하면 이러한 위험이 제거되는데, 이는 H자형 열압착된 기계 구조가 캐소드 시트 및 애노드 시트들이 교대로 중첩되기 때문에 컷아웃 주변에서 매우 단단하기 때문이다. H자형 컷아웃들이 있는 시트들을 사용하는 이러한 견고한 구조를 사용하면 절단 중 결함들의 수를 줄이고 절단 속도를 높이고 따라서 전지들의 생성의 효율성을 높일 수 있다.
- [0113] 본 발명에 따르면, 컷아웃들(D'_n 및 D_n)은 더 나은 품질의 깨끗한 컷아웃을 제공하는 유사한 밀도를 갖는 애노드들 및 캐소드들을 통해 만들어진다. 또한, 전극 재료, 전해질 및/또는 집전체 기판이 없는 공간의 존재는 단락의 위험을 방지한다.
- [0114] 이제 도 9 내지 11을 참조하면, 본 발명에 따른 전지들 중 하나(100)가 도시되어 있다. 이러한 전지의 길이방향 및 횡방향 중앙 축들은 각각 X100 및 Y100으로 표시된다. 이러한 전지의 측방향 예지들은 101 및 102, 길이방향 예지들은 103 및 104로 표시된다. 더욱이 각 캐소드는 110으로, 각 애노드는 130로 표시된다. 이러한 애노드들의 수와 동일한 이러한 캐소드들의 수는 전술한 스택의 캐소드 시트들 및 애노드 시트들의 수에 대응한다.
- [0115] 도 9에 도시된 것처럼, 즉 평면도에서 캐소드들의 자유 공간들이 중첩된다. 또한, 동일한 평면도에 따르면, 애노드들의 자유 공간들이 중첩된다. 마지막으로 동일한 평면도에 따르면, 캐소드들과 애노드들의 자유 공간들은 일치하지 않는다. 이는 특히 도 10에서 예로서 도시된다.
- [0116] 자유 공간(113)은 도 9에서 상단과 하단으로 도시된 전지의 대향하는 길이방향 예지들을 연결한다. 이러한 자유 공간은 전지의 대향하는 길이방향 예지들 사이로 연장되어 각 애노드와 각 캐소드에 대해 메인 바디 보조 바디로부터 분리한다.
- [0117] 각각의 캐소드(110)는 메인 바디(111), 제 1 측방향 예지(101) 상에 위치한 보조 바디(112), 및 임의의 전극 재료, 전해질 및/또는 집전체 기판이 없는 공간(113)을 포함한다. 후자의 폭은 전술한 슬롯(14)의 채널(18)의 폭에 대응하며 길이방향 예지들(103 및 104) 사이에서 연장된다. 유사한 방식으로, 각 애노드(130)는 메인 바디(131), 및 예지(101)에 대향하는 측방향 예지(102) 상에 위치한 보조 바디(132)를 포함한다. 메인 바디(131) 및 보조 바디(132)는 임의의 전극 재료, 전해질 및/또는 집전체 기판이 없는 공간(133)에 의해 분리되어 예지들(103 및 104)을 연결하며, 즉 길이방향 예지들(103 및 104) 사이에서 연장된다. 2개의 자유 공간들(113 및 133)은 중앙 축(Y100)에 대해 서로 대칭이다.
- [0118] 각 자유 공간(113)의 폭(L₁₁₃)은 이전 도면들에서 기재된 슬롯에 속하는 채널(18)의 폭에 대응한다. 더욱이, 각 보조 바디(112)의 폭(L₁₁₂)는 도 6 또는 도 8을 참조하여 기재된 바와 같이 거리(D₂₀)에 대응한다.
- [0119] 도 13은 본 발명의 추가적인 변형예를 도시한다. 이러한 도 13에서, 제 1 실시예를 도시하는 도 1 내지 도 11의 것들과 유사한 기계적 요소들은 그 안에 숫자 1000만큼 증가된 동일한 참조 번호들이 할당된다.
- [0120] 이러한 제 2 변형 실시예는 본질적으로 H자형 슬롯들(1014)이 서로 아래에 배치된 행들(L₁ 내지 L_y)를 따라 분포되고, 서로 나란히 제공된 열들(R₁ 내지 R_x)를 따라 배치된다는 점에서 제 1 변형예와 상이하다. 이러한 방식으로, 열(R_n)에 위치한 슬롯의 수직 메인 리세스들(1016) 중 적어도 하나는 열(R_{n-1} 및/또는 R_{n+1})에 위치한 인접한 슬롯의 수직 메인 리세스들(1016) 중 적어도 하나와 일치한다. 이 경우, 인접한 두 열들은 재료의 스트립들로 구분되지 않는다. 도 13에 도시된 바와 같이, 2개의 인접한 행들은 재료(1020)의 브릿지들에 의해 분리되며, 그 높이는 0.05mm 내지 5mm인 H₁₀₂₀으로 표시된다. 이러한 재료의 브릿지들은 애노드 및 캐소드 시트들에 충분한 기계적 강성을 부여하여 쉽게 조작될 수 있도록 한다.
- [0121] 본 발명의 이러한 제 2 변형에서, H자형 슬롯들(1014)은 바람직하게는 제 1 변형예에서와 동일할 수 있다. 슬롯(1014)은 바람직하게는 수평 채널(1018), 바람직하게는 2개의 수직 메인 리세스들(1016)에 수직인 수평 채널(1018)에 의해 그의 상단 부분이 연결된 2개의 수직 및 평행 메인 리세스들(1016)에 의해 형성된다.
- [0122] 각 캐소드는 슬롯들(1014)의 다양한 행들 및 열들을 구비한다. 각 애노드는 또한, 슬롯들(1014)과 동일한 수로 제공되는 다양한 슬롯들(1034)의 행들 및 열들을 구비한다.

- [0123] 각 슬롯(1034)의 구조는 각 슬롯(1014)의 구조와 실질적으로 유사하며, 즉 이러한 슬롯(1034)은 채널(1038)에 의해 연결된 2개의 수직 메인 리세스들(1036)을 포함한다. 수직 메인 리세스들(1036)의 치수들은 수직 메인 리세스들(1016)의 치수들과 동일하고, 유사한 방식으로 채널들(1038)의 치수들은 채널들(1018)의 치수들과 유사하다.
- [0124] 평면도에서, 수직 메인 리세스들(1036)은 수직 메인 리세스들(1016)과 중첩된다. 슬롯들(1014 및 1034) 간의 유일한 차이점은 채널들(1038)이 하단 부분에 제공된다는 사실에 있다. 특히 도 14에 도시된 바와 같이, 채널들(1018 및 1038)은 XH'로 표시되는 H들의 중앙 축에 대해 평면도에서 상호 대칭이다.
- [0125] 전술한 애노드 및 캐소드 시트들의 스택은 그의 전체적인 기계적 안정성을 보장하기 위한 단계들을 거쳤다고 가정한다. 그 자체로 공지된 유형의 이러한 단계들은 특히 다양한 층들의 열압착을 포함한다. 아래에서 볼 수 있듯이 이러한 스택을 사용하면 개별 전지들을 형성할 수 있으며 그의 수는 행들의 수 Y와 열들의 수 X의 곱과 같다.
- [0126] 이를 위해, 도 14를 참조하면, 3개의 행들(L_{n-1} 내지 L_{n+1}) 및 3개의 열들(R_{n-1} 내지 R_{n+1})이 도시되었다. 본 발명에 따르면, 슬롯들의 행 당 2개의 컷아웃들(D_n 및 D'_n)이 생성된다. 관통 방식, 즉 스택의 전체 높이에 걸쳐 연장되는 각 컷아웃은 그 자체로 공지된 방식으로 생성된다. 비제한적인 예들로서, 톱질에 의한 절단, 특히 스웨이 절정에 의한 절단, 절단기에 의한 절단, 또는 레이저에 의한 절단이 언급될 것이다.
- [0127] 각 컷아웃은 각 채널과 H의 마주하는 단부 사이에서 생성된다. 상기 컷아웃의 두께는 무시된다고 가정한다. 전지(1100)의 각 캐소드(1110) 및 각 애노드(1130)에 대해 도 15에 도시된 바와 같이 전극 재료, 전해질 및/또는 집전체 기관이 없는 공간(1113 및 1133)에 의해 보조 바디(1112 및 1132)로부터 분리된 메인 바디(1111 및 1131)를 갖도록 컷아웃들은 애노드들과 캐소드들을 통해, 즉 H자형 슬롯들의 채널들로부터 거리(D_{1020})에서 만들어진다. 이것은 종래 기술에 비해 컷아웃의 품질을 개선하고 전지의 측방향 예지들에서 단락의 존재를 피할 수 있게 하므로 본 발명의 특히 유리한 특징이 있는 경우이다. 각 최종 전지(1100)는 상단과 하단에서, 2개의 컷아웃들로 구분되며 좌우는 H의 수직 메인 리세스들의 내부 면들로 구분된다. 도 13에서, 절단 선들(D_n 및 D'_n)에 의해 일단 절단된 전지들(1100)은 빗금처리되었고, 전지들을 형성하지 않는 스택의 시트들의 영역들(1040)은 점들로 도시된 반면, 슬롯들의 부피는 비어 있다.
- [0128] 본 발명에 따르면, 컷아웃들(D'_n 및 D_n)은 더 나은 품질의 깨끗한 컷아웃을 제공하는 유사한 밀도를 갖는 애노드들 및 캐소드들을 통해 만들어진다. 또한, 전극 재료, 전해질 및/또는 집전체 기관이 없는 공간의 존재는 단락의 위험을 방지한다.
- [0129] 도 15에 도시된 바와 같이, 각각의 캐소드(1110)는 메인 바디(1111), 제 1 측방향 예지(1101) 상에 위치한 보조 바디(1112), 및 임의의 전극 재료, 전해질 및/또는 집전체 기관이 없는 공간(1113)을 포함한다. 후자의 폭은 전술한 슬롯(1014)의 채널(1018)의 폭에 대응하며 길이방향 예지들 사이에서 연장된다. 유사한 방식으로, 각 애노드(1130)는 메인 바디(1131), 및 예지(1101)에 대항하는 측방향 예지(1102) 상에 위치한 보조 바디(1132)를 포함한다. 메인 바디(1131) 및 보조 바디(1132)는 임의의 전극 재료, 전해질 및/또는 집전체 기관이 없는 공간(1133)에 의해 분리되어 길이방향 예지들을 연결하며, 즉 길이방향 예지들(1103 및 1104) 사이에서 연장된다. 2개의 자유 공간들(1113 및 1133)은 중앙 축(Y100)에 대해 서로 대칭이다.
- [0130] 각 자유 공간(1113)의 폭(L_{1113})은 이전 도면들에서 기재된 슬롯에 속하는 채널(1018)의 폭에 대응한다. 더욱이, 각 보조 바디(1112)의 폭(L_{1112})는 이전에 기재된 바와 같이 거리(D_{1020})에 대응한다.
- [0131] 본 발명의 제 2 변형예에 따라 획득된 전지(1100)는 슬롯들(1014)의 배치가 상이하더라도 본 발명의 제 1 변형예에 따라 획득된 것과 모든 면에서 동일하다.
- [0132] 도면에 도시되지 않은 본 발명의 제 3 변형예에서, H자형 슬롯들(14/1014)은 서로 아래에 배치된 행들(L_1 내지 L_y)를 따라 분포될 수 있고, 서로 나란히 제공된 열들(R_1 내지 R_x)를 따라 배치될 수 있다. 이러한 방식으로, 애노드 및/또는 캐소드 시트들 상의, 본 발명의 제 1 및 제 2 변형예에 따라, 동일한 애노드 및/또는 캐소드 시트 상에 H자형 슬롯들(14/1014)이 배열되며, 이는 이러한 시트들이 쉽게 조작될 수 있도록 충분한 기계적 강성을 유지하기 위함이며, 이로써 스택은 유리하게 최대 수의 단일 전지들을 정의할 수 있다.
- [0133] 본 발명의 제 3 변형예에 따라 획득된 전지(1100)는 애노드 및/또는 캐소드 시트들 상의 슬롯들(14/1014)의 배

치가 상이하더라도 본 발명의 제 1 및/또는 제 2 변형예에 따라 획득된 것과 모든면에서 동일하다.

- [0134] 도 11과 도 12를 비교하면 본 발명의 장점들을 강조할 수 있다. 이는 실질적으로 전지의 전체 총 부피를 유용한 재료, 즉 전지(100)의 전기화학적 기능에 기여하는 재료가 차지하기 때문이다. 이는 매우 작은 2개의 자유 공간들(133/1133)만이 유용한 재료로 간주될 수 없기 때문이다. 이와 관련하여, 도 10을 참조하면, 2차 캐소드 바디들의 자유 면들(112')은 애노드들의 메인 바디의 자유 공간들(131')과 같은 높이에 피팅되는 반면, 2차 애노드 바디들의 자유 면들(132')은 캐소드들의 메인 바디의 자유 면들(111')과 같은 높이에 피팅됨이 주목된다. 즉, 전극 재료들을 포함하는 본 발명에 따른 전지의 대향하는 측방향 에지들은 리세스들의 존재로 인해 불연속적인, 도 12에 도시된 종래 기술의 것들과 비교하여 실질적으로 연속적이다.
- [0135] "보조 바디의 자유 면"은 메인 바디와 대향하는 보조 바디에 속하는 면에 대응한다.
- [0136] "메인 바디의 자유 면"은 보조 바디와 대향하는 메인 바디에 속하는 면에 대응한다.
- [0137] 더욱이, 전지의 각 애노드 층과 캐소드 층 상에 자유 공간들이 존재하기 때문에 전지 내에서 캡슐화 시스템, 즉, 파릴렌과 같은 절연 재료를 사용하지 않아도되며, 이러한 자유 공간들은 전기 절연체의 역할을 수행한다. 이에 의해 캡슐화와 같은 전지들의 제조의 최종 단계들이 용이해진다. 종래 기술에서 및 도 12에 도시된 바와 같이, 전지 내 오목한 영역들(210" 및 230")을 절연하는 것, 즉 단락을 피하기 위해 반대 배향들로 배치된 U자형 컷아웃들 내 공간 및 오프셋을 캡슐화 시스템으로 채우기 위해, 캡슐화 시스템으로 종래 기술의 구조의 틈새들을 채우는 것이 필요하지 않다. 본 발명에 따른 강성 구조의 사용은 H자형 컷아웃들을 갖는 시트들을 사용하여 캡슐화를 용이하게 하고 종래 기술에 비해 캡슐화 두께를 감소시키는 것을 가능하게 한다. 종래 기술의 것들보다 더 얇고 더 단단한 층들을 갖는 다층 유형의 캡슐화 시스템들이 고려될 수 있다.
- [0138] 유리하게는, 애노드 및 캐소드 시트들을 적층하는 단계 후에, 전지의 조립을 가능하게 하는 그의 열처리는 50 °C 내지 500 °C의 온도에서, 바람직하게는 350 °C 미만의 온도에서 수행되고/거나 조립될 애노드 및 캐소드 시트들의 스택의 기계적 압축은 10 내지 100MPa, 바람직하게는 20 내지 50MPa의 압력에서 실행된다. 특정 실시예에서, 그의 적층 및 열 처리 단계 후에, 대기에 대한 전지 셀의 보호를 제공하기 위해 캡슐화 시스템을 증착함으로써 스택을 캡슐화하는 것이 유리하다. 캡슐화 시스템은 화학적으로 안정적이어야 하고, 고온을 견디고, 그의 장벽 층의 기능을 수행하기 위해 대기에 불투과성이어야 한다.
- [0139] 유리하게는, 본 발명에 따른 애노드 시트 및 캐소드 시트의 스택은 다음을 포함하는 캡슐화 시스템의 시퀀스, 바람직하게는 z 시퀀스들로 덮일 수 있다:
- [0140] - 애노드 및 캐소드 시트의 스택 상에 침착되고, 바람직하게는 파릴렌, F형 파릴렌, 폴리이미드, 에폭시 수지들, 실리콘, 폴리아미드 및/또는 이들의 혼합물로부터 선택되는 제 1 커버링 층,
- [0141] - 상기 제 1 커버링 층 상에 원자 층들을 증착함으로써 전기 절연 재료로 구성된 제 2 커버링 층.
- [0142] 이러한 시퀀스는 z≥1로 z번 반복될 수 있다. 이러한 다층 시퀀스에는 장벽 효과가 있다. 캡슐화 시스템의 시퀀스가 반복될수록 이러한 장벽 효과는 더 커진다. 그것이 더 커질수록 증착되는 얇은 층들의 수가 많아진다.
- [0143] 일반적으로, 제 1 커버링 층은 폴리머, 예를 들어 (예를 들어 함침 또는 HMDSO(헥사메틸디실록산)을 사용한 플라즈마 강화 화학 기상 증착에 의해 증착된) 실리콘 또는 에폭시 수지, 또는 폴리이미드, 폴리아미드, 또는 폴리파라자일릴렌(더 나은 파릴렌이라는 용어로 알려져 있음)으로 만들어진다. 이러한 제 1 커버링 층은 전지의 민감한 요소들을 그의 환경으로부터 보호할 수 있게 한다. 상기 제 1 커버링 층의 두께는 바람직하게는 0.5 μm 내지 3 μm이다.
- [0144] 유리하게는, 제 1 커버링 층은 C형 파릴렌, D형 파릴렌, N형 파릴렌(CAS 1633-22-3), F형 파릴렌 또는 C, D, N 및/또는 F형 파릴렌의 혼합물로 이루어질 수 있다. 파릴렌(폴리파라자일릴렌 또는 폴리(p-자일릴렌)이라고도 함)은 높은 열역학적 안정성, 탁월한 용매 저항성 및 매우 낮은 투과성을 가진 유전성, 투명성 및 반결정성 재료이다. 또한, 파릴렌은 그의 외부 환경으로부터 전지를 보호할 수 있는 장벽 특성들을 가지고 있다. 이러한 제 1 커버링 층이 F형 파릴렌으로부터 생성될 때 전지 보호가 강화된다. 이러한 제 1 커버링 층은 유리하게 표면들 상에 화학 기상 증착(CVD)에 의해 증착된 기체 단량체들을 응축시킴으로써 얻어지며, 이는 스택의 접근가능한 모든 표면들을 등각적이고 얇고 균일한 커버링을 가질 수 있게 한다. 이러한 제 1 커버링 층은 유리하게 단단하다; 이는 유연한 표면으로 간주할 수 없다.
- [0145] 제 2 커버링 층은 바람직하게는 무기물인 전기 절연 재료로 구성된다. 이러한 제 2 커버링 층은 유리하게는 매

우 낮은, 바람직하게는 $10^{-5} \text{ g/m}^2 \cdot \text{d}$ 미만의 WVTR 계수를 갖는다. 바람직하게는 원자 층들(ALD)을 증착함으로써 증착되어, 이전에 제 1 커버링 층으로 덮힌 스택의 모든 접근가능한 표면들의 등각적 커버링을 획득한다. ALD에 의해 증착된 층들은 기계적으로 매우 취약하며 보호 역할을 수행하기 위해 단단한 지지 표면이 필요하다. 유연한 표면 상에 취약한 층을 증착하면 균열들이 형성되어이 보호 층의 무결성이 손실된다. 또한, ALD에 의해 증착된 층의 성장은 기판의 특성에 영향을 받는다. 상이한 화학적 성질들의 영역들을 갖는 기판 상의 ALD에 의해 증착된 층은 비균질 성장을 가질 것이며, 이는 이러한 보호 층의 무결성 손실을 야기할 수 있다.

- [0146] ALD에 의한 증착 기술들은 완전히 불침투성 및 순응적 방식으로 높은 거칠기를 갖는 표면들을 덮는 데 특히 적합하다. 이를 통해 홀들과 같은 결함들이 없는 등각 층들("핀홀이 없는" 층들이라고 지칭됨)을 생성할 수 있으며 매우 우수한 장벽들을 나타낸다. 그의 WVTR 계수는 매우 낮다. WVTR(수증기 투과율) 계수를 통해 캡슐화 시스템의 수증기에 대한 투과성을 평가할 수 있다. WVTR 계수가 낮을수록 캡슐화 시스템의 불침투성이 더 크다.
- [0147] 제 2 커버링 층은 유리하게는 플라즈마-강화 화학 기상 증착(PECVD)에 의해 또는 HDPCVD(고 밀도 플라즈마 화학 기상 증착) 유형 또는 ICPCVD(유도 결합 플라즈마 화학 기상 증착) 유형의 화학 기상 증착에 의해 증착될 수 있다.
- [0148] 이러한 제 2 커버링 층은 바람직하게는 10nm 내지 $10 \mu\text{m}$ 의 두께, 바람직하게는 10nm 내지 50nm의 두께를 갖는다. 이러한 제 2 층의 두께는 유리하게는 요구되는 가스들에 대한 불투과성의 수준, 즉 요구되는 WVTR 계수에 따라 선택되며, 특히 ALD, PECVD, HDPCVD 및 ICPCVD로부터 사용되는 증착 기술에 따라 달라진다.
- [0149] 제 2 커버링 층은 예를 들어 Al_2O_3 , Ta_2O_5 , 실리카, 질화물, 특히 질화규소, 인산염, 산 질화물 또는 실록산 유형의 산화물 형태의 세라믹 재료, 유리질 재료 또는 비트로세라믹 재료로 이루어질 수 있다.
- [0150] ALD, PECVD, HDPCVD 또는 ICPCVD에 의해 제 1 커버링 층 상에 증착된 제 2 커버링 층은 먼저 구조의 불투과성을 보장하며, 즉, 물체 내부의 물의 이동을 방지하고, 두번째로 바람직하게는 F형 파릴렌의 제 1 커버링 층을 그의 분해를 방지하기 위해 대기, 특히 공기 및 습기, 열 노출로부터 보호한다. 이러한 제 2 커버링 층은 캡슐화된 전지의 사용 기간을 향상시킨다.
- [0151] 대안적으로, 본 발명에 따른 전지 셀 또는 애노드 시트들 및 캐소드 시트들의 스택을 대기에 대해 보호할 수 있는 캡슐화 시스템은 시퀀스, 바람직하게는 z' 시퀀스들로 구성될 수 있으며, 이는 바람직하게는 $10^{-5} \text{ g/m}^2 \cdot \text{d}$ 미만의 매우 낮은 WVTR 계수를 갖는 제 1 대안적인 커버링 층을 포함한다. 이러한 시퀀스는 $z \geq 1$ 로 z' 번 반복될 수 있다. 이는 장벽 효과를 나타내며, 그것이 클수록 z' 값이 높아진다. 캡슐화 시스템의 이러한 시퀀스, 바람직하게는 z' 시퀀스들에서 애노드 및 캐소드 시트들의 스택을 캡슐화하면 캡슐화의 WVTR 계수를 최대 범위까지 줄일 수 있으며, 즉, 스택의 불투과성을 증가시킬 수 있다.
- [0152] 상기 제 1 대안적인 커버링 층의 두께는 바람직하게는 $0.5 \mu\text{m}$ 내지 $50 \mu\text{m}$ 이다.
- [0153] 이러한 대안적인 커버링 층은 애노드 및 캐소드 시트들의 스택의 외부 주변부에 증착된 세라믹 재료 및/또는 용점이 낮은 유리, 바람직하게는 용점이 600°C 미만인 유리로 구성될 수 있다.
- [0154] 이러한 층에 사용되는 세라믹 및/또는 유리 재료는 유리하게 다음으로부터 선택된다:
- [0155] - 용점이 낮은 유리(일반적으로 $<600^\circ\text{C}$), 바람직하게는 $\text{SiO}_2\text{-B}_2\text{O}_3$; $\text{Bi}_2\text{O}_3\text{-B}_2\text{O}_3$, $\text{ZnO-Bi}_2\text{O}_3\text{-B}_2\text{O}_3$, $\text{TeO}_2\text{-V}_2\text{O}_5$, PbO-SiO_2 ,
- [0156] - 산화물들, 질화물들, 산질화물들, Si_3N_4 , SiO_2 , SiON , 비정질 실리콘 또는 SiC .
- [0157] 이러한 유리들은 몰딩 또는 딥 코팅으로 증착될 수 있다.
- [0158] 세라믹 재료들은 유리하게는 PECVD에 의해 또는 우선적으로 HDPCVD에 의해 또는 저온에서 ICPCVD에 의해 증착된다; 이러한 방법들은 우수한 불투과성을 갖는 층을 증착하는 것을 가능하게 한다.
- [0159] 유리하게는, 대안적인 캡슐화 시스템은 캡슐화의 WVTR 계수를 감소시키기 위해, 즉 스택의 불투과성을 증가시키기 위해 상이한 성질들의 z' 대안적인 커버링 층들을 포함할 수 있다. 예로서, 캡슐화 시스템은 세라믹 재료로 구성된 제 1 층, 제 1 층 상에 배치된 낮은 용점을 갖는 유리로 구성된 제 2 층을 포함할 수 있으며, 그 반대도 마찬가지이다.
- [0160] 유리 필름의 캡슐화는 저 용점 유리의 산화물들, 인산염들, 붕산염들 및/또는 전구체들을 포함하는 잉크를 증착

한 후 소결함으로써 얻을 수 있다.

- [0161] 이러한 방식으로 단단한 불투과성 캡슐화가 얻어지며, 이는 특히 캡슐화 시스템과 종단들 사이의 계면에서 수증기의 통과를 방지한다.
- [0162] 수증기에 대한 투과율은 US 7,624,621의 주제인 방법을 사용하여 측정될 수 있으며, 이는 또한 저널 Thin Solid Films 6+550 (2014) 85-89에 게재된 A. Mortier 등의 간행물 "Structural properties of ultraviolet cured polysilazane gas barrier layers on polymer substrates" 에 기재된다.
- [0163] 따라서 캡슐화 시스템의 이러한 시퀀스, 바람직하게는 z 시퀀스들 또는 대안적인 캡슐화 시스템에서 캡슐화된 애노드 및 캐소드 시트들의 스택은 마지막 커버링 층으로 덮혀서 이렇게 캡슐화된 스택을 기계적으로 보호하고 선택적으로 그 상에 미적 외관을 부여할 수 있다. 이러한 마지막 커버링 층은 전지를 보호하고 이의 사용 기간을 향상시킨다. 유리하게는, 이러한 마지막 커버링 층은 또한 고온을 견디도록 선택되고, 후속 사용 동안 전지를 보호하기에 충분한 기계적 강도를 갖는다. 유리하게는, 이러한 마지막 커버링 층의 두께는 1 μ m 내지 50 μ m 이다. 이상적으로 이러한 마지막 커버링 층의 두께는 약 10 내지 15 μ m이며, 이러한 두께 범위를 통해 기계적 손상으로부터 전지를 보호할 수 있다.
- [0164] 이러한 마지막 커버링 층은 바람직하게는 에폭시 수지, 폴리에틸렌 나프탈레이트(PEN), 폴리이미드, 폴리아미드, 폴리우레탄, 실리콘, 졸-겔 실리카 또는 유기 실리카를 기반으로 한다. 유리하게는, 이러한 마지막 커버링 층은 침지에 의해 증착된다.
- [0165] 이렇게 코팅된 애노드 및 캐소드 층들의 스택은 애노드 및 캐소드 연결부들을 드러내고 단일 전지들을 얻기 위해 절단 선들(D'_n 및 D_n)을 따라 임의의 적절한 수단에 의해 다음에 절단된다.
- [0166] 액체 전해질이 함침된 전지들의 경우, 액체 전해질에 의한 전지의 함침은 유리하게는 애노드 및 캐소드 연결부들이 드러난 단일 전지들이 액체 전해질 또는 리튬 염들을 함유하는 이온성 액체와 같은 리튬 이온들을 운반하는 상에 의해 얻어진 후 구현되며; 리튬 이온들을 운반하는 이러한 상은 모세관 현상에 의해 전지를 관통한다.
- [0167] 종단들(전기 접점들)은 캐소드 및 애노드 연결부들이 각각 가지적인(절연 전해질로 코팅되지 않은) 지점에 추가된다. 이러한 접촉 영역들은 바람직하게는 전류를 수집하기 위해 전지 스택의 반대쪽들(측방향 집전체들) 또는 인접한 층들 상에 배치된다. 연결부들은 당업자에게 공지된 기술들에 의해, 바람직하게는 전도성 에폭시 수지 및/또는 용융 주석 욕조에 침지시킴으로써 금속화된다. 바람직하게는, 종단들은 캐소드 및 애노드 연결부들의 부근에서 흑연으로 채워진 재료의, 바람직하게는 흑연으로 채워진 에폭시 수지의 제 1 층, 및 제 1 층 상에 증착된 구리 나노입자들로 채워진 잉크로부터 획득된 금속 구리를 포함하는 제 2 층을 연속적으로 포함하는 층들의 제 1 스택에 의해 형성된다. 이러한 종단들의 제 1 스택은 다음에 적외선 플래시 램프에 의해 소결되어 금속 구리 층으로 캐소드 및 애노드 연결부들을 덮는다.
- [0168] 전지의 최종 용도에 따라, 종단들은 더 적은 비용으로 전지의 불투과성을 보장하기 위해 바람직하게는 용융 주석-아연 욕조에 침지시킴으로써 증착된 주석-아연 합금의 제 1 층, 및 전착에 의해 증착된 순수 주석에 기초한 제 2 층 또는 제 2 스택의 이러한 제 1 층 상에 증착된 은, 팔라듐 및 구리에 기초한 합금을 포함하는 제 2 층을 연속적으로 포함하는 종단들의 제 1 스택 상에 증착된 층들의 제 2 스택을 추가적으로 포함할 수 있다.
- [0169] 종단들은 단부들 각각 상에서 교대로 양극 및 음극 전기 연결부들을 취할 수 있게 한다. 이러한 종단들을 통해 다양한 전지 요소들 간에 병렬로 전기 연결부들을 구현할 수 있다. 이를 위해 일측 단부 상에서는 캐소드 연결부들만 나오고 또 다른 측 단부 상에서는 애노드 연결부들이 사용가능하다.
- [0170] 본 발명에 따른 전지는 리튬-이온 마이크로전지, 리튬-이온 미니전지, 또는 고-전력 리튬-이온 전지일 수 있다. 특히, 이는 약 1mAh보다 작거나 같은 용량을 갖도록(일반적으로 "마이크로전지"라고 함), 약 1mAh보다 크고 최대 약 1Ah의 전력을 갖도록(일반적으로 "미니전지"라고 함), 또는 약 1Ah보다 큰 용량을 갖도록 (일반적으로 "전력 전지"라고 함) 설계되고 크기가 조정된다. 일반적으로 마이크로전지들은 마이크로전자 제조 방법들과 호환되도록 설계된다.
- [0171] 다음 각 세 가지 전력 범위들 내의 전지들이 생성될 수 있다:
- [0172] - "완전 고체"유형, 즉 함침된 액체 또는 점성 상들이 없는(상기 액체 또는 점성 상은 전해질로서 작용할 수 있는 중간 전도성 리튬 이온들이 될 수 있음) 층들,

[0173] -또는 액체 또는 점성 상, 일반적으로 자발적으로 층 내부로 들어가고 더 이상 이러한 층으로부터 병합되지 않는 중간 전도성 리튬 이온들로 함침되어 준-고체로 간주될 수 있는 메조포러스 "완전 고체" 유형 층들,

[0174] -또는 함침된 다공성 층들(즉, 액체 또는 점성 상으로 함침될 수 있고 이러한 층들에 다습성을 부여하는 개방 기공들의 격자를 갖는 층들).

부호의 설명

표 1

본 발명에서 사용된 참조부호

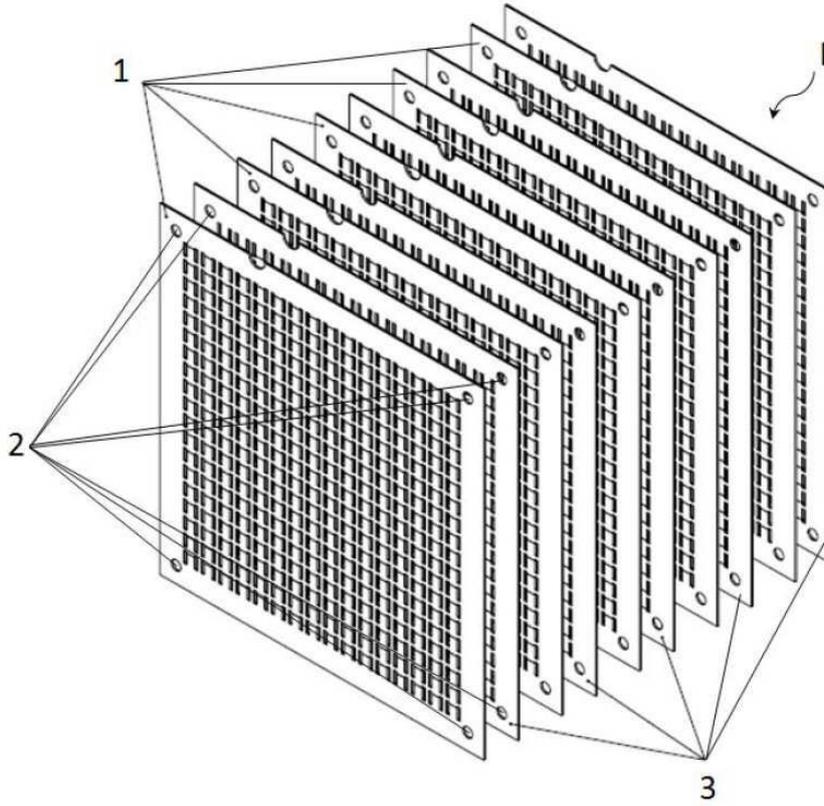
[0175]

I	애노드 및 캐소드 시트들의 스택		
1	캐소드 시트	XH/XH ¹	각각 슬롯들(14, 34)과 슬롯들(1014, 1034)의 수평 중앙 축
3	애노드 시트	D, D', D _n , D' _n , D _{n+1} , D' _{n+1}	컷아웃
10	캐소드 시트의 천공된 중앙 영역	100/ 1100	본 발명에 따른 전지
12	캐소드 시트의 주변 프레임	40/ 1040	재료 오프셋들
XX	스택의 길이 방향 또는 수평 방향	41	캐소드 재료의 오프셋들
YY	스택의 수직 방향 또는 횡단 방향	43	애노드 재료의 오프셋들
L	슬롯의 라인	X 100 Y 100	100의 길이방향 및 횡단 중앙 축
R	슬롯의 열	101/102	100의 측방향 예지들
20/1020	두 개의 행들 사이의 재료의 브릿지	103/104	100의 길이방향 예지들
H ₂₀ /H ₁₀₂₀	브릿지의 높이	110/1110	캐소드 층들
22	두 개의 열들 사이의 재료의 밴드	130/1130	애노드 층들
L ₂₂	스트립의 너비	111, 131/ 1111, 1131	각각 110, 130의 메인 바디/ 1110, 1130의 메인 바디
14/1014	캐소드 시트의 H형 슬롯	112, 132/ 1112, 1132	각각 110, 130의 보조 바디/ 1110, 1130의 보조 바디
16/1016	14의 수직 메인 리세스	113/1113	전극 재료, 전해질 및/또는 집전체 기판이 없는, 각각 111과 112 사이, 1111과 1112 사이의 공간
18/1018	14의 수평 채널	133/1133	전극 재료, 전해질 및/또는 집전체 기판이 없는, 각각 131과 132 사이, 1131과 1132 사이의 공간
H ₁₄	슬롯의 총 높이	L ₁₁₃ / L ₁₁₁₃	각각 111과 112 사이, 1111과 1112 사이의 자유 공간의 너비
L ₁₄	슬롯의 총 너비	L ₁₁₂ / L ₁₁₁₂	각각 보조 바디 112, 1112의 너비
L ₁₆	각 메인 리세스(16)의 너비	111', 112', 131', 132'	각각 111, 112, 131, 132의 자유 공간
H ₁₈	각 채널(18)의 높이	200	종래 기술의 전지(도 12)
D ₁₈	16과 18의 높이 사이의 거리	210/230	캐소드/ 애노드
34/1034	슬롯(14/ 1014)과 유사한, 애노드 시트의 H형 슬롯	201/202	측방향 예지들
36/1036	34의 수직 메인 리세스	210'/230'	캐소드/ 애노드의 자유 면들
1101 / 1102:	1100의 측방향 예지들	210"/ 230"	오목하게 위치한 캐소드/ 애노드의 자유 면들
38/1038:	14의 수평 채널	D ₂₀	컷아웃(D _n)과 채널(18)의 대향 면 사이의 거리
2:	애노드 및 캐소드 시트들의 네 개의 단부에 있는 천공들	D ₄₀	컷아웃(D' _n)과 채널(38)의 대향 면 사이의 거리

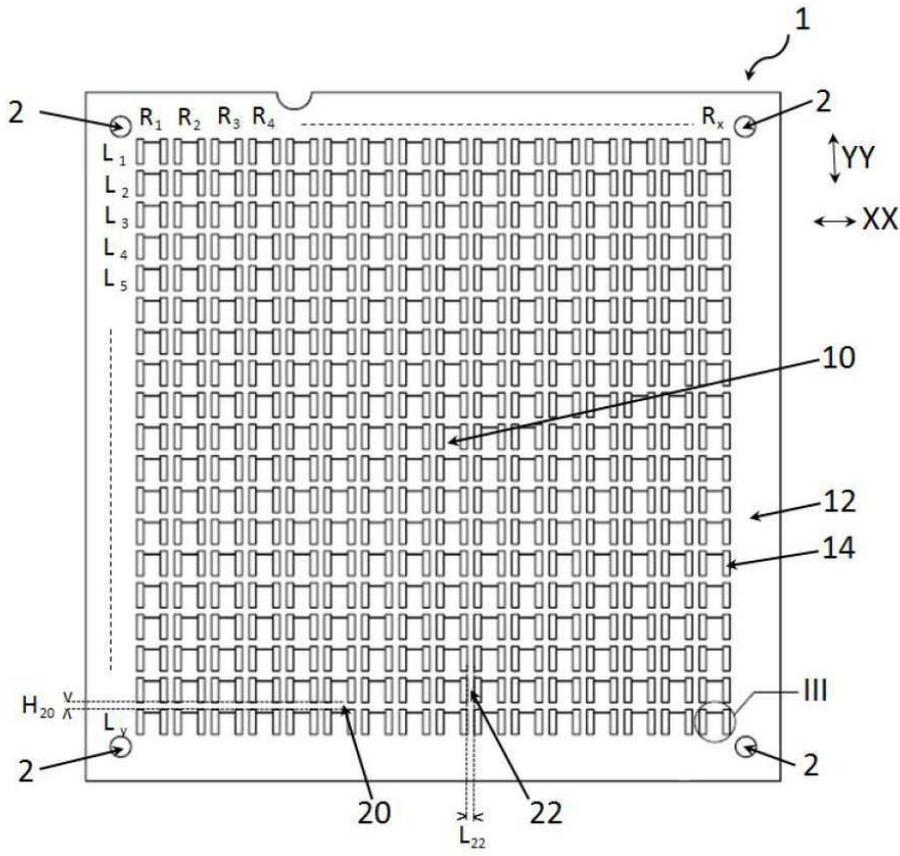
D ₁₀₂₀ :	컷아웃(D _n)과 채널(1018)의 대향 면 사이의 거리	D ₃₈	36과 38 사이의 거리
---------------------	---	-----------------	---------------

도면

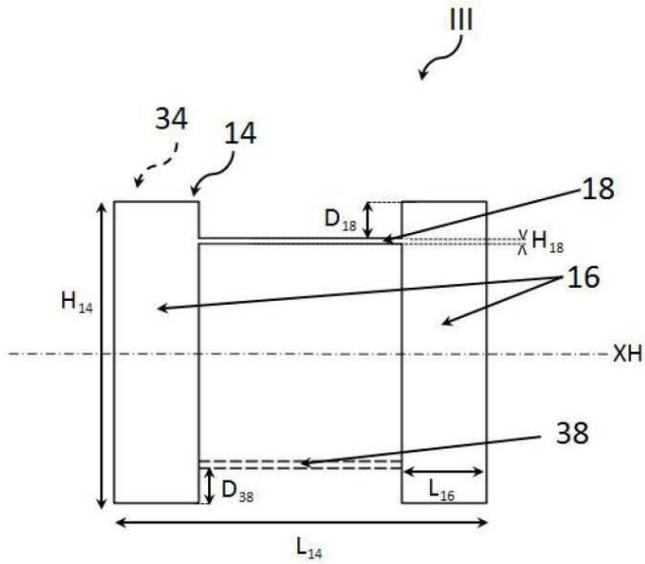
도면1



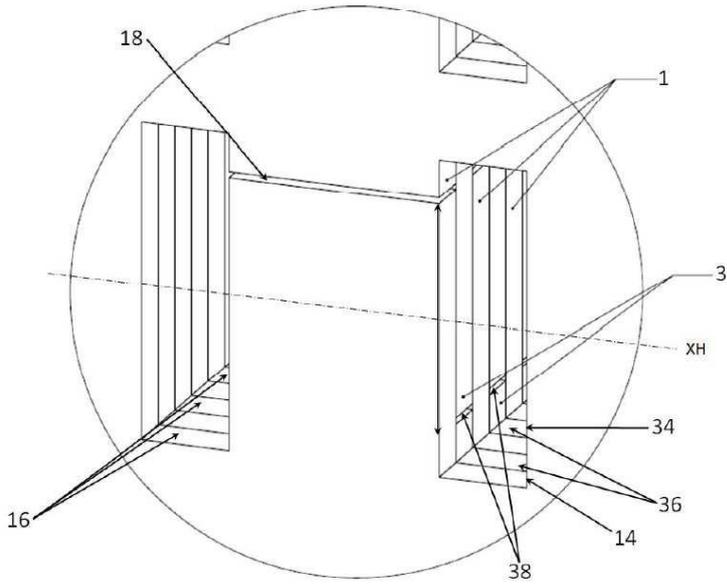
도면2



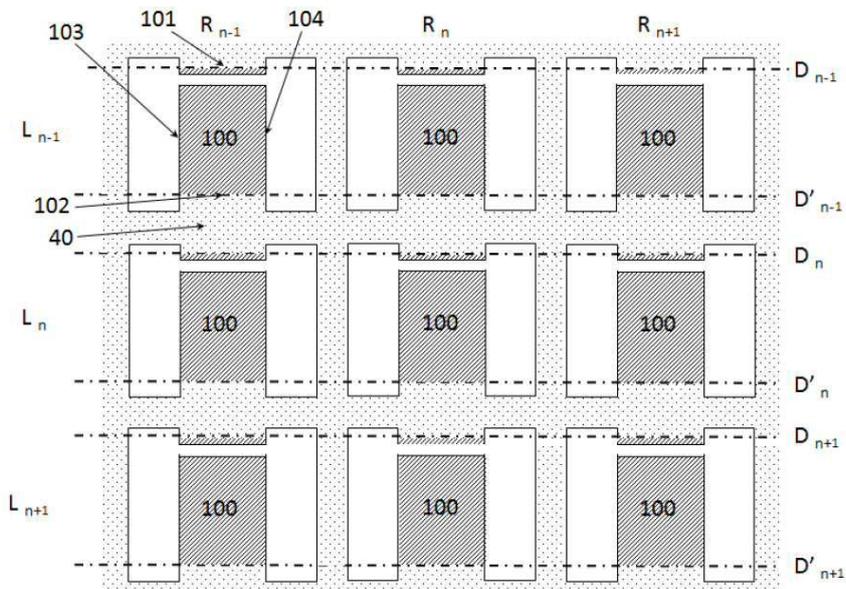
도면3



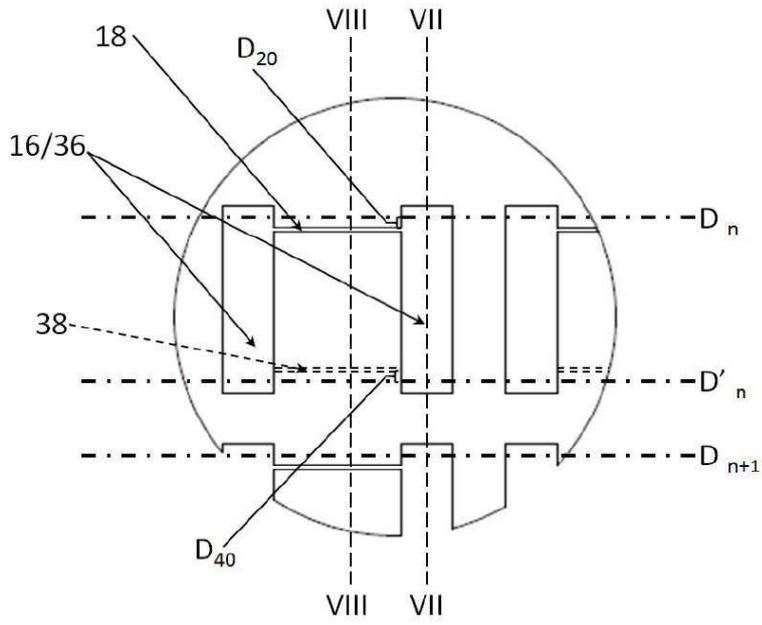
도면4



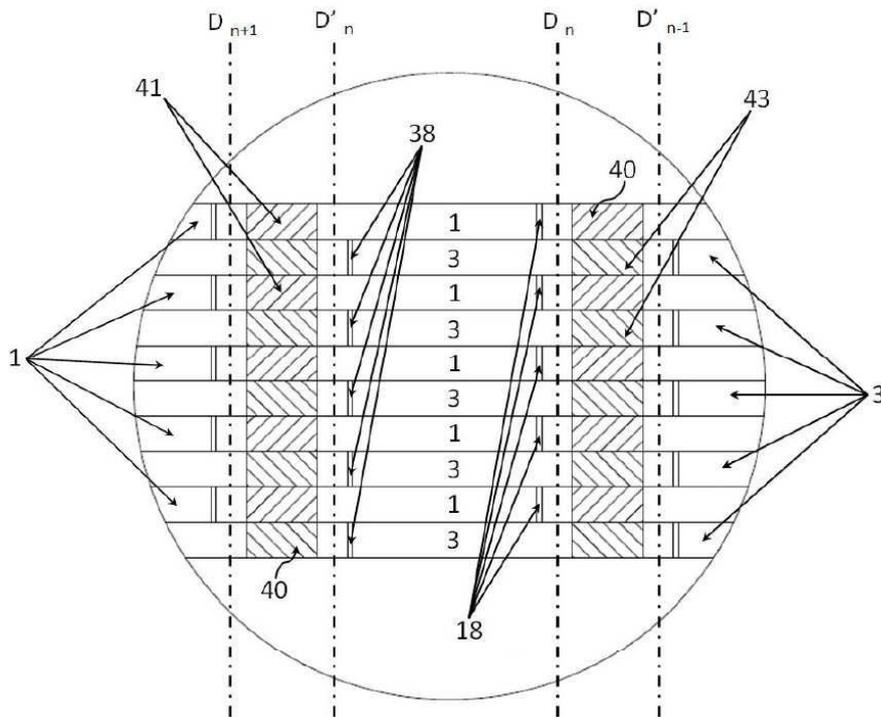
도면5



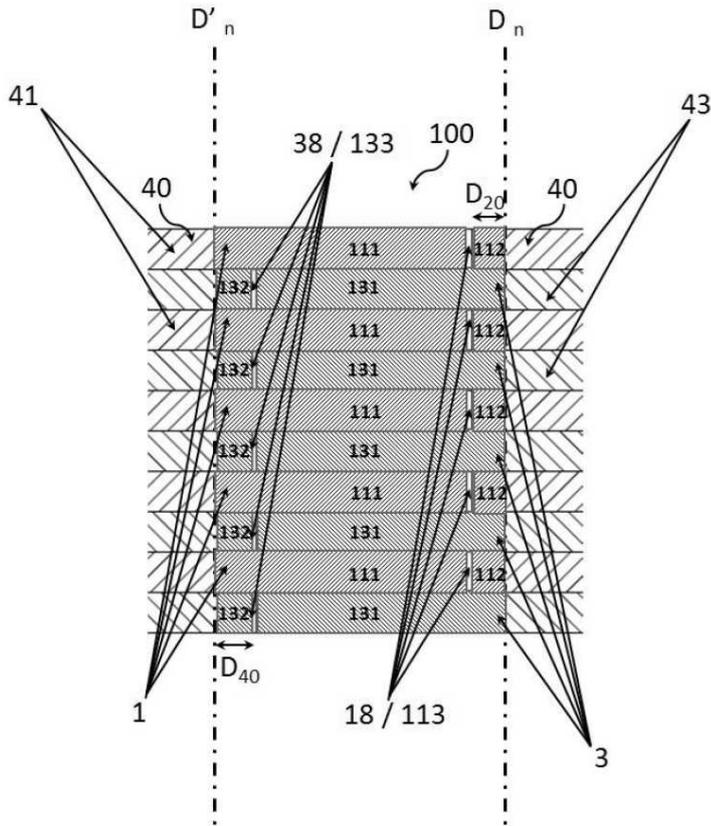
도면6



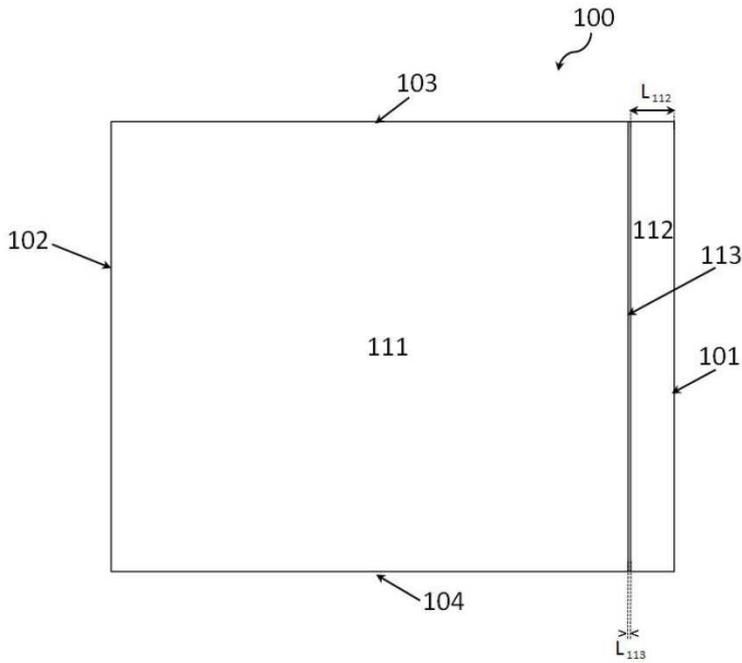
도면7



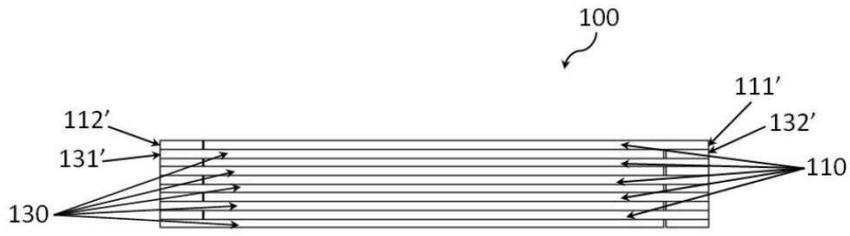
도면8



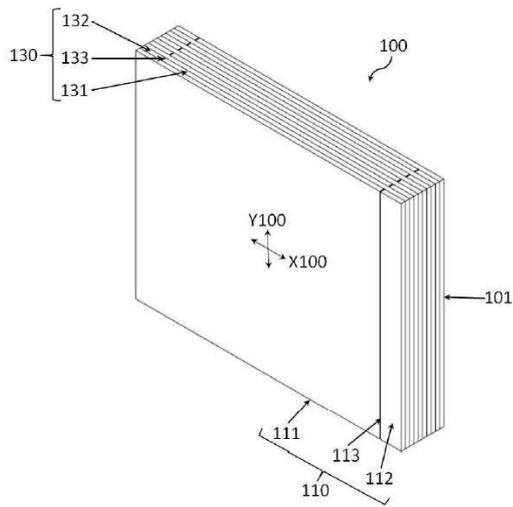
도면9



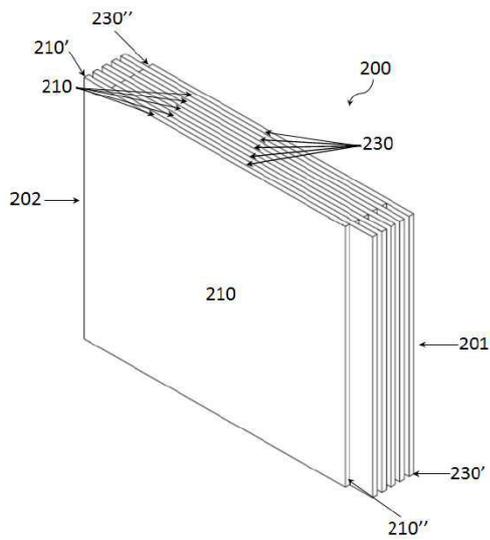
도면10



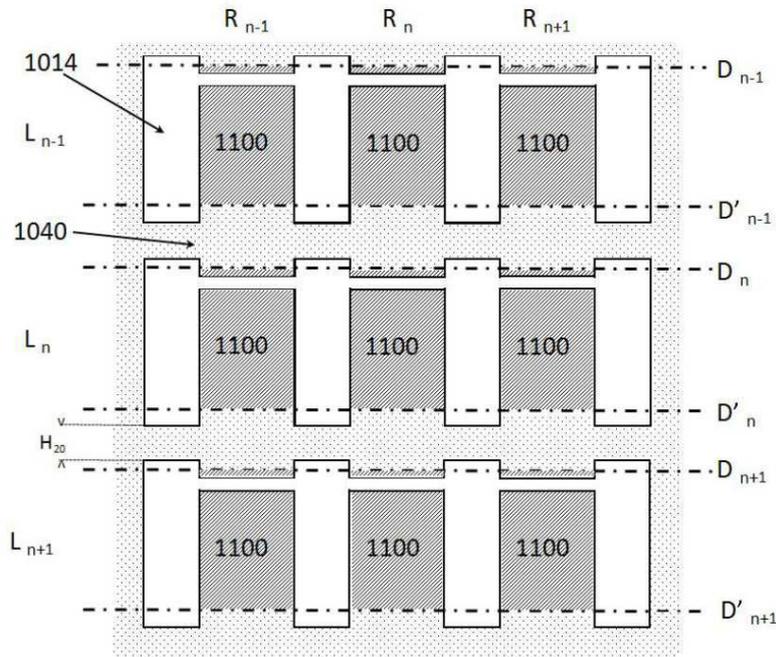
도면11



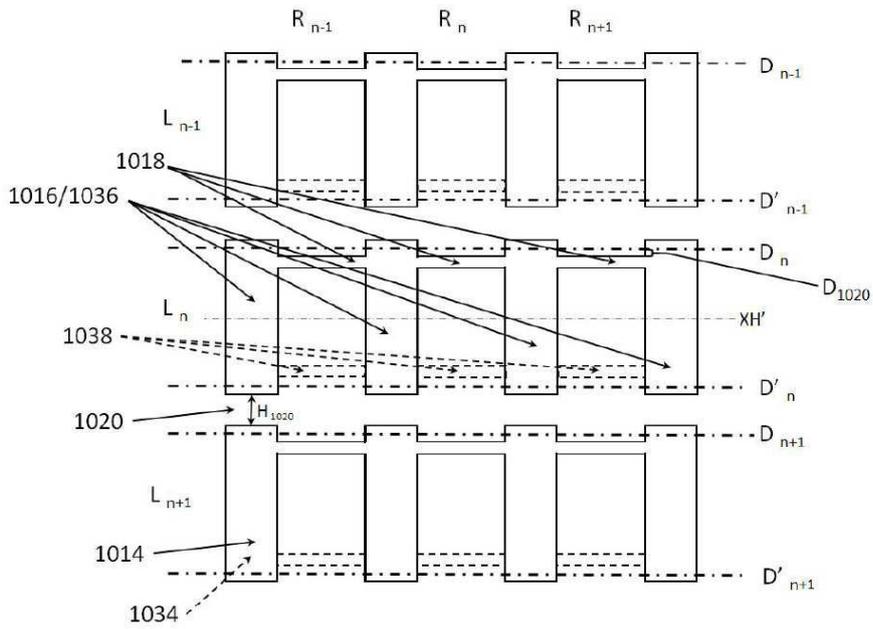
도면12



도면13



도면14



도면15

