



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년05월09일
(11) 등록번호 10-1263167
(24) 등록일자 2013년05월02일

(51) 국제특허분류(Int. Cl.)

G11C 11/413 (2006.01)

(21) 출원번호 10-2006-0013854

(22) 출원일자 2006년02월13일

심사청구일자 2011년02월09일

(65) 공개번호 10-2007-0081697

(43) 공개일자 2007년08월17일

(56) 선행기술조사문헌

KR1020040038835 A*

KR1020060006553 A*

KR1020050113659 A

KR1020060006551 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

박기호

서울특별시 성동구 행당로 82, 116동 1404호 (행당동, 행당 한진타운)

정건욱

경기도 수원시 영통구 영통로 498, 황골마을1단지 아파트 142동 1702호 (영통동)

(74) 대리인

오세준, 송윤호, 권혁수

전체 청구항 수 : 총 6 항

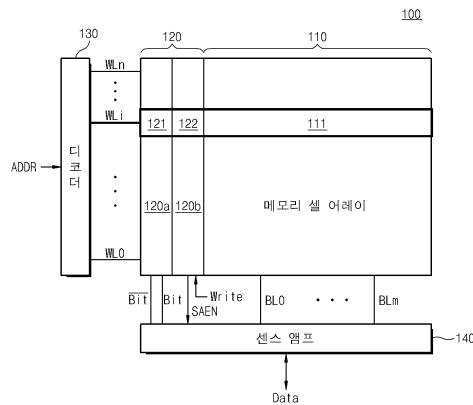
심사관 : 이병수

(54) 발명의 명칭 메모리 셀에 대한 액세스 정보를 저장하는 반도체 메모리장치

(57) 요약

본 발명은 메모리 셀에 대한 액세스 정보를 저장하는 반도체 메모리 장치에 관한 것이다. 본 발명에 따른 반도체 메모리 장치는 복수의 메모리 셀을 갖는 메모리 셀 어레이; 및 워드 라인을 통해 상기 복수의 메모리 셀에 연결되며, 상기 복수의 메모리 셀에 대한 액세스 정보를 저장하는 액세스 제어 회로를 포함한다. 여기에서, 상기 액세스 제어 회로는 상기 워드 라인의 전압 및 상기 액세스 정보에 따라 상기 복수의 메모리 셀을 액세스한다. 본 발명에 의하면, 액세스 정보에 따라 메모리 셀을 액세스하기 때문에 불필요한 전력 소모를 줄일 수 있다.

대표도 - 도1



특허청구의 범위**청구항 1**

복수의 메모리 셀을 갖는 메모리 셀 어레이;

워드 라인을 통해 상기 메모리 셀 어레이와 연결되며, 어드레스에 응답하여 선택된 워드 라인으로 워드 라인 전압을 제공하는 디코더;

비트 라인을 통해 상기 메모리 셀 어레이와 연결되며, 선택된 메모리 셀의 데이터를 감지 증폭하는 센스 앰프; 및

상기 워드 라인에 연결되는, 액세스 정보를 저장하는, 그리고 상기 액세스 정보에 따라 센스 앰프 인에이블 신호를 생성하고, 상기 센스 앰프 인에이블 신호를 이용하여 상기 센스 앰프의 동작을 제어하는 센스 앰프 인에이블 회로를 포함하는 반도체 메모리 장치.

청구항 2

제 1 항에 있어서,

상기 센스 앰프 인에이블 회로는

상기 워드 라인에 연결되며, 상기 액세스 정보를 저장하는 액세스 정보 저장 회로; 및

상기 액세스 정보 저장 회로에 저장된 액세스 정보에 응답하여 상기 센스 앰프 인에이블 신호를 발생하고, 상기 센스 앰프 인에이블 신호를 상기 센스 앰프에 제공하는 논리 게이트를 포함하는 반도체 메모리 장치.

청구항 3

제 2 항에 있어서,

상기 액세스 정보 저장 회로는 1 비트 데이터를 저장하는 메모리 셀인 것을 특징으로 하는 반도체 메모리 장치.

청구항 4

제 3 항에 있어서,

상기 복수의 메모리 셀 및 상기 액세스 정보 저장 회로는 SRAM 셀인 것을 특징으로 하는 반도체 메모리 장치.

청구항 5

제 2 항에 있어서,

상기 논리 게이트는 쓰기 신호가 입력되는 경우에, 상기 액세스 정보에 관계없이 상기 복수의 메모리 셀을 액세스하는 반도체 메모리 장치.

청구항 6

제 1 항에 있어서,

상기 센스 앰프는 읽기 동작 시에 상기 센스 앰프 인에이블 회로로부터 상기 센스 앰프 인에이블 신호를 전달받는 경우에만 상기 메모리 셀 어레이에 액세스하는 반도체 메모리 장치.

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

[0010] 본 발명은 반도체 메모리 장치에 관한 것으로, 더욱 상세하게는 메모리 셀에 대한 액세스 정보를 저장하는 반도체 메모리 장치에 관한 것이다.

[0011] 반도체 메모리 장치는 데이터를 저장해 두고 필요할 때 꺼내어 읽어볼 수 있는 기억 장치이다. 반도체 메모리 장치는 크게 램(RAM; Random Access Memory)과 롬(ROM; Read Only Memory)으로 나눌 수 있다. ROM은 전원이 끊어지더라도 저장된 데이터가 소멸하지 않는 불휘발성 메모리(nonvolatile memory)이다. ROM에는 PROM(Programmable ROM), EPROM(Erasable PROM), EEPROM(Electrically EPROM), 플래시 메모리(Flash Memory) 등이 있다. RAM은 전원이 끊어지면 저장된 데이터가 소멸하는 소위 휘발성 메모리(volatile memory)이다. RAM에는 Dynamic RAM(DRAM)과 Static RAM(SRAM) 등이 있다.

[0012] 일반적으로 반도체 메모리 장치는 메모리 셀 어레이, 디코더, 그리고 센스 앰프를 포함한다. 메모리 셀 어레이는 워드 라인 및 비트 라인에 연결되는 복수의 메모리 셀로 구성된다. 디코더는 어드레스에 응답하여 선택된 워드 라인으로 워드 라인 전압을 제공한다. 센스 앰프는 선택된 메모리 셀에 저장된 데이터를 읽어낸다. 즉, 반도체 메모리 장치는 선택된 워드 라인에 연결된 메모리 셀로부터 데이터를 읽어낸다.

[0013] 그러나 반도체 메모리 장치는 선택된 워드 라인에 연결된 메모리 셀로부터 불필요한 데이터를 읽어내는 경우가 있다. 대표적인 예는 반도체 메모리 장치가 분기 타겟 버퍼로 사용되는 경우이다. 일반적으로 분기 타겟 버퍼는 에스램(SRAM)을 사용한다.

[0014] 분기 타겟 버퍼를 사용한 분기 예측 방법에 의하면, ARM 프로세서 등 내장 프로세서(embedded processor)는 모든 명령어에 대하여 항상 분기 타겟 버퍼를 액세스하기 때문에 전력 소모가 많다. 이러한 단점을 극복하기 위해 프로세서는 분기 명령어인 경우에는 분기 예측을 수행하고, 분기 예측 결과에 따라 선택적으로 분기 타겟 버퍼를 액세스한다. 그러나 이러한 분기 예측 방법에 의하면, 제어 로직이 복잡해지고 페치 로직의 딜레이가 증가하는 단점이 있다. 또한, 분기 예측 결과가 낫-테이큰(not-taken)인 경우에도 분기 타겟 버퍼를 액세스하기 때문에, 불필요하게 전력을 소모하는 문제점이 있다.

[0015] 위에서 설명한 분기 타겟 버퍼의 예처럼, 종래의 반도체 메모리 장치는 선택된 워드 라인에 연결된 메모리 셀을 항상 액세스한다. 따라서 종래의 반도체 메모리 장치는 불필요한 데이터를 출력함으로써, 전력과 시간을 소모하는 문제가 있다.

발명이 이루고자 하는 기술적 과제

[0016] 본 발명은 상술한 문제점을 해결하기 위하여 제안된 것으로, 본 발명의 목적은 액세스 정보에 따라 메모리 셀을 선택적으로 액세스하여, 불필요한 전력 소모를 줄이는 반도체 메모리 장치를 제공하는 데 있다.

발명의 구성 및 작용

[0017] 본 발명에 따른 반도체 메모리 장치는 복수의 메모리 셀을 갖는 메모리 셀 어레이; 및 워드 라인을 통해 상기 복수의 메모리 셀에 연결되며, 상기 복수의 메모리 셀에 대한 액세스 정보를 저장하는 액세스 제어 회로를 포함한다. 여기에서, 상기 액세스 제어 회로는 상기 워드 라인의 전압 및 상기 액세스 정보에 따라 상기 복수의 메모리 셀을 액세스한다.

[0018] 실시예로서, 상기 액세스 제어 회로는 상기 액세스 정보를 저장하는 액세스 정보 저장 회로; 및 상기 워드 라인 전압 및 상기 액세스 정보를 논리 연산하는 논리 게이트를 포함한다. 상기 액세스 정보 저장 회로는 1_비트 데이터를 저장하는 메모리 셀이다. 상기 복수의 메모리 셀 및 상기 액세스 정보 저장 회로는 SRAM 셀이다. 상기 논리 게이트는 쓰기 신호가 입력되는 경우에, 상기 액세스 정보에 관계없이 상기 복수의 메모리 셀을 액세스한다. 상기 액세스 제어 회로는 읽기 동작 시에 상기 워드 라인의 전압 및 상기 액세스 정보에 따라 상기 복수의 메모리 셀을 액세스한다.

[0019] 본 발명에 따른 반도체 메모리 장치의 다른 일면은 복수의 메모리 셀을 갖는 메모리 셀 어레이; 워드 라인을 통해 상기 메모리 셀 어레이와 연결되며, 어드레스에 응답하여 선택된 워드 라인으로 워드 라인 전압을 제공하는 디코더; 비트 라인을 통해 상기 메모리 셀 어레이와 연결되며, 선택된 메모리 셀의 데이터를 감지 증폭하는 센스 앰프; 및 상기 워드 라인에 연결되는, 액세스 정보를 저장하는, 그리고 상기 액세스 정보에 따라 상기 센스 앰프의 동작을 제어하는 센스 앰프 인에이블 회로를 포함한다.

[0020] 실시예로서, 상기 센스 앰프 인에이블 회로는 상기 워드 라인에 연결되며, 상기 액세스 정보를 저장하는 액세스 정보 저장 회로; 및 상기 액세스 정보 저장 회로에 저장된 액세스 정보에 응답하여 센스 앰프 인에이블 신호를 발생하고, 상기 센스 앰프 인에이블 신호를 상기 센스 앰프에 제공하는 논리 게이트를 포함한다.

[0021] 상기 액세스 정보 저장 회로는 1_비트 데이터를 저장하는 메모리 셀이다. 상기 복수의 메모리 셀 및 상기 액세스 정보 저장 회로는 SRAM 셀이다. 상기 논리 게이트는 상기 워드 라인 전압 및 상기 액세스 정보를 입력받고 논리 연산한다. 상기 논리 게이트는 쓰기 신호가 입력되는 경우에, 상기 액세스 정보에 관계없이 상기 센스 앰프 인에이블 신호를 상기 센스 앰프에 제공한다. 상기 논리 게이트는 상기 액세스 정보 및 상기 쓰기 신호를 입력받고 OR 연산하는 제 1 게이트; 및 상기 워드 라인 전압 및 상기 제 1 게이트의 출력을 입력받고 AND 연산하고, 상기 센스 앰프 인에이블 신호를 발생하는 제 2 게이트를 포함한다.

[0022] 본 발명에 따른 반도체 메모리 장치의 또 다른 일면은 복수의 메모리 셀을 갖는 메모리 셀 어레이; 어드레스에

응답하여 선택된 워드 라인으로 워드 라인 전압을 제공하는 디코더; 및 게이트 워드 라인을 통해 상기 복수의 메모리 셀에 연결되는, 액세스 정보를 저장하는, 그리고 상기 액세스 정보에 따라 상기 워드 라인 전압을 상기 게이트 워드 라인으로 제공하는 워드 라인 게이팅 회로를 포함한다.

[0023] 실시예로서, 상기 워드 라인 게이팅 회로는 상기 선택된 워드 라인에 연결되며, 상기 액세스 정보를 저장하는 액세스 정보 저장 회로; 및 상기 액세스 정보 저장 회로에 저장된 액세스 정보에 응답하여 상기 워드 라인 전압을 상기 게이트 워드 라인으로 제공하는 논리 게이팅 회로를 포함한다.

[0024] 상기 액세스 정보 저장 회로는 1_비트 데이터를 저장하는 메모리 셀이다. 상기 복수의 메모리 셀 및 상기 액세스 정보 저장 회로는 SRAM 셀이다. 상기 논리 게이팅은 상기 워드 라인 전압 및 상기 액세스 정보를 입력받고 논리 연산한다. 상기 논리 게이팅은 쓰기 신호가 입력되는 경우에, 상기 액세스 정보에 관계없이 상기 워드 라인 전압을 상기 게이트 워드 라인으로 제공한다. 상기 논리 게이팅은 상기 액세스 정보 및 상기 쓰기 신호를 입력받고 OR 연산하는 제 1 게이팅; 및 상기 제 1 게이팅의 출력에 응답하여 상기 워드 라인 전압을 상기 게이트 워드 라인으로 제공하는 제 2 게이팅을 포함한다.

[0025] 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.

[0026] 본 발명에 따른 반도체 메모리 장치는 워드 라인을 통해 메모리 셀 어레이에 연결되며, 선택된 메모리 셀에 대한 액세스 정보를 저장하는 액세스 제어 회로를 포함한다. 액세스 제어 회로는 워드 라인 전압 및 액세스 정보에 따라 선택된 메모리 셀을 액세스한다. 본 발명에 따른 반도체 메모리 장치에 의하면, 액세스 정보에 따라 선택된 메모리 셀을 액세스하기 때문에 불필요한 전력 소모를 줄일 수 있다. 이하에서, 액세스 제어 회로는 센스 앰프 인에이블 회로(도 1 참조, 120) 또는 워드 라인 게이팅 회로(도 3 참조, 120)로 설명된다.

[0027] 본 발명에 따른 반도체 메모리 장치는 분기 예측을 수행하는 분기 타겟 버퍼 등에 효율적으로 사용될 수 있다. 분기 타겟 버퍼는 분기 예측 정보, 즉, 테이큰(taken) 또는 낫-테이큰(not-taken) 정보에 따라 분기 예측을 수행한다. 분기 예측정보가 낫-테이큰인 경우에는 선택된 메모리 셀을 액세스할 필요가 없다. 그러나 종래의 분기 타겟 버퍼는 분기 예측 정보가 낫-테이큰인 경우에도 선택된 메모리 셀을 액세스하기 때문에 불필요하게 전력을 소모한다. 본 발명은 이와 같은 불필요한 전력 소모를 줄이기 위한 것이다.

[0028] 도 1은 본 발명에 따른 반도체 메모리 장치의 제 1 실시예를 보여주는 블록도이다. 도 1을 참조하면, 반도체 메모리 장치(100)는 메모리 셀 어레이(110), 센스 앰프 인에이블 회로(120), 디코더(130), 그리고 센스 앰프(140)를 포함한다. 본 발명에 따른 반도체 메모리 장치(100)는 에스램(SRAM), 디램(DRAM) 등과 같은 휘발성 메모리 뿐만 아니라 플래시 메모리, 프램(PRAM) 등과 같은 불휘발성 메모리에도 적용될 수 있다. 이하에서는 에스램(SRAM)으로 구현된 반도체 메모리 장치(100)가 설명된다.

[0029] 메모리 셀 어레이(110)는 워드 라인(WL0~WLn)을 통해 디코더(130)와 연결되며, 비트 라인(BL0~BLm)을 통해 센스 앰프(140)와 연결된다. 메모리 셀 어레이(110)는 복수의 메모리 셀(도시되지 않음)을 포함한다. 여기에서, 메모리 셀은 반도체 메모리 장치의 종류에 따라 구조를 달리한다. 예를 들면, SRAM 셀은 일반적으로 4개의 NMOS 트랜지스터와 2개의 PMOS 트랜지스터로 구성된다. 이 중에서 2개의 NMOS 트랜지스터는 선택 트랜지스터로서 워드 라인에 연결되어 있다. 그리고 나머지 2개의 NMOS 트랜지스터와 2개의 PMOS 트랜지스터는 데이터를 저장하기 위해 래치 회로를 형성한다. 기타, SRAM 셀의 구성 및 동작은 당업자에게 잘 알려진 바와 같다.

[0030] 센스 앰프 인에이블 회로(120)는 메모리 셀 어레이(110)와 디코더(130) 사이에 연결된다. 센스 앰프 인에이블 회로(120)는 액세스 정보 저장 회로(120a) 및 논리 게이팅(120b)을 포함한다. 액세스 정보 저장 회로(120a)는 워드 라인(WL0~WLn)에 연결되며, 액세스 정보를 저장한다. 여기에서, 액세스 정보는 선택된 메모리 셀의 액세스 여부에 대한 정보이다. 액세스 정보 저장 회로(120a)는 1_비트 SRAM 셀로 구현될 수 있다. 논리 게이팅(120b)은 액세스 정보 저장 회로(120a)에 저장된 액세스 정보에 따라 센스 앰프 인에이블 신호(SAEN)를 발생한다. 센스 앰프 인에이블 신호(SAEN)는 센스 앰프(140)에 제공된다.

[0031] 도 1을 참조하면, 선택된 워드 라인(WLi)에는 복수의 메모리 셀(111), 액세스 정보 저장 회로(121), 그리고 논리 게이팅(122)이 연결된다. 액세스 정보 저장 회로(121) 및 논리 게이팅(122)의 구성 및 동작은 도 2를 참조하여 상세히 설명된다.

[0032] 디코더(130)는 워드 라인(WL0~WLn)을 통해 메모리 셀 어레이(110)와 연결된다. 디코더(130)는 어드레스(ADDR)를 입력받고, 선택된 워드 라인(WLi)으로 워드 라인 전압을 제공한다.

- [0033] 센스 앰프(140)는 비트 라인(BL0~BLm)을 통해 메모리 셀 어레이(110)와 연결된다. 또한, 센스 앰프(140)는 비트 라인(Bit, /Bit)을 통해 액세스 정보 저장 회로(120a)와 연결된다. 센스 앰프(140)는 메모리 셀 어레이(110)에 저장된 데이터를 선택된 비트 라인을 통해 읽어낸다. 센스 앰프(140)는 액세스 정보 저장 회로(120a)에 저장된 데이터를 업-데이트한다.
- [0034] 한편, 센스 앰프(140)는 논리 게이트(120b)로부터 센스 앰프 인에이블 신호(SAEN)가 제공되는 경우만 선택된 메모리 셀로부터 데이터를 읽어낸다. 즉, 센스 앰프 인에이블 신호(SAEN)가 활성화되지 않으면, 센스 앰프(140)는 선택된 메모리 셀을 액세스하지 않는다. 이는 액세스 정보에 따라 선택된 메모리 셀에 대한 액세스를 금지하여, 반도체 메모리 장치(100)의 전력 소모를 줄이기 위함이다.
- [0035] 도 2는 도 1에 도시된 센스 앰프 인에이블 회로를 예시적으로 보여주는 회로도이다. 도 2를 참조하면, 센스 앰프 인에이블 회로는 선택된 워드 라인(WLi) 및 비트 라인(Bit, /Bit)에 연결된다. 센스 앰프 인에이블 회로는 1_비트 SRAM 셀(121)과 논리 게이트(122)를 포함한다.
- [0036] 1_비트 SRAM 셀(121)은 액세스 정보를 저장한다. 액세스 정보는 선택된 메모리 셀의 액세스 여부에 대한 정보이다. 1_비트 SRAM 셀(121)은 제 1 및 제 2 PMOS 트랜지스터(P1, P2), 제 1 내지 제 4 NMOS 트랜지스터(N1~N4)로 구성된다. 제 3 및 제 4 NMOS 트랜지스터(N3, N4)의 게이트에는 선택된 워드 라인(WLi)이 연결되고, 그것의 드레인에는 비트 라인(Bit, /Bit)이 연결된다. 그리고 제 2 PMOS 트랜지스터(P2) 및 제 2 NMOS 트랜지스터(N2)의 드레인에는 1_비트 데이터가 저장된다. 여기에서, 1_비트 데이터는 액세스 정보이다.
- [0037] 논리 게이트(122)는 1_비트 SRAM 셀(121)에 저장된 액세스 정보에 따라 센스 앰프 인에이블 신호(SAEN)를 발생한다. 예를 들면, 액세스 정보가 데이터 '1'인 경우에는 센스 앰프 인에이블 신호(SAEN)를 발생하며, 데이터 '0'인 경우에는 센스 앰프 인에이블 신호(SAEN)를 발생하지 않는다.
- [0038] 도 2를 참조하면, 논리 게이트(122)는 제 1 및 제 2 게이트(G1, G2)를 포함한다. 제 1 게이트(G1)는 액세스 정보 및 쓰기 신호(write)를 입력받고 OR 연산을 수행한다. 여기에서, 쓰기 신호(write)는 쓰기 동작을 명하는 커맨드이다. 제 1 게이트(G1)는 하이 레벨의 쓰기 신호(write)가 입력되는 경우에는, 액세스 정보에 관계없이 하이 레벨의 출력 신호를 발생한다. 제 2 게이트(G2)는 제 1 게이트(G1)의 출력 신호 및 선택된 워드 라인(WLi)의 워드 라인 전압을 입력받고 AND 연산을 수행한다.
- [0039] 논리 게이트(122)는 액세스 정보가 데이터 '1'이거나 쓰기 신호가 입력되는 경우에 센스 앰프 인에이블 신호(SAEN)를 발생한다. 그러나 논리 게이트(122)는 읽기 동작 시에 액세스 정보가 데이터 '0'인 경우에는 센스 앰프 인에이블 신호(SAEN)를 발생하지 않는다. 이때 센스 앰프(도 1 참조, 140)는 선택된 메모리 셀을 액세스하지 않는다. 이는 액세스 정보에 따라 선택된 메모리 셀을 액세스하지 않으므로 전력 소모를 줄이기 위함이다. 한편, 논리 게이트(122)는 쓰기 신호(write)가 활성화된 경우에는 액세스 정보에 관계없이 센스 앰프 인에이블 신호(SAEN)를 발생하여 정상적으로 쓰기 동작을 수행하도록 한다.
- [0040] 본 발명에 따른 반도체 메모리 장치(100)는 액세스 정보를 저장하고, 액세스 정보에 따라 센스 앰프(140)를 인에이블한다. 반도체 메모리 장치(100)는 액세스 정보를 저장하기 위해 1_비트 SRAM 셀(121)을 구비한다. 1_비트 SRAM 셀(121)은 메모리 셀 어레이(110)와 디코더(130) 사이의 워드 라인(WL)에 연결된다. 반도체 메모리 장치(100)는 액세스 정보에 따라 센스 앰프(140)를 인에이블하기 때문에 불필요한 전력 소모를 줄일 수 있다.
- [0041] 도 3은 본 발명에 따른 반도체 메모리 장치의 제 2 실시예를 보여주는 블록도이다. 도 3을 참조하면, 반도체 메모리 장치(200)는 메모리 셀 어레이(210), 워드 라인 게이팅 회로(220), 디코더(230), 그리고 센스 앰프(240)를 포함한다. 반도체 메모리 장치(200)는 불휘발성 메모리뿐만 아니라 휘발성 메모리에도 적용될 수 있다. 이하에서는, 에스램(SRAM)으로 구현된 반도체 메모리 장치(200)가 설명된다. 메모리 셀 어레이(210) 및 디코더(230)는 도 1에서 설명한 바와 같다.
- [0042] 워드 라인 게이팅 회로(220)는 메모리 셀 어레이(210)와 디코더(230) 사이에 연결된다. 워드 라인 게이팅 회로(220)는 액세스 정보 저장 회로(220a) 및 논리 게이트(220b)를 포함한다. 도 3을 참조하면, 선택된 워드 라인(WLi)에는 액세스 정보 저장 회로(221) 및 논리 게이트(222)가 연결된다. 액세스 정보 저장 회로(221)는 1_비트 SRAM 셀로 구현될 수 있다. 논리 게이트(222)는 액세스 정보 저장 회로(221)에 저장된 액세스 정보에 따라 게이트 워드 라인(도 4 참조, GWLi)을 액세스한다. 액세스 정보 저장 회로(221) 및 논리 게이트(222)의 구성 및 동작은 도 4를 참조하여 상세히 설명된다.
- [0043] 센스 앰프(240)는 비트 라인(BL0~BLm)을 통해 메모리 셀 어레이(210)와 연결된다. 또한, 센스 앰프(240)는 비트

라인(Bit, /Bit)을 통해 액세스 정보 저장 회로(220a)와 연결된다. 센스 앰프(240)는 메모리 셀 어레이(210)에 저장된 데이터를 선택된 비트 라인을 통해 읽어낸다. 센스 앰프(240)는 액세스 정보 저장 회로(220a)에 저장된 데이터를 업-데이트한다.

[0044] 도 4는 도 3에 도시된 워드 라인 게이팅 회로를 예시적으로 보여주는 회로도이다. 도 4에 도시된 워드 라인 게이팅 회로는 선택된 워드 라인(WLi) 및 게이트 워드 라인(GWLi) 사이에 연결된다. 워드 라인 게이팅 회로는 1_비트 SRAM 셀(221)과 논리 게이트(222)를 포함한다.

[0045] 1_비트 SRAM 셀(221)은 액세스 정보를 저장하고 있다. 액세스 정보는 선택된 메모리 셀의 액세스 여부에 대한 정보이다. 1_비트 SRAM 셀(221)에는 1_비트의 액세스 정보가 저장된다. 논리 게이트(222)는 1_비트 SRAM 셀(221)에 저장된 액세스 정보에 따라 게이트 워드 라인(GWLi)을 액세스한다. 예를 들면, 액세스 정보가 데이터 '1'인 경우에는 게이트 워드 라인(GWLi)을 액세스하며, 데이터 '0'인 경우에는 게이트 워드 라인(GWLi)을 액세스하지 않는다.

[0046] 도 4를 참조하면, 논리 게이트(222)는 제 1 및 제 2 게이트(G1, G2)를 포함한다. 제 1 게이트(G1)는 액세스 정보 및 쓰기 신호(write)를 입력받고 OR 연산을 수행한다. 여기에서, 쓰기 신호(write)는 쓰기 동작을 명하는 커맨드이다. 제 1 게이트(G1)는 하이 레벨의 쓰기 신호(write)가 입력되는 경우에는, 액세스 정보에 관계없이 하이 레벨의 출력 신호를 발생한다. 제 2 게이트(G2)는 제 1 게이트(G1)의 출력 신호 및 선택된 워드 라인(WLi)의 워드 라인 전압을 입력받고 AND 연산을 수행한다.

[0047] 논리 게이트(222)는 액세스 정보가 데이터 '1'이거나 쓰기 신호가 입력되는 경우에 게이트 워드 라인(GWLi)을 액세스한다. 그러나 논리 게이트(222)는 읽기 동작 시에 액세스 정보가 데이터 '0'인 경우에는 게이트 워드 라인(GWLi)을 액세스하지 않는다. 이는 액세스 정보에 따라 선택된 메모리 셀을 액세스하지 않으므로 전력 소모를 줄이기 위함이다. 한편, 논리 게이트(222)는 쓰기 신호(write)가 활성화된 경우에는 액세스 정보에 관계없이 게이트 워드 라인(GWLi)을 액세스하여 정상적으로 쓰기 동작을 수행하도록 한다.

[0048] 도 3에 도시된 반도체 메모리 장치(200)는 1_비트 SRAM 셀(221)에 액세스 정보를 저장하고, 액세스 정보에 따라 선택된 워드 라인(WLi)의 전압을 게이트 워드 라인(GWLi)으로 제공한다. 도 3에 도시된 반도체 메모리 장치(220)는 액세스 정보에 따라 게이트 워드 라인(GWLi)에 연결된 메모리 셀을 액세스한다.

[0049] 이상에서 살펴 본 바와 같이 본 발명에 따른 반도체 메모리 장치는 액세스 정보에 따라 메모리 셀을 액세스하기 때문에 불필요한 전력 소모를 줄일 수 있다. 또한, 1_비트 SRAM 셀에 액세스 정보를 저장하기 때문에 복잡한 제어 회로나 큰 지연 시간 없이도 워드 라인의 제어만으로 반도체 메모리 장치에서 소모되는 전력을 줄일 수 있다.

[0050] 본 발명에 따른 반도체 메모리 장치는 분기 예측을 수행하는 분기 타겟 버퍼에 효율적으로 사용될 수 있다. 즉, 1_비트 SRAM 셀에 분기 예측 정보를 저장하고, 분기 예측 정보에 따라 메모리 셀 어레이를 액세스한다. 즉, 분기 타겟 버퍼는 분기 예측 정보가 테이크인 경우에만 메모리 셀 어레이를 액세스하고, 낮-테이크인 경우에는 메모리 셀 어레이를 액세스하지 않는다. 따라서 분기 타겟 버퍼는 분기 예측 정보가 낮-테이크인 경우에는 메모리 셀을 액세스하지 않기 때문에 불필요한 전력 소모를 줄일 수 있다.

[0051] EEMBC 벤치마크(benchmark)에 대한 시뮬레이션을 통하여 얻은 결과에 따르면, 약 40% 이상이 낮-테이크으로 예측되는 것을 확인할 수 있으며, 이를 감안한다면 반도체 메모리 장치를 액세스하는데 소모되는 전력을 40% 정도를 절감할 수 있다.

[0052] 한편, 본 발명의 상세한 설명에서는 구체적인 실시예에 관하여 설명하였으나, 본 발명의 범위에서 벗어나지 않는 한도 내에서 여러 가지 변형이 가능함은 물론이다. 그러므로 본 발명의 범위는 상술한 실시예에 국한되어 정해져서는 안되며 후술하는 특허청구범위 뿐만 아니라 이 발명의 특허청구범위와 균등한 것들에 의해 정해져야 한다.

발명의 효과

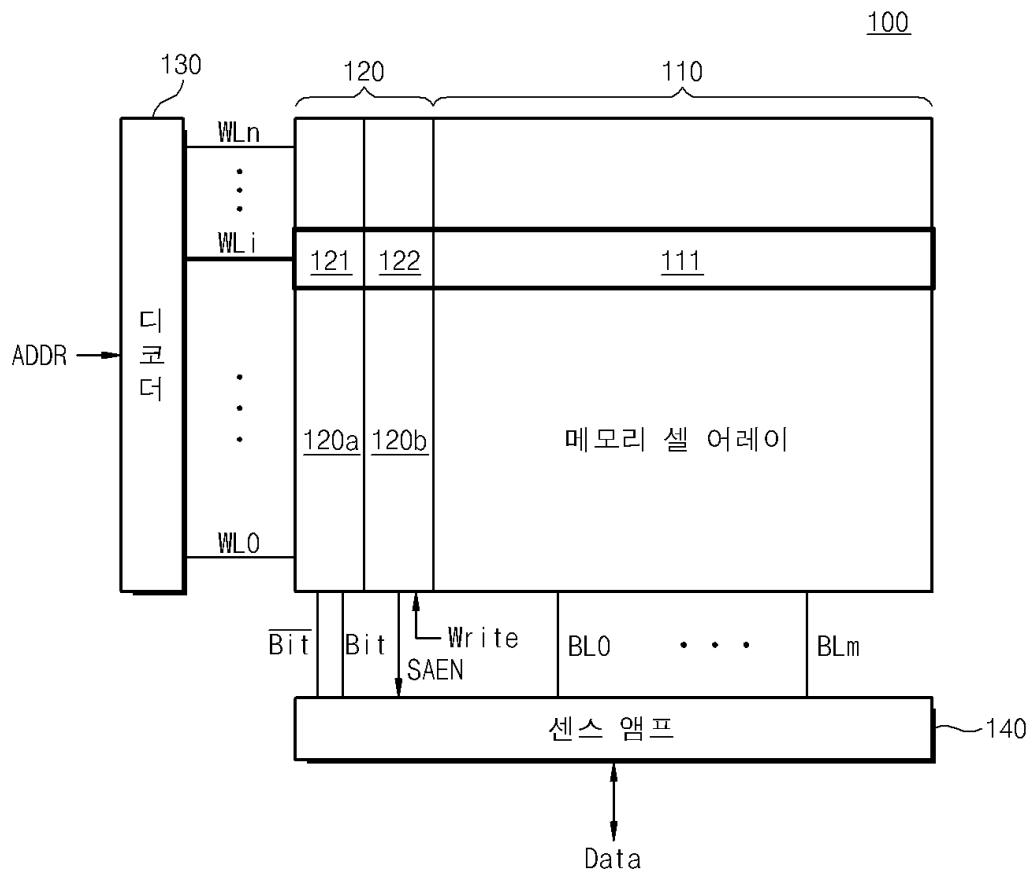
[0053] 상술한 바와 같이 본 발명에 의하면, 반도체 메모리 장치 내에 액세스 정보를 저장하는 수단을 구비하고, 액세스 정보에 따라 반도체 메모리 장치를 액세스하기 때문에 종래에 비해 반도체 메모리 장치에서 불필요하게 소모되는 전력을 크게 줄일 수 있다.

도면의 간단한 설명

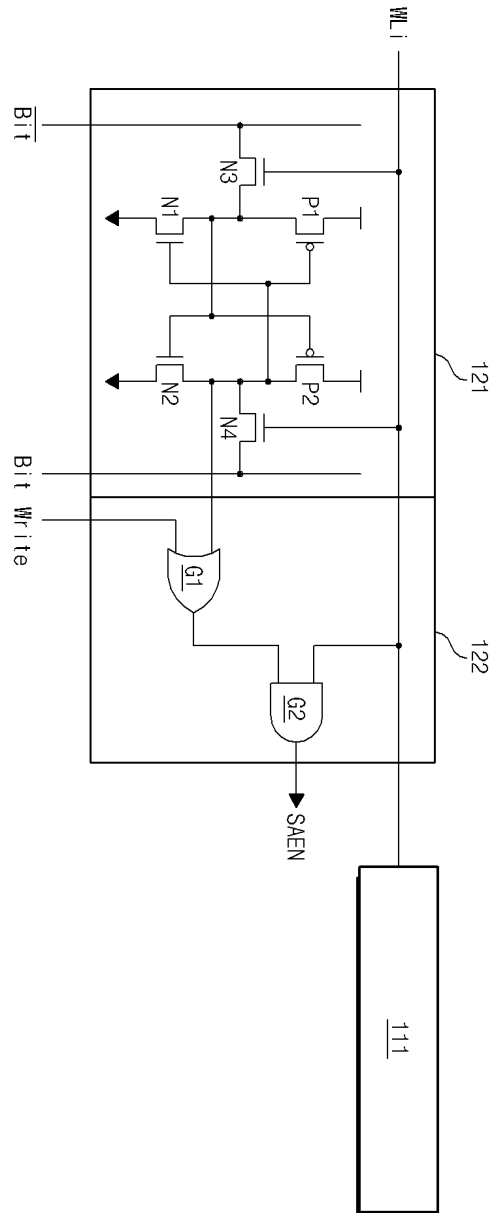
- [0001] 도 1은 본 발명에 따른 반도체 메모리 장치의 제 1 실시예를 보여주는 블록도이다.
- [0002] 도 2는 도 1에 도시된 센스 앰프 인에이블 회로를 보여주는 블록도이다.
- [0003] 도 3은 본 발명에 따른 반도체 메모리 장치의 제 2 실시예를 보여주는 블록도이다.
- [0004] 도 4는 도 3에 도시된 워드 라인 게이팅 회로를 보여주는 블록도이다.
- [0005] *도면의 주요부분에 대한 부호의 설명*
- [0006] 100, 200; 반도체 메모리 장치 110, 210; 메모리 셀 어레이
- [0007] 120; 센스 앰프 인에이블 회로 220; 워드 라인 게이팅 회로
- [0008] 130, 230; 디코더 140, 240; 센스 앰프
- [0009] 121, 221; SRAM 셀 122, 222; 논리 게이트

도면

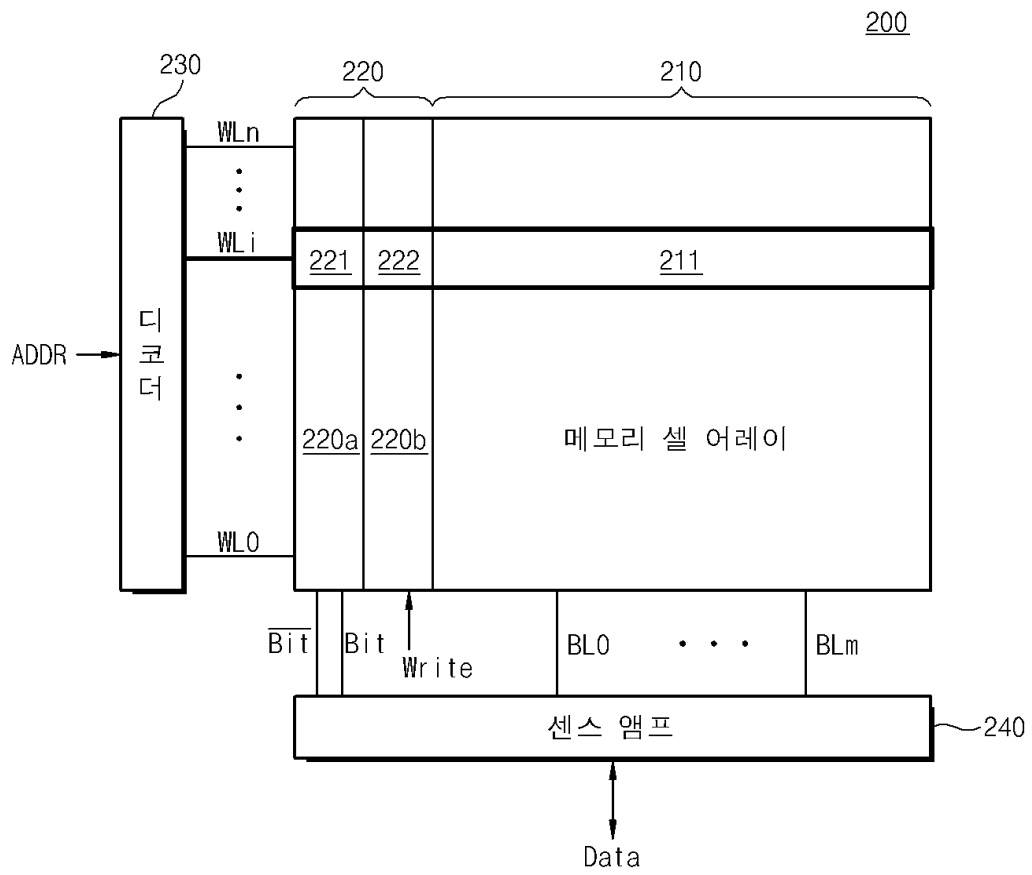
도면1



도면2



도면3



도면4

