



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년04월24일
 (11) 등록번호 10-1972200
 (24) 등록일자 2019년04월18일

(51) 국제특허분류(Int. Cl.)
 H01L 33/22 (2010.01) H01L 21/02 (2006.01)
 H01L 33/00 (2010.01)
 (52) CPC특허분류
 H01L 33/22 (2013.01)
 H01L 21/0242 (2013.01)
 (21) 출원번호 10-2015-7009989
 (22) 출원일자(국제) 2013년09월05일
 심사청구일자 2018년09월03일
 (85) 번역문제출일자 2015년04월17일
 (65) 공개번호 10-2015-0058424
 (43) 공개일자 2015년05월28일
 (86) 국제출원번호 PCT/IB2013/058295
 (87) 국제공개번호 WO 2014/041463
 국제공개일자 2014년03월20일
 (30) 우선권주장
 61/701,742 2012년09월17일 미국(US)
 (56) 선행기술조사문헌
 JP2006196538 A*
 US20040118825 A1*
 US20080121903 A1*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 루미리즈 홀딩 비.브이.
 네덜란드 씨엘 스키폴 1118 에버트 반 드 벡스트
 라트 1 타워 비5 유닛 107 더 베이스
 (72) 발명자
 바트, 제로메 찬드라
 네덜란드 엔엘-5656 아에 아인트호벤 빌딩 5 하이
 테크 캠퍼스 내
 버터워스, 마크 멜빈
 네덜란드 엔엘-5656 아에 아인트호벤 빌딩 5 하이
 테크 캠퍼스 내
 (74) 대리인
 양영준, 백만기

전체 청구항 수 : 총 11 항

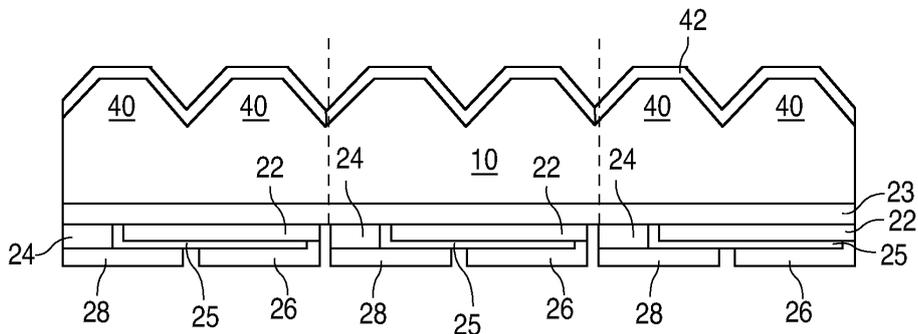
심사관 : 김동우

(54) 발명의 명칭 **성형된 기판을 포함하는 발광 디바이스**

(57) 요약

본 발명의 실시예들은 발광 층을 포함하는 반도체 구조체를 포함한다. 리튬을 함유하는 기판이 반도체 구조체에 부착된다. 기판의 표면은 반도체 구조체의 주 평면과 60° 와 75° 사이의 각도를 형성한다.

대표도 - 도8



(52) CPC특허분류

H01L 21/02433 (2013.01)
H01L 21/02458 (2013.01)
H01L 21/02505 (2013.01)
H01L 21/0254 (2013.01)
H01L 21/02587 (2013.01)
H01L 33/0095 (2013.01)
H01L 2924/12041 (2013.01)

명세서

청구범위

청구항 1

디바이스로서,

제1 표면과 이에 대향하는 제2 표면을 갖는 기판 - 상기 기판은 $\text{LiNb}_a\text{Ta}_{1-a}\text{O}_3$ ($0 \leq a \leq 1$ 임), LiNb_3O_3 , LiTaO_3 , 및 LiVO_3 중 하나를 포함함 -; 및

발광 층을 포함하는 GaN 기반 반도체 구조체 - 상기 GaN 기반 반도체 구조체는 제1 표면과 이에 대향하는 제2 표면을 갖고, 상기 GaN 기반 반도체 구조체의 제1 표면은 상기 기판의 제1 표면에 접합됨 -

를 포함하고,

상기 기판의 제2 표면의 적어도 일부는 상기 GaN 기반 반도체 구조체의 제1 표면과 60° 와 75° 사이의 각도를 형성하고,

상기 기판의 제2 표면의 적어도 일부는 적어도 하나의 절두된 피라미드로 성형되고, 상기 디바이스는 상기 절두된 피라미드에 형성된 교차하는 노치들을 더 포함하고, 상기 교차하는 노치들은 상기 GaN 기반 반도체 구조체의 제1 표면과 60° 와 75° 사이의 각도를 형성하는 측벽들을 갖는, 디바이스.

청구항 2

제1항에 있어서,

노치당 2개의 각진 내부 벽들을 갖는 2개의 교차하는 노치들을 포함하는, 디바이스.

청구항 3

제2항에 있어서,

상기 2개의 교차하는 노치들은 상기 절두된 피라미드를 대각선으로 양분하는, 디바이스.

청구항 4

삭제

청구항 5

제1항에 있어서,

상기 기판의 제2 표면은 상기 기판에 형성된 피처의 일부이고, 복수의 피처들이 하나의 발광 디바이스에 대응하는 상기 발광 층의 일부의 위에 형성되는, 디바이스.

청구항 6

제1항에 있어서,

상기 기판의 제2 표면의 위에 배치되는 파장 변환 층을 더 포함하는, 디바이스.

청구항 7

방법으로서,

제1 기판 상에 GaN 기반 반도체 구조체를 성장시키는 단계;

제1 표면과 이에 대향하는 제2 표면을 갖는 제2 기판을 제공하는 단계 - 상기 제2 기판은 $\text{LiNb}_a\text{Ta}_{1-a}\text{O}_3$ ($0 \leq a \leq 1$ 임), LiNb_3O_3 , LiTaO_3 , 및 LiVO_3 중 하나를 포함함 - ;

상기 GaN 기반 반도체 구조체의 제1 표면과 60° 와 75° 사이의 각도를 형성하도록 상기 제2 기판의 제2 표면을 적어도 하나의 절두된 피라미드로 성형하는 단계 - 상기 절두된 피라미드에는 교차하는 노치들이 형성되어 있고, 상기 교차하는 노치들은 상기 GaN 기반 반도체 구조체의 제1 표면과 60° 와 75° 사이의 각도를 형성하는 측면들을 가짐 -; 및

상기 GaN 기반 반도체 구조체를 상기 제2 기판에 접합시키는 단계를 포함하는, 방법.

청구항 8

제7항에 있어서,
노치당 2개의 각진 내부 벽들을 갖는 2개의 교차하는 노치들이 형성되는, 방법.

청구항 9

제8항에 있어서,
상기 2개의 교차하는 노치들은 상기 절두된 피라미드를 대각선으로 양분하는, 방법.

청구항 10

제7항에 있어서,
상기 성형하는 단계는 쏘잉하는 단계를 포함하는, 방법.

청구항 11

제7항에 있어서,
상기 성형하는 단계는 에칭하는 단계를 포함하는, 방법.

청구항 12

제7항에 있어서,
상기 제2 기판의 위에 파장 변환 층을 퇴적하는 단계를 더 포함하는, 방법.

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

발명의 설명

기술 분야

[0001] 본 발명은 성형된 기판을 포함하는 반도체 발광 디바이스에 관련된다.

배경 기술

[0002] 발광 다이오드(LED)들, 공진 공동 발광 다이오드(RCLED)들, 수직 공동 레이저 다이오드(VCSEL)들, 및 에지 방출

레이저(edge emitting laser)들을 포함하는 반도체 발광 디바이스들은 현재 사용 가능한 광원들 중에서 가장 효율적이다. 가시광선 스펙트럼에 걸쳐 동작 가능한 고휘도 발광 디바이스의 제조에서 현재 관심을 끄는 물질들의 시스템들은 III-V 족 반도체들, 특히 III-질화물 물질들로도 언급되는 갈륨, 알루미늄, 인듐, 및 질소의 이원, 삼원, 및 사원 합금을 포함한다. 통상적으로, III-질화물 발광 디바이스들은, 유기금속 화학기상증착(MOCVD), 분자빔 에피택시(MBE), 또는 다른 에피택셜 기술들에 의해, 상이한 조성들 및 도펀트 농도들의 반도체 층들의 스택을 사파이어, 실리콘 카바이드, III-질화물 또는 다른 적합한 기판상에 에피택셜 성장시킴으로써 제조된다. 스택은 종종, 기판 상부에 형성된, 예를 들어, Si로 도핑된 하나 이상의 n형 층, n형 층 또는 층들 상부에 형성된 활성 영역 내의 하나 이상의 발광 층, 그리고 활성 영역 상부에 형성된, 예를 들어, Mg로 도핑된 하나 이상의 p형 층을 포함한다. 전기적인 콘택트들이 상기 n형 및 p형 영역들상에 형성된다.

[0003] 종래, III-질화물 디바이스들은 MOCVD에 의해 사파이어 기판상에 성장된다. 그러나, 사파이어 기판과 III-질화물 반도체 물질 사이의 격자 상수 및 열팽창 계수의 차이들로 인해, 성장 동안 반도체에 결함들이 형성되고, 이것은 III-질화물 디바이스들의 효율을 제한할 수 있다. 사파이어상의 성장과 연관된 문제점들을 완화하기 위한 시도에서 다른 기판들이 탐구되었다. 예를 들면, 미국 7,173,286은 "리튬 니오베이트 및/또는 리튬 탄탈레이트 기판들 상의 III-질화물 화합물들의 퇴적"을 설명한다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 목적은 광 추출이 개선된 발광 디바이스를 제공하는 것이다.

과제의 해결 수단

[0005] 본 발명의 실시예들은 발광 층을 포함하는 반도체 구조체를 포함한다. 리튬을 함유하는 기판이 반도체 구조체에 부착된다. 기판의 표면은 반도체 구조체의 주 평면과 60° 와 75° 사이의 각도를 형성한다.

[0006] 발명의 실시예들에 따른 방법은 반도체 구조체에 부착된 리튬을 함유한 기판을 제공하는 단계를 포함하고, 반도체 구조체는 발광 층을 포함한다. 상기 방법은 상기 반도체 구조체의 주 평면에 대해 예각으로 배치된 표면을 형성하기 위해 기판을 성형하는 단계를 더 포함한다.

도면의 간단한 설명

- [0007] 도 1은 고굴절률 기판상에 성장된 반도체 구조체를 나타낸다.
- 도 2는 종래의 성장 기판상에 성장되고 전사 기판에 접합된 반도체 구조체를 나타낸다.
- 도 3은 성장 기판을 제거하고 반도체 구조체를 고굴절률 기판에 접합한 후의 도 2의 구조체를 도시한다.
- 도 4는 전사 기판을 제거한 후의 도 3의 구조체를 도시한다.
- 도 5는 플립 칩 디바이스들로 가공된 웨이퍼의 일부를 도시한다.
- 도 6은 피라미드로 성형된 기판을 갖는 디바이스를 도시한다.
- 도 7은 절두된, 역피라미드로 성형된 기판을 갖는 디바이스를 도시한다.
- 도 8은 성형된 기판들 및 과장 변환 층을 포함하는 플립 칩 디바이스들의 웨이퍼의 일부를 도시한다.
- 도 9는 광 추출을 향상시키기 위해 성형된 기판을 갖는 디바이스를 도시한다.
- 도 10은 도 9의 구조체의 평면도이다.
- 도 11은 도 9의 구조체의 측면도이다.

발명을 실시하기 위한 구체적인 내용

[0008] 본 발명의 실시예에 있어서, III-질화물 반도체 구조체가 고굴절률 기판과 결합된다. 반도체 구조체는 기판상에 성장될 수 있거나 또는 기판에 접합될 수 있다. 기판은 예를 들어, 리튬, 리튬 니오베이트 탄탈레이트 (LiNb_aTa_{1-a}O₃) - 여기서 0 ≤ a ≤ 1임 -, LiNbO₃, LiTaO₃, 또는 LiVO₃, Al_xIn_yGa_(1-x-y)N, 및 SiC를 함유하는 기판일 수 있다. 기판은 디바이스에서 III-질화물 물질의 굴절률과 근사하게 매칭하는 굴절률을 가지며, 그리고/또는

III-질화물 물질의 격자 정수와 근사하게 매칭하는 격자 상수를 갖도록 선택될 수 있다. LiNbO_3 은 2.2보다 큰 굴절률을 갖는다. 예를 들어, 450nm에서, LiNbO_3 은 2.38의 굴절률을 가질 수 있고, 이것은 450nm 광의 파장에서 2.4일 수 있는 GaN의 굴절률과 잘 매칭된다. GaN과 LiNbO_3 사이의 격자 부정합은 약 6.9%일 수 있고, 이것은 15% 초과격자 부정합을 갖는 GaN과 사파이어보다 훨씬 더 근사한 매칭이다.

[0009] 도 1은 기판(10)상에 성장된 반도체 구조체(17)를 도시한다. 반도체 구조체(17)는 기판(10)에 직접 접촉하여 성장된 버퍼 층(12), 및 그에 뒤따르는 III-질화물 디바이스 구조체(15)를 포함한다. 기판(10)은 전술한 물질들 중 임의의 것일 수 있다. 버퍼 층은 기판(10)을 III-질화물 디바이스 구조체(15)로부터 분리할 수 있고, III-질화물 디바이스 구조체(15)의 성장을 가능하게 할 수 있다. 어떤 실시예들에서, 버퍼 층(12)은 포함되지 않고, III-질화물 디바이스 구조체(15)는 기판(10)상에 직접 성장된다. 어떤 실시예들에서, 도 1에 도시된 바와 같이, n형 층이 하나의 버퍼 층(12)상에 직접 성장된다. 어떤 실시예들에서, 동일한 또는 상이한 조성의 복수의 버퍼 층이 디바이스에 포함된다. 예를 들면, 후술하는 버퍼 층 등과 같은, 알루미늄 함유 버퍼 층(12)이 기판(10)상에 형성될 수 있고, 그 후 디바이스 구조체(15)를 위한 성장 개시 층으로서 작용을 하는 예컨대 GaN 버퍼 층 등과 같은 추가의 버퍼 층이 버퍼 층(12)과 디바이스 구조체(15) 사이에 성장될 수 있다.

[0010] 버퍼 층(12)은 예를 들어, 고온(즉, 900과 1100°C 사이)에서 또는 저온(즉, <500°C)에서 퇴적된 0.5 내지 70nm 두께의 AlGaIn 또는 AlN 층일 수 있다. 퇴적 후에, 버퍼 층은 어닐링될 수 있으며, 이때 샘플은 제로 성장 속도 조건들에서 상승된 온도에서 일정 시간 기간 동안 유지된다. 저온에서 퇴적된 버퍼는 성장 온도보다 높은 온도에서 어닐링될 수 있다. 대안적으로, 기판(10)의 표면에 알루미늄 박층(즉, <0.5 nm)을 퇴적하고, 그 후 질소 원에 알루미늄 층을 노출시켜 알루미늄 층을 AlN으로 변환함에 의해 AlN 버퍼 층(12)이 형성될 수 있다. 알루미늄 퇴적은 저온(즉, 100과 500°C 사이)에서 수행될 수 있다. AlN 버퍼 층은 질소원에 노출된 후 어닐링될 수 있다.

[0011] 디바이스 구조체(15)가 버퍼 층(12) 상방에 성장된다. 반도체 디바이스 구조체는 n형 영역(14)과 p형 영역(18) 사이에 끼워진 발광 또는 활성 영역(16)을 포함한다. n형 영역(14)이 먼저 성장될 수 있고, 상이한 조성들 및 도펀트 농도의 복수의 층을 포함할 수 있고, 이러한 복수의 층들은 예를 들어, 추가의 버퍼 층들 또는 핵형성 층들 등과 같은 준비 층들, n형일 수 있는 또는 의도적으로 도핑하지 않을 수 있는 층들, 및 발광 영역이 효율적으로 발광하기 위해 바람직한 특별한 광학적, 물질적, 또는 전기적 특성들을 위해 설계된 n형 또는 심지어 p형 디바이스 층들을 포함한다. 발광 또는 활성 영역(16)이 n형 영역(14) 상방에 성장된다. 적합한 발광 영역들(16)의 예들로는, 단일의 두꺼운 또는 얇은 발광 층, 또는 장벽 층들에 의해 분리된 복수의 얇은 또는 두꺼운 발광 층들을 포함하는 복수의 양자 우물 발광 영역을 포함한다. 가시광을 방출하는 디바이스에서, 활성 영역(16)의 발광 층들은 일반적으로 InGaIn이다. p형 영역(18)이 발광 영역(16) 상방에 성장될 수 있다. n형 영역과 마찬가지로, p형 영역(18)은 의도적으로 도핑되지 않은 층들 또는 n형 층들을 포함한, 상이한 조성의, 상이한 두께의, 그리고 상이한 도펀트 농도의 복수의 층을 포함할 수 있다. 디바이스의 모든 반도체 물질의 전체 두께는 어떤 실시예들에서는 10 μm 미만이고 어떤 실시예들에서는 6 μm 미만이다. 어떤 실시예들에서, p형 영역이 먼저 성장되고, 이어서 활성 영역과 n형 영역이 성장된다. 일 예에서, n형 영역(14)은 적어도 하나의 n형 GaN 층을 포함하고, 활성 영역(16)은 GaN 또는 $\text{Al}_x\text{In}_y\text{Ga}_{(1-x-y)}\text{N}$ 장벽 층들에 의해 분리된 InGaIn 양자 우물 층들을 포함하고, p형 영역(18)은 적어도 하나의 p형 GaN 층을 포함한다.

[0012] 고굴절률 기판(10)상에 디바이스 구조체(15)를 성장시키는 것의 대안으로서, 도 2, 도 3, 및 도 4에 도시된 바와 같이 n형 영역(14), 활성 영역(16), 및 p형 영역(18)이 종래의 기판상에 성장될 수 있고 그 후 기판(10)에 접합될 수 있다. 도 2에서, n형 영역(14), 활성 영역(16), 및 p형 영역(18)이 사파이어 또는 Si 등과 같은 종래의 기판(32)상에 성장된다. 디바이스 구조체(15) 및 기판(32)을 포함하는 웨이퍼는 그 후 예를 들어, 하나 이상의 유전체 접합 층들(도시되지 않음)을 통한 접합에 의해, 또는 양극 접합에 의해 전사 웨이퍼(30)에 접합된다. 전사 기판(30)은 성장 기판(32)이 제거되는 동안 디바이스 구조체(15)를 지지한다. 전사 기판(30)은 예컨대 Si, 유리, 또는 사파이어를 포함한 임의의 적합한 물질일 수 있다.

[0013] 도 3에서, 성장 기판(32)은 임의의 적절한 기술에 의해 제거된다. 예를 들어, 사파이어 성장 기판은 레이저 리프트 오프에 의해 제거될 수 있다. Si 성장 기판은 습식 또는 건식 에칭에 의해 제거될 수 있다. 성장 기판을 제거함으로써 n형 영역(14)의 하면을 노출한다. 그 후 전술한 리튬 함유 기판들 등과 같은 고굴절률 기판(10)이 성장 기판을 제거함으로써 노출된 n형 영역(14)의 표면에 접촉된다. 기판(10)은 예를 들어, 하나 이상의 유전체 접합 층들(도시되지 않음)을 통한 접합에 의해, 또는 양극 접합에 의해 디바이스 구조체(15)에 접합될 수

있다.

- [0014] 도 4에서, 전사 기관(30)이 제거되어 p형 영역(18)의 상면을 노출시킨다. 전사 기관(30)은 임의의 적절한 기술에 의해 제거될 수 있다. 예를 들어, 사파이어 전사 기관은 레이저 리프트 오프에 의해 제거될 수 있거나, 또는 Si 또는 유리 전사 기관은 습식 또는 건식 에칭에 의해 제거될 수 있다. 전사 기관(30)을 제거한 후 남은 구조체는 디바이스 구조체(15)에 부착된 기관(10)을 포함한다.
- [0015] 그 후 도 1 또는 도 4에 도시된 구조체들 중 어느 하나는 개별 디바이스들로 가공될 수 있다. 수직 디바이스 구조체, 콘택트가 형성되는 표면을 통해 광이 추출되는 디바이스 구조체, 또는 플립 칩 디바이스 구조체 등과 같은 임의의 적합한 디바이스 구조체가 사용될 수 있다. 기관상에 배치된 콘택트를 갖는 수직형 디바이스를 형성하기 위해, 본 명세서에 기술된 리튬 함유 기관들 중 어떤 것은 H₂ 함유 분위기에서 환원하여 도전성으로 될 수 있다. 기관은 Mg, Cu, Mo, Mn, W, Cr, Co, Fe, 및 Li를 포함한, 임의의 적합한 도펀트로 도핑될 수 있다.
- [0016] 도 5는 플립 칩 LED 디바이스들로 가공되는 웨이퍼의 일부를 도시한다. 도 4에 도시된 바와 같이, 디바이스 구조체(15)만일 수 있는, 또는 도 1에 도시된 바와 같이, 디바이스 구조체(15) 및 버퍼 층(12)일 수 있는, 반도체 구조체(23)의 p형 영역에 금속 p 콘택트(22)가 형성된다. p 콘택트는 반사성일 수 있고, 예를 들어, p 콘택트는 적어도 하나의 은 층을 포함할 수 있다. p형 영역의 전체 두께의 일부 및 발광 영역의 전체 두께의 일부를 제거하여, 금속 n 콘택트(24)가 형성되는 n형 영역의 표면을 드러내는 메사(도 5에 도시되지 않음)를 형성하기 위해, 반도체 구조체(23)는 표준 리소그래피 동작에 의해 패터닝되고 에칭된다. 메사 및 p 및 n 콘택트들은 임의의 적합한 방식으로 형성될 수 있다. 메사 및 p 및 n 콘택트들을 형성하는 것은 통상의 기술자에게 공지되어 있다. p 및 n 콘택트들(22, 24)은 재분포될 수 있고 유전체 층(25)에 의해 서로 전기적으로 분리될 수 있다. 각각의 디바이스에 대해, 적어도 하나의 p 접합 패드(26)가 p-콘택트(22)에 전기적으로 접속된다. 적어도 하나의 n 접합 패드(28)가 n 콘택트(24)에 전기적으로 접속된다.
- [0017] 대안적으로, 반도체 구조체는 종래의 성장 기관상에 성장될 수 있고, 나중에 성장 기관의 제거 동안 반도체 구조체를 지지하기 위한, 두꺼운 금속층들 등과 같은 구조체를 포함하는 개별 디바이스들로 가공된다. 그 후 성장 기관은 제거될 수 있고, 고굴절률 기관이 예컨대 고굴절률 접합 층을 통해 반도체 구조체에 접합될 수 있다. 어떤 실시예들에서, 적절한 접합 층은 적어도 2.3의 굴절률을 갖는다. 적합한 접합 층의 일 예는, 굴절률이 약 2.5일 수 있는 티타늄 산화물 등과 같은 고굴절률 물질의 콜로이드 현탁 입자들이 주입된, 굴절률이 약 1.5일 수 있는 실리콘 층이며, 따라서 실리콘/입자 접합 층은 약 2.4의 유효 굴절률을 갖는다.
- [0018] 전술한 웨이퍼들 중 임의의 것은, 개별 디바이스들을 형성하기 위해 가공된 후, 도 5에 파선들에 의해 나타낸 바와 같이, 개별 디바이스들 또는 디바이스들의 그룹들로 다이싱될 수 있다. 웨이퍼는 예컨대 쏘잉, 베벨 쏘잉, 워터-젯 쏘잉, 레이저 쏘잉, 레이저 스크라이빙, 및 물리적 절단, 또는 이러한 방법들의 조합을 포함한, 임의의 적절한 기술에 의해 다이싱될 수 있다. 다이싱 전 또는 후에, 도 6, 도 7, 도 8, 도 9, 도 10, 및 도 11에 도시된 바와 같이, 광 추출을 개선하기 위해 기관(10)이 성형될 수 있다. 도 6, 도 7, 도 9, 및 도 11에서, 도 5에 도시된 반도체 및 금속 층들은 구조체(29)로서 도시된다. 도 6, 도 7, 도 9, 및 도 11에서, 디바이스는 도 5에 도시된 방향에 상대적으로 거꾸로 뒤집혀서, 접합 패드들(26, 28)은 도 6, 도 7, 도 9, 및 도 11에 도시된 구조체들의 하부에 있다.
- [0019] 도 6에서, 기관(10)은 피라미드로 성형된다. 반도체 구조체의 주 평면과 피라미드의 측면 사이의 각도(36)는 최적의 광 추출을 위해 어떤 실시예들에서는 적어도 60° 일 수 있고, 어떤 실시예들에서는 75° 이하일 수 있다. 피라미드의 높이는 어떤 실시예들에서는 적어도 0.15 mm일 수 있고 어떤 실시예들에서는 3mm 이하일 수 있다. 어떤 실시예들에서, 피라미드는 기관(10)이 실질적으로 평탄한 상면을 갖도록 절두될(truncated) 수 있다. 활성 영역의 중심과 반사성 p 콘택트 사이의 거리는 0.35λ와 0.5λ 사이일 수 있어서(여기서 λ는 반도체 구조체 내의 발광 층들에 의해 방출되는 광의 파장임), 활성 영역으로부터 방출되는 광이 피라미드를 탈출할 수 있다.
- [0020] 기관(10)은 포토리소그래피 및 완전 또는 부분 에칭을 포함한, 임의의 적합한 기술에 의해 피라미드로 성형될 수 있다. 예를 들어, LiNbO₃은 Hf/HNO₃ 혼합물에서 습식 에칭될 수 있거나, 또는 CF₄ 또는 다른 적절한 불화물 함유 화학물에서 건식 에칭될 수 있다. 포토리소그래피와 건식 에칭의 경우, 피라미드의 형상은 LiNbO₃과, 통상적으로 폴리머인 포토마스크의 차별적 에칭 속도를 관리함으로써 형성될 수 있다.
- [0021] 도 7에서, 기관(10)은 절두된, 역피라미드로 성형된다. 반도체 구조체의 주 평면과 피라미드의 측면 사이의 각도(38)는 최적의 광 추출을 위해 어떤 실시예들에서는 적어도 60° 일 수 있고, 어떤 실시예들에서는 75° 이하

일 수 있다. (본 명세서에서 사용된 바와 같이, 반도체 구조체의 주 평면은 예컨대 성장 방향에 수직인 표면이라고 지칭된다.) 절두된, 역피라미드의 높이는 어떤 실시예들에서는 적어도 0.5mm일 수 있고 어떤 실시예들에서는 3mm 이하일 수 있다. 절두된, 역피라미드는 전체 또는 부분 베벨 소잉에 의해 형성될 수 있다.

[0022] 도 6 및 도 7에 도시된 형상들 이외의 다른 형상들이 에칭 또는 소잉에 의해 형성될 수 있다.

[0023] 도 6 및 도 7은 각각의 디바이스(29)에 대응하는 단일 피처, 즉, 피라미드 또는 절두된, 역피라미드를 도시했지만, 도 8에 도시된 바와 같이 복수의 피처가 단일 디바이스 상부에 형성될 수 있다. 도 8에 도시된 구조체에서, 각각의 디바이스 상부에 복수의 절두된 피라미드들(40)이 형성된다. 개별 디바이스들은 파선들로 표시된다. 도 8의 단면에서 디바이스 당 두 개의 절두된 피라미드들이 도시된다. 절두된 피라미드들은 예를 들어, 어떤 실시예들에서는 적어도 0.2mm × 0.2mm일 수 있고, 어떤 실시예들에서는 적어도 1mm × 1mm일 수 있고, 어떤 실시예들에서는 2mm × 2mm 이하일 수 있고, 어떤 실시예들에서는 3mm × 3mm 이하일 수 있다. 측벽들은 디바이스의 하면에 대해 60° 와 75° 사이의 각도로 배치될 수 있다. 더 큰 디바이스들은 더 작은 디바이스들과서와 동일한 추출 효율 이득들을 얻기 위해 큰 높은 절두된 피라미드들이 필요할 수 있다. 피라미드들(40) 사이의 영역들은 광 추출을 최대화하기 위해 가능한 한 깊게 에칭 또는 소잉된다. 그러나, 피라미드들(40) 사이에서 구조체가 너무 얇아지면, 그 구조체는 취급 도중에 이 응력 집중 점에서 절단될 수 있다. 어떤 실시예들에서, 피라미드들(40) 사이의 기관의 두께는 적어도 100μm이다.

[0024] 어떤 실시예들에서는, 광의 파장보다 작은 피처들(즉, 피라미드들, 절두된 피라미드들, 로드들, 돔들, 또는 거저에서 예를 들어 450nm 폭보다 작은 임의의 다른 적합한 형상)이 에칭에 의해 형성된다.

[0025] 어떤 실시예들에서는, 도 8에 도시된 바와 같이, 성형된 기관(10) 상부에 파장 변환 층(42)이 형성될 수 있다. 파장 변환 층(42)은 종종 투명 물질에 배치된 하나 이상의 파장 변환 물질을 포함한다. 파장 변환 물질(들)은 LED의 발광 층들에 의해 방출된 광을 흡수하고 다른 파장의 광을 방출한다. LED에 의해 방출되는 비-변환된 광은 종종 구조체로부터 추출된 광의 최종 스펙트럼의 부분이지만, 반드시 그럴 필요는 없다. 통상적인 조합들의 예들은 노란색 방출 파장 변환 물질과 결합된 청색 방출 LED, 녹색 및 적색 방출 파장 변환 물질들과 결합된 청색 방출 LED, 청색 및 노란색 방출 변환 물질들과 결합된 UV 방출 LED, 및 청색, 녹색, 및 적색 방출 파장 변환 물질들과 결합된 UV 방출 LED를 포함한다. 구조체로부터의 방출되는 광의 스펙트럼을 조정하기 위해, 다른 색들의 광을 방출하는 파장 변환 물질들이 첨가될 수 있다.

[0026] 파장 변환 물질(들)은 종래의 형광체들, 유기 형광체들, 양자점들, 유기 반도체들, II-VI 또는 III-V 반도체들, II-VI 또는 III-V 반도체 양자점들 또는 나노결정들, 염료들, 폴리머들, 또는 냉광을 발하는 물질들일 수 있다. 예컨대 Y₃Al₅O₁₂:Ce(YAG), Lu₃Al₅O₁₂:Ce(LuAG), Y₃Al_{5-x}Ga_xO₁₂:Ce(YAlGaG), (Ba_{1-x}Sr_x)SiO₃:Eu(BOSE) 등과 같은 가넷계 형광체들, 및 예컨대 (Ca,Sr)AlSiN₃:Eu 및 (Ca,Sr,Ba)₂Si₃N₈:Eu 등과 같은 질화물계 형광체들을 포함한, 그러나 이들에 한정되지 않는, 임의의 적합한 분말 형광체가 사용될 수 있다.

[0027] 투명 물질은 예를 들어, 실리콘, 에폭시, 유리, 또는 임의의 다른 적합한 물질일 수 있다. 파장 변환 층(42)은 스크린 인쇄, 스프레이 코팅, 스텐실링, 몰딩, 라미네이팅, 전기영동, 또는 임의의 다른 적합한 기술에 의해 형성될 수 있다. 파장 변환 층(42)은 단일 파장 변환 물질, 파장 변환 물질들의 혼합물, 또는 함께 혼합된 것이라기보다 개별 층들로서 형성된 복수의 파장 변환 물질들을 포함할 수 있다. 상이한 색들의 광을 방출하는 파장 변환 물질들이 개별 영역들에 배치될 수 있거나 또는 함께 혼합될 수 있다.

[0028] 파장 변환 층(42)의 두께는 파장 변환 물질들 및 퇴적 기술에 의존한다. 파장 변환 영역들의 두께는 어떤 실시예들에서는 적어도 0.5μm일 수 있고 어떤 실시예들에서는 적어도 2μm일 수 있고, 어떤 실시예들에서는 적어도 40μm일 수 있고, 어떤 실시예들에서는 60μm 이하일 수 있고, 어떤 실시예들에서는 100μm 이하일 수 있다.

[0029] 일 예에서, 적색 및 녹색 발광 분말 형광체가 실리콘과 혼합된다. 혼합물이 필름으로 주조된다. 실리콘에 혼합되는 형광체의 형광체 물질들과 양들은 LED에 의해 방출되는 청색 광을 보완하여, 혼합된 청색, 녹색, 및 적색 광이 소정의 애플리케이션에 대한 사양을 충족시키도록 선택된다. 형광체가 로딩된 실리콘 막은 기관(10) 상부에 적층된다.

[0030] 도 9는 광 추출을 위해 성형된 기관을 갖는 디바이스를 도시한다. 도 10은 도 9에 도시된 구조체의 평면도이고, 도 11은 도 9에 도시된 구조체의 측면도이다. 도 9, 도 10, 및 도 11의 디바이스는 칩의 중심부를 향해 각진 외벽들(90)을 포함한다. 벽들(90)의 각도는 디바이스의 하면에 대하여, 어떤 실시예들에서는 적어도 60° 일 수 있고 어떤 실시예들에서는 75° 이하일 수 있다. 외벽들(90)에 의해 형성된 피라미드는 절두되어,

기판의 상면에 실질적으로 평탄한 영역들(92)을 남긴다. 디바이스는 절두된 피라미드를 대각선으로 양분하는 두 개의 교차하는 노치를 형성하는 내부의 각진 벽들(94)을 더 포함한다. 벽들(94)의 각도는 디바이스의 하면에 대하여, 어떤 실시예들에서는 적어도 60° 일 수 있고 어떤 실시예들에서는 75° 이하일 수 있다. 도 9에서는 노치당 두 개의 평탄한 벽을 갖는 두 개의 교차하는 노치가 도시되지만, 둥근 또는 텍스처링된 벽들, 측면(facet)들의 상이한 배열, 또는 추가의 측면들 등과 같은 다른 형태들이 본 발명의 범위 내에서 고려되고 포함된다.

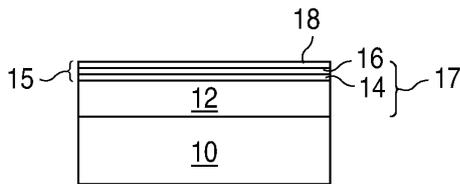
[0031] 전술한 디바이스들은 종래의 디바이스들에 비해 많은 장점들을 가질 수 있다. 기판이 고굴절률 물질이기 때문에, 반도체 구조체로부터 광 추출이 용이하게 된다. 기판이 제거될 필요가 없고, 반도체 물질은 광 추출을 위해 조면화될 필요가 없어서, 처리를 단순화할 수 있다. 또한, 파장 변환 층(42)은 기판에 의해 반도체 구조체로부터 이격될 수 있어서, 파장 변환 물질의 효율을 향상시킬 수 있다.

[0032] 상기의 예들에서는 반도체 발광 디바이스가 청색 또는 UV 광을 방출하는 III-질화물 LED들이지만, 예컨대 III-인화물(phosphide) 또는 III-비화물(arsenide) 디바이스들 등과 같은 다른 물질들의 시스템들에 의해 생성된 반도체들 및 레이저 다이오드들 등과 같은, LED들 외의 반도체 발광 디바이스들이 본 발명의 범위 내에 포함될 수 있다.

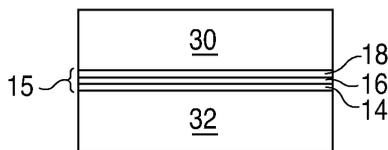
[0033] 본 발명을 상세히 기술했지만, 통상의 기술자는, 본 개시 내용이 주어지면, 본 명세서에 기술된 발명의 개념의 사상으로부터 벗어나지 않고 발명에 대한 변형들이 만들어질 수 있다는 것을 이해할 것이다. 따라서, 본 발명의 범위는 예시되고 설명된 특정 실시예들로 한정되도록 의도되지 않는다.

도면

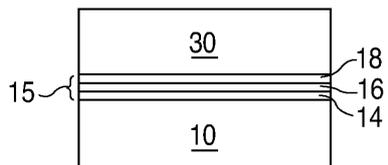
도면1



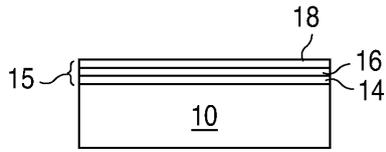
도면2



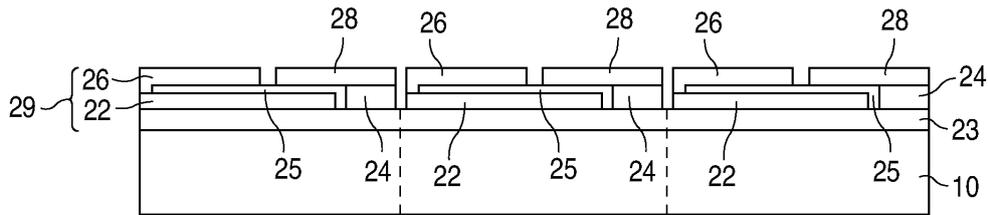
도면3



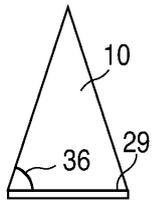
도면4



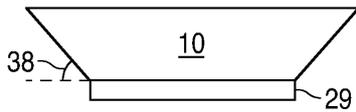
도면5



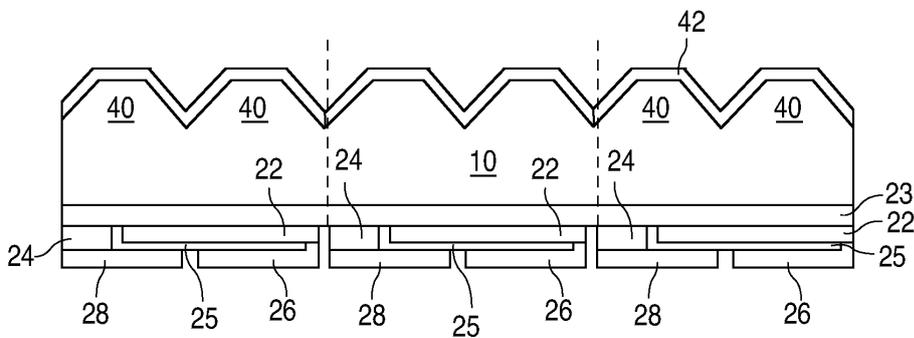
도면6



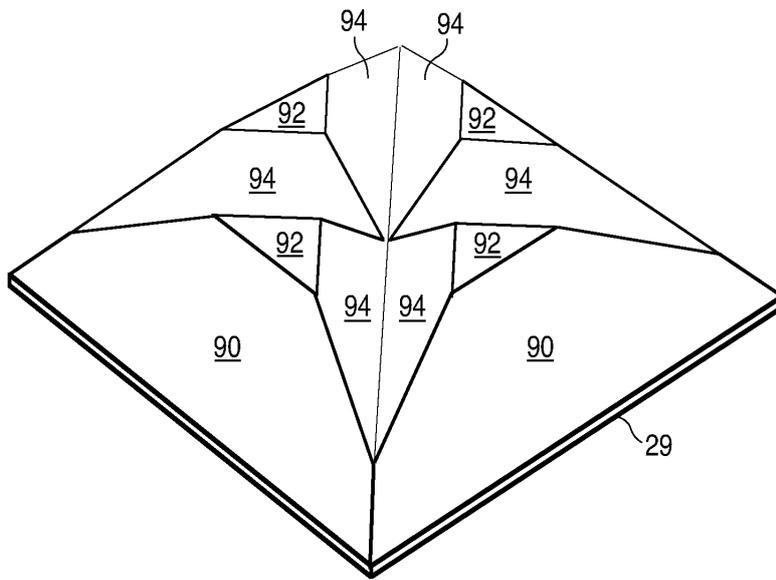
도면7



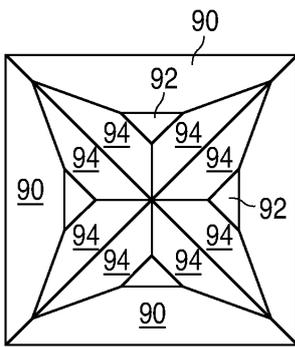
도면8



도면9



도면10



도면11

