

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 29/78 (2006.01)

H01L 29/08 (2006.01)



[12] 发明专利说明书

专利号 ZL 200480036004. X

[45] 授权公告日 2009年8月19日

[11] 授权公告号 CN 100530689C

[22] 申请日 2004.10.1

[21] 申请号 200480036004. X

[30] 优先权

[32] 2003.10.3 [33] US [31] 10/678,837

[86] 国际申请 PCT/EP2004/011006 2004.10.1

[87] 国际公布 WO2005/036649 英 2005.4.21

[85] 进入国家阶段日期 2006.6.5

[73] 专利权人 英飞凌科技股份有限公司

地址 德国慕尼黑

[72] 发明人 G·马 O·托恩布拉德

[56] 参考文献

US6613622B1 2003.9.2

CN1215926A 1999.5.5

US5132753A 1992.7.21

CN1085690A 1994.4.20

A silicon MOS process for integrated RF power amplifiers. Chris Dragon, Julio Costa, Dan Lam-ey, David Ngo, WayneBurger. IEEE 1996 Micro-wave and millimeter. wave monolithic circuits sym-posium. 1996

审查员 许媛媛

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 顾 珊 魏 军

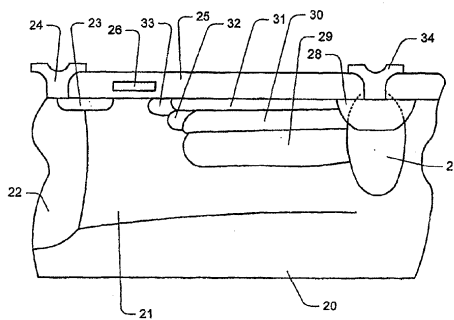
权利要求书4页 说明书7页 附图6页

[54] 发明名称

LDMOS 晶体管

[57] 摘要

一种半导体晶体管结构，包括：具有外延层的衬底、从外延层的表面延伸的源区、在外延层内的漏区、位于漏和源区之间的沟道和设置在沟道上方的栅极。该漏区包括：用于建立与电极接触的第一区域；比第一区域掺杂得更少的第二区域，其掩埋在外延层内，且在朝着栅极的方向上从第一区域水平延伸；第三区域，其比第二区域掺杂得更少，且从外延层的表面垂直地和从第二区域水平地延伸直至栅的下面；顶层，其从外延层的表面延伸至第二区域；以及底层，其从所第二区域延伸到外延层中。



1. 一种半导体晶体管结构, 包括:

衬底, 具有第一导电类型的外延层;

源区, 从第二导电类型的外延层的表面延伸;

漏区, 位于第二导电类型的所述外延层内;

沟道, 位于所述的漏区和源区之间;

栅极, 设置在所述沟道上方;

其中所述的漏区包括:

用于建立与电极接触的所述第二导电类型的第一区域;

比所述第一区域掺杂得更少的所述第二导电类型的第二区域, 其掩埋在所述外延层内, 且在朝着所述栅极方向上从所述第一区域水平地延伸;

第三区域, 是比所述的第二区域掺杂得更少的所述第二导电类型, 且从所述外延层的表面垂直地和从所述的第二区域水平地延伸直至所述栅极下面;

所述第一导电类型的顶层, 从所述外延层的表面延伸至所述第二区域; 以及

所述第一导电类型的底层, 从所述第二区域延伸到所述的外延层中。

2. 如权利要求 1 所述的半导体结构,

其中所述的第三区域包括所述第二导电类型的第一子区域, 其从所述的第二区域朝着所述栅极水平延伸, 和所述第二导电类型的第二子区域, 其从所述外延层的表面垂直地和从所述第一子区域水平地延伸直至所述栅极下面。

3. 如权利要求 2 所述的半导体结构,

其中所述的第一子区域掺杂得比所述的第二区域更少, 且所述的第二子区域掺杂得比所述的第一子区域更少。

4. 如权利要求 2 所述的半导体结构,

其中所述的第一子区域掺杂得比所述第二区域更少, 且所述的第一和所述的第二子区域重叠, 且所述的第一子区域部分地比所述的第二子区域掺杂得更少。

5. 如权利要求 1 所述的半导体结构, 进一步包括第二导电类型的

电压终端，其从该电极延伸到外延层中比该第一区域更深。

6. 如权利要求 1 所述的半导体结构，进一步包括所述第一导电类型的下沉结构，其从所述的源区延伸到所述外延层的底部。

7. 如权利要求 6 所述的半导体结构，其中所述的衬底是重掺杂的。

8. 如权利要求 1 所述的半导体结构，其中所述的第二区域具有 1-3 微米的水平长度。

9. 如权利要求 1 所述的半导体结构，其中第一导电类型是 p 型，第二导电类型是 n 型。

10. 如权利要求 1 所述的半导体结构，其中第一导电类型是 n 型，第二导电类型是 p 型。

11. 一种半导体晶体管结构，包括：
衬底，具有第一导电类型的外延层；
源区，从第二导电类型的外延层的表面延伸；
漏区，位于第二导电类型的所述外延层内；
沟道，位于所述的漏区和源区之间；
栅极，设置在所述沟道上方；
其中所述的漏区包括：

用于建立与电极接触的所述第二导电类型的第一区域；

所述第二导电类型的第二区域，其比掩埋在所述外延层内的所述第一区域掺杂得更少，且在朝着所述栅极的方向上从所述第一区域水平延伸；

所述第二导电类型的第三区域，其比所述第二区域掺杂得更少，且从所述的第二区域朝着所述栅极水平延伸；

所述第二导电类型的第四区域，其比所述的第三区域掺杂得更少，且从所述外延层的表面垂直地和从所述第三区域水平地延伸直至所述栅极下面；

所述第一导电类型的顶层，其从所述外延层的表面延伸至所述的第二区域；以及

所述第一导电类型的底层，其从所述的第二区域延伸到所述的外延层中。

12. 如权利要求 11 所述的半导体结构，进一步包括第二导电类型

的电压终端，其从该电极延伸到外延层中比该第一区域更深。

13. 如权利要求 11 所述的半导体结构，进一步包括所述第一导电类型的下沉结构，其从所述的源区延伸到所述外延层的底部。

14. 如权利要求 13 所述的半导体结构，其中所述的衬底是重掺杂的。

15. 如权利要求 11 所述的半导体结构，其中所述的第二区域具有 1-3 微米的水平长度。

16. 如权利要求 11 所述的半导体结构，其中第一导电类型是 p 型，第二导电类型是 n 型。

17. 如权利要求 11 所述的半导体结构，其中第一导电类型是 n 型，第二导电类型是 p 型。

18. 一种半导体晶体管结构，包括：
衬底，具有第一导电类型的外延层；
源区，从第二导电类型的外延层的表面延伸；
漏区，位于第二导电类型的所述外延层内；
沟道，位于所述的漏区和源区之间；
栅极，设置在所述沟道上方；
其中所述的漏区包括：

用于建立与电极接触的所述第二导电类型的第一区域；

比所述第一区域掺杂得更少的所述第二导电类型的第二区域，其掩埋在所述外延层内，且在朝着所述栅极的方向上从所述第一区域水平地延伸；

所述第二导电类型的第三区域，其比所述第二区域掺杂得更少，且从所述的第二区域朝着所述栅极水平地延伸；

所述第二导电类型的第四区域，其从所述外延层的表面垂直地且从所述的第三区域水平地延伸直至所述栅极下面，其中所述的第三区域和所述的第四区域重叠且所述的重叠比所述的第四区域掺杂得更高；

所述第一导电类型的顶层，其从所述外延层的表面延伸至所述的第二区域；以及

所述第一导电类型的底层，其从所述的第二区域延伸到所述的外延层中。

19. 如权利要求 18 所述的半导体结构, 进一步包括第二导电类型的电压终端, 其从该电极延伸到外延层中比第一区域更深。

20. 如权利要求 18 所述的半导体结构, 进一步包括所述第一导电类型的下沉结构, 其从所述的源区延伸到所述外延层的底部。

21. 如权利要求 20 所述的半导体结构,
其中所述的衬底是重掺杂的。

22. 如权利要求 18 所述的半导体结构,
其中所述的第二区域具有 1-3 微米的水平长度。

23. 如权利要求 18 所述的半导体结构,
其中第一导电类型是 p 型, 第二导电类型是 n 型。

24. 如权利要求 18 所述的半导体结构,
其中第一导电类型是 n 型, 第二导电类型是 p 型。

25. 如权利要求 18 所述的半导体结构,
其中所述的第三区域部分地比所述的第四区域掺杂得更少。

LDMOS晶体管

技术领域

本申请涉及LDMOS晶体管结构。

背景技术

对于许多类型的晶体管应用，如高电压MOS场效应晶体管，LDMOS晶体管结构广泛地用作半导体器件。LDMOS晶体管包括轻掺杂的漏区以增强击穿电压。由此，LDMOS晶体管包括由于漏极内的轻掺杂区引起的较高导通电阻。击穿电压和导通电阻之间的相互关系涉及由需要保持在半导体临界电场以下以避免击穿的pn结限定的最大电场。该最大电场由例如nmos场效应晶体管中的 n^- 掺杂漏极的掺杂程度限定。此外，在其中晶体管是进行驱动最大时间的应用中，长导通状态会引起显著的热载流子注入，导致DC参数漂移。这是与LDMOS晶体管结构非常常见的问题。

图1示出了典型的功率LDMOS晶体管。例如，晶片包括其顶部上沉积了外延层1的p衬底13。该层1包括注入到表面中以分别提供源和漏区的n导电型区域2和4、15。外延层1一般覆盖有诸如氧化硅的绝缘电介质层7，在该绝缘电介质层7中布置了多晶硅栅8以覆盖漏4、15和源2之间的沟道。在该示范性LDMOS晶体管中的漏极包括第一区域15，该第一区域15是 n^+ 掺杂的且包括经由绝缘体层7中的窗口至布置在那个区域15上方的漏电极12的连接。该 n^+ 区域由延伸直至栅8下面以限定源和漏区之间沟道的轻掺杂 n^- 区4围绕。在该晶体管的源极侧上，提供了 p^+ 掺杂的下沉物(sinker)14，其从外延层1的表面向下延伸至衬底以提供背面源极接触。接触11连接源区2与下沉物14。

图2示出了如用于例如智能功率应用中提出的LDMOS晶体管。例如，晶片包括p衬底1，该p衬底1包括扩散或注入到表面中以分别提供源和漏区的n导电型区域2和4、6。衬底1一般覆盖有诸如氧化硅的绝缘体层7，在该绝缘体层7中布置了多晶硅栅8以覆盖漏4、6和源2之间的沟道。在该示范性LDMOS晶体管中的漏极包括第一区域6，该第一区域6是 n^+ 掺杂的且包括经由绝缘体层7中的窗口至布置在该区域6上方

的漏电极10的连接。该 n^+ 区域从轻掺杂的 n^- 区域4至区域6的左侧延伸直至栅8的下面以限定到栅沟道区的导电通路。为了从上方延伸该场效应夹断耗尽带，将一层p材料5注入在漏的延伸区4的上部中且达到外延层的顶表面。

发明内容

根据本申请，介绍一种新的晶体管结构。例如，半导体晶体管结构包括具有第一导电类型外延层的衬底、从第二导电类型外延层的表面延伸的源区、在第二导电类型外延层内的漏区、定位于漏区和源区之间的沟道以及布置在沟道上方的栅极。该漏区可包括：用于建立与电极接触的第二导电类型的第一区域；比第一区域掺杂得更少的第二导电类型的第二区域，其掩埋在外延层内，且在朝着栅极方向上从第一区域水平延伸；第二导电类型的第三区域，其比第二区域掺杂得更少，且从外延层的表面垂直地和从第二区域水平地延伸直至栅的下面；第一导电类型的顶层，其从外延层的表面延伸至第二区域；以及第一导电类型的底层，其从第二区域延伸到外延层中。

第三区域可包括第二导电类型的第一子区域，其从第二区域朝着栅极水平延伸，和第二导电类型的第二子区域，其从外延层的表面垂直地和从第一子区域水平地延伸直至栅的下面。第一子区域可掺杂得比所述的第二区域更少，且第二子区域掺杂得比第一子区域更少。可选地，第一子区域可掺杂得比所述第二区域更少，且第一和第二子区域可重叠，且第一子区域可以比第二子区域部分掺杂得更少。半导体结构可进一步包括第二导电类型的电压终端，其从该电极延伸到外延层中比第一区域更深。半导体结构还可进一步包括第一导电类型的下沉结构，其从源区延伸到外延层的底部。衬底可以是重掺杂的。第二区域可以具有大约1-3微米的水平长度。第一导电类型是p型，第二导电类型是n型，反之亦然。

另一实施例是一种半导体晶体管结构，其包括：衬底，该衬底具有第一导电类型的外延层；源区，其从第二导电类型的外延层的表面延伸；漏区，其位于第二导电类型的外延层内；沟道，其位于所述的漏区和源区之间；以及栅极，其设置在沟道上方。该漏区可包括：用于建立与电极接触的第二导电类型的第一区域；比第一区域掺杂得更

少的第二导电类型的第二区域，其掩埋在外延层内，且在朝着栅极的方向上从第一区域水平延伸；第二导电类型的第三区域，其比所述第二区域掺杂得更少，且从第二区域朝着栅极水平地延伸；第二导电类型的第四区域，其比第三区域掺杂得更少，且从外延层的表面垂直地和从第三区域水平地延伸直至栅的下面；第一导电类型的顶层，其从外延层的表面延伸至第二区域；以及第一导电类型的底层，其从第二区域延伸到外延层中。

该半导体结构可进一步包括第二导电类型的电压终端，其从该电极延伸到外延层中比第一区域中更深。该半导体结构还可进一步包括第一导电类型的下沉结构，其从源区延伸到外延层的底部。衬底可以是重掺杂的。第二区域可以具有大约1-3微米的水平长度。第一导电类型可以是p型，第二导电类型可以是n型，反之亦然。

又一个实施例是一种半导体晶体管结构，其包括：衬底，该衬底具有第一导电类型的外延层；源区，其从第二导电类型的外延层的表面延伸；漏区，其位于第二导电类型的外延层内；沟道，其位于所述的漏区和源区之间；以及栅极，其设置在沟道上方。该漏区可包括：用于建立与电极接触的第二导电类型的第一区域；比第一区域掺杂得更少的第二导电类型的第二区域，其至少部分掩埋在外延层内，且从第一区域水平延伸直至所栅的下面；第一导电类型的顶层，其从外延层的表面延伸至第二区域；以及第一导电类型的底层，其从第二区域延伸到外延层中。

该半导体结构可进一步包括第二导电类型的电压终端，其位于在与面向该栅极的一侧相反的该漏区的一侧上且从外延层的表面延伸。该半导体结构还可进一步包括第一导电类型的下沉结构，其从源区延伸到外延层的底部。衬底可以是重掺杂的。第二区域可以具有大约1-3微米的水平长度。第一导电类型可以是p型，第二导电类型可以是n型，反之亦然。

又一个实施例是一种半导体晶体管结构，其包括：衬底，其具有第一导电类型的外延层；源区，其从第二导电类型的外延层的表面延伸；漏区，其位于第二导电类型的所述外延层内；沟道，其定位于漏区和源区之间；以及栅极，其设置在所述沟道上方。该漏区可包括：用于建立与电极接触的第二导电类型的第一区域；比第一区域掺杂得

更少的第二导电类型的第二区域，其比掩埋在外延层内，且在朝着栅极方向上从第一区域水平延伸；第二导电类型的第三区域，其比所述第二区域掺杂得更少，且从第二区域朝着所述栅极水平延伸；第二导电类型的第四区域，其从外延层的表面垂直地且从第三区域水平地延伸直至所述栅极下面，其中第三区域和第四区域重叠且该重叠比第四区域掺杂得更高；第一导电类型的顶层，其从外延层的表面延伸至第二区域；以及第一导电类型的底层，其从第二区域延伸到外延层中。

该半导体结构可进一步包括第二导电类型的电压终端，其从该电极延伸到外延层中比第一区域更深。该半导体结构还可进一步包括第一导电类型的下沉结构，其从源区延伸到外延层的底部。该衬底可以是重掺杂的。第二区域可以具有大约 1-3 微米的水平长度。第一导电类型可以是 p 型，第二导电类型可以是 n 型，反之亦然。第三区域可以比第四区域部分掺杂得更少。

从下面的图、说明和权利要求，本公开的其它技术优点对于本领域技术人员来说将容易显而易见。本申请的各种实施例仅获得了提出的优点的子集合。没有任何一个优点是对于实施例是至关重要的。

附图说明

通过结合附图参考以下的描述，可获得对本公开的更彻底理解和其优点，在附图中相同的附图标记表示相同的特征，以及其中：

图1是包括根据现有技术的晶体管结构的半导体晶片的部分截面图；

图2是包括如根据现有技术用于例如智能功率应用中所提出的晶体管结构的半导体晶片的部分截面图；

图3是包括根据本发明一个实施例的晶体管结构的半导体晶片的部分截面图；

图4是包括根据本发明另一个实施例的晶体管结构的半导体晶片的部分截面图；

图5是包括根据本发明又一个实施例的晶体管结构的半导体晶片的部分截面图；

图6示出了根据本发明的晶体管结构的过程模拟的图。

具体实施方式

转到各图，现在将描述本申请的示范性实施例。图3描绘了根据本发明一个示范性实施例改进的晶体管结构。在 p^+ 衬底20的顶部上，布置了 p 外延层21。例如，该衬底可以 $10^{19}/\text{cm}^3$ 进行重掺杂，外延层可以较少地掺杂以 $10^{15}/\text{cm}^3$ 。沿着外延层21的顶表面，源区23从栅极26的源极侧横向延伸至电浮置电极或金属互连24。电浮置接触24连接相反掺杂的源区23和 p^+ 下沉区（sinker region）22。 p^+ 下沉区22从源区23到达 p^+ 衬底20。沿着晶片的整个背面设置源极金属接触（未示出）。此外绝缘体层25设置在外延层21的顶表面上，且包括栅极26和用于各个漏和源电极24、34的窗口。在绝缘体层25的顶部上，通常沉积钝化层（未示出）。

改进的晶体管结构包括具有多层布置的漏区，如图3所示。在该示范性实施例中，通过该多层结构建立了分级的超级结。 n^- 掺杂的第一相对短的合成区域33从栅极26下面延伸至漏极接触电极34。在该短的 n^- 掺杂区33和漏极接触电极34之间跟随有第二 n^- 掺杂区32，其更深地延伸到外延层21中。在一个实施例中，获得了从区域33到区域28具有增加的掺杂浓度的分级掺杂浓度。然而，其它实施例也是可能的。在一个优选实施例中，该区域32的最大掺杂浓度未必比区域33的最大掺杂浓度更高。区域32的注入剂量可以小于区域33的注入剂量。然而，区域32注入与区域33注入重叠且部分地由区域31注入进行补偿。区域32和33之间的掺杂重叠在32的部分重叠区域中产生了相比区域33更高的掺杂浓度以及在区域32的剩余部分中更低的掺杂浓度。这是因为区域33的掺杂浓度从该顶表面以垂直距离下降。由此，在该特定的实施例中区域32具有两个功能。区域32的重叠部分用于运载电流，而该区域的较小掺杂部分用于缓和电场。由此，可以形成从区域33到区域30的不同分级的结，其仍在本申请的范围内。

此外在该实施例中，区域32没有到达外延层21的表面。然而，依据掺杂浓度，该层还能到达外延层21的顶表面。在第二 n^- 掺杂区32和漏极接触电极34之间延伸相对长的（大约1-3微米） n 掺杂传导带30，该 n 掺杂传导带30耦接 n^- 掺杂区32与从漏电极34延伸到外延层21中的重掺杂 n^+ 区28。因此，该漏极从电极34以重掺杂 n^+ 区28开始，其逐渐结束于栅极26下面的轻掺杂 n^- 区域33。 n 掺杂传导带可具有约1-3微米

的水平长度，且基本上被注入的p掺杂顶层31和底层29所遮蔽，该顶层31和底层29从n⁺重掺杂区28水平地朝着栅极26延伸基本上n掺杂传导层30的长度。在漏电极34下方开始的漏区中心中，注入n⁺掺杂的终端区27，其从该表面深入到外延层21中。区域28比区域27掺杂得更高。而且，区域27比区域29掺杂得更高。这对于避免漏极接触34和区域29之间的击穿是必要的。

靠近栅极26的低掺杂n⁻区域33保持电场低，以抑制热载流子注入到栅极中以及避免该结构的提早击穿。此外，该区域33保持栅极和漏极之间的反馈电容C_{dg}低。第二或中间n⁻掺杂区32可以提供导通电阻、晶体管结构的击穿、热载流子注入和反馈电容C_{dg}之间的折中。例如，可以通过0度偏移入掩模或倾角自对准注入掩模来产生中间n⁻掺杂注入区32。具有垂直交替层31、30、29和分级区33、32、28和27的这种结构形成了超级结和分级结的新组合，其用于克服上述的折中。该概念所具有的优点在于重掺杂的传导层从顶部和底部耗尽的事实，由此不管n传导带的较高掺杂浓度也能够实现高的击穿电压。通过引入靠近栅极26的横向分级的结33、32和29，能够进行影响射频性能的几个临界参数的优化。除了导通电阻和击穿电压的优化外，分级的结在栅极氧化物处保持电场低以抑制热载流子注入（低漂移），其如上所述是对于LDMOS晶体管的重要问题。而且，临界反馈电容C_{dg}可以保持在低值。在右侧，深的高能量注入27防止了击穿出现在漏极接触34和区域29之间。

可以通过离子注入建立所有的区域。可以建立n传导带作为掩埋层且分别通过层31和29从顶部和底部耗尽。尤其地，注入的p层29从底部耗尽了n传导带30，其相比如图2所示的结构能够增加n传导带的掺杂浓度，在图2中大部分的耗尽是由顶部p层引起的。顶部p层31以与图2所示的结构相似的方式从上方耗尽n传导带。存在靠近栅极氧化物26的低掺杂n⁻区33以保持电场在该临界的“角”附近低。这抑制了热载流子注入到栅极氧化物26中，避免了早期击穿以及保持反馈电容C_{dg}低。中间掺杂的n⁻注入区32用作n⁻区33和n传导带30之间的重叠区。该注入的深度和掺杂浓度用来优化导通电阻、击穿电压、热载流子注入和反馈电容C_{dg}之间的折中。然而，还可以使用单个n⁻区40，如图4所示。图4仅示出了不同于图3中所示实施例的另一示范性实施

例的栅极周围的相关部分。类似的结构用类似的附图标记表示。

图5示出了根据本发明的又一实施例。此外，类似的结构用类似的附图标记表示。在该实施例中，如图4中所示的区域40和区域30合并成单个区域50中。由此，传导带50实际上延伸而到达栅极26下方。因此，在形成分级结时该实施例仅提供了两级步骤，即，较高掺杂区28和较低掺杂区50。

然而，在所有的实施例中，在漏极接触电极34下面可以存在两种注入，如图3所示。一种浅重掺杂注入28用于漏极接触电极34处的低接触电阻，和另一高能量注入27用作电压终端，以防止漏电极34和超级结层29之间的击穿。

图6示出了由商用工具中的过程模拟得到的实施结构。右图示出了沿着跨越超级结堆叠的图例的净掺杂浓度；新的漏极操纵的横向延伸近似为3 μm 。由此，可以在该图中看到示范性尺寸。

尽管已示出和描述了本发明的具体实施例，但本发明不局限于优选实施例，且对于本领域技术人员将显而易见的是，在不脱离仅由附加的权利要求和它们的等效物所限定的本发明范围的前提下可进行各种改变和修改。例如，衬底可以是p型或n型衬底。由此，源区和漏区分别是n型或p型的。

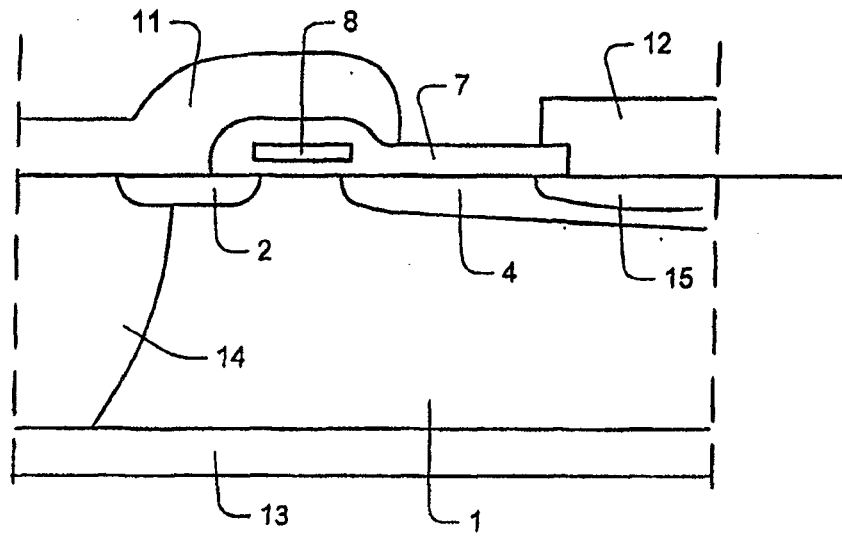


图 1
现有技术

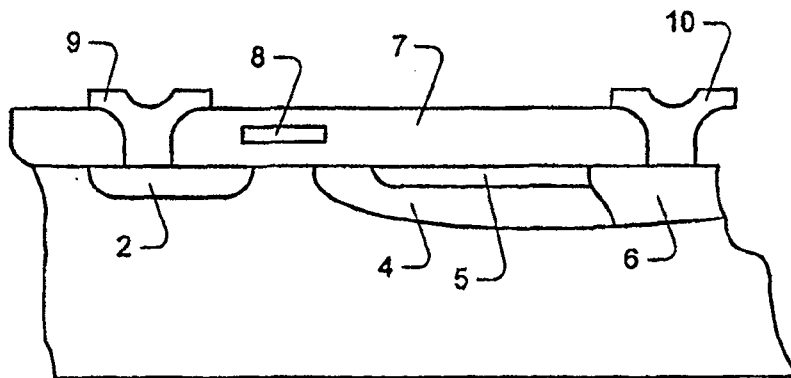


图 2
现有技术

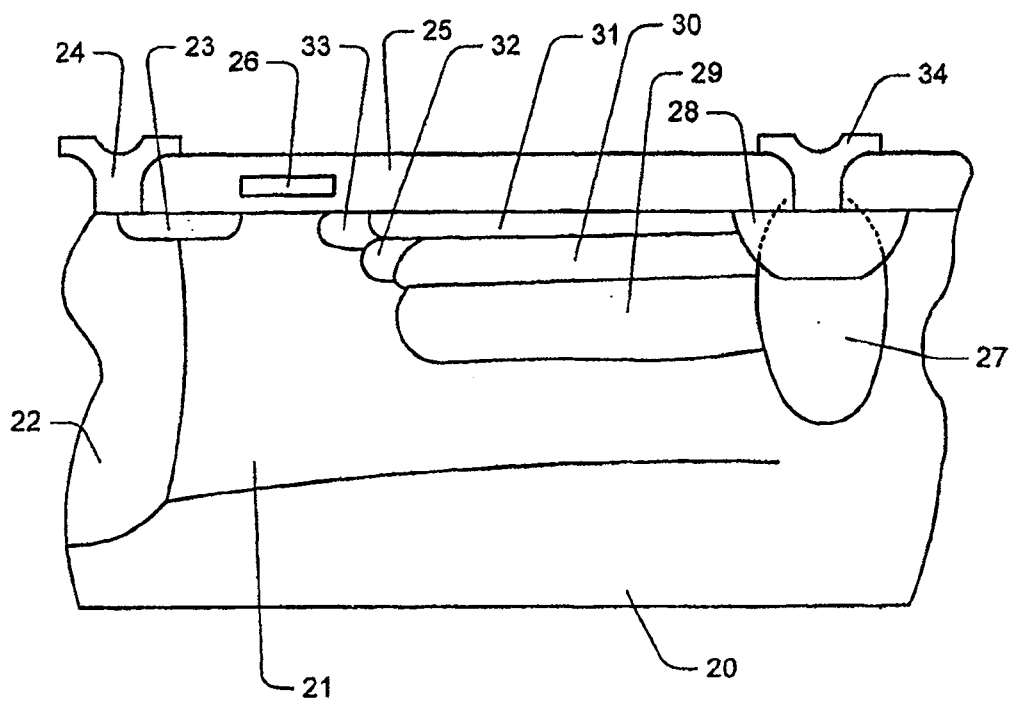


图 3

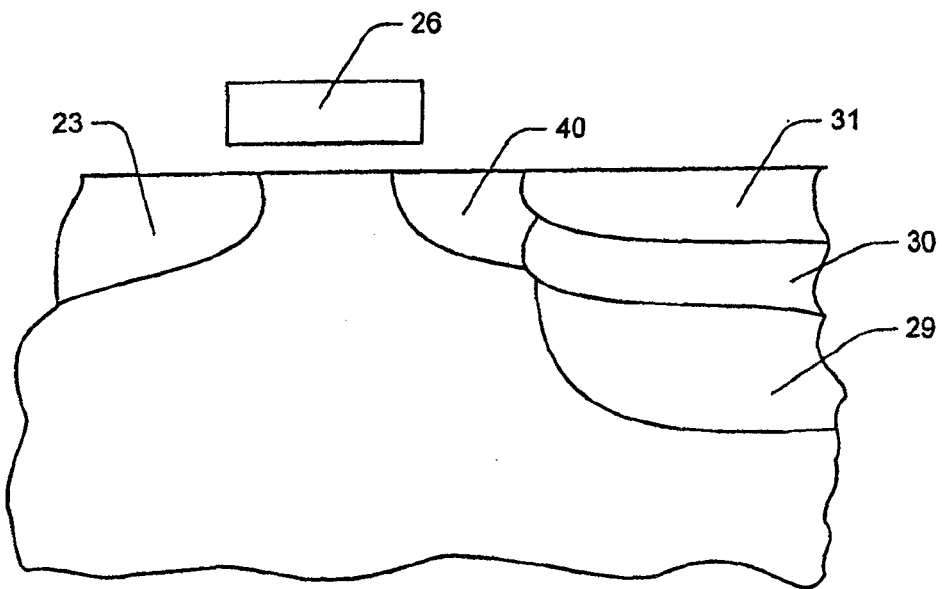


图 4

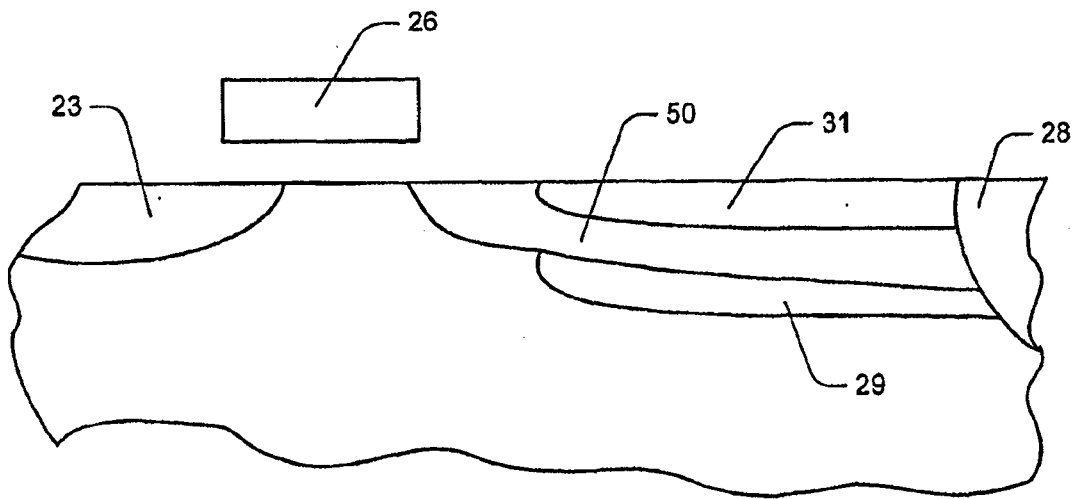


图 5

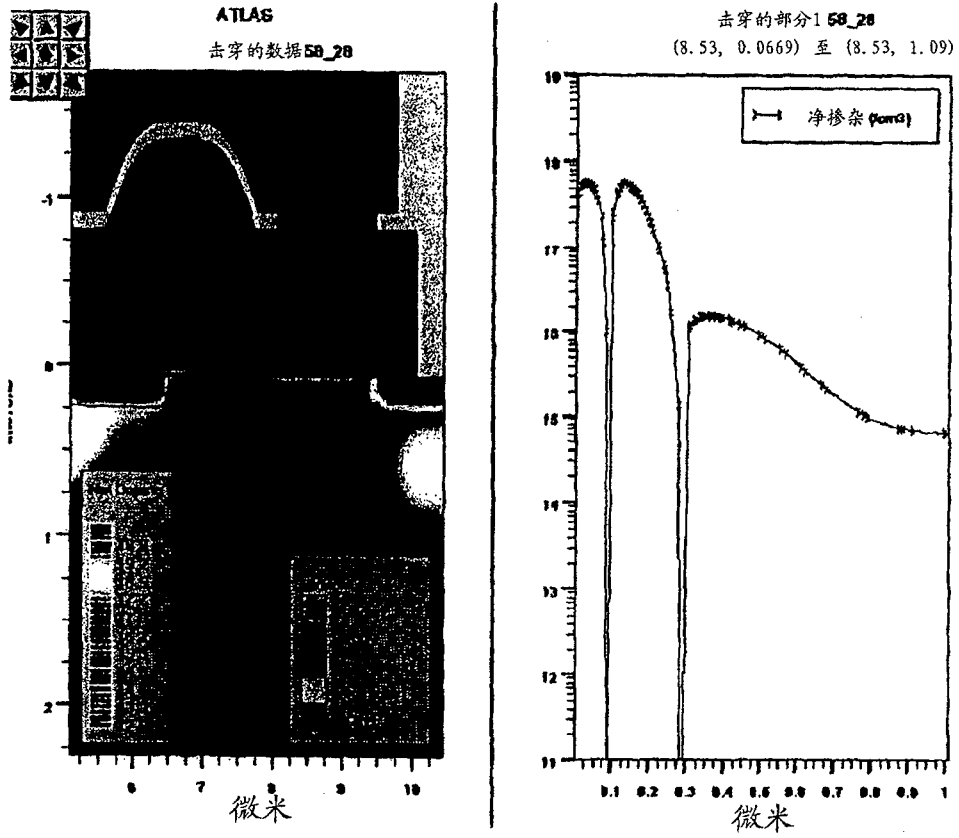


图 6