



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년11월20일
 (11) 등록번호 10-0777348
 (24) 등록일자 2007년11월12일

(51) Int. Cl.

H01L 27/115 (2006.01) *H01L 21/8247* (2006.01)

(21) 출원번호 10-2006-0065040
 (22) 출원일자 2006년07월11일
 심사청구일자 2006년07월11일

(56) 선행기술조사문헌
 KR 1020060007177 A
 KR 1020050106280 A
 KR 1020040079328 A

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

설종선

경기 용인시 기흥구 구갈동 한성2차아파트 203동 404호

최정달

경기 수원시 영통구 망포동 동수원엘지빌리지 205동1603호

(뒷면에 계속)

(74) 대리인

권혁수, 송윤호, 오세준

전체 청구항 수 : 총 21 항

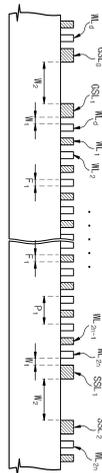
심사관 : 김기현

(54) 비휘발성 기억 장치의 셀 어레이 구조 및 그 형성방법

(57) 요약

비휘발성 기억 장치의 셀 어레이 구조 및 그 형성방법이 제공된다. 이 셀 어레이 구조는 반도체 기판에 정의된 복수개의 활성영역들과, 상기 활성영역들의 상부를 가로지르는 접지 선택 라인 및 스트링 선택 라인을 포함한다. 상기 접지 선택 라인 및 상기 스트링 선택 라인 사이에 복수개의 워드라인이 배치되고, 상기 워드라인들은 상기 활성영역들의 상부를 가로지른다. 상기 접지 선택 라인에 가장 인접한 워드라인과 상기 접지 선택 라인 사이에 더미 라인이 배치되고, 상기 더미 라인은 상기 활성영역들의 상부를 가로지른다. 이 셀 어레이 구조의 형성방법은 반도체 기판 상에 식각 대상막을 형성하는 것을 포함한다. 상기 대상막 상에 제 1 마스크 패턴을 형성한다. 상기 제 1 마스크 패턴은 접지 선택 라인 패턴 및 스트링 선택 라인 패턴, 그리고 상기 접지 선택 라인 패턴과 상기 스트링 선택 라인 패턴 사이에 제 1 피치로 배치된 복수개의 제 1 워드라인 패턴을 포함한다.

대표도 - 도2b



(72) 발명자

박영우

서울 강남구 대치동 미도아파트 102동 108호

박진택

경기 수원시 영통구 영통동 신나무실5단지아파트
505동1405호

특허청구의 범위

청구항 1

반도체 기판에 정의된 복수개의 활성영역들;

상기 활성영역들의 상부를 가로지르는 접지 선택 라인 및 스트링 선택 라인;

상기 접지 선택 라인 및 상기 스트링 선택 라인 사이에 배치되고, 상기 활성영역들의 상부를 가로지르는 복수개의 워드라인들; 및

상기 접지 선택 라인에 가장 인접한 워드라인과 상기 접지 선택 라인 사이에 배치되고, 상기 활성영역들의 상부를 가로지르는 더미 라인을 포함하는 비휘발성 기억 장치의 셀 어레이 구조.

청구항 2

청구항 1에 있어서,

상기 워드라인의 수는 2^n 개, n 은 3이상의 자연수인 것을 특징으로 하는 비휘발성 기억 장치의 셀 어레이 구조

청구항 3

청구항 1에 있어서,

상기 더미 라인 및 상기 워드라인들의 선포는 각각 최소 피쳐 사이즈이고,

상기 더미 라인 및 상기 워드라인들의 피치는 상기 최소 피쳐 사이즈의 2배인 것을 특징으로 하는 비휘발성 기억 장치의 셀 어레이 구조.

청구항 4

청구항 3에 있어서,

상기 더미 라인과 상기 접지 선택 라인의 거리는 상기 최소 피쳐 사이즈보다 크고 상기 최소 피쳐 사이즈의 2배보다 작은 것을 특징으로 하는 비휘발성 기억 장치의 셀 어레이 구조.

청구항 5

청구항 4에 있어서,

상기 스트링 선택 라인에 가장 인접한 워드라인과 상기 스트링 선택 라인의 간격은 상기 최소 피쳐 사이즈보다 크고 상기 최소 피쳐 사이즈의 2배보다 작은 것을 특징으로 하는 비휘발성 기억 장치의 셀 어레이 구조.

청구항 6

청구항 3에 있어서,

상기 더미 라인과 상기 접지 선택 라인의 거리와, 상기 스트링 선택 라인에 가장 가까운 워드라인과 상기 스트링 선택 라인의 거리는 상기 최소 피쳐 사이즈인 것을 특징으로 하는 비휘발성 기억 장치의 셀 어레이 구조.

청구항 7

청구항 6에 있어서,

상기 더미 라인부터 상기 스트링 선택 라인을 향하여 상기 워드라인들에 서수를 부여할 때, 상기 접지 선택 라인, 상기 스트링 선택 라인 및 홀수번째 워드라인들은 포토마스크에서 전사된 패턴이고, 홀수번째 워드라인들 사이의 짝수번째 워드라인들은 각각 홀수번째 워드라인들 사이에 자기정렬되어 형성된 패턴인 것을 특징으로 하는 비휘발성 기억 장치의 셀 어레이 구조.

청구항 8

청구항 7에 있어서,

상기 더미 라인은 상기 접지 선택 라인과 첫번째 워드라인 사이에 자기정렬된 패턴이고,

마지막번째 워드라인은 홀수번째 마지막 워드라인과 상기 스트링 선택 라인 사이에 자기정렬되어 형성된 패턴인 것을 특징으로 하는 비휘발성 기억 장치의 셀 어레이 구조.

청구항 9

청구항 6에 있어서,

상기 더미 라인부터 상기 스트링 선택 라인을 향하여 상기 워드라인들에 서수를 부여할 때, 상기 접지 선택 라인, 상기 스트링 선택 라인, 상기 더미 라인 및 짝수번째 워드라인들은 포토마스크에서 전사된 패턴이고, 짝수번째 워드라인들 사이의 홀수번째 워드라인들은 각각 짝수번째 워드라인들 사이에 자기정렬되어 형성된 패턴인 것을 특징으로 하는 비휘발성 기억 장치의 셀 어레이 구조.

청구항 10

청구항 9에 있어서,

첫번째 워드라인은 상기 더미 라인과 두번째 워드라인 사이에 자기정렬되어 형성된 패턴인 것을 특징으로 하는 비휘발성 기억 장치의 셀 어레이 구조.

청구항 11

반도체 기판 상에 식각 대상막을 형성하는 단계;

상기 대상막 상에 접지 선택 라인 패턴 및 스트링 선택 라인 패턴, 그리고 상기 접지 선택 라인 패턴과 상기 스트링 선택 라인 패턴 사이에 제 1 피치로 배치된 복수개의 제 1 워드라인 패턴을 포함하는 제 1 마스크 패턴을 형성하는 단계;

상기 제1 마스크 패턴이 형성된 기판을 콘포탈하게 덮고, 상기 제 1 워드라인 패턴들 사이에 각각 상기 제 1 워드라인 패턴들과 평행하게 신장된 리세스 영역을 가지는 제 2 마스크막을 형성하는 단계;

상기 리세스 영역들 내에 각각 제 3 마스크막을 형성하는 단계;

상기 제 3 마스크막들 사이의 상기 제 2 마스크막을 이방성 식각하여 상기 제 1 워드라인 패턴들과 교대로 배치된 제 2 워드라인 패턴들을 형성하는 단계; 및

상기 제 1 마스크 패턴 및 상기 제 2 워드라인 패턴을 식각마스크로 사용하여 상기 대상막을 패터닝하여 접지 선택 라인, 스트링 선택 라인 및 복수개의 워드라인들을 형성하는 단계를 포함하는 비휘발성 기억 장치의 셀 어레이 구조 형성방법.

청구항 12

청구항 11에 있어서,

상기 접지 선택 라인에 가장 가까운 워드라인은 더미 라인인 것을 특징으로 하는 비휘발성 기억 장치의 셀 어레이 구조 형성방법.

청구항 13

청구항 11에 있어서,

상기 제 1 마스크 패턴을 형성하는 단계는,

상기 식각 대상막 상에 제 1 마스크막을 형성하는 단계; 및

포토마스크에 디자인된 상기 제 1 마스크 패턴을 상기 제 1 마스크막에 전사하여 패터닝하는 단계를 포함하는 비휘발성 기억 장치의 셀 어레이 구조 형성방법.

청구항 14

청구항 13에 있어서,

상기 제 1 마스크막은 하부 마스크막 및 상부 마스크막을 포함하고, 상기 제 1 마스크 패턴은 하부 마스크 패턴 및 상부 마스크 패턴을 포함하는 것을 특징으로 하는 비휘발성 기억 장치의 셀 어레이 구조 형성방법.

청구항 15

청구항 13에 있어서,

상기 제 2 마스크막은 상기 제 1 마스크막 및 상기 제 3 마스크막에 대해 식각선택성을 가지는 것을 특징으로 하는 비휘발성 기억 장치의 셀 어레이 구조 형성방법.

청구항 16

청구항 11에 있어서,

상기 제 3 마스크막을 형성하는 단계는,

상기 제 2 마스크막 상에 상기 리세스 영역들을 채우는 마스크막을 형성하는 단계; 및

상기 마스크막을 등방성 식각하여 상기 제 2 마스크막을 노출시킴과 동시에 상기 리세스 영역 내에 제 3 마스크막을 남기는 단계를 포함하는 비휘발성 기억 장치의 셀 어레이 구조 형성방법.

청구항 17

청구항 11에 있어서,

상기 제 1 워드라인 패턴의 폭은 최소 피처 사이즈로 형성되고, 상기 제 1 워드라인 패턴의 피치는 상기 최소 피처 사이즈의 4배인 것을 특징으로 하는 비휘발성 기억 장치의 셀 어레이 구조 형성방법.

청구항 18

청구항 17에 있어서,

상기 리세스 영역의 폭은 최소 피처 사이즈인 것을 특징으로 하는 비휘발성 기억 장치의 셀 어레이 구조 형성방법.

청구항 19

청구항 18에 있어서,

상기 접지 선택 라인 패턴에 인접한 제 1 워드라인 패턴과 상기 접지 선택 라인 패턴의 거리와, 상기 스트링 선택 라인 패턴에 인접한 제 1 워드라인 패턴과 상기 스트링 선택 라인 패턴의 거리는 각각 최소 피처 사이즈의 3 배수이고,

상기 접지 선택 라인 패턴과 상기 제 1 워드라인 패턴 사이와, 상기 스트링 선택 라인과 상기 제 1 워드라인 패턴 사이에 각각 리세스 영역이 형성되는 것을 특징으로 하는 비휘발성 기억 장치의 셀 어레이 구조 형성방법.

청구항 20

청구항 18에 있어서,

상기 접지 선택 라인 패턴에 인접한 제 1 워드라인 패턴과 상기 접지 선택 라인 패턴의 거리와, 상기 스트링 선택 라인 패턴에 인접한 제 1 워드라인 패턴과 상기 스트링 선택 라인 패턴의 거리는 각각 최소 피처 사이즈보다 크고 최소 피처 사이즈의 2배보다 작은 것을 특징으로 하는 비휘발성 기억 장치의 셀 어레이 구조 형성방법.

청구항 21

청구항 11에 있어서,

상기 반도체 기판에 미리 대칭으로 배치되는 복수개의 제 1 마스크 패턴을 형성하되, 접지 선택 라인 패턴들 사이의 간격 및 스트링 선택 라인 패턴들 사이의 간격은 각각 최소 피처 사이즈의 4배수보다 큰 것을 특징으로 하는 비휘발성 기억 장치의 셀 어레이 구조 형성방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <10> 본 발명은 반도체 장치 및 그 제조 방법에 관한 것으로서, 더 구체적으로는 비휘발성 기억 장치의 셀 어레이 구조 및 그 형성 방법에 관한 것이다.
- <11> 낸드형 비휘발성 기억 장치는 고용량 스토리지에 응용되고 있으며, 셀 어레이 구조의 선폭 및 피치의 축소에 의해 고집적화가 실현되고 있다. 디자인 룰의 축소 및 미세 패턴의 형성을 위하여 고성능 노광 설비의 개발이 요구되고 있다. 그러나, 노광 설비의 개발 및 교체는 막대한 비용 부담이 요구되고 있고, 안정된 광원 및 노광 기술의 확보가 어려워 고집적화의 한계에 도달하고 있다.
- <12> 도 1a 및 도 1b는 각각 종래의 비휘발성 기억 장치의 평면도 및 단면도를 개략적으로 나타낸 도면들이다.
- <13> 도 1a 및 도 1b를 참조하면, 낸드형 비휘발성 기억 장치의 셀 어레이 구조는 반도체 기판에 정의된 복수개의 활성영역(ACT)과 상기 활성영역(ACT)의 상부를 가로지르는 접지 선택 라인(GSL), 워드라인(WL) 및 스트링 선택 라인(SSL)을 포함한다.
- <14> 복수개의 워드라인들(WL)은 접지 선택 라인(GSL)과 스트링 선택 라인(SSL) 사이에 일정한 피치로 배치된다.
- <15> 구체적으로 도시하지는 않았지만, 상기 워드라인들(WL)은 각각 활성영역(ACT) 상에 터널절연막을 개재하여 형성된 부유게이트와, 상기 부유 게이트 상에 형성되어 상기 활성영역들(ACT)을 가로지르는 제어게이트 전극과, 상기 부유 게이트와 상기 제어게이트 사이에 개재된 게이트간 유전막을 포함한다. 상기 스트링 선택 라인(SSL) 및 상기 접지 선택 라인(GSL)은 활성영역들(ACT) 상에 형성된 게이트 절연막과, 상기 게이트 절연막 상에 형성되어 상기 활성영역을 가로지르는 도전체를 포함한다.
- <16> 낸드형 비휘발성 기억 장치에서, 워드라인의 폭 및 간격은 각각 최소 피쳐 사이즈(minimum feature size)로 형성된다. 따라서, 단파장의 광원을 사용할 수록 해상도의 한계로 인해 패턴이 변형되어 워드라인 피치의 축소가 제한된다. 따라서, 최소 피쳐 사이즈보다 큰 폭의 스페이스 패턴 형성이 요구되고 기억 장치의 고집적화가 방해된다.
- <17> 이 밖에도, 낸드형 비휘발성 기억 장치의 프로그램시 비선택 셀 트랜지스터는 기입억제를 위해 채널의 포텐셜이 소정의 높이로 부스팅(boosting)되어야 한다. 이와 같이 부스팅을 이용하는 고유의 기입 과정으로 인해 낸드형 비휘발성 기억 장치는 선폭에 의존하는 문제를 가질 수 있다.
- <18> 도 1c는 종래의 낸드형 비휘발성 기억 장치에서 발생하는 문제를 설명하기 위한 도면이다.
- <19> 도 1c를 참조하면, 기입 동작에서, 비선택 셀 스트링의 활성영역은 플로팅된다. 따라서, 기입 전압이 인가된 워드라인 하부의 비선택 셀 스트링의 활성영역은 약 10V 정도로 포텐셜이 상승한다. 이러한 자가 부스팅에 의해 비선택 셀 스트링의 기억 셀들이 기입 억제된다.
- <20> 한편, 소오스/드레인과 게이트 간의 전위차가 큰 접지 선택 트랜지스터의 소오스/드레인 부분에서 GIDL(Gate Induced Drain Leakage)이 발생할 가능성이 높다.
- <21> 낸드형 셀 어레이 구조에서, 접지 선택 라인에 가장 가까운 첫번째 워드라인에 기입 전압이 인가될 때, 비선택 스트링의 접지 선택 트랜지스터의 소오스/드레인은 거의 10V 가까이 전위가 상승한다. 따라서, 상기 비선택 접지 트랜지스터의 정전에서 GIDL 발생 확률이 높아지고, GIDL은 비선택 셀 스트링의 채널 포텐셜이 낮아지는 원인이 되어 기억 셀들의 기입 억제가 약화된다.
- <22> GIDL은 트랜지스터의 게이트 전극과 소오스/드레인의 포텐셜 차이에 의해 일어나며, 게이트 전극과 소오스/드레인의 중첩 면적이 클 수록 그 정도가 심해지고, 불순물 확산층의 폭은 패턴의 폭에 비해 제어가 더욱 어렵다. 따라서, 채널 길이의 축소는 채널 길이 대비 불순물 확산층의 중첩비 증가를 유발하여 GIDL이 더욱 심각하다.
- <23> 도 1d에 도시된 것과 같이, 낸드형 셀 어레이 구조에서 상기 접지 선택 트랜지스터에 인접한 첫번째 셀 트랜지스터는 소거 단계에서 접지 선택 트랜지스터 게이트의 포텐셜에 영향을 받을 수도 있다.

<24> 소거 단계에서, 첫번째 워드라인(WL1)에는 0V가 인가되고, 접지 선택 라인(GSL)은 플로팅 포텐셜(FL)이다. 소거 블록의 p웰에 20V정도의 전압이 인가되면, 플로팅 포텐셜(FL)인 접지 선택 라인(GSL)의 전압이 상승하고, 커플링 커패시턴스(Cp)에 의해 첫번째 셀 트랜지스터의 부유 게이트의 포텐셜은 0V가 되지 않고 상승한다. 따라서, 소거 블록의 다른 셀 트랜지스터에 비해 첫번째 셀 트랜지스터의 소거 속도가 느려지고, 첫번째 셀 트랜지스터의 소거를 위해 추가 펄스를 가해줘야 한다. 이는 소거된 셀 트랜지스터의 문턱 전압 산포가 증가되는 원인이 된다.

발명이 이루고자 하는 기술적 과제

<25> 본 발명이 이루고자 하는 기술적 과제는 노광 설비를 교체하지 않고 패턴의 피치를 축소된 비휘발성 기억 장치의 셀 어레이 구조 및 그 형성 방법을 제공하는데 있다.

<26> 본 발명이 이루고자 하는 다른 기술적 과제는 고집적 비휘발성 기억 장치에서 GIDL을 억제할 수 있는 셀 어레이 구조 및 그 형성 방법을 제공하는데 있다.

발명의 구성 및 작용

<27> 상기 기술적 과제들을 달성하기 위하여 본 발명은 이중 패턴 기술에 의해 형성된 비휘발성 기억 장치의 셀 어레이 구조를 제공한다.

<28> 본 발명은 반도체 기판에 정의된 복수개의 활성영역들과, 상기 활성영역들의 상부를 가로지르는 접지 선택 라인 및 스트링 선택 라인을 포함한다. 상기 접지 선택 라인 및 상기 스트링 선택 라인 사이에 복수개의 워드라인이 배치되고, 상기 워드라인들은 상기 활성영역들의 상부를 가로지른다. 상기 접지 선택 라인에 가장 인접한 워드라인과 상기 접지 선택 라인 사이에 더미 라인이 배치되고, 상기 더미 라인은 상기 활성영역들의 상부를 가로지른다.

<29> 상기 더미 라인 및 상기 워드라인의 폭은 최소 피쳐 사이즈로 형성될 수 있으며, 상기 워드라인의 피치는 최소 피쳐 사이즈의 2배이다. 상기 더미 라인과 상기 접지 선택 라인의 거리는 최소 피쳐 사이즈 이상 최소 피쳐 사이즈의 2배 이하일 수 있다. 또한, 상기 스트링 선택 라인에 가장 가까운 상기 워드라인과 상기 스트링 선택 라인의 거리 또한 최소 피쳐 사이즈 이상 최소 피쳐 사이즈의 2배 이하일 수 있다.

<30> 상기 기술적 과제들을 달성하기 위하여 본 발명은 이중 패턴 기술에 의한 비휘발성 기억 장치의 셀 어레이 구조 형성 방법을 제공한다.

<31> 이 방법은 반도체 기판 상에 식각 대상막을 형성하는 것을 포함한다. 상기 대상막 상에 제 1 마스크 패턴을 형성한다. 상기 제 1 마스크 패턴은 접지 선택 라인 패턴 및 스트링 선택 라인 패턴, 그리고 상기 접지 선택 라인 패턴과 상기 스트링 선택 라인 패턴 사이에 제 1 피치로 배치된 복수개의 제 1 워드라인 패턴을 포함한다.

<32> 상기 제 1 마스크 패턴이 형성된 기판을 콘포말하게 덮는 제 2 마스크막을 형성한다. 상기 제 2 마스크막은 상기 제 1 워드라인 패턴들 사이에 각각 상기 제 1 워드라인 패턴들과 평행하게 신장된 리세스 영역을 가진다.

<33> 상기 리세스 영역들 내에 각각 제 3 마스크막을 형성한다. 상기 제 3 마스크막들 사이의 상기 제 2 마스크막을 이방성 식각하여 상기 제 1 워드라인 패턴들과 교대로 배치된 제 2 워드라인 패턴들을 형성한다.

<34> 상기 제 1 마스크 패턴 및 상기 제 2 워드라인 패턴은 접지 선택 라인, 스트링 선택 라인 및 복수개의 워드라인을 형성하는 제 2 마스크 패턴이 된다. 상기 제 2 마스크 패턴을 식각마스크로 사용하여 상기 대상막을 패터닝한다. 그 결과, 상기 반도체 기판에 접지 선택 라인, 스트링 선택 라인 및 복수개의 워드라인들을 형성된다.

<35> 상기 제 1 워드라인 패턴의 폭은 최소 피쳐 사이즈로 형성될 수 있다. 상기 제 1 워드라인 패턴의 피치는 상기 최소 피쳐 사이즈의 4배일 수 있다. 상기 리세스 영역의 폭은 최소 피쳐 사이즈로 형성될 수 있다. 따라서, 상기 제 2 워드라인 패턴과 상기 제 1 워드라인 패턴의 거리 또한 최소 피쳐 사이즈가 될 수 있다.

<36> 상기 제 1 마스크 패턴은 포토마스크에 형성된 패턴이 전사되어 형성되고, 상기 제 2 워드라인 패턴은 상기 제 1 워드라인 패턴에 자기정렬되어 형성된다. 따라서, 상기 접지 선택 라인 및 상기 스트링 선택 라인은 포토마스크 패턴이 전사된 패턴이고, 상기 워드라인 패턴은 상기 포토마스크 패턴이 전사된 제 1 워드라인과 상기 제 1 워드라인 패턴에 자기정렬되어 상기 제 1 워드라인 패턴과 교대로 배치된 제 2 워드라인으로 구성된다.

<37> 상기 접지 선택 라인 패턴 또는 상기 스트링 선택 라인 패턴에 가장 가까운 제 1 워드라인 패턴들은 각각 상기 접지 선택 라인 패턴 또는 상기 스트링 선택 라인 패턴으로부터 최소 피쳐 사이즈의 1.5배 내지 2배만큼 떨어져

형성될 수 있으며, 이들의 거리가 최소 피쳐 사이즈의 2배보다 작은 경우 상기 접지 선택 라인 패턴 또는 상기 스트링 선택 라인 패턴에 가장 가까운 제 1 워드라인들과 상기 접지 선택 라인 패턴 또는 상기 스트링 선택 라인 패턴 사이에는 리세스 영역이 형성되지 않는다.

- <38> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 층이 다른 층 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 또한, 어느 구성부분이 다른 구성부분에 인접한다고 언급되어지는 경우에 그것은 다른 구성부분과 직접 접촉되거나 또는 그들 사이에 제 3의 구성부분이 개재되어 이격될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 나타낸다.
- <39> 도 2a는 본 발명의 제 1 실시예에 따른 비휘발성 기억 장치의 평면도이다.
- <40> 도 2b는 도 2a의 II-II'를 따라 취해진 비휘발성 기억 장치의 단면도이다.
- <41> 도 2a 및 도 2b를 참조하면, 낸드형 플래시 기억 장치의 셀 어레이 구조는 활성영역들(ACT)을 가로지르는 접지 선택 라인(GSL_n)와 스트링 선택 라인(SSL_n)을 포함한다. 상기 접지 선택 라인(GSL_n)와 상기 스트링 선택 라인(SSL_n) 사이에 복수개의 워드라인들(WL_n)이 배치된다.
- <42> 셀 어레이 구조는 접지 선택 라인(GSL_n)과 스트링 선택 라인(SSL_n) 및 워드라인들(WL_n)로 구성된 패턴 그룹을 포함하고, 상기 패턴 그룹은 반도체 기판에 미러 대칭(mirror symmetry)으로 배치된다. 본 발명은 상기 접지 선택 라인(GSL_n)에서 가장 가까운 첫번째 워드라인(WL₁)과 상기 접지 선택 라인(GSL_n) 사이에 더미 라인(WL_d)을 더 포함할 수 있다.
- <43> 구체적으로 도시 하지는 않았지만, 낸드형 기억 장치에서, 상기 접지 선택 라인(GSL_n)은 상기 활성영역들(ACT)에 형성되는 접지 선택 트랜지스터들의 게이트 전극들을 연결하고, 상기 스트링 선택 라인(SSL_n)은 상기 활성영역들(ACT)에 형성된 스트링 선택 트랜지스터들의 게이트 전극들을 연결한다. 상기 워드라인(WL_n)은 활성영역들(ACT)에 형성된 셀 트랜지스터들의 게이트 전극들을 연결한다.
- <44> 상기 더미 라인(WL_d)은 기입 동작에서 선택되지 않은 스트링의 접지 선택 트랜지스터에서 GIDL이 일어나는 것을 방지하고, 선택 트랜지스터에 인접한 셀 트랜지스터의 소거 장애(erase disturbance)를 억제하기 위하여 형성된다.
- <45> 첫번째 워드라인(WL₁)에 기입 전압이 인가되더라도, 상기 더미 라인(WL_d)에 기입 전압이 인가되지 않는다. 따라서, 이 구조에서 접지 선택 트랜지스터의 프로그램 정선포텐셜은 종래의 구조에 비해 상대적으로 낮아질 수 있다.
- <46> 본 발명에서 상기 더미 라인(WL_d)와 상기 워드라인들(WL_n)은 최소 피쳐 사이즈(F₁)로 형성된다. 최소 피쳐 사이즈(F₁)는 광원의 파장에 따라 달라지며, 특정 광원으로 정의할 수 있는 최소 선폭을 의미한다.
- <47> 상기 접지 선택 라인(GSL_n)에서 상기 스트링 선택 라인(SSL_n)을 향하여 워드라인에 서수를 부여할 때, 짝수번째 워드라인들(WL_{2n})의 피치(P₁) 및 홀수번째 워드라인들(WL_{2n-1})의 피치는 각각 최소 피쳐 사이즈(F₁)의 4배수이다. 상기 접지 선택 라인(GSL_n), 상기 스트링 선택 라인(SSL_n) 및 상기 홀수번째 워드라인들(WL_{2n-1})은 포토마스크의 패턴이 전사된 패턴이고, 상기 더미 라인(WL_d) 및 상기 짝수번째 워드라인들(WL_{2n})은 상기 포토마스크의 패턴이 전사된 패턴들에 자기정렬적으로 형성된 패턴이다.
- <48> 이 실시예에서, 상기 접지 선택 라인(GSL_n)과 상기 더미 라인(WL_d)의 거리, 상기 더미 라인(WL_d)과 첫번째 워드라인(WL₁)의 거리(W₁), 상기 워드라인들(WL_n)의 배치 간격, 마지막 워드라인(WL_{2n})과 상기 스트링 선택 라인(SSL_n)의 거리(W₁)는 동일하고, 그 거리는 최소 피쳐 사이즈(F)일 수 있다.

- <49> 이웃한 접지 선택 라인들(GSL_n , GSL_{n+1}) 상호간의 거리와, 이웃한 스트링 선택 라인들(SSL_n , SSL_{n+1}) 상호간의 거리는 동일할 수 있으며, 본 발명이 최소 피쳐 사이즈의 패턴 스페이스를 형성는 것이 어려움을 극복하기 위한 것임을 고려할 때, 그 거리는 최소 피쳐 사이즈보다 크고 최소 피쳐 사이즈의 2배보다 작거나, 최소 피쳐 사이즈의 4배보다 클 수 있다.
- <50> 도 3a는 본 발명의 제 2 실시예에 따른 비휘발성 기억 장치의 셀 어레이 구조를 나타낸 평면도이고, 도 3b는 도 3a의 III-III'를 따라 취해진 단면도이다.
- <51> 도 3a 및 도 3b를 참조하면, 제 1 실시예와 유사하게, 제 2 실시예는 접지 선택 라인 가까이에 더미 라인을 포함한다. 그러나, 상기 더미 라인과 상기 접지 선택 라인의 거리는 제 1 실시예에 비해 상대적으로 멀리 떨어진다.
- <52> 구체적으로, 셀 어레이 구조는 활성영역들(ACT)을 가로지르는 접지 선택 라인(GSL_n)과 스트링 선택 라인(SSL_n)을 포함하고, 상기 접지 선택 라인(GSL_n)와 상기 스트링 선택 라인(SSL_n) 사이에 복수개의 워드라인들(WL_n)이 배치된다.
- <53> 셀 어레이 구조는 접지 선택 라인(GSL_n)과 스트링 선택 라인(SSL_n) 및 워드라인들(WL_n)로 구성된 패턴 그룹을 포함하고, 상기 패턴 그룹은 반도체 기판에 미리 대칭(mirror symmetry)으로 배치된다.
- <54> 일반적인 낸드형 기억 기억 장치와 마찬가지로, 상기 접지 선택 라인(GSL_n)은 상기 활성영역들(ACT)에 형성되는 접지 선택 트랜지스터들의 게이트 전극들을 연결하고, 상기 스트링 선택 라인(SSL_n)은 상기 활성영역들(ACT)에 스트링 선택 트랜지스터들의 게이트 전극들을 연결한다. 상기 워드라인(WL_n)은 활성영역들(ACT)에 형성된 셀 트랜지스터들의 게이트 전극들을 연결한다.
- <55> 상기 접지 선택 라인(GSL_n)에서 상기 스트링 선택 라인(SSL_n)을 향하여 워드라인에 서수를 부여할 때, 짝수번째 워드라인들(WL_{2n})의 피치(P_1) 및 홀수번째 워드라인들(WL_{2n-1})의 피치는 각각 최소 피쳐 사이즈(F_1)의 4배수이다. 상기 접지 선택 라인(GSL_n), 상기 스트링 선택 라인(SSL_n), 상기 더미 라인(WL_d) 및 상기 짝수번째 워드라인들(WL_{2n})은 포토마스크의 패턴이 전사된 패턴이고, 상기 홀수번째 워드라인들(WL_{2n-1})은 상기 포토마스크의 패턴이 전사된 패턴들에 자기정렬적으로 형성된 패턴이다.
- <56> 이 실시예에서, 상기 더미 라인(WL_d)과 첫번째 워드라인(WL_1)의 거리와 상기 워드라인들(WL_n)의 배치 간격은 동일하고, 그 거리는 최소 피쳐 사이즈(F_1)이다. 이웃한 접지 선택 라인들(GSL_n , GSL_{n+1}) 상호간의 거리와, 이웃한 스트링 선택 라인들(SSL_n , SSL_{n+1}) 상호간의 거리는 동일할 수 있으며, 그 거리는 최소 피쳐 사이즈의 1.5배 내지 2배이거나, 최소 피쳐 사이즈의 4배보다 클 수 있다.
- <57> 제 2 실시예에서, 상기 접지 선택 라인(GSL_n)과 상기 더미 라인(WL_d)의 거리와 마지막 워드라인(WL_{2n})과 상기 스트링 선택 라인(SSL_n)의 거리는 동일하며, 그 거리는 최소 피쳐 사이즈의 2배보다 작으며, 최소 피쳐 사이즈의 1.5배 내지 2배인 것이 바람직하다.
- <58> 도 4 내지 도 7은 상기 본 발명의 제 1 실시예에 따른 비휘발성 기억 장치의 셀 어레이 구조를 형성하는 방법을 설명하기 위한 단면도들이다.
- <59> 도 4를 참조하면, 반도체 기판(50) 상에 식각 대상막(52)을 형성하고, 상기 식각 대상막 상에 제 1 마스크막을 형성한다. 상기 제 1 마스크막은 하부 마스크막(54) 및 상부 마스크막(56)으로 구성될 수 있다. 상기 하부 마스크막(54)과 상기 상부 마스크막(56)은 상호 식각선택성을 가지는 물질로 형성한다. 예컨대, 상기 하부 마스크막(54)을 실리콘 산화막으로 형성한 경우, 상기 상부 마스크막(56)은 실리콘 질화막으로 형성할 수도 있다. 여기에 제한되지 않고, 상기 하부 마스크막(54) 및 상기 상부 마스크막(56)은 유기막 또는 무기막 가운데 상호 식각선택성을 가지는 물질로 형성할 수 있다.
- <60> 상기 제 1 마스크막은 단일층으로 형성될 수도 있다. 이 때, 상기 제 1 마스크막은 상기 식각대상막(52)의 식각 마스크로 사용될 수 있는 물질로 형성하는 것이 바람직하다. 상기 제 1 마스크막이 상부 마스크막과 하부 마스크막으로 구성되는 경우에는, 적어도 상기 상부 마스크막(56)은 상기 식각대상막(52)의 식각마스크로 사용될 수 있는 물질로 형성하는 것이 바람직하고, 상기 하부 마스크막(54) 또한 상기 식각대상막(52)의 식각마스크로 사

용될 수 있는 물질로 형성할 수 있다.

- <61> 상기 제 1 마스크막 상에 포토레지스트 패턴을 형성한다. 상기 포토레지스트 패턴은 일 방향으로 신장된 접지 선택 라인 패턴(58g), 제 1 워드라인 패턴(58w) 및 스트링 선택 라인 패턴(58s)을 포함한다. 상기 포토레지스트 패턴은 포토마스크(100)에 형성된 패턴들(104g, 104w, 104s)이 각각 전사된 패턴들이다.
- <62> 도시된 것과 같이, 포토마스크(100)는 투명 기관(102)에 형성된 차광 패턴(104g, 104w, 104s)을 포함한다. 상기 차광 패턴은 셀 어레이 구조에서 접지 선택 라인 패턴, 제 1 워드라인 패턴 및 스트링 선택 라인 패턴이 형성될 부분에 대응되어 빛을 블로킹한다.
- <63> 포토마스크(100)에서 제 1 워드라인 패턴들(104w)의 선평(F_1')는 최소 피쳐 사이즈(F_1)의 포토레지스트 패턴을 형성하기 위한 것이다. 상기 제 1 워드라인 패턴들(104w)의 피치는 선평(F_1')의 4배로 디자인되고, 접지 선택 라인 패턴(104g)과 첫번째 상기 제 1 워드라인 패턴(104w)의 거리(W_4)와, 마지막 제 1 워드라인 패턴(104w)와 스트링 선택 라인 패턴(104g)의 거리(W_4), 그리고 제 1 워드라인 패턴들(104w) 상호간의 거리(W_4)는 각각 선평(F_1')의 3배로 디자인된다. 이웃한 접지 선택 라인 패턴(104g)의 거리와, 이웃한 스트링 선택 라인 패턴(104s)의 거리는 각각 선평(F_1')보다 크고 선평(F_1')의 2배보다 작거나, 선평의 4배보다 크게 디자인될 수 있다.
- <64> 상기 포토마스크의 차광 패턴이 반도체 기관에 축소 투영되어 상기 반도체 기관의 제 1 워드라인 패턴(58w)는 최소 피쳐 사이즈(F_1)의 폭을 가지고, 최소 피쳐 사이즈의 4배인 피치로 배치된다. 상기 접지 선택 라인 패턴(58g)에 가장 가까운 제 1 워드라인 패턴(58w)과 상기 접지 선택 라인 패턴(58g)의 거리는 최소 피쳐 사이즈(F_1)의 3배이고, 상기 접지 선택 라인 패턴(58s)에 가장 가까운 제 1 워드라인 패턴(58w)과 상기 접지 선택 라인 패턴(58s)의 거리도 최소 피쳐 사이즈(F_1)의 3배이다.
- <65> 또한, 이웃한 접지 선택 라인 패턴들(58g)는 상호간에 최소 피쳐 사이즈(F_1)의 4보다 멀리 이격되고, 이웃한 스트링 선택 라인 패턴들(58s)도 상호간에 최소 피쳐 사이즈(F_1)의 4배보다 멀리 이격될 수 있다. 후술하겠지만, 선평 라인 패턴들 상호간의 거리는 최소 피쳐 사이즈보다 크고 최소 피쳐 사이즈의 2배보다 작을 수 있다.
- <66> 도 5를 참조하면, 상기 포토레지스트 패턴을 식각마스크로 사용하여 상기 제 1 마스크막, 즉 하부 마스크막(54) 및 상부 마스크막(56)을 패터닝하여 제 1 마스크 패턴을 형성한다. 상기 제 1 마스크 패턴이 형성된 후 상기 포토레지스트 패턴을 제거한다.
- <67> 상기 제 1 마스크 패턴은 상기 포토마스크(100)의 차광 패턴이 전사된 접지 선택 라인 패턴(60g)와 제 1 워드라인 패턴(60w) 및 스트링 선택 라인 패턴(60s)을 포함한다. 상기 제 1 마스크막이 하부 마스크막(54) 및 상부 마스크막(56)으로 구성된 경우, 상기 제 1 마스크 패턴은 각각 하부 마스크 패턴 및 상부 마스크 패턴이 적층된 구조를 가진다.
- <68> 상기 제 1 마스크 패턴 상에 제 2 마스크막(62)을 콘포말하게 형성한다. 상기 제 2 마스크막(62)은 상기 식각 대상막(52)에 대한 식각마스크가 될 수 있는 물질인 것이 바람직하며, 상기 제 1 마스크 패턴에 대해 식각선택성을 가지는 물질로 형성한다. 바람직하게는, 상기 제 2 마스크막(62)은 특정 식각공정에서 상기 상부 마스크 패턴보다 빠른 식각속도를 가질 수 있는 물질이다. 상기 제 2 마스크막(62)은 최소 피쳐 사이즈(F_1) 두께로 콘포말하게 형성되어 상기 제 1 마스크 패턴들 사이 사이에 리세스 영역(66)을 가진다. 상기 리세스 영역(66)은 상기 제 1 마스크 패턴들과 평행하게 일 방향으로 신장된다. 상기 리세스 영역(66)은 최소 피쳐 사이즈(F_1)의 폭으로 형성될 수 있다.
- <69> 상기 제 2 마스크막(62) 상에 제 3 마스크막(64)을 형성한다. 상기 제 3 마스크막(64)은 상기 제 2 마스크막(62)에 대한 식각선택성을 가지는 물질로 형성한다. 바람직하게는, 상기 제 3 마스크막(64)은 상기 제 1 마스크 패턴, 특히 상기 상부 마스크막(56)과 상기 제 2 마스크막(62)에 대한 식각선택성이 동일하거나 유사한 물질이다. 상기 제 3 마스크막(64)은 상기 제 2 마스크막(62) 상에 콘포말하게 형성되는 것이 바람직하고, 상기 리세스 영역(66)을 충분히 채우도록 형성되는 것이 바람직하다.
- <70> 상기 접지 선택 라인 패턴들(60g) 상호간 그리고 상기 스트링 선택 라인 패턴들(60s) 상호간의 거리는 최소 피쳐 사이즈의 4배보다 크게 형성될 수 있다. 상기 제 3 마스크막(64)은 최소 피쳐 사이즈 또는 상기 최소 피쳐 사이즈보다 두껍게 형성될 수 있다. 상기 제 3 마스크막(64)을 최소 피쳐 사이즈 두께로 형성하는 경우, 상기 접지 선택 라인 패턴들(60g) 사이와 상기 스트링 선택 라인 패턴들(60s) 사이에 각각 최소 피쳐 사이즈(F_1)의 4

배 폭으로 제 2 및 제 3 마스크막(62, 64)이 형성된다. 따라서, 상기 접지 선택 라인 패턴들(60g) 상호간 그리고 상기 스트링 선택 라인 패턴들(60s) 상호간의 거리는 최소 피쳐 사이즈의 4배보다 크게 형성될 때, 상기 제 3 마스크막(64)은 갭(68)을 가질 수 있다. 상기 제 3 마스크막(64)의 두께에 따라 상기 접지 선택 라인 패턴들(60g) 상호간 그리고 상기 스트링 선택 라인 패턴들(60s) 상호간의 거리를 적절하게 조절하여 디자인 할 수도 있다.

- <71> 도 6을 참조하면, 상기 제 3 마스크막(64)을 리세스하여 상기 리세스 영역(66) 내에 제 3 마스크막(64)을 남기고, 상기 제 2 마스크막이 노출된다. 상기 리세스 영역(66)은 상기 제 1 마스크 패턴들 사이에서 라인 형상으로 형성되어 있다. 따라서, 상기 남은 제 3 마스크막(64)은 라인 형상을 가진다. 상기 제 3 마스크막들(64)과 상기 제 1 마스크 패턴들은 교대로 배치된다.
- <72> 상기 접지 선택 라인 패턴들(60g) 사이와 상기 스트링 선택 라인들(60s) 사이에는 제 3 마스크막(64)이 남지 않는다. 이들 패턴들 상호간의 거리가 4배보다 큰 경우, 상기 제 3 마스크막(64)은 갭(68)을 가지며 형성될 수 있다. 따라서, 상기 제 3 마스크막(64)을 등방성 에치백함으로써 상기 갭(68)을 통해 식각용액 또는 식각 가스가 침투하여 상기 접지 선택 라인 패턴들(60g) 사이와 상기 스트링 선택 라인들(60s) 사이의 제 3 마스크막(64)이 모두 제거될 수 있다.
- <73> 도시하지는 않았지만, 접지 선택 라인 패턴들(60g) 상호간의 거리와 상기 스트링 선택 라인들(60s) 상호간의 거리가 최소 피쳐 사이즈의 2배 이하인 경우, 상기 제 2 마스크막(62)이 이들 사이에 채워져 제 3 마스크막이 이들 사이에 개재되는 것을 막을 수도 있다. 이 때, 해상도의 한계로 최소 피쳐 사이즈의 패턴 스페이스가 어려운 때에는 상기 거리가 최소 피쳐 사이즈의 1.5배 내지 2배일 수 있다.
- <74> 도 7을 참조하면, 상기 제 3 마스크막(64)을 식각마스크로 사용하여 상기 제 2 마스크막(62)을 제거한다. 이 때, 상기 제 2 마스크막(62)은 이방성 식각법으로 제거할 수 있다. 상기 제 2 마스크막(62)은 상기 제 3 마스크막(64) 뿐만 아니라 상기 제 1 마스크 패턴들에 대해서 식각선택성을 가진다. 따라서, 상기 식각 대상막(52)이 노출될 때까지 상기 제 2 마스크막(62)을 식각하는 동안, 상기 제 1 마스크 패턴, 특히 상부 마스크막(56)이 식각정지층이 된다.
- <75> 상기 제 3 마스크막(64)을 식각마스크로 사용되어 상기 제 2 마스크막(62)이 이방성 식각되어, 제 2 마스크 패턴들이 형성된다. 상기 제 2 마스크 패턴들은 상기 제 1 워드라인 패턴들(60w)과 교대로 배치되는 제 2 워드라인 패턴들(70w)을 포함한다. 첫번째 제 1 워드라인 패턴과 접지 선택 라인 패턴(60g) 사이와, 마지막 제 1 워드라인 패턴과 스트링 선택 라인 패턴(60s) 사이에도 각각 제 2 워드라인 패턴(70w)이 배치된다.
- <76> 결과적으로, 상기 제 1 워드라인 패턴(60w)과 상기 제 2 워드라인 패턴(70w)은 각각 최소 피쳐 사이즈(F1)로 형성되고, 제 1 워드라인 패턴(60w)의 피치는 최소 피쳐 사이즈(F1)의 4배, 제 2 워드라인 패턴(70w)의 피치도 최소 피쳐 사이즈의 4배이다.
- <77> 또한, 상기 접지 선택 라인 패턴(60g), 상기 제 1 워드라인 패턴(60w), 상기 제 2 워드라인 패턴(70w) 및 상기 스트링 선택 라인 패턴(60s)은 최소 피쳐 사이즈 간격으로 배치되고, 이웃한 접지 선택 라인 패턴들(60g) 상호간의 거리와, 이웃한 스트링 선택 라인 패턴들(60s) 상호간의 거리는 동일할 수 있으며, 그 거리는 최소 피쳐 사이즈의 1.5배 내지 2배이거나, 최소 피쳐 사이즈의 4배보다 클 수 있다.
- <78> 이상에서 설명되어진 바와 같이, 상기 접지 선택 라인 패턴(60g), 상기 스트링 선택 라인 패턴(60s) 및 상기 제 1 워드라인 패턴들(60w)은 포토마스크의 패턴이 전사되어 형성되고, 상기 제 2 워드라인 패턴들(70w)은 상기 접지 선택 라인 패턴(60g), 상기 스트링 선택 라인 패턴(60s) 및 상기 제 1 워드라인 패턴들(60w)에 자기정렬적으로 형성된다.
- <79> 계속해서 상기 상기 접지 선택 라인 패턴(60g), 상기 제 1 워드라인 패턴(60w), 상기 제 2 워드라인 패턴(70w) 및 상기 스트링 선택 라인 패턴(60s)을 식각마스크로 사용하여 상기 식각 대상막(52)을 식각하여 도 2a 및 도 2b에 도시된 것과 같이 접지 선택 라인(GSL_n), 스트링 선택 라인(SSL_n), 더미 라인(WL_d) 및 워드라인(WL_n)을 형성할 수 있다.
- <80> 본 발명에 따르면, 해상도의 한계로 최소 피쳐 사이즈의 스페이스 패턴을 형성할 수 없는 경우, 노광 한계보다 넓은 피치의 제 1 마스크 패턴을 우선 전사하고 이들 사이에 제 2 마스크 패턴을 자기정렬적으로 형성하여 해상도 한계를 넘는 최소 피쳐 사이즈의 스페이스 패턴을 형성할 수 있다.
- <81> 낸드형 셀 어레이 구조에서 제 1 마스크 패턴 및 제 2 마스크 패턴에 의해 홀수개의 워드라인이 형성될 수

있다. 따라서, 8의 배수 개수만큼의 워드라인으로 이루어지는 메모리 블록에서 하나 또는 그 이상의 더미 라인을 용이하게 형성할 수 있다.

- <82> 도 8 내지 도 11은 본 발명의 제 2 실시예에 따른 비휘발성 기억 장치의 셀 어레이 구조를 형성하기 위한 방법을 설명한다.
- <83> 도 8을 참조하면, 반도체 기판(150) 상에 식각 대상막(152)을 형성하고, 상기 식각 대상막 상에 제 1 마스크막을 형성한다. 상기 제 1 마스크막은 하부 마스크막(154) 및 상부 마스크막(156)으로 구성될 수 있다. 상기 하부 마스크막(154)과 상기 상부 마스크막(156)은 상호 식각선택성을 가지는 물질로 형성한다. 예컨대, 상기 하부 마스크막(154)을 실리콘 산화막으로 형성한 경우, 상기 상부 마스크막(156)은 실리콘 질화막으로 형성할 수도 있다. 따라서, 상기 하부 마스크막(154) 및 상기 상부 마스크막(156)은 유기막 또는 무기막 가운데 상호 상호 식각선택성을 가지는 물질로 형성할 수 있다.
- <84> 상기 제 1 마스크막은 단일층으로 형성될 수도 있다. 이 때, 상기 제 1 마스크막은 상기 식각대상막(152)의 식각마스크로 사용될 수 있는 물질로 형성하는 것이 바람직하다. 상기 제 1 마스크막이 상부 마스크막과 하부 마스크막으로 구성되는 경우에는, 적어도 상기 상부 마스크막(156)은 상기 식각대상막(152)의 식각마스크로 사용될 수 있는 물질로 형성하는 것이 바람직하고, 상기 하부 마스크막(154) 또한 상기 식각대상막(152)의 식각마스크로 사용될 수 있는 물질로 형성할 수 있다.
- <85> 상기 제 1 마스크막 상에 포토레지스트 패턴을 형성한다. 상기 포토레지스트 패턴은 일 방향으로 신장된 접지 선택 라인 패턴(158g), 제 1 워드라인 패턴(158w) 및 스트링 선택 라인 패턴(158s)을 포함한다. 상기 포토레지스트 패턴은 포토마스크(200)에 형성된 패턴들(204g, 204w, 204s)이 각각 전사된 패턴들이다.
- <86> 도시된 것과 같이, 포토마스크(200)는 투명 기판(202)에 형성된 차광 패턴(204g, 204w, 204s)을 포함한다. 상기 차광 패턴들은 셀 어레이 구조에서 접지 선택 라인 패턴, 제 1 워드라인 패턴 및 스트링 선택 라인 패턴이 형성될 부분에 대응되어 빛을 블로킹한다.
- <87> 포토마스크(200)에서 제 1 워드라인 패턴들(204w)의 선포(F_1')는 최소 피쳐 사이즈(F_1)의 포토레지스트 패턴을 형성하기 위한 것이다. 상기 제 1 워드라인 패턴들(204w)의 피치는 선포(F_1')의 4배로 디자인되고, 제 1 워드라인 패턴들(204w) 상호간의 거리(W_3')는 각각 선포(F_1')의 3배로 디자인된다.
- <88> 제 2 실시예에서, 상기 접지 선택 라인 패턴(204g)과 첫번째 제 1 워드라인 패턴(204w)의 거리(W_3')와, 마지막 제 1 워드라인 패턴(204w)과 스트링 선택 라인 패턴(204g)의 거리(W_3')는 각각 선포(F_1')의 2배 이하로 디자인된다. 본 발명이 노광 한계로 인한 스페이스 패턴 형성불량을 극복하기 위한 것임을 고려할 때, 상기 접지 선택 라인 패턴(204g)과 첫번째 제 1 워드라인 패턴(204w)의 거리(W_3')와, 마지막 제 1 워드라인 패턴(204w)과 스트링 선택 라인 패턴(204g)의 거리(W_3')는 각각 선포(F_1')보다는 클 것이다. 예컨대, 선포(F_1')의 1.5배 내지 2배로 디자인될 수 있다. 그리고, 이웃한 접지 선택 라인 패턴들(204g)의 거리와, 이웃한 스트링 선택 라인 패턴들(204s)의 거리는 각각 선포(F_1')의 4배보다 크게 디자인될 수 있다.
- <89> 상기 포토마스크의 차광 패턴이 반도체 기판에 축소 투영되어 상기 반도체 기판의 제 1 워드라인 패턴(158w)는 최소 피쳐 사이즈(F_1)의 폭을 가지고, 최소 피쳐 사이즈의 4배인 피치로 배치된다. 상기 접지 선택 라인 패턴(158g)에 가장 가까운 제 1 워드라인 패턴(158w)과 상기 접지 선택 라인 패턴(158g)의 거리는 최소 피쳐 사이즈(F_1)보다 크고 최소 피쳐 사이즈의 2배보다 작고, 상기 접지 선택 라인 패턴(158s)에 가장 가까운 제 1 워드라인 패턴(158w)과 상기 접지 선택 라인 패턴(158s)의 거리도 최소 피쳐 사이즈(F_1)보다 크고 최소 피쳐 사이즈의 2배보다 작다. 예컨대, 이들의 폭은 최소 피쳐 사이즈의 1.5 내지 2배일 수 있다.
- <90> 또한, 이웃한 접지 선택 라인 패턴들(158g)는 상호간에 최소 피쳐 사이즈(F_1)의 4배보다 멀리 이격되고, 이웃한 스트링 선택 라인 패턴들(158s)도 상호간에 최소 피쳐 사이즈(F_1)의 4배보다 멀리 이격된다. 그러나, 이웃한 접지 선택 라인 패턴들(158g)는 상호간에 최소 피쳐 사이즈(F_1)보다 크고 최소 피쳐 사이즈의 2배 이하일 수 있다.
- <91> 도 9를 참조하면, 상기 포토레지스트 패턴을 식각마스크로 사용하여 상기 제 1 마스크막, 즉 하부 마스크막(154) 및 상부 마스크막(156)을 패터닝하여 제 1 마스크 패턴을 형성한다. 상기 제 1 마스크 패턴이 형성된 후

상기 포토레지스트 패턴을 제거한다.

- <92> 상기 제 1 마스크 패턴은 상기 포토마스크(200)의 차광 패턴이 전사된 접지 선택 라인 패턴(160g)와 제 1 워드 라인 패턴(160w) 및 스트링 선택 라인 패턴(160s)을 포함한다. 상기 제 1 마스크막이 하부 마스크막(154) 및 상부 마스크막(156)으로 구성된 경우, 상기 제 1 마스크 패턴은 각각 하부 마스크 패턴 및 상부 마스크 패턴이 적층된 구조를 가진다.
- <93> 상기 제 1 마스크 패턴 상에 제 2 마스크막(162)을 콘포말하게 형성한다. 상기 제 2 마스크막(162)은 상기 식각 대상막(152)에 대한 식각마스크가 될 수 있는 물질인 것이 바람직하며, 상기 제 1 마스크 패턴에 대해 식각선택성을 가지는 물질로 형성한다. 바람직하게는, 상기 제 2 마스크막(162)은 특정 식각공정에서 상기 상부 마스크 패턴보다 빠른 식각속도를 가질 수 있는 물질이다. 상기 제 2 마스크막(162)은 최소 피쳐 사이즈(F1) 두께로 콘포말하게 형성되어 상기 제 1 마스크 패턴들 사이 사이에 리세스 영역(166)을 가진다. 상기 리세스 영역(166)은 상기 제 1 마스크 패턴들과 평행하게 일 방향으로 신장된다. 상기 리세스 영역(166)은 최소 피쳐 사이즈(F₁)의 폭으로 형성된다.
- <94> 제 2 실시예에서, 상기 접지 선택 라인 패턴(158g)에 가장 가까운 제 1 워드라인 패턴(158w)과 상기 접지 선택 라인 패턴(158g)의 거리(W₃), 그리고 상기 접지 선택 라인 패턴(158s)에 가장 가까운 제 1 워드라인 패턴(158w)과 상기 접지 선택 라인 패턴(158s)의 거리(W₃)는 각각 최소 피쳐 사이즈보다 크고 최소 피쳐 사이즈의 2배 이하로 형성될 수 있다. 따라서, 최소 피쳐 사이즈와 동일한 두께로 형성되는 상기 상기 접지 선택 라인 패턴(158g)에 가장 가까운 제 1 워드라인 패턴(158w)과 상기 접지 선택 라인 패턴(158g) 사이와, 상기 접지 선택 라인 패턴(158s)에 가장 가까운 제 1 워드라인 패턴(158w)과 상기 접지 선택 라인 패턴(158s) 사이에 상기 제 2 마스크막이 채워진 부분에는 리세스 영역이 형성되지 않는다.
- <95> 상기 제 2 마스크막(162) 상에 제 3 마스크막(164)을 형성한다. 상기 제 3 마스크막(164)은 상기 제 2 마스크막(162)에 대한 식각선택성을 가지는 물질로 형성한다. 바람직하게는, 상기 제 3 마스크막(164)은 상기 제 1 마스크 패턴, 특히 상기 상부 마스크막(156)과 상기 제 2 마스크막(162)에 대한 식각선택성이 동일하거나 유사한 물질이다. 상기 제 3 마스크막(164)은 상기 제 2 마스크막(162) 상에 콘포말하게 형성되는 것이 바람직하고, 상기 리세스 영역(166)을 충분히 채우도록 형성되는 것이 바람직하다.
- <96> 상기 접지 선택 라인 패턴들(160g) 상호간 그리고 상기 스트링 선택 라인 패턴들(160s) 상호간의 거리는 최소 피쳐 사이즈의 4배보다 크게 형성될 수 있다. 상기 제 3 마스크막(164)은 최소 피쳐 사이즈 또는 상기 최소 피쳐 사이즈보다 두껍게 형성될 수 있다. 상기 제 3 마스크막(164)을 최소 피쳐 사이즈 두께로 형성하는 경우, 상기 접지 선택 라인 패턴들(160g) 사이와 상기 스트링 선택 라인 패턴들(160s) 사이에 각각 최소 피쳐 사이즈(F1)의 4배에 해당하는 폭으로 제 2 및 제 3 마스크막(162, 164)이 형성된다. 따라서, 상기 접지 선택 라인 패턴들(160g) 상호간 그리고 상기 스트링 선택 라인 패턴들(160s) 상호간의 거리는 최소 피쳐 사이즈의 4배보다 크게 형성될 때, 상기 제 3 마스크막(164)은 갭(168)을 가질 수 있다. 상기 제 3 마스크막(164)의 두께에 따라 상기 접지 선택 라인 패턴들(160g) 상호간 그리고 상기 스트링 선택 라인 패턴들(160s) 상호간의 거리를 적절하게 조절하여 디자인 할 수도 있다.
- <97> 도 10을 참조하면, 상기 제 3 마스크막(164)을 리세스하여 상기 리세스 영역(166) 내에 제 3 마스크막(164)을 남기고, 상기 제 2 마스크막이 노출된다. 상기 리세스 영역(166)은 상기 제 1 마스크 패턴들 사이에서 라인 형상으로 형성되어 있다. 따라서, 상기 남은 제 3 마스크막(164)은 라인 형상을 가진다. 상기 제 3 마스크막들(164)과 상기 제 1 마스크 패턴들은 교대로 배치된다.
- <98> 상기 제 3 마스크막(164)을 등방성 에치백함으로써 상기 갭(168)을 통해 식각용액 또는 식각 가스가 침투하여 상기 접지 선택 라인 패턴들(160g) 사이와 상기 스트링 선택 라인들(160s) 사이의 제 3 마스크막(164)이 모두 제거될 수 있다. 따라서, 상기 접지 선택 라인 패턴들(160g) 사이와 상기 스트링 선택 라인들(160s) 사이에는 제 3 마스크막(164)이 남지 않는다.
- <99> 도시하지는 않았지만, 접지 선택 라인 패턴들(160g) 상호간의 거리와 상기 스트링 선택 라인들(160s) 상호간의 거리가 최소 피쳐 사이즈의 2배 이하인 경우, 상기 제 2 마스크막(162)이 이들 사이에 채워져 제 3 마스크막이 이들 사이에 개재되는 것을 막을 수도 있다. 이 때, 해상도의 한계로 최소 피쳐 사이즈의 패턴 스페이스가 불가능한 때에는 상기 거리는 최소 피쳐 사이즈보다 큰 값, 예컨대 최소 피쳐 사이즈의 1.5배 내지 2배일 수 있다.
- <100> 도 11을 참조하면, 상기 제 3 마스크막(164)을 식각마스크로 사용하여 상기 제 2 마스크막(162)을 제거한다. 이

때, 상기 제 2 마스크막(162)은 이방성 식각법으로 제거할 수 있다. 상기 제 2 마스크막(162)은 상기 제 3 마스크막(164) 뿐만 아니라 상기 제 1 마스크 패턴들에 대해서 식각선택성을 가진다. 따라서, 상기 식각 대상막(152)이 노출될 때까지 상기 제 2 마스크막(162)을 식각하는 동안, 상기 제 1 마스크 패턴, 특히 상부 마스크막(156)이 식각정지층이 된다.

- <101> 상기 제 3 마스크막(164)을 식각마스크로 사용되어 상기 제 2 마스크막(162)이 이방성 식각되어, 제 2 마스크 패턴들이 형성된다. 상기 제 2 마스크 패턴들은 상기 제 1 워드라인 패턴들(160w)과 교대로 배치되는 제 2 워드라인 패턴들(170w)을 포함한다. 첫번째 제 1 워드라인 패턴과 접지 선택 라인 패턴(160g) 사이와, 마지막 제 1 워드라인 패턴과 스트링 선택 라인 패턴(160s) 사이에도 각각 제 2 워드라인 패턴(170w)이 배치된다.
- <102> 결과적으로, 상기 제 1 워드라인 패턴(160w)과 상기 제 2 워드라인 패턴(170w)은 각각 최소 피쳐 사이즈(F₁)로 형성되고, 제 1 워드라인 패턴(160w)의 피치 및 제 2 워드라인 패턴(170w)의 피치는 각각 최소 피쳐 사이즈의 4배로 형성된다.
- <103> 또한, 이웃한 접지 선택 라인 패턴들(160g) 상호간의 거리(W₂)와, 이웃한 스트링 선택 라인 패턴들(160s) 상호간의 거리(W₂)는 동일할 수 있으며, 그 거리는 최소 피쳐 사이즈의 1.5배 내지 2배이거나, 최소 피쳐 사이즈의 4배보다 클 수 있다.
- <104> 이상에서 설명되어진 바와 같이, 상기 접지 선택 라인 패턴(160g), 상기 스트링 선택 라인 패턴(160s) 및 상기 제 1 워드라인 패턴들(160w)은 포토마스크의 패턴이 전사되어 형성되고, 상기 제 2 워드라인 패턴들(170w)은 상기 제 1 워드라인 패턴들(160w)에 자기정렬적으로 형성된다.
- <105> 계속해서 상기 접지 선택 라인 패턴(160g), 상기 제 1 워드라인 패턴(160w), 상기 제 2 워드라인 패턴(170w) 및 상기 스트링 선택 라인 패턴(160s)을 식각마스크로 사용하여 상기 식각 대상막(152)을 식각하여 도 2a 및 도 2b에 도시된 것과 같이 접지 선택 라인(GSL_n), 스트링 선택 라인(SSL_n), 더미 라인(WL_d) 및 워드라인(WL_n)을 형성할 수 있다.

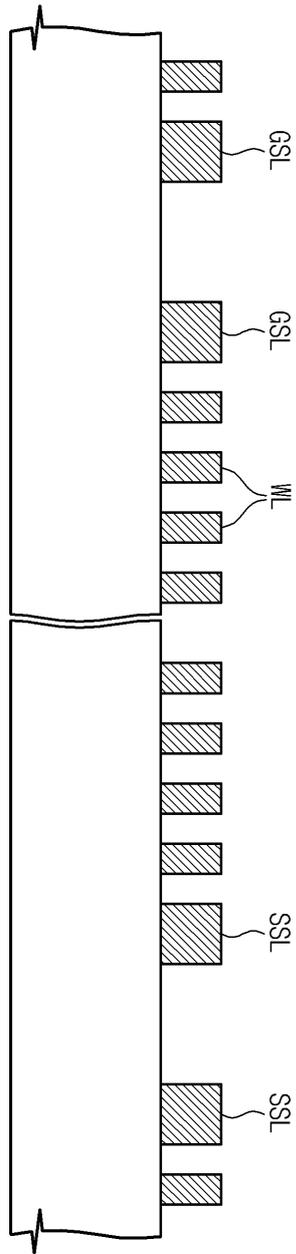
발명의 효과

- <106> 상술한 것과 같이 본 발명에 따르면, 해상도의 한계로 최소 피쳐 사이즈의 스페이스 패턴을 형성할 수 없는 경우, 노광 한계보다 넓은 피치의 제 1 마스크 패턴을 우선 전사하고 이들 사이에 제 2 마스크 패턴을 자기정렬적으로 형성하여 해상도 한계를 넘는 최소 피쳐 사이즈의 스페이스 패턴을 형성할 수 있다.
- <107> 낸드형 셀 어레이 구조에서 제 1 마스크 패턴 및 제 2 마스크 패턴에 의해 홀수개의 워드라인이 형성될 수 있다. 따라서, 8의 배수 개수만큼의 워드라인으로 이루어지는 메모리 블록에서 하나 또는 그 이상의 더미 라인을 용이하게 형성할 수 있다.

도면의 간단한 설명

- <1> 도 1a는 종래의 비휘발성 기억 장치의 셀 어레이 구조를 나타낸 평면도.
- <2> 도 1b는 도 1a의 I-I'를 따라 취해진 단면도.
- <3> 도 2a는 본 발명의 제 1 실시예에 따른 비휘발성 기억 장치의 셀 어레이 구조를 나타낸 평면도.
- <4> 도 2b는 도 2a의 II-II'를 따라 취해진 단면도.
- <5> 도 3a는 본 발명의 제 2 실시예에 따른 비휘발성 기억 장치의 셀 어레이 구조를 나타낸 평면도.
- <6> 도 3b는 도 3a의 III-III'를 따라 취해진 단면도.
- <7> 도 3c 및 도 3d는 각각 낸드형 비휘발성 기억 장치에서 발생할 수 있는 문제를 설명하기 위한 도면.
- <8> 도 4 내지 도 7은 본 발명의 제 1 실시예에 따른 비휘발성 기억 장치의 셀 어레이 구조 형성 방법을 설명하기 위한 단면도.
- <9> 도 8 내지 도 11은 본 발명의 제 2 실시예에 따른 비휘발성 기억 장치의 셀 어레이 구조 형성 방법을 설명하기 위한 단면도.

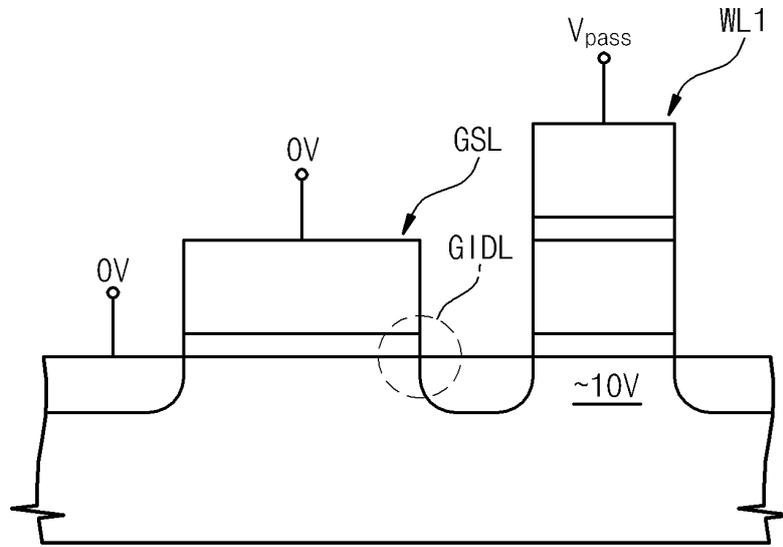
도면1b



(종래 기술)

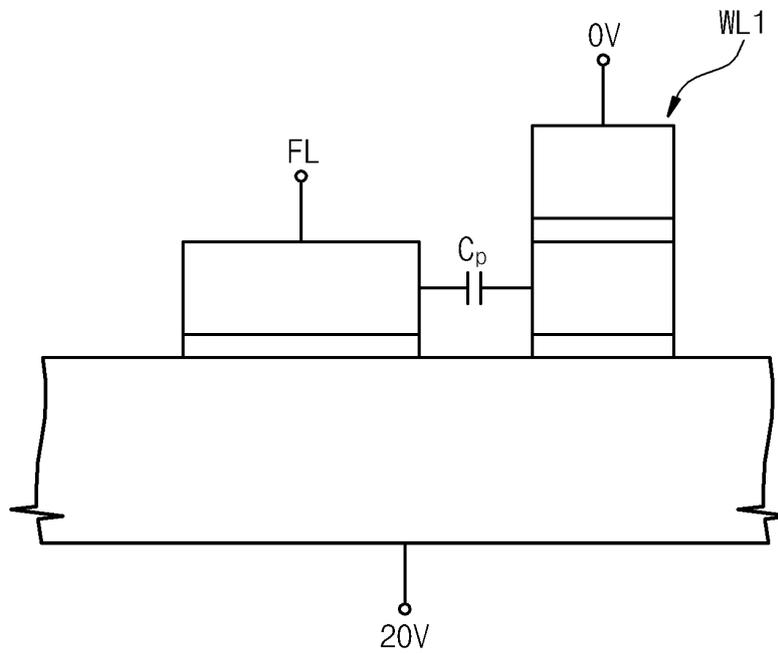
도면1c

(종래 기술)

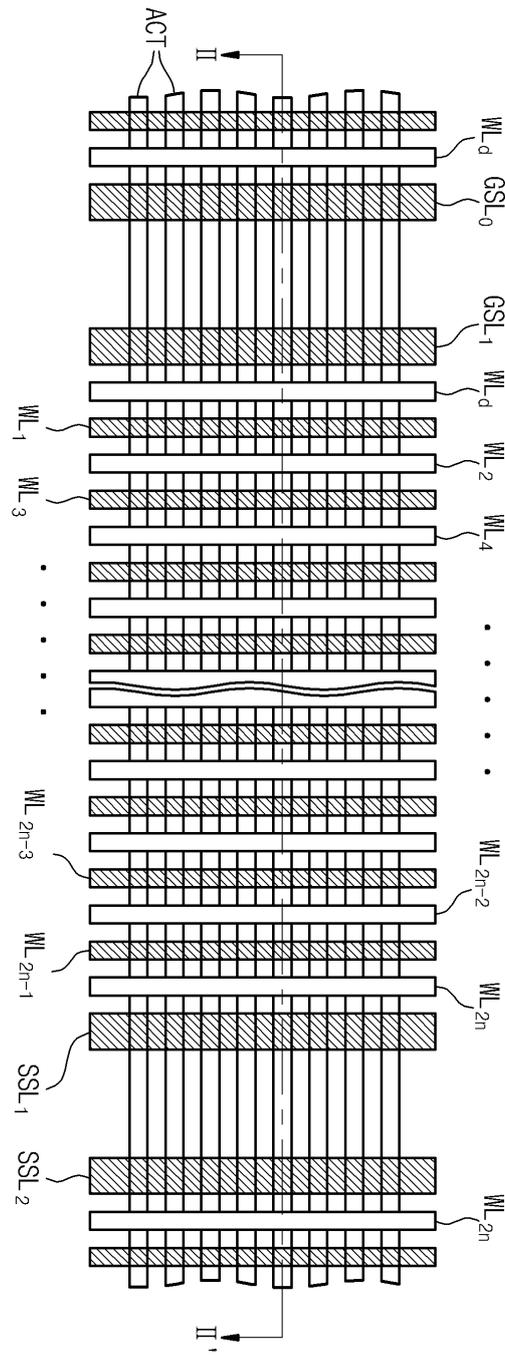


도면1d

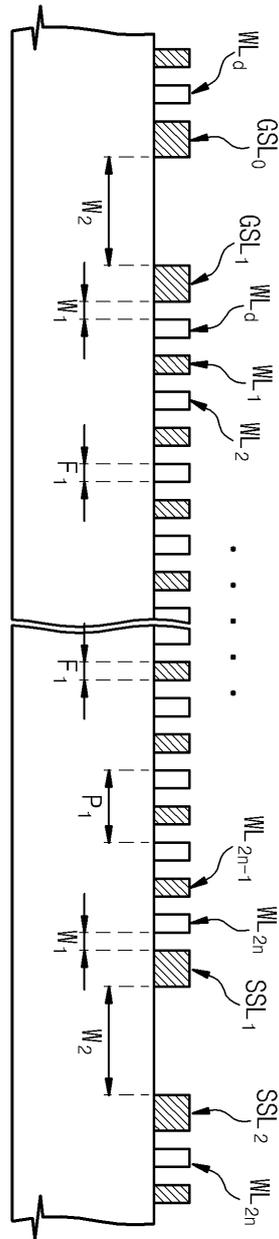
(종래 기술)



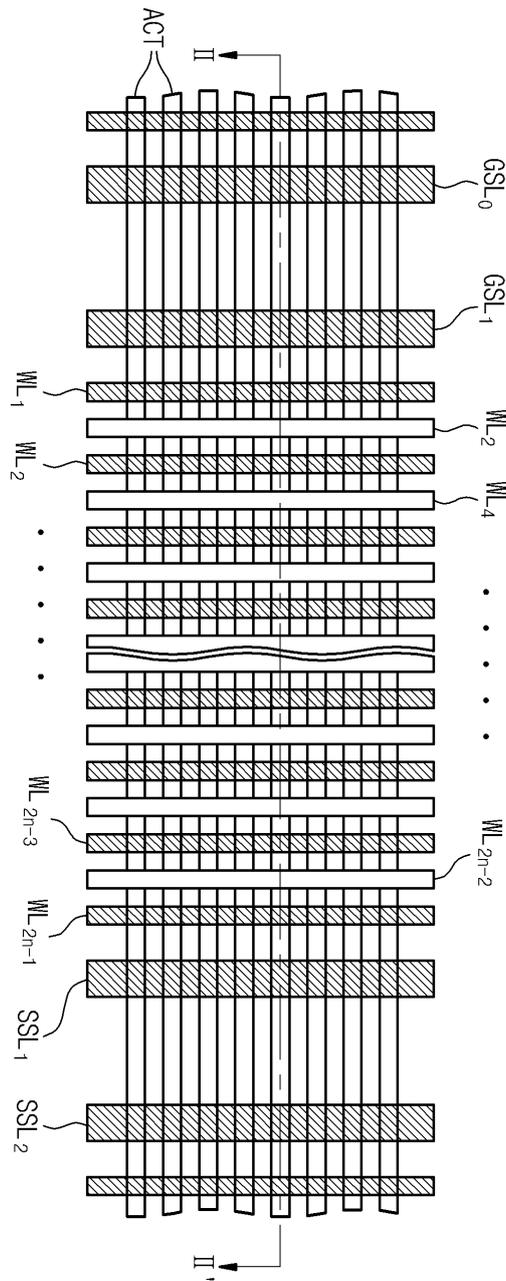
도면2a



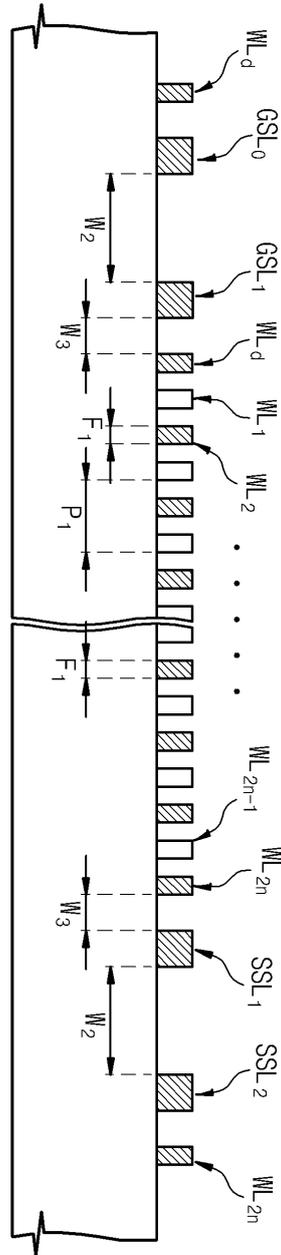
도면2b



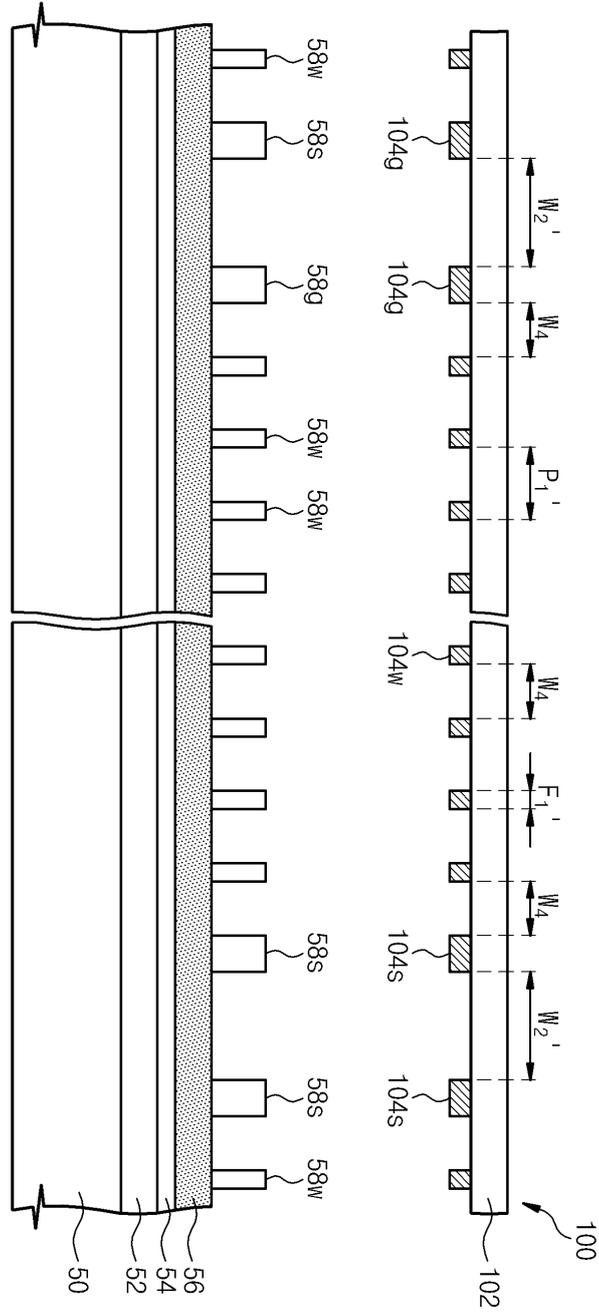
도면3a



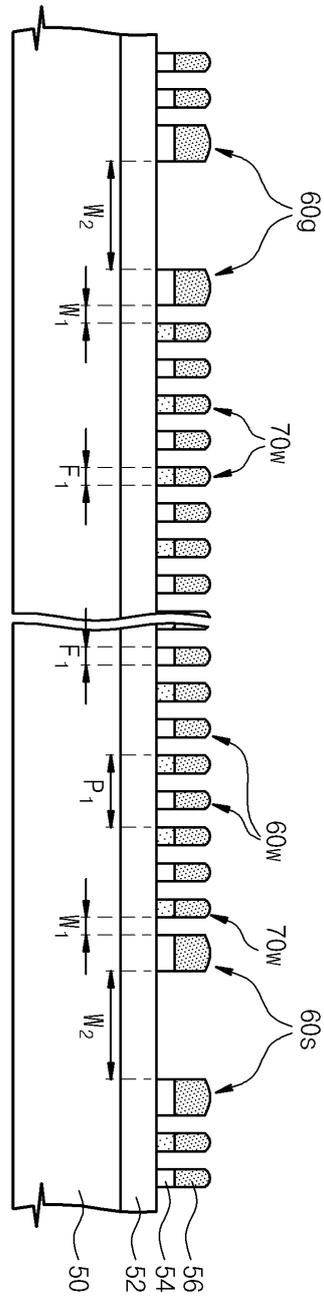
도면3b



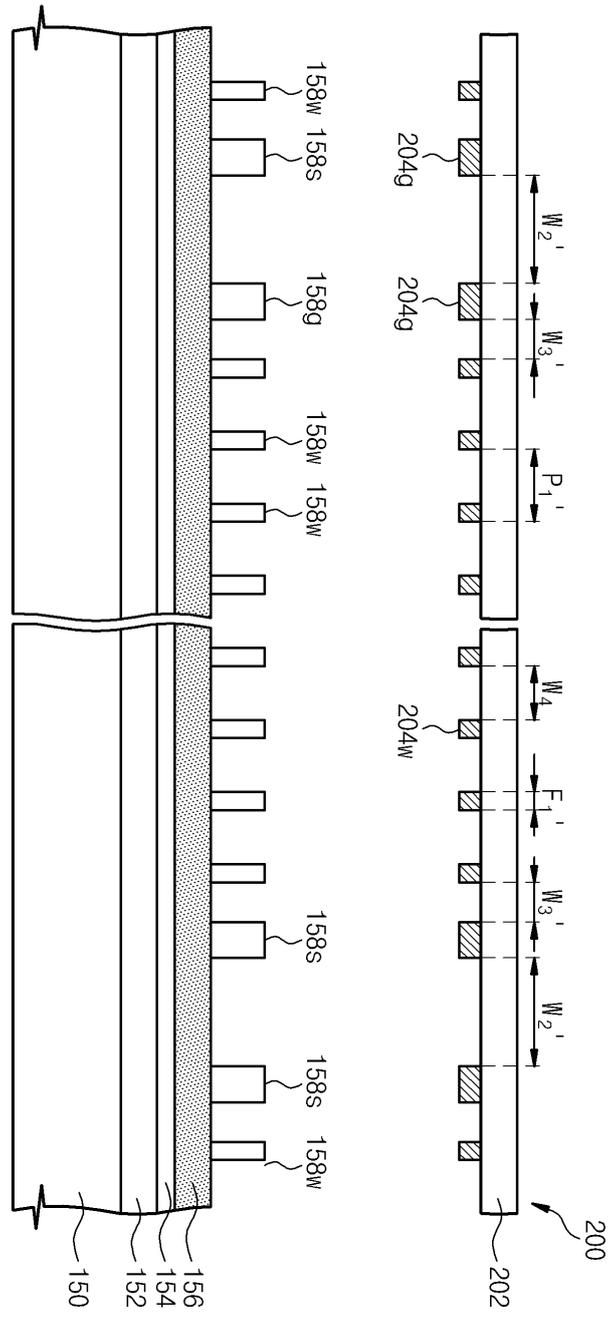
도면4



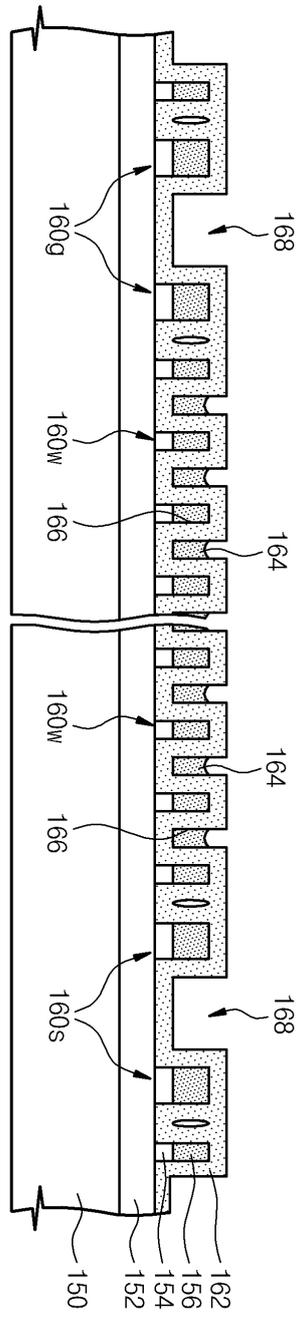
도면7



도면8



도면10



도면11

