

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4114739号
(P4114739)

(45) 発行日 平成20年7月9日(2008.7.9)

(24) 登録日 平成20年4月25日(2008.4.25)

(51) Int. Cl. F I
 HO 1 L 21/822 (2006.01) HO 1 L 27/04 F
 HO 1 L 27/04 (2006.01) HO 1 L 21/02 Z
 HO 1 L 21/02 (2006.01)

請求項の数 6 (全 32 頁)

(21) 出願番号	特願2002-142358 (P2002-142358)	(73) 特許権者	503121103 株式会社ルネサステクノロジ 東京都千代田区大手町二丁目6番2号
(22) 出願日	平成14年5月17日(2002.5.17)	(73) 特許権者	000233169 株式会社日立超エル・エス・アイ・システムズ 東京都小平市上水本町5丁目22番1号
(65) 公開番号	特開2003-332452 (P2003-332452A)	(74) 代理人	100081938 弁理士 徳若 光政
(43) 公開日	平成15年11月21日(2003.11.21)	(72) 発明者	村中 雅也 東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内
審査請求日	平成17年3月31日(2005.3.31)	審査官	池淵 立

最終頁に続く

(54) 【発明の名称】 半導体識別回路と半導体集積回路装置

(57) 【特許請求の範囲】

【請求項1】

互いに同じ製造過程をもって同一の形態として形成された第1と第2ゲート回路を含み、上記第1のゲート回路は、第1の入力と出力とが接続され、上記第2のゲート回路の第1の入力は、上記第1のゲート回路の共通接続された入力と出力に接続され、上記第1及び第2のゲート回路の第2の入力には、動作制御信号が供給されてなり、上記第1ゲート回路と第2ゲート回路の論理しきい値の差によって決まる固有の識別情報を上記第2のゲート回路の出力信号に基づいて形成する単位識別番号発生回路の複数個を備えてなることを特徴とする半導体識別回路。

【請求項2】

請求項1において、

上記第2のゲート回路に対しては、第2のゲート回路と同様な構成にされた1ないし複数のゲート回路が更に縦列形態に接続されてなることを特徴とする半導体識別回路。

【請求項3】

請求項2において、

上記複数の単位識別番号発生回路は、順序回路により形成された動作制御信号に対応して順次に動作状態にされ、上記複数の単位識別番号発生回路の出力部には、上記動作順序に対応した各単位識別番号発生回路の識別情報をシリアルに出力させるゲート回路が設けられてなることを特徴とする半導体識別回路。

【請求項4】

請求項 1 乃至 3 のいずれかにおいて、

上記ゲート回路のそれぞれは、並列に接続された P チャンネル MOS F E T と直列に接続された N チャンネル MOS F E T とを含み、

上記並列に接続された P チャンネル MOS F E T と上記直列に接続された N チャンネル MOS F E T は電源電位間に直列に接続され当該接続点を前記出力とし、

上記並列に接続された P チャンネル MOS F E T の一方に設けられたゲート電極と上記直列に接続された N チャンネル MOS F E T の一方に設けられたゲート電極とが接続されて前記第 1 の入力とし、

上記並列に接続された P チャンネル MOS F E T の他方に設けられたゲート電極と上記直列に接続された N チャンネル MOS F E T の他方に設けられたゲート電極とが接続されて前記第 2 の入力とし、

上記 P チャンネル MOS F E T と対応する上記 N チャンネル MOS F E T とは互いに相補的に構成されてなり、

上記第 2 の入力に接続される N チャンネル MOS F E T をオフ状態にする上記動作制御信号により上記単位識別番号発生回路が非動作状態にされ、これにより前記第 1 の入力に接続される P チャンネル MOS F E T をオフ状態にさせるものであることを特徴とする半導体識別回路。

【請求項 5】

請求項 1 乃至 4 のいずれかにおいて、

上記複数の単位識別番号発生回路は、行列配置されてなり、上記複数の単位識別番号発生回路を構成するゲート回路は、3 入力のゲート回路からなり、第 1 の入力により前記論理しきい値を取り出し、第 2 の入力に行方向の動作制御信号を供給し、第 3 の入力に列方向の動作制御信号を供給してなることを特徴とする半導体識別回路。

【請求項 6】

半導体集積回路と請求項 1 乃至 5 のいずれかに記載の半導体識別回路が半導体基板上に一体に形成され、前記半導体識別回路から生成される情報が前記半導体集積回路の識別情報とされるように構成されてなることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体集積回路に関し、半導体集積回路装置又は半導体チップに固有の識別情報を割り当て、個々の半導体集積回路装置又は半導体チップの識別を行う技術に利用して有効な技術に関するものである。

【0002】

【従来の技術】

本発明者は、本発明を成した後の調査によって、後で説明する本発明に関連するとされるものとして、特開平 6 - 196435 号公報、特開平 10 - 055939 号公報、特開平 11 - 214274 号公報、特開平 7 - 335509 号公報、特開平 7 - 050233 号公報記載の発明が存在するとの報告を受けた。それら公報に記載の発明は、いずれも、各チップに固有の識別情報を書き込むために、格別な製造工程を要するものと認められる。しかし、それら公報には、後で説明する本発明のように格別の製造工程の追加や変更を必要としないでも済む半導体集積回路装置の識別方法に関する記載は認められない。

【0003】

【発明が解決しようとする課題】

半導体集積回路装置は、それに固有の識別情報が付与されていれば、その識別情報に基づいて種々の望むべき利用行為が可能となる。半導体集積回路装置に、その一個一個のようなレベルで固有の識別情報を設定しておくことができるならば、その固有の識別情報の利用の元で、本発明者が明らかにした後で説明するような新しい、製造方法や製品管理技術を提供することができる。

【0004】

10

20

30

40

50

半導体集積回路装置の実使用段階のような段階で不具合が発生したような場合、その半導体集積回路装置から固有の識別情報を得ることができるならば、その不具合をもたらした要因の追求を容易にする。例えば、半導体メーカーにとって、半導体集積回路装置の固有の識別情報に基づいて、その製造時期、製造ライン、製造ロット、検査来歴、設計情報、等々の情報を把握できる。それによって、不具合の発生要因の追求が容易になり、その対策も容易になる。

【 0 0 0 5 】

半導体集積回路装置を構成するパッケージに付されるインク印刷法やレーザ刻印法によるようなマーキングは、一種の識別情報とみなされ得る。その種のマーキングは、半導体集積回路装置の製品型名が主体となっているが、その製品型名と共に、年、週などの製造時期のコード表示が含まれることも有る。しかしながら、その種のマーキング表示では、それによって表示可能な情報量の少なさに応じて、工業製品として多量に製造されたり長期間に渡って製造されたりする半導体集積回路装置の一個一個のようなレベルでの固有の識別情報を設定することは困難である。

10

【 0 0 0 6 】

半導体集積回路装置を構成する半導体チップに対して、ヒューズ素子のようなプログラム可能な素子を設定し、そのプログラム可能な素子に固有の識別情報を与えることを想定することは可能である。しかしその種の想定し得る技術は、元々の半導体集積回路装置がプログラム素子を要しないものであったなら、そのプログラム可能な素子のために新たな製造工程を要してしまい、半導体集積回路装置の製造プロセスの複雑化や、価格の上昇を引き起こしてしまう難点を持つ。半導体集積回路装置が、元々、プログラム可能な素子を持っているなら、新たな製造プロセスの複雑化は無い。その場合であっても、プログラム可能な素子に対して固有の認識情報を書き込むための製造工程の追加や変更が必要となる。

20

【 0 0 0 7 】

シリコン・シグネチャーと称されるような既知の技術では、製品型名や固有情報を電氣的に読み出しできるような形態を持って半導体集積回路装置に書き込むようにされる。しかしながら、その種の技術では、上記と同様にその情報を書き込むための製造工程の追加や変更が必要になる。

【 0 0 0 8 】

したがって、この発明の一つの目的は、簡単な構成で個々の半導体集積回路装置又は半導体チップの識別を可能にした半導体識別回路を提供することにある。この発明の他の目的は、高い信頼性のもとに個々の半導体集積回路装置又は半導体チップの識別を可能にした半導体識別回路を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

30

【 0 0 0 9 】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、次の通りである。すなわち、互いに同じ製造過程をもって同一の形態として形成された第1と第2ゲート回路を含み、上記第1のゲート回路の第1の入力と出力とを接続し、上記第2のゲート回路の第1の入力に上記第1のゲート回路の共通接続された入力と出力を接続し、上記第1及び第2のゲート回路の第2の入力には、動作制御信号を供給して動作状態のときに上記第1ゲート回路と第2ゲート回路の論理しきい値の差によって決まる固有の識別情報を上記第2のゲート回路の出力信号に基づいて形成する単位識別回路の複数個を備える。

40

【 0 0 1 0 】

【発明の実施の形態】

図1には、この発明に係る半導体識別回路の一実施例の基本的回路図が示されている。この実施例では、2入力のナンドゲート回路G1～G4が用いられる。ゲート回路G1は、一方の入力と出力とが結合される。このゲート回路G1の共通化された入出力がゲート回路G2の一方の入力と接続される。ゲート回路G2の出力はゲート回路G3の一方の入力に接続される。ゲート回路G3の出力はゲート回路G4の一方の入力に接続される。そし

50

て、これらのゲート回路G 1 ~ G 4の他方の入力には、動作制御信号Gが共通に供給される。

【0011】

図2には、図1の半導体識別回路の一実施例の具体的回路図が示されている。ゲート回路G 1は、直列形態にされたNチャンネルMOSFET Q 1とQ 3、並列形態にされたPチャンネルMOSFET Q 2とQ 4から構成される。上記MOSFET Q 1とQ 3のゲートが共通に接続されて第1の入力とされる。上記MOSFET Q 2とQ 4のゲートが共通に接続されて第2の入力とされる。上記MOSFET Q 3のソースは回路の接地電位VSSが供給され、上記MOSFET Q 1のドレインは、PチャンネルMOSFET Q 2とQ 4のドレインに接続される。PチャンネルMOSFET Q 2とQ 4のソースには電源電圧VDDが印加される。他のゲート回路G 2 ~ G 4も上記同様な回路により構成される。

10

【0012】

上記ゲート回路G 1 ~ G 4は、半導体集積回路装置の設計及び製造の上では、現実的に制御可能な範囲内において、互いに同じ特性を持つように構成される。複数のゲート回路を互いに同じ特性とする技術について、以下に概略的に説明する。ゲート回路G 1 ~ G 4において、その特性である論理しきい値は、概略的には、それを構成するPチャンネルMOSFETとNチャンネルMOSFETとに決まると理解されているであろう。その観点ではチャンネル幅Wとチャンネル長Lとの比W/Lは同じであるがサイズが異なるMOSFETによっても同じ特性のCMOSゲート回路を構成できると理解され得る。しかしながら、半導体集積回路装置の製造バラツキによる電気特性への影響は、異なったサイズの素子に対しては異なったものとなる。

20

【0013】

実施例では、かかる複数のゲート回路G 1 ~ G 4のそれぞれは、好適には、それぞれを構成する素子の相互、すなわちPチャンネル型MOSFETの相互、及びNチャンネル型MOSFETの相互が互いに同じ構造、同じサイズを持って構成される。言うまでもなくそれら素子は、同じ素子は同じプロセスの元で一括製造されると言う半導体集積回路装置の特徴に従って製造される。これによって複数のゲート回路G 1 ~ G 4は、半導体集積回路装置の製造上の加工寸法のバラツキ、各種層の厚さバラツキ、不純物濃度バラツキ等々の製造バラツキによる影響を均等に受けるようにされる。

【0014】

図1のように1つの入力と出力が短絡させられたゲート回路G 1の出力電圧は、論理しきい値電圧に到達する。ゲート回路G 2が、完全に同じ電気的特性を持っていれば、2つのゲート回路G 1とG 2の論理しきい値は等しくなる。しかし、これは理想的な状態であり実際の半導体素子においては、僅かな特性の違いが存在するため、ゲート回路G 1とG 2の論理しきい値電圧に差が生じる。

30

【0015】

ゲート回路G 1とG 2の論理しきい値のバラツキの要因としては、MOSトランジスタ特性のバラツキが支配的であると捉えてよい。そして、MOSトランジスタ特性のバラツキの原因としては、MOSトランジスタのゲート幅や、ゲート絶縁膜膜厚、導電決定不純物濃度とその分布などを挙げるができる。これらのバラツキはマクロ的な部分とミクロ的とに分けることができる。マクロ的な部分としては、同一ロット内の複数のウエハ間のゲート幅バラツキなどである。

40

【0016】

本願発明においては、主としてミクロ的な部分のバラツキを利用するものであり、比較的に近接した位置に配置された素子間におけるバラツキを用いる。このようなミクロ的なバラツキは、比較的に近接した素子間にランダムに発生するものとして観測されるからである。すなわち、図1のゲート回路G 1とG 2の論理しきい値のバラツキもランダムであると考えられる。この論理しきい値のバラツキが、本願の解決しようとする課題である「半導体素子の持つ特徴的な特性のバラツキを固有の識別情報として抽出する」という解決手段の基となっている。

50

【0017】

CMOSゲート回路を用いた場合には、論理しきい値に生じるバラツキがNチャネル型MOSトランジスタの持つバラツキにPチャネル型MOSトランジスタの持つバラツキが加えられたものと見做すことができ、バラツキ範囲が広くなり識別番号ないし識別情報の発生を効果的に行うようにすることができる。

【0018】

図1に示した実施例では、2つのゲート回路G1とG2の論理しきい値の大きさの判定する。つまり、ゲート回路G1の短絡された入出力ノードの電圧（論理しきい値に相当する）をゲート回路G2の入力として供給し、その大小比較結果を後段のゲート回路G3、G4により増幅してCMOSレベルの2値信号を得るものである。したがって、厳密にはゲート回路G3とG4は、ゲート回路G1とG2のようにPチャネル型MOSFETの相互、及びNチャネル型MOSFETの相互が互いに同じ構造、同じサイズを持って構成される必要は無いが、後述する理由から同じ構造、同じサイズを持って構成される。

10

【0019】

単に識別情報を得るだけが目的なら、上記ゲート回路G1ないしG4をCMOSインバータ回路に置き換えることができる。しかしながら、CMOSインバータ回路に置き換えると、上記入出力が短絡されたインバータ回路及びそれを受けるインバータ回路に大きな貫通電流が流れてしまい、低消費電力をその特徴の1つとするCMOS回路には好ましくなく。この実施例では、ゲート回路の他方の入力に動作制御信号Gを供給することにより、上記識別情報を得るときのみに動作制御信号Gをハイレベルとして、上記各ゲート回路G1～G4を一方の入力に供給された信号に従った動作、つまりはインバータ回路と見做せるような動作を行わせることによって上記識別情報を得るものである。かかる識別信号を取り出した後は、上記動作制御信号をロウレベルにし、各論理ゲート回路G1～G4の出力信号をハイレベルに固定させる。

20

【0020】

図3には、上記半導体識別回路の動作の一例を説明するための波形図が示されている。動作制御信号Gをロウレベルからハイレベルに変化させると、上記各ゲート回路G1～G4が実質的に動作状態となり、ゲート回路G1の出力ノードN1がその論理しきい値に対応した電圧にされる。ゲート回路G2は、その論理しきい値によってノードN1の電圧を判定し、その出力ノードN2の電位を決める。この例では、ゲート回路G1の論理しきい値が、ゲート回路G2の論理しきい値よりも僅かに大きいので、ゲート回路G2での増幅動作によってノードN2の電位が上記ノードN1に対して小さい電圧にされる。このノードN2の電圧は、ゲート回路G3により増幅されてノードN3のようにハイレベルに大きくされる。そして、ゲート回路G4により更に増幅されてノードN4のように回路の接地電位VSSに到達する。

30

【0021】

この実施例では、回路が停止状態すなわち動作制御信号Gがロウレベルであるとき、図2のNチャネルMOSFETQ3、Q7、Q11、Q15がオフ状態となり、前記のCMOSインバータ回路を用いた場合のような貫通電流が抑制される。また、ゲート回路としてナンド(NAND)回路を用いた利点は、CMOS論理LSIの標準素子であるため、適用する製品を限定しないことである。つまり、完全論理記述型回路で構成されるため、回路設計が容易になるものである。

40

【0022】

図2の実施例では、動作制御信号Gが、直列のNチャネルMOSFETのQ3、Q7、Q11、Q15のゲートに接続されているが、NチャネルMOSFETQ1、Q5、Q9、Q13に接続されて、ノードN1、N2、N3はNチャネルMOSFETのQ3、Q7、Q11、Q15のゲートに接続されてもよい。

【0023】

トランジスタレベル回路記述において重要なのは、個々のNAND素子中のMOSFETの信号接続位置である。上記の停止状態では各ゲート回路G1～G4の出力すなわちノード

50

ドN1、N2、N3の電位が自動的に電源電圧となるため、それら信号の接続先のPチャネルMOSFETのNBTIによる特性の変動を防止できる効果がある。

【0024】

MOSTランジスタは、そのしきい値電圧が電界強度と温度とに依存するような電界ストレスによって不所望に変動することが有る。特にNBTI (Negative Bias Temperature Instability)と称される現象は、Pチャネル型MOSFETで顕著に現われる現象である。この防御策として、目的外の時間においてPMOSのゲートに印加される電圧を高い電圧にする方法がよく用いられる。この実施例では、上記動作制御信号Gのハイレベルにより論理しきい値判定動作を行わせ、かかる論理しきい値判定動作以外の時には、動作制御信号GをロウレベルにしてPチャネル型MOSFETのゲートには、電源電圧を供給する
10
ようにゲート電圧を固定電圧にするものである。これにより、Pチャネル型MOSFETは、ゲート、ドレイン及びソースと基板(チャネル)の全てが電源電圧に等しい同電位となり、上記MOSFETの経時変化による論理しきい値の変動が極力抑えられる。

【0025】

図4には、この発明に係る多ビット識別番号発生回路の一実施例の回路図が示されている。この実施例は、図1の1ビット識別番号発生回路を4個連結し、デコーダないしシフトレジスタの選択出力信号G0~G3の遷移に従い、出力端子N44から4ビットの識別番号を逐次取り出す回路例である。端子Tは、通常ハイレベル状態である。

【0026】

1ビットの識別番号発生回路、つまり単位識別番号発生回路UC0~UC3のそれぞれは、前記図1の半導体識別回路が用いられる。単位識別番号発生回路UC0において、4段目のゲート回路G04は、前記のように動作制御信号G0等で制御されるのではなく、上記のように定常的にハイレベルにされる信号Tが供給される。これにより、等価的にインバータ回路として動作する。他の単位識別番号発生回路UC1~UC3は、上記4段目のゲート回路G14~G34には、前段の単位識別番号発生回路の出力信号が伝えられる。例えば、最上段の単位識別番号発生回路UC0の出力信号は、上記ゲート回路G04の出力信号がインバータ回路IV0によって反転されて出力される。このインバータ回路IV0の出力信号が、次段の単位識別番号発生回路UC1の上記4段目のゲート回路G14のゲート制御信号として入力される。
20

【0027】

以下、単位識別番号発生回路UC1、UC2及びUC3には、それぞれ4段目のゲート回路G14、G24及びG34の出力側にそれぞれインバータ回路IV1、IV2、IV3が設けられ、上記インバータ回路IV1の出力信号は次段の単位識別番号発生回路UC2の4段目のゲート回路G24のゲート制御信号として入力され、上記インバータ回路IV2の出力信号は次段の単位識別番号発生回路UC3の4段目のゲート回路G34のゲート制御信号として入力される。
30

【0028】

各1ビット識別番号発生回路UC0~UC3には、それを活性化するためのデコーダ又はシフトレジスタで構成された選択回路の出力信号G0、G1、G2及びG3が動作制御信号として供給されており、各出力信号G0~G3は、図5の#1から#4サイクルのごとく遷移する。#5サイクル目は上記#1サイクルと同じである。
40

【0029】

#1サイクルでは動作制御信号G0がハイレベルとなり、他の動作制御信号G1~G3はロウレベルとなる。上記信号G0のハイレベルにより単位識別番号発生回路UC0が動作状態となり、ゲート回路G01とG02の論理しきい値の大小に対応した信号がゲート回路G03により増幅され、例えばN31のようにロウレベルにされる。この信号N31は、信号T1のハイレベルによりゲートを開いて、等価的にインバータ回路として動作するゲート回路G04及びインバータ回路IV0を介して増幅される。

【0030】

このとき、他の動作制御信号G1~G3は上記のようにロウレベルであるので、第3段目
50

のゲート回路G 1 3、G 2 3及びG 3 3の各出力信号はハイレベルとなり、それぞれに対応した第4段目のゲート回路G 1 4、G 2 4及びG 3 4のゲートを開いて、インバータ回路と等価な動作を行うものとされる。この結果、上記単位識別番号発生回路UC 0の上記信号N 3 1に対応したインバータ回路IV 0の出力信号のロウレベルは、それ以降の各ゲート回路及びインバータ回路が等価的にインバータ回路の縦列回路となるので、それらによって順次に伝えられて、出力N 4 4からはN 3 1に対応したロウレベルの上記単位識別番号発生回路UC 0の識別信号が出力される。

【0031】

2サイクルでは動作制御信号G 1がハイレベルとなり、他の動作制御信号G 0、G 2、G 3はロウレベルとなる。上記信号G 1のハイレベルにより単位識別番号発生回路UC 1が動作状態となり、ゲート回路G 1 1とG 1 2の論理しきい値の大小に対応した信号がゲート回路G 1 3により増幅され、例えばN 3 2のようにロウレベルにされる。このとき、単位識別番号発生回路UC 0において信号T 1のハイレベルと、動作制御信号G 0のロウレベルによるゲート回路G 0 3の出力信号N 3 1のハイレベルとにより、ゲート回路G 0 4の出力信号がロウレベルとなり、インバータ回路IV 0の出力信号がハイレベルにされているので、ゲート回路G 1 4がゲートを開いて、上記N 3 2の信号がゲート回路G 1 4及びインバータ回路IV 1を介して出力される。

10

【0032】

このとき、他の動作制御信号G 2、G 3は上記のようにロウレベルであるので、第3段目のゲート回路G 2 3及びG 3 3の各出力信号はハイレベルとなり、それぞれに対応した第4段目のゲート回路G 2 4及びG 3 4のゲートを開いて、インバータ回路と等価な動作を行うものとされる。この結果、上記単位識別番号発生回路UC 1の上記信号N 3 2に対応したインバータ回路IV 1の出力信号のロウレベルは、それ以降の各ゲート回路及びインバータ回路が等価的にインバータ回路の縦列回路となるので、それらによって順次に伝えられて、出力N 4 4からはN 3 2に対応したロウレベルの上記単位識別番号発生回路UC 1の識別信号が出力される。

20

【0033】

3サイクルでは動作制御信号G 2がハイレベルとなり、他の動作制御信号G 0、G 1、G 3はロウレベルとなる。上記信号G 2のハイレベルにより単位識別番号発生回路UC 2が動作状態となり、ゲート回路G 2 1とG 2 2の論理しきい値の大小に対応した信号がゲート回路G 2 3により増幅され、例えばN 3 3のようにハイレベルにされる。このとき、前段の単位識別番号発生回路UC 1において信号T 1のハイレベルと、動作制御信号G 0、G 1のロウレベルによるゲート回路G 0 3の出力信号N 3 1及びG 1 3の出力信号N 3 2のハイレベルにより、ゲート回路G 1 4の出力信号がロウレベルとなり、インバータ回路IV 1の出力信号がハイレベルにされているので、ゲート回路G 2 4がゲートを開いて、上記N 3 3の信号がゲート回路G 2 4及びインバータ回路IV 2を介して出力される。

30

【0034】

このとき、他の動作制御信号G 3は上記のようにロウレベルであるので、第3段目のゲート回路G 3 3の出力信号はハイレベルとなり、それぞれに対応した第4段目のゲート回路G 3 4のゲートを開いて、インバータ回路と等価な動作を行うものとされる。この結果、上記単位識別番号発生回路UC 2の上記信号N 3 3に対応したインバータ回路IV 2の出力信号のハイレベルは、それ以降の各ゲート回路及びインバータ回路が等価的にインバータ回路の縦列回路となるので、それらによって順次に伝えられて、出力N 4 4からはN 3 3に対応したハイレベルの上記単位識別番号発生回路UC 2の識別信号が出力される。

40

【0035】

4サイクルでは動作制御信号G 3がハイレベルとなり、他の動作制御信号G 0～G 2はロウレベルとなる。上記信号G 3のハイレベルにより単位識別番号発生回路UC 3が動作状態となり、ゲート回路G 3 1とG 3 2の論理しきい値の大小に対応した信号がゲート回路G 3 3により増幅され、例えばN 3 4のようにロウレベルにされる。このとき、前段の単位識別番号発生回路UC 2において信号T 1のハイレベルと、動作制御信号G 0、G 1

50

、G 2のロウレベルによるゲート回路G 0 3の出力信号N 3 1、G 1 3の出力信号N 3 2及びG 2 3の出力信号N 3 3のハイレベルにより、ゲート回路G 2 4の出力信号がロウレベルとなり、インバータ回路I V 2の出力信号がハイレベルにされているので、ゲート回路G 3 4がゲートを開いて、上記N 3 4の信号をインバータ回路I V 3を介して出力させる。

【 0 0 3 6 】

5サイクル以降に同じ動作制御信号G 0 ~ G 3を発生させると、上記と同じ動作が繰り返し替えられるが、上記4ビット分の識別番号をレジスタ等の記憶回路に保持しておけば、# 5以降は全信号G 0 ~ G 3をロウレベルに固定し、前記のような動作停止状態にして、消費電流の削減と素子特性の劣化を防止する。

10

【 0 0 3 7 】

本回路の重要な利用目的に後述するような半導体の追跡があるが、そのためにはこの回路自体の信頼性を工場出荷段階で保証することが重要である。通常、半導体製品は出荷直前の最終検査の前に加速試験、いわゆるバーインを行う。加速には、温度、印加電圧を実使用条件より高く設定する環境加速の方法と、特定回路の動作頻度を増やす方法が採られることが一般的である。

【 0 0 3 8 】

図5の# 1 1から# 1 4サイクルには、回路の動作頻度を増やすための方法を示している。サイクル# 1 1は、待機状態にあたる。信号Tは、ハイレベルにされる。サイクル# 1 2は、待機状態にて、信号Tをロウレベルにする。チェーン接続されたナンドゲート回路とインバータ回路G 0 4、I V 0、G 1 4、I V 1、G 2 4、I V 2及びG 3 4、I V 3の状態が遷移する。サイクル# 1 3は、全ての1ビット識別番号活性回路U C 0 ~ U C 3を活性化する。これにより、前記# 1 ~ # 4サイクルのような通常動作に比べて4倍の活性化率を作り出すことができる。そして、サイクル# 1 4は、再び待機状態に戻る。上記# 1 1 ~ # 1 3のサイクルを繰り返すことにより、特定回路の動作頻度を増やして初期不良の洗い出しを効率よく行うようにすることができる。

20

【 0 0 3 9 】

上記動作制御信号G 0 ~ G 3を形成する回路は、デコーダ又はシフトレジスタで構成される。デコーダの場合には、上記4つの動作制御信号を形成するためには、2ビットの信号を供給し、それをデコードして上記4通り動作制御信号G 0 ~ G 3を形成する。全信号G 0 ~ G 3をロウレベルにしたり、あるいはバーインのために全信号G 0 ~ G 3をハイレベルにするためには、更に1ビットずつの制御信号が必要になる。シフトレジスタの場合には、ハイレベルを順次にシフトさせれば上記通常動作のためのG 0 ~ G 3を発生させることができる。シフトレジスタの各ビットR 0 ~ R 3にロウレベルを設定すれば上記動作停止状態を作り出すことができるので、バーインのために全信号G 0 ~ G 3をハイレベルにするために、更に1ビットの制御信号を追加してゲート回路を制御して各動作制御信号G 0 ~ G 3を強制的にハイレベルにするようにすればよい。

30

【 0 0 4 0 】

図6には、この発明に係る多ビット識別番号発生回路の他の一実施例の回路図が示されている。この実施例は、前記図4の変形例であり、各单位識別番号発生回路U C 0 ~ U C 3が、4個のナンドゲート回路により構成される。つまり、図4の実施例において、各单位識別番号発生回路U C 0 ~ U C 3のそれぞれにおいて、第3段目のゲート回路G 0 3 ~ G 3 3と出力部に設けられたインバータ回路I V 0 ~ I V 3とが省略される。このように素子数を節減しつつ機能は同等である。また、インバータ回路を削除したことで、レイアウト的な均等性が高まる利点がある。

40

【 0 0 4 1 】

図6の実施例のように同じゲート回路を並べて回路を構成する場合、Nチャネル型M O Sトランジスタのための単位領域の複数個、及びPチャネル型M O Sトランジスタのための単位領域の複数個を行列状に配列させることが容易である。すなわち、得るべき回路規模に応じて、基本パターン繰返し単位が、半導体基板上において規則正しく配置させること

50

ができる。このような規則的なレイアウトではなく、同じ領域列を成すべき複数の単位領域が、他の回路を構成する素子領域など挟んで配置されてしまうようなことによって、互いに比較的大きな距離を持って配置されるような場合、次のような難点が生ずる。すなわち複数の単位領域が、半導体集積回路装置の製造条件の変動に基づくようなパターン寸法のマクロ的な変動もしくはパターン歪みのマクロ的な変動による影響を強く受けるようになり、相対的に大きなパターン形状の相違を生ずることになる。

【0042】

半導体チップを実装することなどによって半導体チップに与えられてしまう機械的応力は、半導体チップの部分部分によって異なる可能性が大きいので、複数の単位領域の相互では互いに比較的大きく異なったものとなる可能性を持つ。回路に電源電流が流れることによってもたらされる動作温度の上昇は、複数の単位領域相互に対して一様でなくなる。ゲート絶縁膜の厚さや、導入不純物の微妙な濃度変化も、また複数の単位領域相互が比較的に離れていることによって比較的大きくなってしまふ危険性を持つ。これに対して、規則的なレイアウトによる場合、同じ領域列に有る複数の単位領域は、それらが比較的に近接して配置され、互いに同じサイズ、同じ方向を持って構成されていることから、上述のような相対的なパターン寸法、パターン歪み、機械的応力、動作温度、膜厚、不純物濃度による影響を受け難い。

【0043】

いわゆる位相シフトマスク技術は、半導体集積回路装置を構成する回路素子、配線等を、いわゆるサブミクロンレベルに微細化する上での有効な技術と理解される。かかる位相シフトマスク技術では、マスクとする感光材層を感光せしめる際の光の位相差のわずかな変化にも起因して、得べきパターンの左右形状の相違のように、パターンに非対称性ないしは歪みをもたらすことが有る。規則的な素子レイアウトは、その種のパターン歪みがあっても、複数の単位領域相互の電気特性の偏りを十分に小さくする事が可能である。

【0044】

上のような観点での構成上の相違とともに、半導体におけるキャリア・モビリティの結晶方位依存性による影響もまた、前述のようなミクロ的な特性を利用する本発明にとっては軽視できないものである。規則的なレイアウトによる場合、第1領域列をなす複数のゲート電極層の全てが互いに同じ方向かつ同じパターンとされていること、同様に第2領域列をなす複数のゲート電極層の全ても互いに同じ方向かつ同じパターンとされていることから、それら第1領域列に属するMOSトランジスタの相互、及び第2領域列に属するMOSトランジスタの相互は、上述の結晶方位性に基づく特性の違いを生じない。

【0045】

このように、素子の規則的なレイアウト配置を可能とする前記図6の実施例のような識別番号発生回路は、半導体集積回路装置の設計上、及び製造上からは、前述のようなマクロ的バラツキないしは特性の偏りが、著しく小さくなるように考慮され、前述のようなミクロ的なバラツキを適切に利用できるように考慮されたものであることが理解されるであろう。

【0046】

図6の構成によって得られるMOSトランジスタの電気特性の偏りを更に十分に排除する必要が或る場合には、図6の基本繰返し単位の複数によって構成される全体配列の端部効果を解消するためのダミー領域を設定することができる。ダミー領域は、上記全体配列の上記端部を、レイアウト的に上記全体配列の内部と対等にするための構成であり、少なくとも上記基本繰返し単位における端部の複数の単位領域を持って構成することができる。

【0047】

この種のダミー領域を設定しない場合には、上記全体配列における端部の外側がどのような構成にされるかによって、かかる端部の加工形状が影響を受けることが有り、また半導体基板とその表面の絶縁膜との間でもたらされる応力のような素子特性に影響を与えかねない力の加わり方が、かかる端部とそれ以外の部分と異なってくることがある。それらは電気特性の偏りをもたらす要因ともなる。上のようなダミー領域を設定する場合には、上

10

20

30

40

50

述の電気特性の偏りをもたらす要因を十分に排除する。ダミー領域は、回路として利用しない領域とすることも、電気特性の偏りを留意しなくて良い他の回路を構成するための構成とすることもできる。

【0048】

図7には、この発明に用いられる1ビット固定番号発生回路の一実施例の回路図が示されている。前記図6のような多ビット識別番号発生回路から発生する、識別情報の一部を常に一定な値にするための方法を示している。つまり、前記図6の識別番号発生回路を構成する単位識別番号発生回路UC0～UC3のうち、任意の1つが図7の1ビット固定番号発生回路に置き換えられる。1ビット固定番号発生回路は、スイッチSWが設けられて、電源電圧VDDのようなハイレベル又は回路の接地電位VSSのようなロウレベルを初段のゲート回路に供給する。上記スイッチSWは、マスタースライス方式によりゲート回路の入力端子を電源電圧線に接続するか、あるいは回路の接地電位線に接続するかの選択的な配線形成により実現される。あるいは、ヒューズの切断の有無に置き換えることもできる。

10

【0049】

図8には、この発明に係る多ビット識別番号発生回路の一実施例のブロック図が示されている。この実施例は、多ビット識別番号発生回路の故障被害を軽減する方法に向けられている。前記図4や図6に示した多ビット識別番号発生回路においては、複数の1ビット識別番号発生回路をチェーンに連結することで容易にビット数を増やすことができる。しかし、連結数を増やすと、その途中の一部が故障すると、全体の機能が停止あるいは低下してしまう危険性も高くなる。これでは、万が一のサンプルの来歴調査のために備えた識別番号が取り出せないという矛盾が生じる。

20

【0050】

そこで、この実施例では多数の1ビット識別番号発生回路を小さなブロックBL0、BL1等に分けて、仮にその中の一つのブロックが故障してもその被害が、そのブロック内に留まり、全体の機能を著しく低下させないように工夫されている。例えば、各小ブロックBL0、BL1等の前記図4又は図6の実施例のようにビット数を4ビットとし、かかるブロック数が32個とすると、識別番号の総数は128ビットとなる。

【0051】

各小ブロックBL0、BL1の出力部にデコーダ又はレジスタによる選択回路により選択信号H0、H1等を発生させ、小ブロックBL0、BL1…BL31(図示せず)を選択信号H0、H1等により順次に選択し、前記図4、図6等で説明した小ブロック内での単位識別番号発生回路のチェーン連結と同様にしてシリアルに出力させるようにするものである。この構成では、仮に、1ブロックが故障したとすると、全体の128ビット中の4ビット、すなわち約3%が欠落する。この時、識別能力は低下するが、完全に機能を失うことを防ぐことができる。予め、識別能力に余裕を持たせておけば、小規模の故障では全く問題を回避することができる。

30

【0052】

図9には、この発明に係る多ビット識別番号発生回路の一実施例のレイアウト図が示されている。この実施例では、3入力のナンドゲート回路を用いて、多ビット識別番号発生回路が行列配置される。例えば、同図に代表として例示的に示されている1ビット識別番号発生回路のように、入力A、B、Cの3入力を持つナンドゲート回路の入力Aを列(COL)選択用に用い、入力Bを行(ROW)選択用に用い、残りの入力Cを論理しきい値の大小比較用に用いる。1ビット識別番号発生回路では、初段のゲート回路の入力Cと出力とが接続されて、その論理しきい値に対応した電圧を発生させる。第2段目のゲート回路は、その論理しきい値により上記初段のゲート回路の論理しきい値の大小を比較する。第3段目と第4段目のゲート回路は、増幅回路として動作するが、第3段目のゲート回路は入力Bが前段からの出力Piを受ける入力として用いられ、第4段目のゲート回路の出力は、次段の1ビット識別番号発生回路への第3段目のゲート回路への入力信号とされる。

40

【0053】

50

つまり、前記図7に示した小ブロックを構成する複数の1ビット識別番号発生回路の複数個(0~j)が上記第3と第4段目のゲート回路を用いてチェーン連結され、同図において行方向に配置される。同様な小ブロックの構成するチェーン連結された複数の1ビット識別番号発生回路の複数個(0~i)が列方向に複数個配置される。これにより、 $(j+1) \times (i+1)$ ビットからなる多ビットの識別番号発生回路が実現される。上記小ブロックは、前記図6の実施例のような単位識別番号発生回路UC0~UC3を上記行方向に直線的に並べて配置されたものと等価である。ただし、行選択のために上記3番目の入力端子が必要になるものである。

【0054】

上記行列配置された1ビット識別番号発生回路を行選択信号RW0~RWiと列選択信号COL0~COLjを発生させる。例えば、行選択信号RW0を選択状態にし、列選択信号COL0~COLjを順次に選択すれば第1行目の0~jの複数ビットの識別番号がその出力部に設けられたゲート回路及び3状出力回路を通して出力線PPに出力される。次に、行選択信号RW1を選択状態にし、列選択信号COL0~COLjを順次に選択すれば第2行目の0~jの複数ビットの識別番号がその出力部に設けられたゲート回路及び3状出力回路を通して出力される。以下、同様にして第i番目の行までの各0~jの複数ビットの識別番号を出力させることができる。

【0055】

この構成は、多ビットの識別番号発生回路を規則的に半導体基板上にレイアウトする上で好適なものとなる。このような回路素子の半導体基板上への規則的なレイアウト配置によって、前記のように半導体集積回路装置の設計上、及び製造上からは、前述のようなマクロ的バラツキないしは特性の偏りが、著しく小さくなるように考慮され、前述のようなミクロ的なバラツキを適切に利用できるように考慮されたものである。行列配置された単位識別番号発生回路と前記出力部との間、あるいは行選択回路や列選択回路の間又は他の回路領域との間には、適宜にダミー領域が配置される。

【0056】

図10には、この発明に係る半導体識別回路の他の一実施例の基本的回路図が示されている。図10(A)では論理記号により回路構成を示し、図10(B)は回路素子により回路構成を示している。図10(A)に示したように、この実施例回路では、クロックインバータ回路CN1~CN4が用いられる。クロックインバータ回路CN1は、入力と出力とが結合される。このクロックインバータ回路CN1の共通化された入出力がクロックインバータ回路CN2の入力と接続される。以下、クロックインバータ回路CN3、CN4も同様に直列形態に接続される。これらのクロックインバータ回路CN1~CN4のクロック端子には、クロック信号GとG/が供給される。ここで、クロック信号G/は、クロック信号Gの反転信号を表している。この説明では、便宜上クロック信号G、G/としているが、実際には前記動作制御信号Gである。

【0057】

図10(B)に示したように、クロックインバータ回路CN1は、電源電圧VDDと回路の接地電位VSSの間に直列形態にされたNチャンネルMOSFETQ1とQ3及びPチャンネルMOSFETQ2とQ4から構成される。上記MOSFETQ1とQ2のゲート及びドレインがそれぞれ共通に接続されて入力及び出力とされる。上記MOSFETQ3のゲートにはクロック信号Gが供給され、MOSFETQ4のゲートにはクロック信号G/が供給される。上記MOSFETQ3のソースは回路の接地電位が供給され、上記MOSFETQ4のソースは電源電圧VDDが供給される。他のクロックインバータ回路CN1~CN4も上記同様な回路により構成される。

【0058】

上記クロックインバータ回路CN1~CN4は、前記図1の実施例と同様に半導体集積回路装置の設計及び製造の上では、現実的に制御可能な範囲内において、互いに同じ特性を持つように構成される。つまり、かかる複数のクロックインバータ回路CN1~CN4のそれぞれは、好適には、それぞれを構成する素子の相互、すなわちPチャンネル型MO

10

20

30

40

50

S F E Tの相互、及びNチャネル型M O S F E Tの相互が互いに同じ構造、同じサイズを持って構成される。言うまでもなくそれら素子は、同じ素子は同じプロセスの元で一括製造されると言う半導体集積回路装置の特徴に従って製造される。これによって複数のクロックインバータ回路C N 1 ~ C N 4は、半導体集積回路装置の製造上の加工寸法のバラツキ、各種層の厚さバラツキ、不純物濃度バラツキ等々の製造バラツキによる影響を均等に受けるようにされる。

【 0 0 5 9 】

上記のように入力と出力が短絡させられたクロックインバータ回路C N 1の出力電圧は、論理しきい値電圧に到達する。クロックインバータ回路C N 2が、完全に同じ電気的特性を持っていれば、2つのクロックインバータ回路C N 1とC N 2の論理しきい値は等しくなる。しかし、これは理想的な状態であり実際の半導体素子においては、僅かな特性の違いが存在するため、クロックインバータ回路C N 1とC N 2の論理しきい値電圧に差が生じる。これをクロックインバータ回路C N 3、C N 4により増幅して前記同様な1ビットの識別番号を発生させる。

10

【 0 0 6 0 】

このようなクロックインバータ回路C N 1 ~ C N 4を用いた場合でも、前記2入力のナンドゲート回路を用いた場合と同様に、回路が停止状態すなわちクロック信号Gがロウレベル、クロック信号G /がハイレベルであるとき、図10(B)のNチャネルM O S F E T Q 3、Q 7、Q 1 1、Q 1 5がオフ状態となり、PチャネルM O S F E T Q 4、Q 8、Q 1 2、Q 1 6がオフ状態となり、前記のC M O Sインバータ回路を用いた場合のような貫通電流が抑制される。

20

【 0 0 6 1 】

図11には、この発明に係る多ビット識別番号発生回路の他の一実施例の回路図が示されている。この実施例は、図10の1ビット識別番号発生回路を4個組み合わせることで4ビットからなる識別番号を得るものである。回路の簡素化のために増幅回路として動作するクロックインバータ回路C N 3、C N 4は共用させられる。つまり、入力と出力とが共通接続された4つのクロックインバータ回路を並列に設け、それを4つのクロックインバータ回路の入力に共通に供給する。そして、上記4つのクロックインバータ回路に対しては、クロック端子に動作制御信号として相補信号A 0、A 0 /、A 1、A 1 /、A 2、A 2 /、A 3、A 3 /が供給される。これに対応して、増幅回路として動作するクロックインバータ回路のクロック端子にはG、G /の動作制御信号が供給される。

30

【 0 0 6 2 】

前記同様なデコーダ又はシフトレジスタR 0により、相補信号A 0、A 0 /を活性化し、これに対応した2つのクロックインバータ回路を動作状態にして、その論理しきい値の差分に対応した信号を形成し、それを動作制御信号G、G /により動作状態されたクロックインバータ回路により増幅して、出力段に設けられたラッチ回路に保持させる。

【 0 0 6 3 】

デコーダ又はシフトレジスタR 1 ~ R 3により、相補信号A 1、A 1 / ~ A 3、A 3 /を順次に活性化し、これに対応した2つのクロックインバータ回路を順次に動作状態にして、それぞれの論理しきい値の差分に対応した信号を順次に形成し、それを動作制御信号G、G /により動作状態されたクロックインバータ回路により増幅して、出力段に設けられたラッチ回路に順次に保持させる。このようにして、出力から4ビットの識別番号を得ることができる。

40

【 0 0 6 4 】

図12には、前記図11の多ビット識別番号発生回路の一実施例の具体的回路図が示されている。上記各クロックインバータ回路が前記図10(B)に示したような直列形態のNチャネルM O S F E T及びPチャネルM O S F E Tから構成され、同じパターンの回路素子が直列に並べて構成できることが判る。出力部に設けられたラッチ回路を構成するC M O Sインバータ回路もクロックインバータ回路と同様に4つのM O S F E Tで構成し、そのクロック端子には定常的に動作状態になるようにPチャネルM O S F E Tのゲート

50

には、回路の接地電位を、NチャンネルMOSFETのゲートには電源電圧を供給するようにしてもよい。このようにすれば、全回路が同じ回路構成となり、前記多ビットの識別番号発生回路を規則的に半導体基板上にレイアウトする上で好適なものとなる。

【0065】

図13には、この発明に係る多ビット識別番号発生回路の更に他の一実施例の回路図が示されている。この実施例は、図11の実施例の変形例であり、対応する2つのクロックドインバータ回路が一对一に接続されている。他は、前記図11の実施例と同様である。この実施例でも回路の簡素化のために増幅回路として動作する2つのクロックドインバータ回路は共用させられ、出力部にはラッチ回路が設けられている。

【0066】

図14には、前記図13の多ビット識別番号発生回路の一実施例の具体的回路図が示されている。上記各クロックドインバータ回路が前記図10(B)に示したような直列形態のNチャンネルMOSFET及びPチャンネルMOSFETから構成され、同じパターンの回路素子が直列に並べて構成できることが判る。図12との相違は、前記のように2つのクロックドインバータ回路を一对一に対応させて接続される部分のみであり、他は前記図12の実施例と同様である。この実施例でも、全回路を同じ回路構成とすることができ、前記多ビットの識別番号発生回路を規則的に半導体基板上にレイアウトする上で好適なものとなる。

【0067】

図15及び図16には各々、この発明に係る半導体集積回路装置の識別システムにおける照合アルゴリズムの一実施例の構成図が示されている。ここではCMOSゲート回路の論理しきい値の比較結果情報を用いた方法を説明するが、論理しきい値の大きさの順位を用いる方法も全体の流れは同じである。以下の説明において、図面上の 1 2 ...等は、(1)(2)...等に置き換えて説明している。

【0068】

図15には、登録方法の説明図が示されている。

(1) 識別番号発生回路から256ビットのCMOSゲート回路の論理しきい値の比較結果情報を読み出す。

(2) それを識別番号管理台帳に登録し、測定データなどの情報を格納したデータベースと関連付けるために管理番号を設ける。

(3) 登録数を1つ増やす。ここでは、新規に登録される識別番号は、常に登録済みのものと重複しないことが前提だが、新規登録時に登録済みのものとの重複を確認し、何ならかの警告を発するというような手順を追加することも有効である。

【0069】

図16には、照合方法の説明図が示されている。このシステムでは、登録時と照合時の環境や条件の違いによる識別番号の変動を許容することが特徴である。

(1) 識別番号発生回路から256ビットのCMOSゲート回路の論理しきい値の比較結果情報を読み出す。これを被識別番号という。

(2) 管理台帳から登録識別番号を順次取り出す。

(3) 登録識別番号と被識別番号を比較する。比較方法については、後述する。

(4) 登録識別番号と被識別番号の比較結果の違いが小さいものを一致候補にする。(2) ~

(4) 繰り返すことで、最終的に全ての登録識別番号の中で最も違いが小さいものが同一最有力候補となる。

【0070】

図17には、図16の比較方法の一例の説明図が示されている。被識別番号は、256ビットのCMOSゲート回路の論理しきい値の比較結果出力の一部である24ビットを取り出して示したものである。識別番号1~5は、登録識別番号である。その中の網掛け部分は、被識別番号のビットと異なつた部分である。右端に不一致ビット数の合計を示す。

【0071】

識別番号発生回路の"0"、"1"出力パターンは、個々のユニット毎に特有であるから

10

20

30

40

50

、同一ユニットから出力された識別番号であるかは、パターンを構成するビット数の一致の割合で判定できる。ここでの識別番号は説明のための例に過ぎないが、識別番号5の不一致ビット数が1で、それ以外は5から17と明らかに識別番号5の一致率が際立つて高い。よつて識別番号5を最有力候補とすることができる。

【0072】

図18には、この発明が適用される半導体集積回路装置の一実施例の構成図が示されている。まず本体LSIのプロープ検査を行う。この時、例えばLSIに搭載されたメモリ部に不良があった場合、不良メモリセルを予備メモリセルに置き換えるための救済情報を作成する。通常の汎用メモリなどでは、この後レーザ救済などを行うが、この実施例の半導体集積回路装置では、本体LSIはそのままダイシングされ組立てられる。さらにその後エージング、選別などの工程で検出された不良情報をプロープ検査時の救済情報に追加する。最終救済情報は、プログラミング専用チップに書き込まれる。本体LSIとプログラム専用チップはマルチチップモジュールとして組み合わせて使用する。

10

【0073】

図19には、この発明が適用される上記マルチチップモジュールの一実施例のブロック図が示されている。本体LSIとプログラム専用チップとは、データ交換制御回路を通してクロックに同期してデータがシリアルに伝達される。つまり、本体LSIの識別番号発生回路で生成された識別番号は、データ交換制御回路を通してプログラム専用チップに伝えられる。

20

【0074】

プログラム専用チップでは、1つのユニット分に対応した複数の登録番号(識別番号)とその欠陥救済情報が一対一に対応してプログラミングデータとして保持されている。プログラム専用チップは、上記本体LSIから前記データ交換制御回路を介して伝えられた識別番号が計数器を介して被識別番号レジスタに登録される。

【0075】

照合回路は、かかる被識別番号とプログラミングデータの中の登録識別番号との比較照合を行う。この照合動作は、前記図17に示したアルゴリズムに従って登録時と照合時の環境や条件の違いによる識別番号の変動を許容しつつ判定を行う。一致候補番号が検出されると、プログラミングデータの中のレジスタデータがデータ読み出し回路に読み出される。そして、データ交換制御回路を介して前記識別番号とは逆に、プログラム専用チップから本体LSIに向けて、救済情報が伝えられる。この救済情報は、シリアル/パラレル変換されてデータレジスタに保持され、欠陥救済に用いられる。

30

【0076】

プログラム専用チップは、1つのユニットに対応した複数チップの欠陥救済情報を持っているので、1ユニット分の複数の本体LSIに対して1種類のプログラム専用チップが形成されて共通に組み合わされて用いられる。そのため、本体LSIとプログラム専用チップとを一対一に対応させて製造、管理及び組み立てる必要はない。

【0077】

図20には、プログラム専用チップの一実施例のブロック図が示されている。プログラム専用チップは、特に制限されないが、識別番号解読回路、照合回路及びプログラミングデータとデータ読み出し回路等から構成される。登録識別番号、レジスタデータはフェーズのレーザー照射による選択的な切断によって登録される。

40

【0078】

照合回路では、前記図17の判定アルゴリズムに対応し、減算器を用いて減算結果の絶対値から比較器1で上限値と比較して、乖離検出を行う。比較器2では順次置き換えられる最小累積距離を基準にして上記累算器から出力される累積距離を比較して判定回路により、前記乖離検出信号とともに1~Nから1つの一致候補番号を出力する。この一致候補番号によりレジスタデータが選択されて、データ読み出し回路に伝えられる。上記データ読み出し回路は、ECC機能(誤り訂正機能)を持つようにされる。これによりデータの信頼性が高められる。

50

【 0 0 7 9 】

図 2 1 には、本願に係る識別番号発生回路を搭載した半導体集積回路装置の、いわゆる後工程と言われる一実施例の製造工程(1)ないし(13)の構成図が示されている。この実施例では、本体 L S I を D R A M と S R A M が混載された大規模システム L S I とし、プログラム専用チップはレーザ切断メタルフューズの使用を前提としている。以下、図 2 1 図を用いて製造工程の流れを説明する。

【 0 0 8 0 】

(1) 本体 L S I をプローブ試験テストにより試験する。D R A M や S R A M の不良メモリセル救済情報、内部電源回路トリミング設定値、ディレイ回路設定値などと一緒に、L S I 内の識別番号をホストコンピュータに転送する。ホストコンピュータは、送られた情報やその他の製造管理情報などと連結しデータベースに格納する。

10

(2) 本体 L S I ウエハをダイシングする。

(3) 本体 L S I のみ、マルチチップモジュール基板に仮実装する。本図では、本体 L S I は 1 つであるが複数であることもある。

【 0 0 8 1 】

(4) 選別試験テストにより本体 L S I から識別番号を読み出し、ホストコンピュータに送る。ホストコンピュータは、識別番号から本体 L S I を認識し、個々の本体 L S I に必要な情報をテストに返す。必要な情報とは、上記の不良メモリセル救済情報や、本体 L S I 識別情報などホストコンピュータによりデータベースで管理されていたものである。これを本体 L S I レジスタ情報と呼ぶ。選別試験テストは、本体 L S I レジスタ情報を、例えば不良メモリセル救済情報であれば、本体 L S I 内の救済回路の救済アドレスレジスタに格納し、内部電源回路設トリミング定値であれば内部回路内のトリミング値設定レジスタに格納する。

20

【 0 0 8 2 】

選別試験テストは、本体 L S I レジスタ情報設定後、プローブ試験ではできないような高速動作試験などを行う。さらにここで新たに不良になったものについては、その不良情報をホストコンピュータに転送する。ホストコンピュータは、送られた不良情報とで採取した情報を合わせ再救済や調整が可能であるか解析し、再びデータベースに格納する。

【 0 0 8 3 】

(5) プログラム専用チップに、本体 L S I に必要なレジスタ情報をプログラムする。さらに必要であれば、製造管理情報や、顧客情報、暗号、機能情報などのプログラムを行う。プログラム専用チップは、1 チップに複数の本体 L S I の情報を格納できる。例えば、1 0 0 個の本体 L S I 分の容量があるとする、レーザ切断装置は、ホストコンピュータから 1 0 0 個の本体 L S I 分の識別番号とレジスタ情報を受け取り、受け取った情報をもとに、1 0 0 個のプログラム専用チップに全て同じ 1 0 0 本体 L S I 分のレジスタ情報をプログラムする。

30

【 0 0 8 4 】

ここで、プログラム専用チップのフューズ切断時間を見積もってみる。例えば、1 個の本体 L S I 当たりのプログラムビット数が 1 0 0 0 ビット、1 個のプログラム専用チップに 1 0 0 本体 L S I 分格納(登録)できるとすると、1 つのプログラム専用チップは 1 0 万本(1 0 0 0 × 1 0 0)のヒューズを搭載する。最新のレーザ切断装置の能力は、毎秒 5 0 0 0 パルス以上であるので、約 2 0 秒で 1 0 万本すなわち 1 個のプログラム専用チップの切断が可能である。1 0 0 チップでは、2 0 0 0 秒(3 3 分)である。また、プログラム専用チップの面積は、1 つのフューズの大きさを 1 5 平方マイクロメートルとすると、フューズ部だけで 1 . 5 平方ミリメートル、周辺回路やパッドを含めると約 3 平方ミリメートルである。

40

【 0 0 8 5 】

(6) レーザ切断不良チップを除去するため、プローブ検査を行う。なお本工程の前に、チップを保護する保護膜を付ける工程を付加することもある。検査データパターンは、ホストコンピュータから受け取る。ここで、レーザ切断不良チップが発生することもあるので

50

、前記工程(5)でプログラムされるチップ数は、100個よりも多めとする。この数は歩留の実績によって調整する。ここで、プログラム専用チップが本体LSIより少なく不足した場合、余った本体LSIは回収され別のグループに混成される。逆に、プログラム専用チップが余った場合は廃棄する。いずれにしても損害になるが、貴重な本体LSIを廃棄するよりは経済的である。

【0086】

(7) プログラム専用チップをダイシングする。ダイシングされたチップは、工程(6)において同一のプログラムがされた100個と余裕分がピックアップされ、本体LSIに対応するグループ(ロット)にまとめられる。

(8) プログラム専用チップをマルチチップモジュールパッケージに実装する。この時、前記工程(4)と(6)で対応付けられたグループが組み合わされなければならない。しかし、個々の本体LSIとプログラム専用チップを一対一で対応させる必要がないので、従来の組立工程と比べ大幅な工程の変更は必要ない。なお、本実施例では、本組立工程では後の分離工程(10)のために、完全な封止やキャップは行わないとしているが、必ずしもこの方法に限定するものではない。

【0087】

(9) 完成したマルチチップモジュールが最終選別試験される。プログラム専用チップには、上記実施例では、100チップ分の救済情報が収められて(登録されて)いる。ボード上の本体LSIが立ち上がる際、本体LSIとプログラム専用チップの間でデータ交換が行われる。具体的には、本体LSIから識別番号がプログラム専用チップに送られ、プログラム専用チップは、送られた識別番号と登録された識別番号を比較し、モジュールに実装された本体LSIを認識し、救済情報など必要なレジスタ情報を本体LSIに送る。本体LSIは、送られたレジスタ情報をもとに内部の初期設定を行う。その後、最終試験が行われる。合格したものは、次の封止工程に送られ、不合格のものは、分離工程に送られると同時に、不良情報がホストコンピュータに送られ、再生可能であるか解析される。

【0088】

(10) 最終試験に合格したモジュールは封止またはキャップされ出荷される。

(11) 不合格品のうち再生可能可能品は、プログラム専用チップが分離される。

(12) 再生可能品は回収され、新たな数量単位にまとめられる。

(13) 回収された再生可能品を、再び選別試験にかける。その際、本体LSIから識別番号が読み出され、それに対応する過去のプローブ試験情報、選別試験情報、最終選別試験情報などがホストコンピュータから取り出される。また図示していないが、この新たな再生可能品について、非再生品と同様にプログラム専用チップが作成され同様の工程を進行する。プログラム専用チップとして、電氣的にプログラム可能な素子によるものに置き換えることもできる。この場合、工程数が削減できる。

【0089】

図22には、本願に係る識別番号発生回路を搭載した半導体集積回路装置を回路実装ボードに組み立てる場合の一実施例の製造工程(1)ないし(15)の構成図が示されている。

【0090】

(1) 本体LSIをプローブ試験テストにより試験する。DRAMやSRAMの不良メモリセル救済情報、内部電源回路トリミング設定値、ディレイ回路設定値などと一緒に、LSI内の識別番号をホストコンピュータに転送する。ホストコンピュータは、送られた情報やその他の製造管理情報などを連携しデータベースに格納する。

(2) 本体LSIウエハをダイシングする。

(3) 本体LSIをパッケージに組み立てる。

(4) 図21の工程(4)と同じ。

(5) 図21の工程(5)と同じ。

(6) プログラム専用チップをダイシングする。ダイシングされたチップは、図21の実施例と同様に、本体LSIに対応するグループ(ロット)にまとめられる。

【0091】

10

20

30

40

50

(7) 図 2 1 の工程(7) と同じ。

(8) 本体 L S I とプログラム専用チップを回路実装ボードに実装する。この時、前記工程(4) と(6) とで対応付けられたグループが組み合わされなければならない。しかし、個々の本体 L S I とプログラム専用チップを一対一で対応させる必要がないので、従来の組立工程と比べ大幅な工程の変更は必要ない。

(9) 完成したボードが実装試験される。ボード上の本体 L S I が立ち上がる際、本体 L S I とプログラム専用チップの間でデータ交換が行われる。本体 L S I またはプログラム専用チップおよびボード実装にともなう不具合が確認されたものは、分離工程に送られると同時に、不良情報がホストコンピュータに送られ、再生可能であるか解析される。

【 0 0 9 2 】

(10) 試験に合格したボードは出荷される。

(11) 不合格品のうち再生可能ボードは、プログラム専用チップが分離される。

(12) 再生可能ボードは回収され、新たな数量単位にまとめられる。

(13) 回収された再生可能ボードに対するプログラム専用チップが作られる。今回のレジスタ情報は、前回のレジスタ情報に実装試験結果が加えられたものである。

(14) 回収されたボードは再び実装工程に戻され、前記工程(13)で作成されたプログラム専用チップとともに 1 つの実装ボードに実装され、以降同様の工程を進行する。

(15) 図 2 1 の工程(13)と同様。

なお、ここに示した実施例は、一実施例にすぎず、適用される製品や既存の生産ラインの形態により変化する。

【 0 0 9 3 】

図 2 3 には、本願に係る識別番号発生回路を搭載した半導体集積回路装置の他の一実施例の製造工程(1) ないし(11)の構成図が示されている。

(1) 本体 L S I をプローブ試験テストにより試験する。D R A M や S R A M の不良メモリセル救済情報、内部電源回路トリミング設定値、ディレイ回路設定値などと一緒に、L S I 内の識別番号をホストコンピュータに転送する。ホストコンピュータは、送られた情報やその他の製造管理情報などを連携しデータベースに格納する。

【 0 0 9 4 】

(2) 本体 L S I をダイシングし、救済可能チップを選別する。

(3) 本体 L S I をベビーボードに仮組み立てする。

(4) 組み立て不良などをチェック後に、エージングを行う。このとき、ベビーボード上のチップからは識別番号を読み出し、ホストコンピュータからは個々のチップに対応した救済データを取り出し、ベビーボード上のチップに格納させる。

(5) テスタによる選別を行う。

(6) ベビーボードから本体 L S I を分離する。

(7) 本体 L S I を出荷する。

(8) 顧客にて本体 L S I と同時にプログラムデバイスを回路実装ボードに実装する。

【 0 0 9 5 】

(9) 本体 L S I から識別番号を取り出す。

(10) 通信回線を通してメーカー側のホストコンピュータをアクセスして上記実装された本体 L S I に対応したデータを受け取り、上記プログラムデバイスに転送されてデータを格納する。通信回線を用いずに例えば C D R O M のような電子メディアを使って配布してもよい。

(11) 最終ボードをテストにより選別する。

【 0 0 9 6 】

以上の各実施例の半導体集積回路装置の製造方法においては、

(1) 本体 L S I とプログラム専用チップの組み合わせは、プログラム専用チップに登録される本体 L S I 数であるため、一対一の管理が不要となり、生産性が向上するとともに既存の生産設備の変更が少なく済む。

【 0 0 9 7 】

10

20

30

40

50

(2) プログラム専用チップにレーザ切断フューズが使用できる。メタルフューズの他の電氣的プログラミング可能な素子に対しての長所は、標準CMOSプロセスに対して変更が小規模、本体LSIの仕様に合わせた設計変更が容易であり、プロセスの世代に依存しないことなどである。標準プロセスからの変更点は、最終配線層形成とパッシベーション工程である。

【0098】

(3) 本体LSIレジスタは、ラッチ回路でよいので面積が小さく、本体LSIのチップサイズ低減になる。

【0099】

(4) 本体LSIにチップ識別番号発生回路を搭載すれば、本体チップにプログラマブル素子プロセスを追加する必要がない。

【0100】

(5) プログラム専用チップの置き換え(リペア)ができる。モジュールやボードに実装後に本体LSIに修正や問題が発生した時、プログラム内容を変更したチップを交換することで対応できる。

【0101】

(6) ホストコンピュータを中心とした情報の交換を、ネットワークを利用して実現することで離れた場所の製造工場を使用することができ、経済的な生産活動が可能となる。

【0102】

図24は、本願発明に係るチップ識別番号発生回路の利用例の他の構成図が示されている。この実施例は、企業間の電子部品調達市場における不正行為や様々なトラブルを軽減することを目的としている。

【0103】

工場から出荷される半導体LSIには、前記のようなチップ識別番号発生回路が組み込まれている。工場すなわちメーカーは、出荷品全てのチップ識別番号を採取する。チップ識別番号は、ランダムであるので管理上都合の良いLSI管理番号と対応させる。さらに各種の管理情報、例えば生産ライン名や製造日などに関連付ける。

【0104】

図24の(1)のように顧客Aに直接納入する場合、製品を梱包したユニット(箱など)番号や顧客番号などの帳票データなどの情報をデータベースの管理情報に追加する。品物を受け取った顧客Aは、受け入れ検査時にチップ識別番号を全LSIまたは抜き取ったLSIから読み出す。次に顧客Aは、例えばインターネットなどのネットワークを通じメーカーのデータベースにアクセスする。データベースから、入荷したユニットに含まれるLSIのチップ識別番号を取り出し、入荷したLSIから読み出した識別番号と比較する。識別番号どうしが一致すれば、製品の納入が正しいことが確認できる。この手法は汎用品でも顧客カスタム品でも可能であるが、特にカスタム品の場合有効である。

【0105】

図24において、仲介業者(卸業者)が介入する場合を想定してみる。工場出荷は、上記と同じである。受け取った1次卸業者は、通常梱包を開梱しないが、ユニット番号をメーカーのサーバに照会すると同時に、次の納品先情報などを登録する。さらに2次、3次の卸業者も同様にする。最終顧客は、前記(1)と同様に入荷したLSIの識別番号をLSIから読み出し、メーカーのデータベースに照会する。以上のシステムを構築することで次のような効果が期待できる

【0106】

(1) 納入品の取り違えが防止できる。

(2) 仲介業者による中古品の入れ替えなどの不正行為を防止できる。

(3) 返品による不良品および中古品の再販を防止できる。

(4) 流通ルートの確認ができる。

【0107】

図25には、この発明に係る識別番号発生回路を組み込んだ半導体チップの回路設計方法

10

20

30

40

50

の一実施例のフローチャート図が示されている。この実施例のような回路設計ソフトウェアをデザイン企業や製造専門企業に提供する。あるいは、同一機能をE D Aベンダのツールに組み込むようにするものである。

【0108】

- (1) メニューをプルダウンして選択する。
- (2) メニューデータが生成される。2回目以後は、このメニューデータを指定するだけで所望のIPを選択できる。
- (3) メニューデータを分析し、違反などを検出する。
- (4) メニューデータに従い、必要な情報を、ローカルデータベースから取り出す。ローカルデータベースにない最新の情報は、インターネット等のネットワークを介し、製造専門会社のデータベース等から取得する。
- (5) データベースから収集した情報をもとに、ソフトIPに必要なデータを生成処理を行う。
- (6) ソフトIPが生成可能か判断する。不可能であれば、ハードIP設計を選択する。

【0109】

図26には、この発明に係る識別番号発生回路を内蔵したLSI設計方法の一実施例のフローチャート図が示されている。この実施例では、特に制限されないが、特定用途向けLSI(ASIC)の設計フローに向けられている。

【0110】

論理合成ツールは、前記図25に示した設計フローでのソフトIP生成の判断結果により、真理値表やRTL記述、状態遷移図などからゲートレベルの論理回路(ネットリスト)を生成する。また、図示していないが、多くの場合、RTLなどは、VHDLやVerilog HDL等の機能記述言語をもとに生成される。論理合成の際必要とされるのは、セルライブラリ情報であり、これにはトランジスタレベルの接続情報や、ディレー情報、レイアウト情報などが含まれている。また、通常RTLなどには、制約情報と呼ばれるタイミング誤差許容値やレイアウト配置間隔、最大信号配線長などの情報が付加されている。DFTツールはゲートレベルの論理回路にLSIの検査に有効な診断論理を付加し、自動配置配線ツールによって最終的なレイアウトデータを作成する。

【0111】

セルライブラリに登録されているセルの種類は、インバータやNAND(ナンド)、リップフロップなどの最も基本的な回路構成要素が主なものである。一般にセルライブラリのデータ、例えばレイアウト情報などは人手により作成される。しかし、規模が大きい物や、例えばメモリのように基本的な機能は変わらないがその構成がわずかつ異なる物については、自動セル生成ツールやラムコンパイラなどが用いられることがある。

【0112】

ここで、本願発明でいうハードIPとソフトIPについて簡単に説明する。現在、半導体産業において、特に特定用途向けLSI設計製造においては、顧客(例えばゲーム機や自動車メーカなど)から受けた仕様をもとに、設計から製造までを1つの企業で行う総合企業形態と、設計だけを専業とするいわゆるLSIデザイン企業と、製造を専業とするいわゆるファンドリ企業によって分業化される形態に分類される。

【0113】

また、最近では分業化の流れに乗り、IPを供給する企業(IPベンダ)やそれらの流通市場や、標準化支援団体などが生まれている。IPはLSIの設計効率を向上する上でも重要な存在となってきており、総合企業においても無視できないものとなっている。

【0114】

IPには、大きくハードIPとソフトIPと呼ばれるものがある。両者の違いを、LSIデザイン企業とファンドリ企業による分業形態を対象した場合を比較してみる。LSIデザイン企業(ファブレス企業)は、顧客の仕様をもとに図68のVHDLやVerilog HDL等の機能記述言語を用いたデータや、真理値表やネットリスト、RTL記述、状態遷移図などのデータ、制約情報などを作成する。ただし、顧客自身が、これらのデータまで

10

20

30

40

50

作成し L S I デザイン企業に渡す場合もある。

【 0 1 1 5 】

次に L S I デザイン企業は、冒頭で述べた論理合成ツールを使用してネットリストを作成する。論理合成の際に、用いられる回路素子は、セルライブラリに登録されているものに限られる。それらは、製品を製造する製造専門会社が認定したものであり、一般に製造会社が自ら提供するものは、先に述べたインバータ回路や N A N D ゲート回路のような基本的なものである。

【 0 1 1 6 】

ただし実際には、製造専門会社も、自社の競争力をたかめるため、より複雑なものを提供している。しかし、製造専門会社だけで、例えば P L L や S R A M、演算回路など複雑で高機能な回路を準備することは困難であるため、それらを設計し供給する I P ベンダが多く登場する。I P の中でも P L L などは、回路自身が複雑で、かつ使用するプロセスに特性が大きく依存するため、I P ベンダは一般的にハード I P という形で供給する。ハード I P は、簡単にいうとセルライブラリに、I P ベンダが設計したセルレイアウトが登録されるものである。それ故、ハード I P ベンダはハード I P を供給する場合に、製造専門会社はもちろん、そのプロセス世代毎にも I P を変更し、製造会社の認定を受け、さらに各 L S I デザイン企業の持つセルライブラリに登録してもらわなければならない。

【 0 1 1 7 】

一方、ソフト I P の場合、I P ベンダは、先の V H D L や Verilog H D L 等の機能記述言語を用いたデータや、真理値表やネットリスト、R T L 記述、状態遷移図などのデータ、制約情報などを、L S I デザイン企業やファブリティ企業、あるいはその上の顧客に供給するのみである。そのため現在、特定用途向け L S I の市場では、ソフト I P の普及が先行しており今後もその優位性は変わらないと考えられる。また、ラムコンパイラもあくまでセルライブラリの部品の作成を自動化するものであり、ハード I P の範疇に含まれる。

【 0 1 1 8 】

上記のように、ハード I P による供給形態は、I P の流通や普及の点で劣り、さらにハード I P を供給する側にもプロセス毎の設計変更などの負担などの短所がある。対して、この実施例の識別番号発生回路は完全論理記述型回路で構成されるためソフト I P 化が比較的容易である。例えば、セルライブラリに C M O S ナンドゲート回路（当然ある）が既に登録されていれば、ネットリストや R T L 記述のみで I P を設計企業に供給できる。自動配置配線処理は配置や配線の結果が不規則であることが弱点として上げられるが、この実施例の識別番号発生回路は、前記のような規則的な素子配置を考慮したものであり、かかる自動配置配線処理にも好適なものとなる。

【 0 1 1 9 】

近年、L S I に I D 番号や各種の固有情報（以降、これを一般情報と呼ぶ）などを組み込む応用例が増えている。例えば、製品の製造ライン番号や、製造週番号、製品のグレード、製造管理情報であったりする。これらは、一般にレーザフューズや E P R O M などを用いて I D 番号をプログラムしている。このプログラムにおいて、当然レーザプログラムのミスはあってはならないし、しかも、レーザフューズ方式は、ほとんどウェハ状態で加工されるが、レーザ工程以降の工程で変化してもならない。その情報が、生命・財産にかかわる内容のものであればなおさら重要である。

【 0 1 2 0 】

しかし、プログラム後ダイシングされチップがひとつひとつばらばらな状態では、レーザプログラム時に書き込まれた一般情報は読み出すことはできても、それが正しいかどうかを確認することは、非常に困難であるという重要な問題がある。その対策として次のようなものが考えられる。一つには、パリティビット付加し、データの変動を検出するものである。パリティ検査のための機能は、チップに内蔵してもよいが、測定器において判定してもよい。しかし、厳密な意味で、チップに書き込まれているデータを確認したことにはならない。

【 0 1 2 1 】

10

20

30

40

50

他の一つは、読み出した情報の信頼性を確保するため、何らかの方法で読み出した一般情報を記録する仕掛けを作り、情報の重複を確認する方法である。この方法では、最悪重複したチップを全て不良品扱いとすることで製品の事故は防ぐことができる。しかし、現実には複数のチップの読み出し情報が重複した場合、どれが正しいものであるか確認は困難であり、チップの管理及び処置が複雑となる。つまり、先に上げた問題の本質的な解決方法は、いったんばらばらにされたチップを識別し、そのチップの正しい情報を知り得て、それと比較することであると考えられる。

【0122】

そこで、チップに固有の識別番号を付け加え、その情報を元に正しい番号をデータベース等から得るという発想も考えられるが、それ自体を同じレーザーフューズで書き込んでも、それはたちごっこになるだけである。

10

【0123】

一方、情報論（例えば、情報論：瀧康夫著、岩波新書刊）によれば、符号間の距離（例えばハミング距離）が大きければ、それらに雑音が乗っても、元の情報の変化の検出とさらに修復も可能であるということが周知（例えば、誤り訂正符号とその応用：映像情報メディア学会編、オーム社刊）である。ここでは符合とは、レーザーフューズで書き込んだ情報であり、雑音とはその一部が変化したことに相当する。

【0124】

つまり、上記固有情報に、符号間の距離の大きなチップ固有識別番号を加えることで、全体の情報の一部が多少変化しても、他の識別番号すなわちチップと充分区別できるようになる。そこで、本願発明に係る識別番号発生回路の利用が有効となるものである。

20

【0125】

図27には、この発明に係る識別番号発生回路内蔵の半導体チップを用いた半導体集積回路装置の製造方法の一実施例のフローチャート図が示されている。一般情報とチップに符号間の距離の大きな固有の識別番号を合わせた情報（以降、これを管理情報と呼ぶ）を指示されたウェハ上のレーザーフューズにプログラムする。固有識別番号は、内蔵の識別番号発生回路で生成されたものが用いられる。

【0126】

一般情報と固有識別番号は、管理情報として、データベース上に保存され管理される。管理情報は、例えば一般情報+チップの識別番号から構成される。上記一般情報の設定に、前記図7の固有情報回路を利用することができる。

30

【0127】

半導体集積回路装置又はICカードの組み立て後の検査工程では、管理情報を読み出してデータベースを参照し同一の管理情報があるか確認する。同一の管理情報がデータベース内に存在すれば、レーザーによるプログラムは正しいと判定される。同一の管理情報がデータベース内に見付からない時は、最も類似した管理情報を抽出する。次に、読み出した情報と抽出した管理情報のそれぞれの一般情報どうしを比較する。

【0128】

この読み出しの際、一般情報の部分については、例えば電源電圧条件を変えるなど複数の条件で読み出し、固有識別番号については1回のみ読み出すことで、短時間にデータの書き込みが十分安定しているか確認することができる。なお、試験中は高速にデータベース上の管理情報との照合を行う必要がある。例えば、検査が始まる前に予め参照される管理情報のデータを試験装置に付随するワークステーション等に格納しておいてもよい。

40

【0129】

上記の方法によって、プログラム情報の迅速で正確な確認が出来るようになる。しかも、固有識別番号の書き込みをレーザーフューズ等で逐一行うと、加工時間とチップ面積の増加をもたらす可能性があるが、本願発明に係るゲート回路の論理しきい値のバラツキを用いたチップ識別番号発生回路を用いることで、簡単にしかも自動的に固有識別番号を得ることができる。

【0130】

50

つまり、レーザプログラムに先立つ、プローブ検査等で取得されたチップ識別番号および、ロットやウェハ等の情報を、管理情報データベースに登録する。指示されたウェハ上のチップに対応する管理情報をレーザフェーズへ書き込むというものである。

【0131】

図28には、この発明に係る識別番号発生回路を搭載した半導体チップを用いた半導体集積回路装置の組み立て工程（いわゆる後工程）の一実施例のフローチャート図が示されている。

【0132】

(1) プローブ検査では、識別番号発生回路によるID番号、ロット名、ウェハ番号、チップ番号等をデータベースに登録する。

10

(2) 登録時に既に登録されたID番号に類似した新たなID番号が発生した場合、何らかの警告を発生しチップを処置する。

(3) 組み立て試験以降の工程では、既にチップはダイシング工程にてバラバラに分かれているため、識別番号発生回路によるID番号と、工程番号、当該工程ロット名をデータベースに登録する。

(4) 本願に係る識別番号発生回路によって取得できるID番号は、組み立て工程の機械的、熱的ストレスやバーイン工程の電氣的ストレス等で変動する可能性があるため、最新検査工程で取得されたID番号をデータベースに格納する。

(5) 後工程内のチップ追跡の必要がない場合、最終出荷選別工程でのみ識別番号発生回路によるID番号を取得しデータベースに登録する。

20

(6) 各試験工程で、不良になったチップの既取得ID番号情報は、削除するか印を付けて以降の検索処理時間を軽減する。

【0133】

(7) マーキング工程では、製品を製造したラインを示す記号や番号、製造した時期を示す年番号や週番号が刻印されることがある。個別サンプルの識別を行う上で、これらの刻印は検索のための情報となる。そこで、出荷選別2では、識別番号発生回路によるID番号とこれらの刻印情報をデータベースに登録する。共通の刻印情報を持つチップでは、識別番号発生回路によるID番号は全て独立である必要があるが、異なる刻印情報を持つチップでは、識別番号発生回路によるID番号に同一あるいは類似しても構わない。すなわち、各チップに搭載する識別番号発生回路によるID番号の識別能力を抑えることが可能で、識別番号発生回路の規模および識別番号のビット数を削減できる。

30

(8) 各工程毎の識別番号発生回路によるID番号の登録時に、ID番号をもとにロットの混入・混合を検出し、何らかの警告を発生する。

【0134】

この実施例では、全ての工程とデータベース間がオンラインで直結しているが、現実には立地条件により通信回線による接続が困難である場合や、通信速度が遅い、バッチ処理が介在するなどの理由でリアルタイム性に欠けるような状況が発生する。そのような場合、いったんローカルなデータベースに蓄える。さらに、即時性が不要でない場合、記憶媒体に保存し、データベースまで輸送するか、現物と一緒に、次工程に搬送する。

【0135】

40

各工程の試験装置や処理計算機などの制約などによって、データベースに集められるデータの形式が異なる場合がある。そのような場合、データフォーマットの変換する処理を、データベース登録直前に挿入すればよい。

【0136】

図29には、この発明に係る識別番号発生回路を利用した半導体集積回路装置の救済方法の一実施例の構成図が示されている。

この実施例では、

(1) 本体チップのプローブ検査が実施される。この検査によりDRAM等の救済データを識別番号発生回路から取り出した識別番号とともにホストコンピュータに送る。

(2) ダイシングして完全動作品と救済可能品のみを取り出す。

50

- (3) 救済データ専用EEPROMのプロープ試験を実施する。
- (4) 正常動作品をダイシングし、ストックして置く。
- (5) 本体LSIと救済データ専用EEPROMを同一モジュールに実装する。
- (6) 実装済モジュールの本体LSIの識別番号を読み出し、対応する救済データを救済データ専用EEPROMに書き込む。
- (7) 選別試験を行う。
- (8) 良品LSIは出荷し、不良LSIのうち再度救済可能なものはステップ前記(6)に戻り、対応する救済データを救済データ専用EEPROMに書き込む。

【0137】

これにより、半導体集積回路装置の救済が簡単にしかも合理的に行うようにすることができる。なお、半導体集積回路装置の救済の他にも上記識別番号を利用した検査コストの低減が可能である。半ウェハ上に半導体チップが形成された時点で行われるプロープ試験において、例えば、フラッシュメモリのような半導体チップでは、同じ回路機能で動作電圧が3.0V、2.5V及び1.8Vのように異なるものを別品種として製造するものがある。

10

【0138】

このとき、1.8Vに対応した電圧設定によりテストを実施し、正しくメモリ動作が行われるか否かの判定が行われる。この判定により良品とされた半導体チップには、その識別番号に1.8V動作確認の電圧情報が記録される。動作確認の情報は、半導体チップそれぞれに不揮発的に書き込み保持される。そのために、半導体チップ内には、フラッシュメモリからなるような管理メモリが設定される。

20

【0139】

上記1.8Vで不良となったチップについては、2.5Vに電圧設定してメモリ動作が行われるか否かの判定が行われる。この判定により良品とされた半導体チップには、その識別番号に2.5V動作確認の電圧情報が記録される。そして、上記2.5Vで不良となったチップについては、2.5Vに電圧設定してメモリ動作が行われるか否かの判定が行われる。この判定により良品とされた半導体チップには、その識別番号に3.0V動作確認の電圧情報が記録される。この3.0Vで不良となったチップは不良チップとして廃棄される。

【0140】

この実施例においては、例えば上記1.8Vで動作するものとされた半導体チップについて、2.5Vや3.0Vでの動作試験を行うことなく、2.5Vや3.0Vでの動作が可能なものとして扱われる。同様に、上記2.5Vで動作するものとされた半導体チップについて、3.0Vでの動作試験を行うことなく3.0Vでの動作が可能なものとして扱われる。このため、1.8Vで動作するものとされた半導体チップを2.5Vや3.0Vでの動作させたときに不良となる可能性を持つが、その確率は小さいと考えられるので逐一各電圧での動作を行うことよりもそれを省略してテスト時間の短縮化を図った方が全体としての製造のコストの低減が可能になる。

30

【0141】

そして、フラッシュメモリ単体として組み立てるとき、あるいはマイクロプロセッサ等と組み合わせて1つの半導体集積回路装置として組み立てられるとき、上記識別番号からホストコンピュータに記憶された動作電圧情報を得て、適合するものが組み合わされる。このとき、2.5Vで動作する半導体集積回路装置は、前記1.8Vの動作確認のチップも用いることができ、3.0Vで動作する半導体集積回路装置は、前記1.8Vと2.5Vで動作するチップも用いることができる。

40

【0142】

以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、図1において、ナンド(NAND)ゲートに代えて、ノア(NOR)ゲート回路を用いるものであってもよい。ただし、ノアゲート回路では、動作制御

50

信号Gのハイレベルによりロウレベルの出力信号を形成するので、次段のゲート回路のPチャンネルMOSFETにはロウレベルの電圧が与えられてしまうので、NBTIによる素子特性の劣化の観点からは前記実施例のようなナンドゲートが有効である。

【0143】

レジスタ等のような適当な記憶回路を設け、電源投入時のみに上記識別番号発生回路を動作状態にし、それ以外は、識別番号発生回路の全ての電源を遮断してしまうことにより、ノアゲート回路を用いた場合やCMOSクロックインバータ回路を用いた場合の素子特性の劣化を実質的に問題にならないようにするものであってもよい。この発明は、半導体集積回路装置又は半導体チップに固有の識別情報を割り当てて、個々の半導体集積回路装置又は半導体チップの識別を行うようにした半導体集積回路装置又は半導体チップの識別方法と半導体集積回路装置の製造方法、半導体集積回路装置及び半導体チップに広く利用することができる。

10

【0144】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。互いに同じ製造過程をもって同一の形態として形成された第1と第2ゲート回路を含み、上記第1のゲート回路の第1の入力と出力とを接続し、上記第2のゲート回路の第1の入力に上記第1のゲート回路の共通接続された入力と出力を接続し、上記第1及び第2のゲート回路の第2の入力には、動作制御信号を供給して動作状態のときに上記第1ゲート回路と第2ゲート回路の論理しきい値の差によって決まる固有の識別情報を上記第2のゲート回路の出力信号に基づいて形成する単位識別回路の複数個を備えることにより、論理しきい値のバラツキに対応した固有の識別情報を簡単に効率よく得ることができるという効果が得られる。

20

【図面の簡単な説明】

【図1】この発明に係る半導体識別回路の一実施例を示す基本的回路図である。

【図2】図1の半導体識別回路の一実施例を示す具体的回路図である。

【図3】図1の半導体識別回路の動作の一例を説明するための波形図である。

【図4】この発明に係る多ビット識別番号発生回路の一実施例を示す回路図である。

【図5】図4の多ビット識別番号発生回路の動作を説明するための波形図である。

【図6】この発明に係る多ビット識別番号発生回路の他の一実施例を示す回路図である。

30

【図7】この発明に用いられる1ビット固定番号発生回路の一実施例を示す回路図である。

【図8】この発明に係る多ビット識別番号発生回路の一実施例を示すブロック図である。

【図9】この発明に係る多ビット識別番号発生回路の一実施例を示すレイアウト図である。

【図10】この発明に係る半導体識別回路の他の一実施例を示す基本的回路図である。

【図11】この発明に係る多ビット識別番号発生回路の他の一実施例を示す回路図である。

【図12】図11の多ビット識別番号発生回路の一実施例を示す具体的回路図である。

【図13】この発明に係る多ビット識別番号発生回路の更に他の一実施例を示す回路図である。

40

【図14】図13の多ビット識別番号発生回路の一実施例を示す具体的回路図である。

【図15】この発明に係る半導体集積回路装置の識別システムにおける照合アルゴリズムの登録方法の一実施例を示す構成図である。

【図16】この発明に係る半導体集積回路装置の識別システムにおける照合アルゴリズムの照合方法の一実施例を示す構成図である。

【図17】図16の比較方法の一例を示す説明図である。

【図18】この発明が適用される半導体集積回路装置の一実施例を示す構成図である。

【図19】この発明が適用されるマルチチップモジュールの一実施例を示すブロック図である。

50

【図20】図19のプログラム専用チップの一実施例を示すブロック図である。

【図21】本願に係る識別番号発生回路を搭載した半導体集積回路装置の一実施例の製造工程を説明するための構成図である。

【図22】本願に係る識別番号発生回路を搭載した半導体集積回路装置を回路実装ボードに組み立てる場合の一実施例の製造工程を説明するための構成図である。

【図23】本願に係る識別番号発生回路を搭載した半導体集積回路装置の他の一実施例の製造工程を説明するための構成図である。

【図24】本願発明に係るチップ識別番号発生回路の利用例を説明するための構成図である。

【図25】この発明に係る識別番号発生回路を組み込んだ半導体チップの回路設計方法の一実施例を示すフローチャート図である。

10

【図26】この発明に係る識別番号発生回路を内蔵したLSI設計方法の一実施例を示すフローチャート図である。

【図27】この発明に係る識別番号発生回路内蔵の半導体チップを用いた半導体集積回路装置の製造方法の一実施例のフローチャート図である。

【図28】この発明に係る識別番号発生回路を搭載した半導体チップを用いた半導体集積回路装置の組み立て工程の一実施例を示すフローチャート図である。

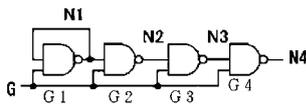
【図29】この発明に係る識別番号発生回路を利用した半導体集積回路装置の救済方法の一実施例を示す構成図である。

【符号の説明】

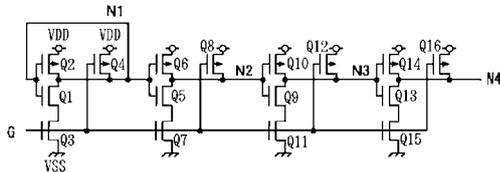
20

G 1 ~ G 4、G 0 1 ~ G 3 4 ... ナンドゲート回路、I V 0 ~ I V 3 ... インバータ回路、R 0 ~ R 3 ... デコーダ又はレジスタ、S W ... スイッチ、B L 1 , B L 2 ... 小ブロック、C N 1 ~ C N 4 ... クロックインバータ回路、Q 1 ~ Q 1 6 ... M O S F E T。

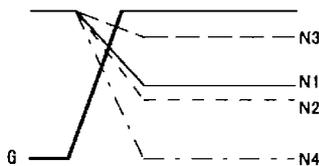
【図1】



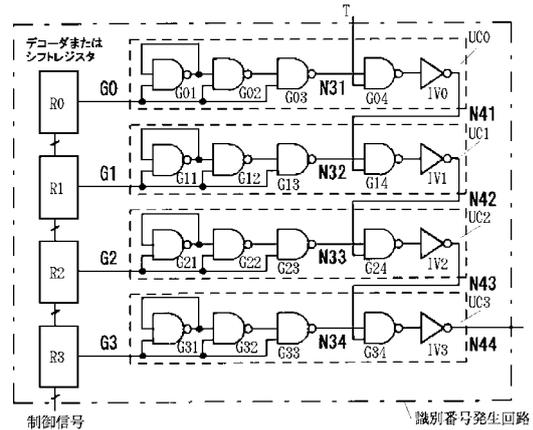
【図2】



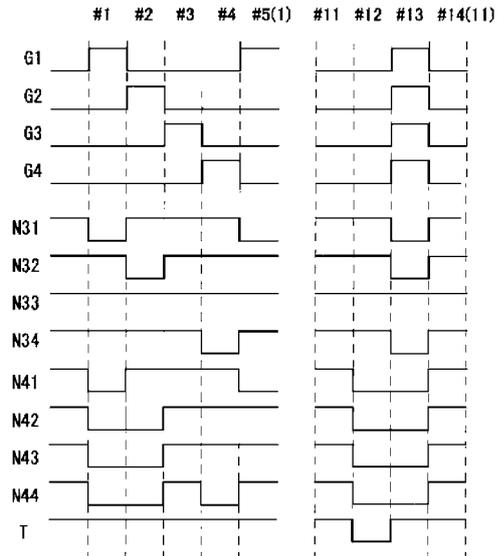
【図3】



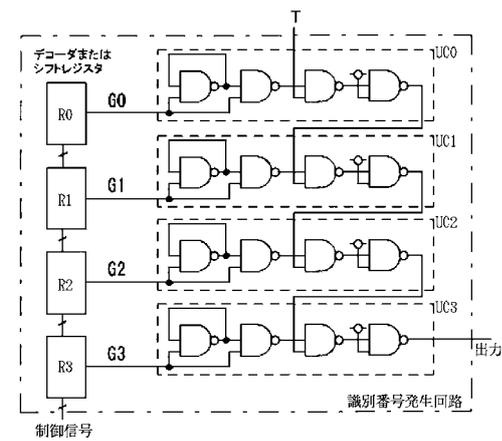
【図4】



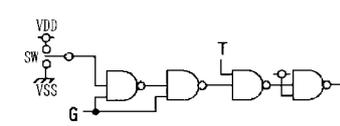
【図5】



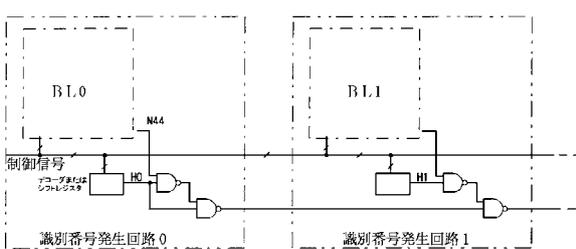
【図6】



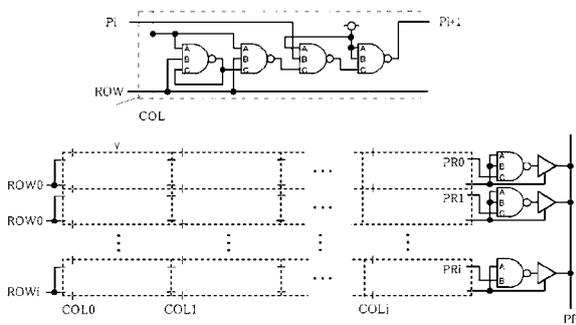
【図7】



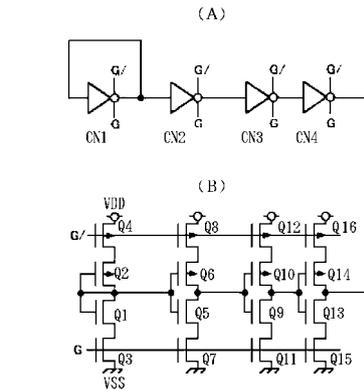
【図8】



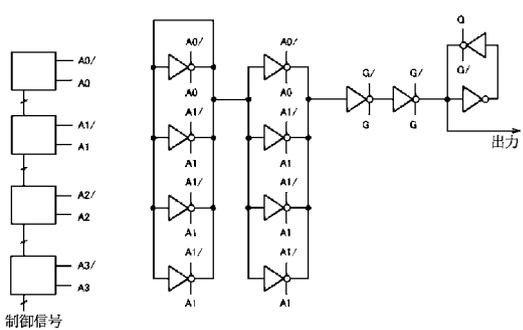
【図9】



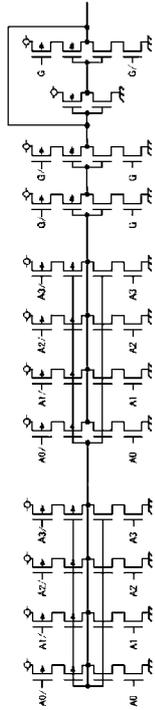
【図10】



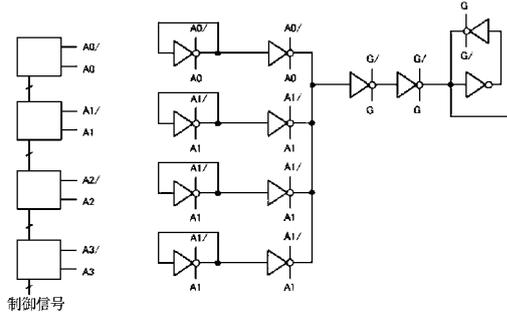
【図11】



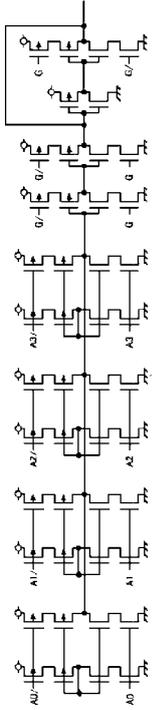
【図 12】



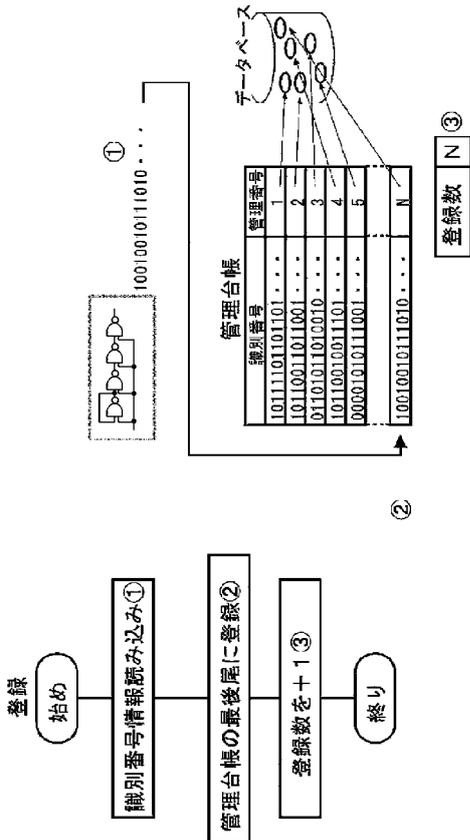
【図 13】



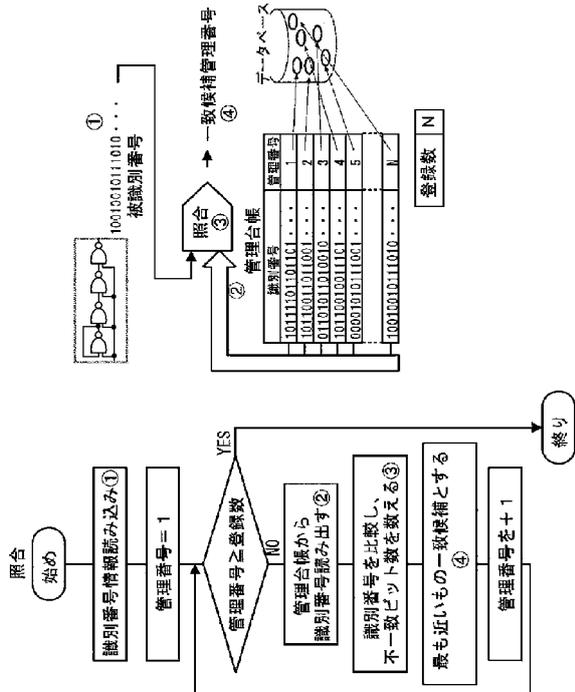
【図 14】



【図 15】



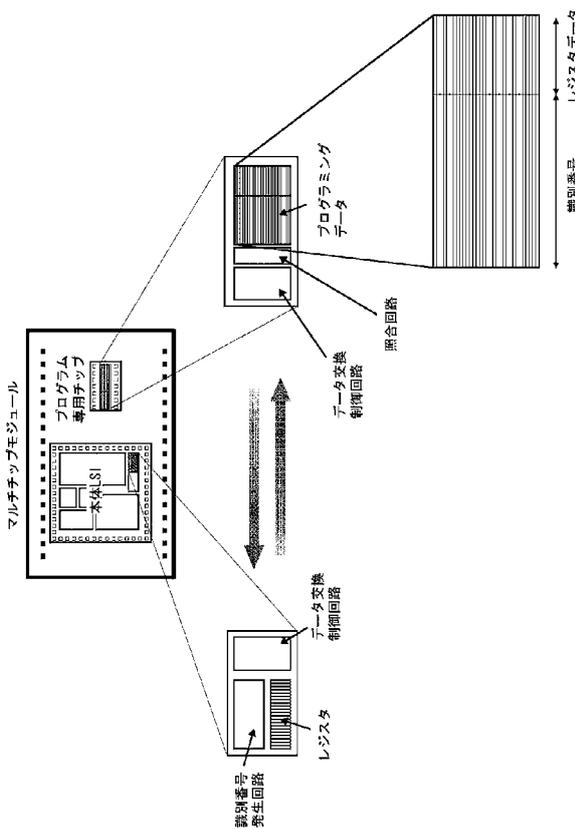
【図16】



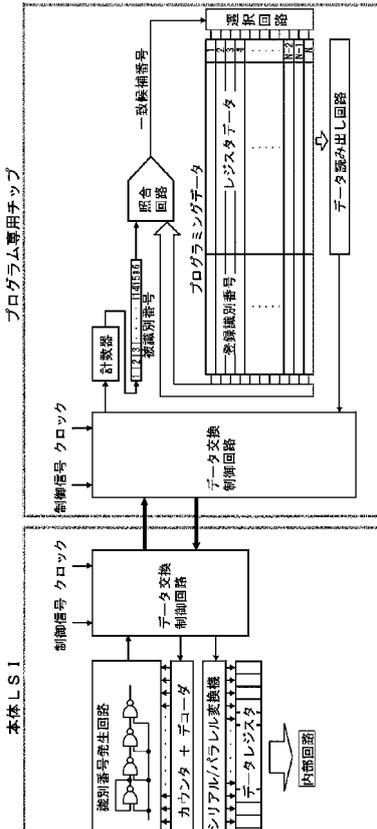
【図17】



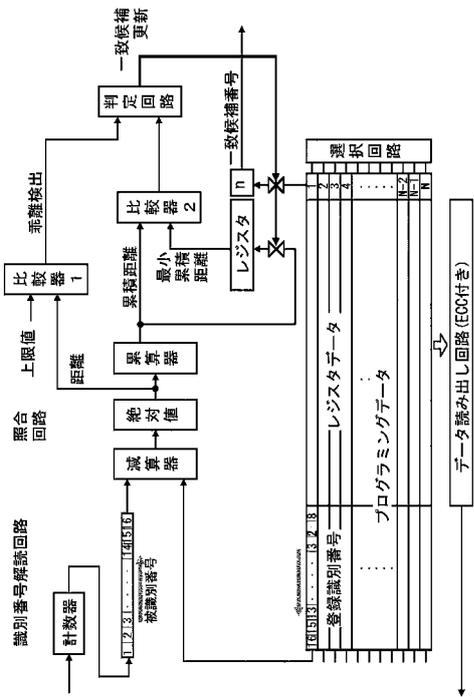
【図18】



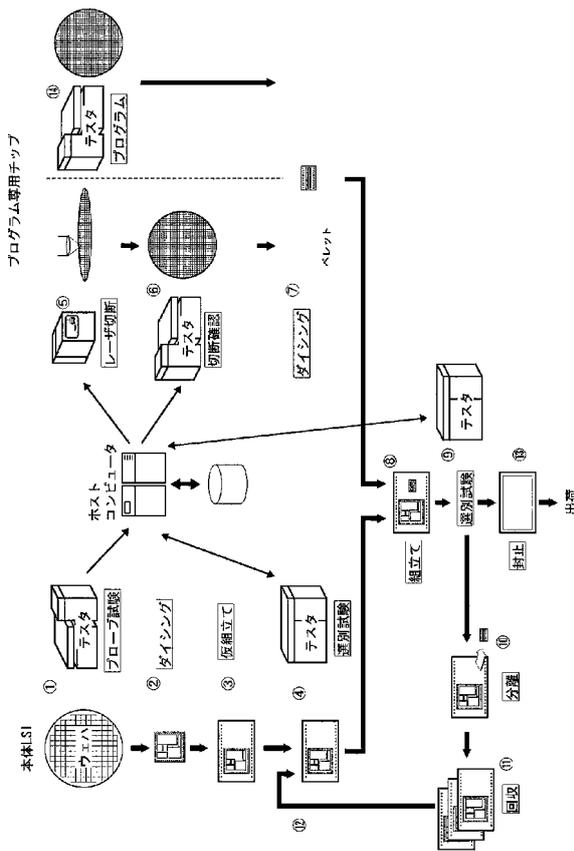
【図19】



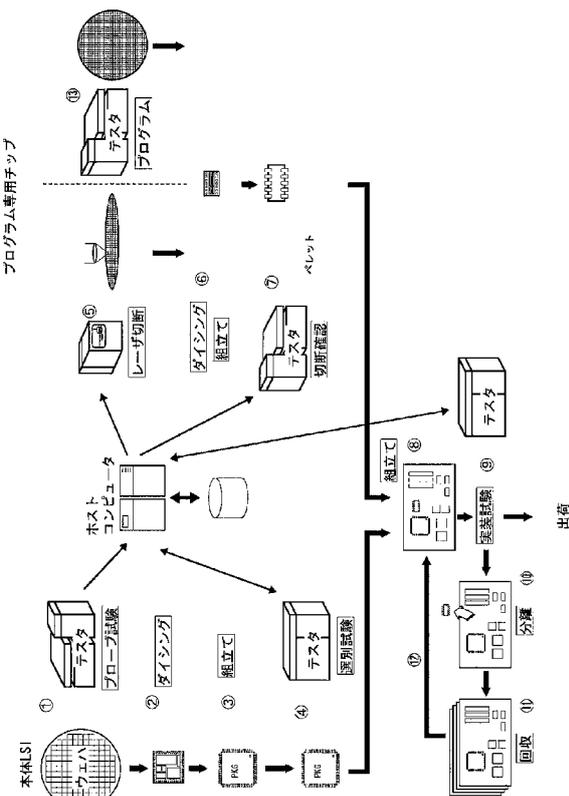
【図20】



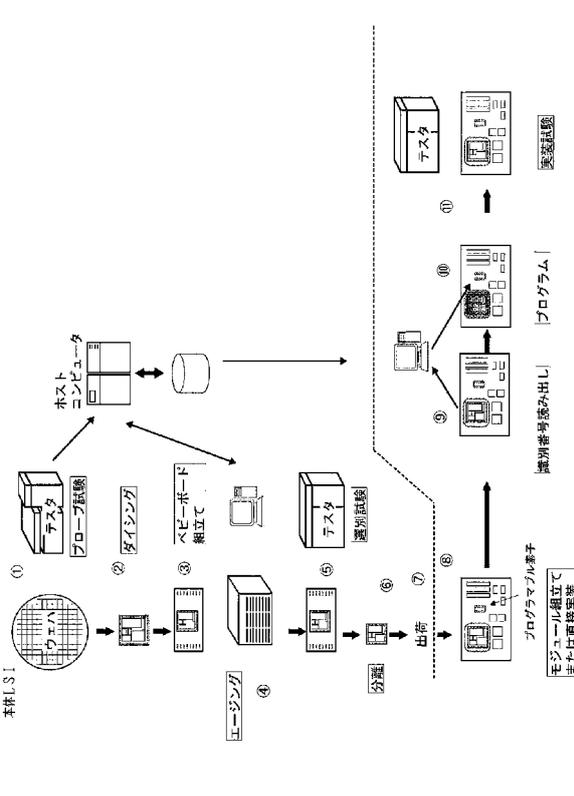
【図21】



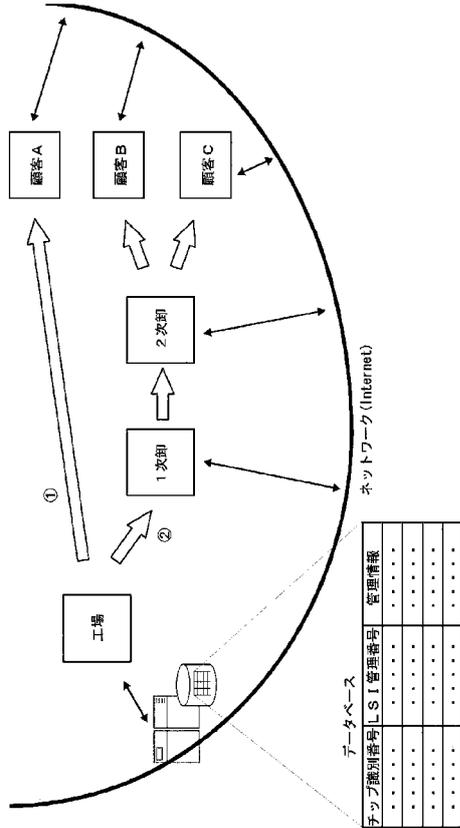
【図22】



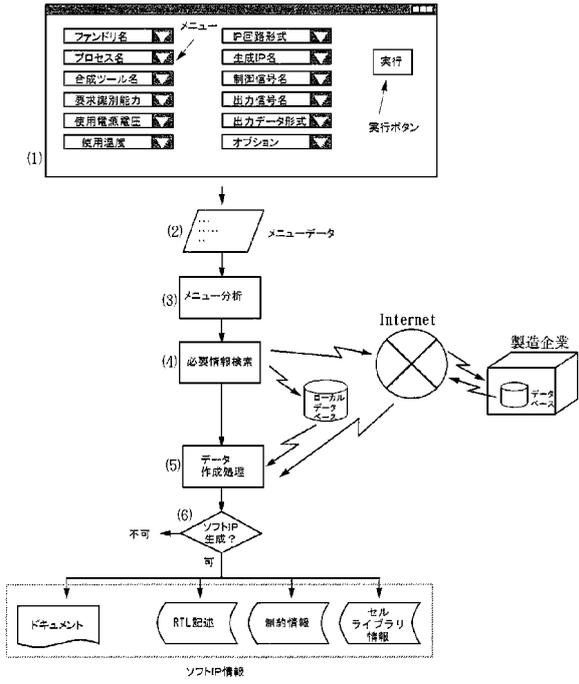
【図23】



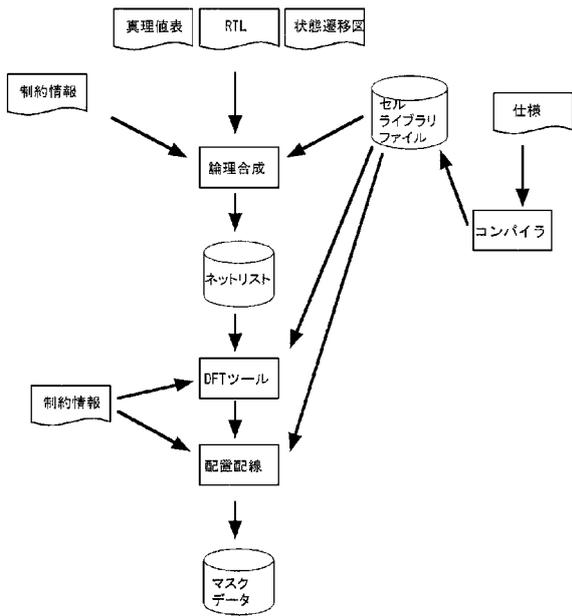
【図 24】



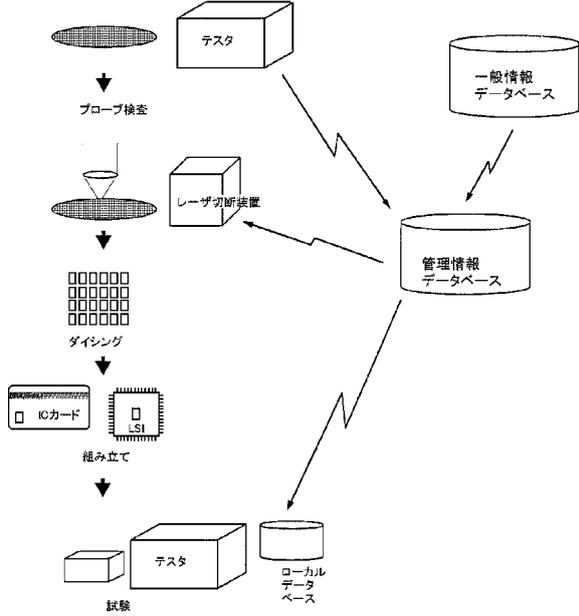
【図 25】



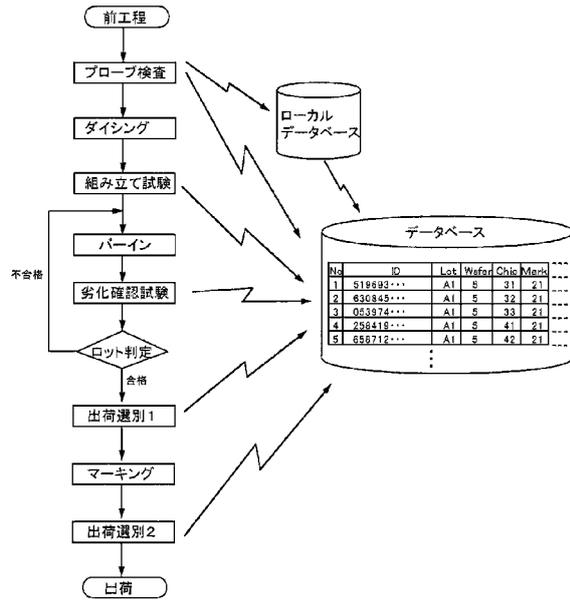
【図 26】



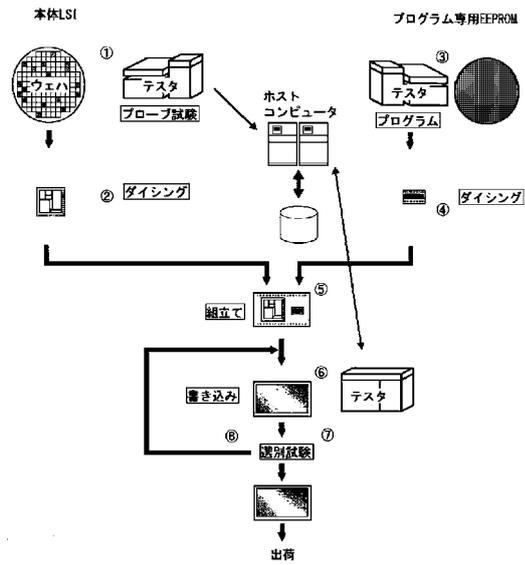
【図 27】



【図28】



【図29】



フロントページの続き

(56)参考文献 特開平 1 0 - 2 8 9 5 8 0 (J P , A)
特表 2 0 0 2 - 5 3 7 6 4 6 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H01L 21/822

H01L 27/04