

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ G11C 7/00	(11) 공개번호 10-2001-0026466	(43) 공개일자 2001년04월06일
(21) 출원번호 10-1999-0037799		
(22) 출원일자 1999년09월07일		
(71) 출원인 삼성전자 주식회사 윤종용		
(72) 발명자 김창래	경기 수원시 팔달구 매탄3동 416	
(74) 대리인 김능균	경기도성남시분당구야탑동매화마을203동1804호	

심사청구 : 없음

(54) 반도체 메모리 장치의 펄스 드라이버

요약

본 발명은 반도체 메모리 장치의 펄스 드라이버를 공개한다. 본 발명은 사이즈가 다른 NMOS 트랜지스터와 PMOS 트랜지스터를 구비하여 펄스 입력 신호를 반전시켜 출력 신호를 발생하는 펄스 구동부와, 상기 펄스 입력 신호의 디스에이블에 응답하여 인에이블되고 상기 출력 신호의 디스에이블에 응답하여 디스에이블되는 리셋 신호를 발생하는 리셋 제어부와, 상기 리셋 신호의 인에이블에 응답하여 상기 출력 신호를 리셋시키는 출력 리셋부를 구비하고 있다. 이와 같이 본 발명은 펄스 입력 신호를 종래의 인버터로만 구성된 펄스 드라이버보다 빠른 속도로 전송할 수 있기 때문에 반도체 메모리 칩의 고속화를 가능하게 하는 효과가 있다.

대표도

도2

명세서

도면의 간단한 설명

도 1은 종래 기술의 일례에 따른 펄스 드라이버의 회로도,
도 2는 본 발명의 일 실시예에 따른 펄스 드라이버의 회로도,
도 3은 도 2에 도시된 각 신호들의 타이밍도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치에 관한 것으로서, 특히 큰 용량성 부하(large capacitive load)를 가지는 내부 펄스 입력 신호를 고속으로 전송할 수 있는 반도체 메모리 장치의 펄스 드라이버에 관한 것이다.

일반적으로 반도체 메모리 장치의 칩 내부에서는 스태틱(static) 또는 펄스 형태의 신호가 전송된다. 또한, 반도체 메모리 칩이 대용량화 및 고속화됨에 따라 임의의 신호가 구동해야 하는 용량성 부하는 증가하고, 신호의 전송 지연 시간은 감소되어야 한다.

통상, 반도체 메모리 장치의 구동 방법은 인버터, NAND 게이트, NOR 게이트 등과 같은 CMOS 기본 로직으로 로직을 구성한 다음 인버터를 최종 드라이버로 이용하는 방법을 사용한다. 상기 인버터 드라이버는 큰 용량성 부하를 구동하기 위하여 큰 트랜지스터 폭을 갖는 PMOS 트랜지스터와 NMOS 트랜지스터로 구성된다. 여기서, PMOS 트랜지스터와 NMOS 트랜지스터의 사이즈 비에 의하여 로직 임계값(logic threshold)이 결정되며, 로직 임계값은 보통 1/3Vdd~2/3Vdd 근처에 있다.

그러나, 상기와 같이 PMOS 트랜지스터와 NMOS 트랜지스터의 사이즈가 모두 큰 경우의 로직 임계 전압은

신호의 전송 시간을 빠르게 하는데 장애가 되어 반도체 메모리 칩의 고속화에 걸림돌이 되는 문제점이 있었다.

발명이 이루고자하는 기술적 과제

이에 본 발명은 펄스 입력 신호를 종래 보다 빠른 속도로 전송할 수 있는 반도체 메모리 장치의 펄스 드라이버를 제공하는데 그 목적이 있다.

상기한 목적을 달성하기 위하여 본 발명에 의한 반도체 메모리 장치의 펄스 드라이버는 사이즈가 다른 NMOS 트랜지스터와 PMOS 트랜지스터를 구비하여 펄스 입력 신호를 반전시켜 출력 신호를 발생하는 펄스 구동부와, 상기 펄스 입력 신호의 디스에이블에 응답하여 인에이블되고 상기 출력 신호의 디스에이블에 응답하여 디스에이블되는 리셋 신호를 발생하는 리셋 제어부와, 상기 리셋 신호의 인에이블에 응답하여 상기 출력 신호를 리셋시키는 출력 리셋부를 구비한 것을 특징으로 한다.

상기 펄스 구동부는 상기 NMOS 트랜지스터와 상기 PMOS 트랜지스터로 이루어진 인버터를 구비하는 것이 바람직하다.

상기 리셋 제어부는 상기 출력 신호를 소정 시간 지연시키는 지연부와, 상기 지연부의 출력 신호와 상기 펄스 입력 신호를 반전 논리곱 연산하는 반전 논리곱 연산부와, 상기 반전 논리곱 연산부의 출력 신호를 반전시켜 상기 리셋 신호를 발생하는 반전부를 구비하는 것이 바람직하다.

상기 출력 리셋부는 상기 펄스 구동부의 출력단에 연결된 드레인과 상기 리셋 신호가 인가되는 게이트와 접지전압이 인가되는 소스를 가진 NMOS 트랜지스터를 구비하는 것이 바람직하다.

발명의 구성 및 작용

본 발명의 이해를 돕기 위하여 본 발명의 일 실시예와 비교되는 종래 기술의 일례를 첨부한 도면을 참조하여 먼저 설명하기로 한다.

도 1은 종래 기술의 일례에 따른 펄스 드라이버의 회로도로서, 상기 펄스 드라이버(10)는 펄스 입력 신호(Φ_{inb})를 반전시켜 출력 신호(Φ_{out})를 발생하는 3개의 인버터들(11, 12, 13)로 구성되어 있다. 통상, 큰 버스 부하는 큰 RC 지연을 유발시킬 수 있고, RC 부하가 클수록 마지막 인버터(13)를 이루고 있는 PMOS 트랜지스터와 NMOS 트랜지스터의 사이즈를 크게 해야만 한다(PMOS 트랜지스터: strong, NMOS 트랜지스터: strong).

그러나, 상기와 같이 사이즈가 큰 PMOS 트랜지스터와 NMOS 트랜지스터의 입력단에 동시에 입력 신호가 전송되면 PMOS 트랜지스터와 NMOS 트랜지스터가 서로 경쟁(fighting)을 하게 되어 MOS 트랜지스터들의 사이즈 증가에도 불구하고 전송 속도는 더 빨라지지 않는다. 따라서, 본 발명에 의한 반도체 메모리 장치의 펄스 드라이버는 사이즈가 다른 PMOS 트랜지스터와 NMOS 트랜지스터로 구성된 인버터를 구비한다.

이하, 본 발명의 바람직한 실시예를 첨부한 도면을 참조하여 상세하게 설명한다.

도 2는 본 발명의 일 실시예에 따른 펄스 드라이버의 회로도로서, 상기 펄스 드라이버(100)는 펄스 입력 신호(Φ_{inb})를 반전시켜 출력 신호(Φ_{out})를 발생하는 펄스 구동부(110)와, 상기 펄스 입력 신호(Φ_{inb})의 디스에이블에 응답하여 인에이블되고 상기 출력 신호(Φ_{out})의 디스에이블에 응답하여 디스에이블되는 리셋 신호(Φ_r)를 발생하는 리셋 제어부(120)와, 상기 리셋 신호(Φ_r)의 인에이블에 응답하여 상기 출력 신호(Φ_{out})를 리셋시키는 출력 리셋부(130)로 구성되어 있다.

상기 펄스 구동부(110)는 사이즈가 다른 NMOS 트랜지스터와 PMOS 트랜지스터로 이루어진 인버터(111)로 구성되어 있다. 본 발명의 일 실시예에서 펄스 입력 신호(Φ_{inb})는 네거티브 펄스(negative pulse)이고 출력 신호(Φ_{out})는 포지티브 펄스(positive pulse)이므로 펄스 입력 신호(Φ_{inb})를 빠른 속도로 전송하기 위하여 PMOS 트랜지스터의 사이즈를 NMOS 트랜지스터의 사이즈보다 크게 한다(PMOS 트랜지스터: strong, NMOS 트랜지스터: weak).

상기 리셋 제어부(120)는 상호 직렬로 연결되어 출력 신호(Φ_{out})를 소정 시간 지연시키는 2개의 인버터들(121, 122)과, 상기 인버터(122)의 출력 신호와 펄스 입력 신호(Φ_{inb})를 반전 논리곱 연산하는 NAND 게이트(123)와, 상기 NAND 게이트(123)의 출력 신호를 반전시켜 리셋 신호(Φ_r)를 발생하는 인버터(124)로 구성되어 있다.

상기 출력 리셋부(130)는 펄스 구동부(110)의 인버터(111)의 출력단에 연결된 드레인과 리셋 신호(Φ_r)가 인가되는 게이트와 접지전압이 인가되는 소스를 가진 NMOS 트랜지스터(131)로 구성되어, 출력 신호(Φ_{out})를 강하게 리셋시킨다.

상기와 같이 구성된 본 발명의 일 실시예에 따른 펄스 드라이버의 동작을 도 2 및 도 3을 참조하여 상세하게 설명한다.

도 3은 도 2에 도시된 각 신호들의 타이밍도로서, 펄스 입력 신호(Φ_{inb})는 네거티브 펄스이고, 출력 신호(Φ_{out})는 포지티브 펄스이며, 리셋 신호(Φ_r)는 포지티브 쇼트 펄스(positive short pulse)이다.

먼저, 펄스 입력 신호(Φ_{inb})가 "하이" 레벨에서 "로우" 레벨로 반전되면 인버터(111)의 NMOS 트랜지스터와 PMOS 트랜지스터 중 사이즈가 큰 PMOS 트랜지스터에 의해 출력 신호(Φ_{out})가 빠른 속도로 "로우" 레벨에서 "하이" 레벨로 천이한다. 즉, 인버터(111)는 로직 임계 전압이 시프트되어 "로우" 레벨 입력을 빠른 속도로 반전시킨다.

그 후, 펄스 입력 신호(Φ_{inb})가 "로우" 레벨에서 "하이" 레벨로 반전되면 처음에는 인버터(111)의 NMOS 트랜지스터에 의해 출력 신호(Φ_{out})는 "하이" 레벨에서 "로우" 레벨로 천이된다. 이 때, 리셋 제어부(120)는 리셋 신호(Φ_R)를 발생하여 NMOS 트랜지스터(131)의 게이트에 인가하는데, 펄스 입력 신호(Φ_{inb})와 2개의 인버터들(121, 122)에 의해 소정 시간 지연된 출력 신호(Φ_{out})가 모두 "하이" 레벨이 되는 시점에 리셋 신호(Φ_R)는 "하이" 레벨로 인에이블되어 사이즈가 큰 NMOS 트랜지스터(131)를 순간적으로 턴온시키므로 NMOS 트랜지스터(131)에 의해 출력 신호(Φ_{out})의 "로우" 레벨 천이 속도가 빨라진다. 이 후, 출력 신호(Φ_{out})의 "로우" 레벨에 응답하여 리셋 신호(Φ_R)는 다시 "로우" 레벨로 디스에이블되고, NMOS 트랜지스터(131)는 턴오프된다.

상기에서 리셋 제어부(120)는 출력 신호(Φ_{out})를 피드백받아 리셋 신호(Φ_R)를 생성하므로 출력 펄스의 폭은 입력 펄스의 폭보다 다소 증가한다. 하지만, 도 2에 도시된 회로가 최종 구동단에 적용되는 경우 상기한 펄스 폭의 증가는 큰 문제가 되지 않으므로 본 발명의 회로는 최종 구동단에 적용되는 것이 유리하다.

발명의 효과

이와 같이 본 발명에 의한 반도체 메모리 장치의 펄스 드라이버는 펄스 입력 신호를 종래의 인버터로만 구성된 펄스 드라이버보다 빠른 속도로 전송할 수 있기 때문에 반도체 메모리 칩의 고속화를 가능하게 하는 효과가 있다.

(57) 청구의 범위

청구항 1

사이즈가 다른 NMOS 트랜지스터와 PMOS 트랜지스터를 구비하여 펄스 입력 신호를 반전시켜 출력 신호를 발생하는 펄스 구동부와,

상기 펄스 입력 신호의 디스에이블에 응답하여 인에이블되고 상기 출력 신호의 디스에이블에 응답하여 디스에이블되는 리셋 신호를 발생하는 리셋 제어부와,

상기 리셋 신호의 인에이블에 응답하여 상기 출력 신호를 리셋시키는 출력 리셋부를 구비한 것을 특징으로 하는 반도체 메모리 장치의 펄스 드라이버.

청구항 2

제 1 항에 있어서,

상기 펄스 구동부는

상기 NMOS 트랜지스터와 상기 PMOS 트랜지스터로 이루어진 인버터를 구비한 것을 특징으로 하는 반도체 메모리 장치의 펄스 드라이버.

청구항 3

제 1 항에 있어서,

상기 리셋 제어부는

상기 출력 신호를 소정 시간 지연시키는 지연부와,

상기 지연부의 출력 신호와 상기 펄스 입력 신호를 반전 논리곱 연산하는 반전 논리곱 연산부와,

상기 반전 논리곱 연산부의 출력 신호를 반전시켜 상기 리셋 신호를 발생하는 반전부를 구비한 것을 특징으로 하는 반도체 메모리 장치의 펄스 드라이버.

청구항 4

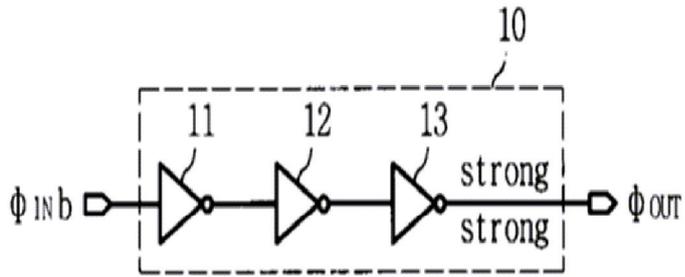
제 1 항에 있어서,

상기 출력 리셋부는

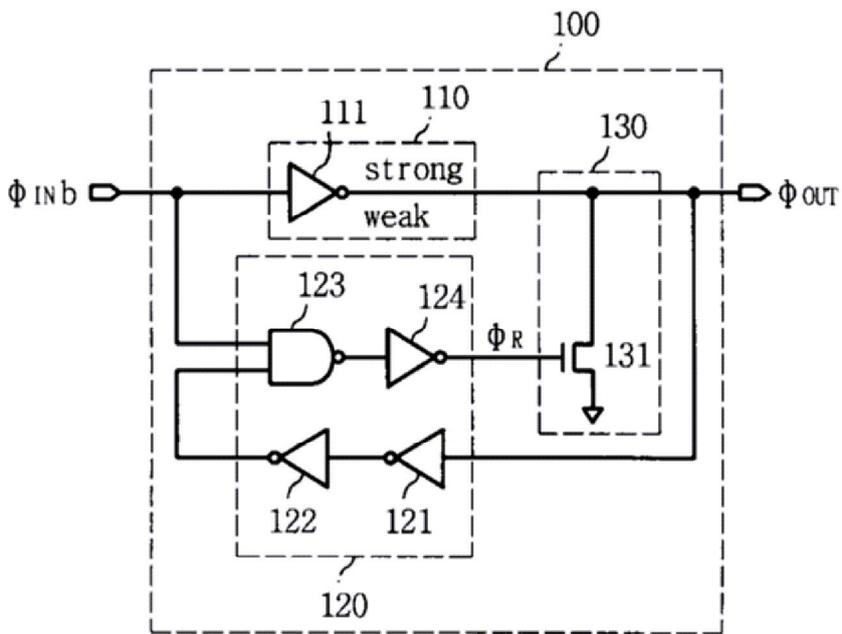
상기 펄스 구동부의 출력단에 연결된 드레인과 상기 리셋 신호가 인가되는 게이트와 접지전압이 인가되는 소스를 가진 NMOS 트랜지스터를 구비한 것을 특징으로 하는 반도체 메모리 장치의 펄스 드라이버.

도면

도면1



도면2



도면3

