



(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.

G11C 16/02 (2006.01)  
G11C 16/34 (2006.01)  
G11C 16/26 (2006.01)

(11) 공개번호 10-2007-0062922  
(43) 공개일자 2007년06월18일

(21) 출원번호 10-2006-0126123  
(22) 출원일자 2006년12월12일  
    심사청구일자 2006년12월12일

(30) 우선권주장 JP-P-2005-00359377 2005년12월13일 일본(JP)

(71) 출원인 가부시끼가이샤 도시바  
일본국 도쿄도 미나토꾸 시바우라 1쵸메 1방 1고

(72) 발명자 사이토 히데토시  
일본 도쿄도 미나토꾸 시바우라 1쵸메 1-1 가부시끼가이샤 도시바지적  
재산본부 내

(74) 대리인 구영창  
장수길

전체 청구항 수 : 총 15 항

(54) 초기 동작 및 기능을 설정하기 위한 설정 정보를 기억하는기억부를 구비한 반도체 기억 장치

(57) 요약

반도체 기억 장치는, 제1 메모리 셀 어레이, 제1 디코더, 제1 센스 앰프, 제1 스위치 회로, 복수의 제2 메모리 셀 어레이, 복수의 제2 디코더, 제2 센스 앰프, 제2 스위치 회로, 래치 회로, 및 제어 회로를 구비한다. 제1 스위치 회로는, 제1 메모리 셀 어레이에 기입 및 소거 전압, 판독 전압 중 어느 하나를 공급할지의 여부를 절환한다. 제1 스위치 회로는, 또한 제1 디코더에 기입용 및 소거용의 어드레스, 판독용의 어드레스 중 어느 하나를 공급할지의 여부를 절환한다. 제1 스위치 회로는, 또한 제1 메모리 셀 어레이 내의 비트선에 접속된 데이터선과 제1 센스 앰프를 접속할지의 여부를 절환한다. 제2 스위치 회로는, 복수의 제2 메모리 셀 어레이 중 어느 하나에 기입 및 소거 전압, 판독 전압 중 어느 하나를 공급할지의 여부를 절환한다. 제2 스위치 회로는, 또한 복수의 제2 디코더 중 어느 하나에 기입 및 소거용의 어드레스, 판독용의 어드레스 중 어느 하나를 공급할지의 여부를 절환한다. 제2 스위치 회로는, 또한 복수의 제2 메모리 셀 어레이 중 어느 하나의 제2 메모리 셀 어레이 내의 비트선에 접속된 데이터선과 제2 센스 앰프를 접속할지의 여부를 절환한다.

대표도

도 1

특허청구의 범위

### 청구항 1.

복수의 메모리 셀을 포함하는 제1 메모리 셀 어레이와,

어드레스에 기초하여 상기 제1 메모리 셀 어레이로부터 상기 메모리 셀을 선택하는 제1 디코더와,

상기 제1 디코더에 의해 선택된 상기 메모리 셀로부터 데이터를 판독하는 제1 센스 앰프와,

상기 제1 메모리 셀 어레이에 기입 및 소거 전압, 판독 전압 중 어느 하나를 공급할지의 여부를 절환하는 제1 스위치 회로—상기 제1 스위치 회로는, 상기 제1 디코더에 기입용 및 소거용의 어드레스, 판독용의 어드레스 중 어느 하나를 공급할지의 여부를 절환하고, 상기 제1 스위치 회로는, 상기 제1 메모리 셀 어레이 내의 비트선에 접속된 데이터선과 상기 제1 센스 앰프를 접속할지의 여부를 절환함—와,

복수의 워드선과 복수의 비트선을 갖고, 상기 워드선과 상기 비트선의 교점에 행렬 형상으로 배열된 복수의 메모리 셀로 구성된 복수의 제2 메모리 셀 어레이—상기 복수의 제2 메모리 셀 어레이는, 전원 투입 시에 초기 동작 및 기능을 설정하기 위한 설정 정보를 기억함—와,

상기 전원 투입 시에 출력되는 소정 신호에 기초하여, 상기 복수의 제2 메모리 셀 어레이로부터 상기 메모리 셀을 선택하는 복수의 제2 디코더와,

상기 복수의 제2 디코더에 의해 선택된 상기 메모리 셀로부터 상기 설정 정보를 판독하는 제2 센스 앰프와,

상기 복수의 제2 메모리 셀 어레이 중 어느 하나에 기입 및 소거 전압, 판독 전압 중 어느 하나를 공급할지의 여부를 절환하는 제2 스위치 회로—상기 제2 스위치 회로는, 상기 복수의 제2 디코더 중 어느 하나에 기입 및 소거용의 어드레스, 판독용의 어드레스 중 어느 하나를 공급할지의 여부를 절환하고, 상기 제2 스위치 회로는, 상기 복수의 제2 메모리 셀 어레이 중 어느 하나의 상기 제2 메모리 셀 어레이 내의 비트선에 접속된 데이터선과 상기 제2 센스 앰프를 접속할지의 여부를 절환함—와,

상기 제2 센스 앰프에서 판독한 상기 설정 정보를 기억하는 래치 회로와,

상기 래치 회로에 기억된 상기 설정 정보에 따라, 상기 초기 동작 및 기능을 설정하는 제어 회로

를 구비하는 반도체 기억 장치.

### 청구항 2.

제1항에 있어서,

상기 제1 메모리 셀 어레이는 용장 메모리 셀을 갖고,

소거 동작시에, 상기 제1 메모리 셀 어레이 내의 메모리 셀에 불량 메모리 셀이 발생하였을 때, 상기 불량 메모리 셀을 상기 용장 메모리 셀로 치환함과 함께, 상기 불량 메모리 셀을 상기 용장 메모리 셀로 치환한 것을 나타내는 리던던시 정보를, 상기 복수의 제2 메모리 셀 어레이에 상기 설정 정보의 일부로서 기입하는 반도체 기억 장치.

### 청구항 3.

제1항에 있어서,

상기 복수의 제2 메모리 셀 어레이 내의 메모리 셀에 기입 또는 소거를 행하고 있을 때, 동시에 상기 제1 메모리 셀 어레이 내의 메모리 셀로부터 판독을 행하는 반도체 기억 장치.

#### 청구항 4.

제1항에 있어서,

상기 제2 센스 앰프는, 시리얼로 복수회 판독함으로써 상기 복수의 제2 메모리 셀 어레이로부터 상기 설정 정보를 판독하고, 상기 설정 정보를 상기 래치 회로에 출력하는 반도체 기억 장치.

#### 청구항 5.

제1항에 있어서,

상기 제2 스위치 회로는, 상기 복수의 제2 디코더와 상기 제2 센스 앰프 사이에 배치되어 있는 반도체 기억 장치.

#### 청구항 6.

제1항에 있어서,

상기 복수의 제2 메모리 셀 어레이에 기억되는 상기 설정 정보는, 불량 메모리 셀을 용장 메모리 셀로 치환하기 위한 리던던시 정보, 및 데이터를 보호하기 위한 프로텍트 정보를 포함하는 반도체 기억 장치.

#### 청구항 7.

제1항에 있어서,

상기 제1 센스 앰프는, 판독용의 센스 앰프와, 베리파이용의 센스 앰프를 포함하는 반도체 기억 장치.

#### 청구항 8.

제1항에 있어서,

상기 반도체 기억 장치는 NOR형 플래시 메모리를 포함하는 반도체 기억 장치.

#### 청구항 9.

복수의 메모리 셀을 포함하는 제1 메모리 셀 어레이와,

어드레스에 기초하여 상기 제1 메모리 셀 어레이로부터 상기 메모리 셀을 선택하는 제1 디코더와,

복수의 메모리 셀을 포함하는 제2 메모리 셀 어레이와,

어드레스에 기초하여 상기 제2 메모리 셀 어레이로부터 상기 메모리 셀을 선택하는 제2 디코더와,

복수의 워드선과 복수의 비트선을 갖고, 상기 워드선과 상기 비트선의 교점에 행렬 형상으로 배열된 복수의 메모리 셀로 구성된 복수의 제3 메모리 셀 어레이—상기 복수의 제3 메모리 셀 어레이는, 전원 투입 시에 초기 동작 및 기능을 설정하기 위한 설정 정보를 기억함—와,

상기 전원 투입 시에 출력되는 소정 신호에 기초하여, 상기 복수의 제3 메모리 셀 어레이로부터 상기 메모리 셀을 선택하는 복수의 제3 디코더와,

상기 제1 및 제2 디코더 중 적어도 어느 한쪽에 의해 선택된 상기 메모리 셀로부터 데이터를 판독하고, 상기 복수의 제3 디코더에 의해 선택된 상기 메모리 셀로부터 상기 설정 정보를 판독하는 센스 앰프와,

상기 제1 메모리 셀 어레이에 기입 및 소거 전압, 판독 전압 중 어느 하나를 공급할지의 여부를 절환하는 제1 스위치 회로—상기 제1 스위치 회로는, 상기 제1 디코더에 기입용 및 소거용의 어드레스, 판독용의 어드레스 중 어느 하나를 공급할지의 여부를 절환하고, 상기 제1 스위치 회로는, 상기 제1 메모리 셀 어레이 내의 비트선에 접속된 데이터선과 상기 센스 앰프를 접속할지의 여부를 절환함—와,

상기 제2 및 복수의 제3 메모리 셀 어레이 중 어느 한쪽에 기입 및 소거 전압, 판독 전압 중 어느 하나를 공급할지의 여부를 절환하는 제2 스위치 회로—상기 제2 스위치 회로는, 상기 제2 및 복수의 제3 디코더 중 어느 한쪽에 기입 및 소거용의 어드레스, 판독용의 어드레스 중 어느 하나를 공급할지의 여부를 절환하고, 상기 제2 스위치 회로는, 상기 제2 및 복수의 제3 메모리 셀 어레이 중 어느 하나의 메모리 셀 어레이 내의 비트선에 접속된 데이터선과 상기 센스 앰프를 접속할지의 여부를 절환함—와,

상기 센스 앰프에서 상기 복수의 제3 메모리 셀 어레이로부터 판독한 상기 설정 정보를 기억하는 래치 회로와,

상기 래치 회로에 기억된 상기 설정 정보에 따라, 상기 초기 동작 및 기능을 설정하는 제어 회로

를 구비하는 반도체 기억 장치.

## 청구항 10.

제9항에 있어서,

상기 제1 및 제2 메모리 셀 어레이는 용장 메모리 셀을 갖고,

소거 동작시에, 상기 제1 및 제2 메모리 셀 어레이 내의 메모리 셀에 불량 메모리 셀이 발생하였을 때, 상기 불량 메모리 셀을 상기 용장 메모리 셀로 치환함과 함께, 상기 불량 메모리 셀을 상기 용장 메모리 셀로 치환한 것을 나타내는 리던던시 정보를, 상기 복수의 제3 메모리 셀 어레이에 상기 설정 정보의 일부로서 기입하는 반도체 기억 장치.

## 청구항 11.

제9항에 있어서,

상기 센스 앰프는, 시리얼로 복수회 판독함으로써 상기 복수의 제3 메모리 셀 어레이로부터 상기 설정 정보를 판독하고, 상기 설정 정보를 상기 래치 회로에 출력하는 반도체 기억 장치.

## 청구항 12.

제9항에 있어서,

상기 제2 스위치 회로는, 상기 제2 및 복수의 제3 디코더와 상기 센스 앰프 사이에 배치되어 있는 반도체 기억 장치.

### 청구항 13.

제9항에 있어서,

상기 복수의 제3 메모리 셀 어레이에 기억되는 상기 설정 정보는, 불량 메모리 셀을 용장 메모리 셀로 치환하기 위한 리던던시 정보, 및 데이터를 보호하기 위한 프로텍트 정보를 포함하는 반도체 기억 장치.

### 청구항 14.

제9항에 있어서,

상기 센스 앰프는, 판독용의 센스 앰프와, 베리파이용의 센스 앰프를 포함하는 반도체 기억 장치.

### 청구항 15.

제9항에 있어서,

상기 반도체 기억 장치는 NOR형 플래시 메모리를 포함하는 반도체 기억 장치.

명세서

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 반도체 기억 장치에 관한 것으로, 예를 들면 초기 동작 및 기능을 설정하기 위한 설정 정보를 기억하는 기억부를 구비한 NOR형 플래시 메모리에 관한 것이다.

NOR형 플래시 메모리 등의 반도체 기억 장치에는, 통상적으로, 초기 동작 및 기능을 설정하기 위한 설정 정보를 기억하는 기억부가 구비되어 있다(예를 들면, 특허 문헌 1 참조).

#### 발명이 이루고자 하는 기술적 과제

그런데, 종래, NOR형 플래시 메모리가 구비하는 설정 정보를 기억하는 기억부는, 1개의 비트선 상에, 1개의 메모리 셀이 설치되고, 10비트 정도의 소용량 단위로, 메모리 셀 어레이가 구성되어 있는 경우가 많다. 그리고, 각 메모리 셀 어레이에 디코더와 센스 앰프가 배치되어 있다.

이와 같은 NOR형 플래시 메모리에서는, 메모리 용량이 대용량화함에 따라, 불량 메모리 셀을 용장 메모리 셀로 치환하기 위한 리던던시 정보나 데이터를 보호하기 위한 프로텍트 정보 등의 설정 정보의 정보량이 증가하여, 이들을 기억하는 기억부의 메모리 용량도 증가한다. 기억부의 메모리 용량이 증가하면, 기억부로부터 설정 정보를 판독하기 위한 디코더 및 센스 앰프 등도 증가한다. 이 때문에, 설정 정보를 기억하는 기억부의 디코더 및 센스 앰프 등의 증가에 의해, 칩 면적이 증대한다고 하는 문제가 발생하고 있다.

### 발명의 구성

제1 측면으로부터 본 발명의 반도체 기억 장치는, 복수의 메모리 셀을 포함하는 제1 메모리 셀 어레이와, 어드레스에 기초하여 상기 제1 메모리 셀 어레이로부터 상기 메모리 셀을 선택하는 제1 디코더와, 상기 제1 디코더에 의해 선택된 상기

메모리 셀로부터 데이터를 판독하는 제1 센스 앰프와, 상기 제1 메모리 셀 어레이에 기입 및 소거 전압, 판독 전압 중 어느 하나를 공급할지의 여부를 절환하는 제1 스위치 회로—상기 제1 스위치 회로는, 상기 제1 디코더에 기입용 및 소거용의 어드레스, 판독용의 어드레스 중 어느 하나를 공급할지의 여부를 절환하고, 상기 제1 스위치 회로는, 상기 제1 메모리 셀 어레이 내의 비트선에 접속된 데이터선과 상기 제1 센스 앰프를 접속할지의 여부를 절환함—와, 복수의 워드선과 복수의 비트선을 갖고, 상기 워드선과 상기 비트선의 교점에 행렬 형상으로 배열된 복수의 메모리 셀로 구성된 복수의 제2 메모리 셀 어레이—상기 복수의 제2 메모리 셀 어레이는, 전원 투입 시에 초기 동작 및 기능을 설정하기 위한 설정 정보를 기억함—와, 상기 전원 투입 시에 출력되는 소정 신호에 기초하여, 상기 복수의 제2 메모리 셀 어레이로부터 상기 메모리 셀을 선택하는 복수의 제2 디코더와, 상기 복수의 제2 디코더에 의해 선택된 상기 메모리 셀로부터 상기 설정 정보를 판독하는 제2 센스 앰프와, 상기 복수의 제2 메모리 셀 어레이 중 어느 하나에 기입 및 소거 전압, 판독 전압 중 어느 하나를 공급할지의 여부를 절환하는 제2 스위치 회로—상기 제2 스위치 회로는, 상기 복수의 제2 디코더 중 어느 하나에 기입 및 소거용의 어드레스, 판독용의 어드레스 중 어느 하나를 공급할지의 여부를 절환하고, 상기 제2 스위치 회로는, 상기 복수의 제2 메모리 셀 어레이 중 어느 하나의 상기 제2 메모리 셀 어레이 내의 비트선에 접속된 데이터선과 상기 제2 센스 앰프를 접속할지의 여부를 절환함—와, 상기 제2 센스 앰프에서 판독한 상기 설정 정보를 기억하는 래치 회로와, 상기 래치 회로에 기억된 상기 설정 정보에 따라, 상기 초기 동작 및 기능을 설정하는 제어 회로를 구비한다.

제2 측면으로부터 본 발명의 반도체 기억 장치는, 복수의 메모리 셀을 포함하는 제1 메모리 셀 어레이와, 어드레스에 기초하여 상기 제1 메모리 셀 어레이로부터 상기 메모리 셀을 선택하는 제1 디코더와, 복수의 메모리 셀을 포함하는 제2 메모리 셀 어레이와, 어드레스에 기초해서 상기 제2 메모리 셀 어레이로부터 상기 메모리 셀을 선택하는 제2 디코더와, 복수의 워드선과 복수의 비트선을 갖고, 상기 워드선과 상기 비트선의 교점에 행렬 형상으로 배열된 복수의 메모리 셀로 구성된 복수의 제3 메모리 셀 어레이—상기 복수의 제3 메모리 셀 어레이는, 전원 투입 시에 초기 동작 및 기능을 설정하기 위한 설정 정보를 기억함—와, 상기 전원 투입 시에 출력되는 소정 신호에 기초하여, 상기 복수의 제3 메모리 셀 어레이로부터 상기 메모리 셀을 선택하는 복수의 제3 디코더와, 상기 제1 및 제2 디코더 중 적어도 어느 한쪽에 의해 선택된 상기 메모리 셀로부터 데이터를 판독하고, 상기 복수의 제3 디코더에 의해 선택된 상기 메모리 셀로부터 상기 설정 정보를 판독하는 센스 앰프와, 상기 제1 메모리 셀 어레이에 기입 및 소거 전압, 판독 전압 중 어느 하나를 공급할지의 여부를 절환하는 제1 스위치 회로—상기 제1 스위치 회로는, 상기 제1 디코더에 기입용 및 소거용의 어드레스, 판독용의 어드레스 중 어느 하나를 공급할지의 여부를 절환하고, 상기 제1 스위치 회로는, 상기 제1 메모리 셀 어레이 내의 비트선에 접속된 데이터선과 상기 센스 앰프를 접속할지의 여부를 절환함—와, 상기 제2 및 복수의 제3 메모리 셀 어레이의 어느 한쪽에 기입 및 소거 전압, 판독 전압 중 어느 하나를 공급할지의 여부를 절환하는 제2 스위치 회로—상기 제2 스위치 회로는, 상기 제2 및 복수의 제3 디코더의 어느 한쪽에 기입 및 소거용의 어드레스, 판독용의 어드레스 중 어느 하나를 공급할지의 여부를 절환하고, 상기 제2 스위치 회로는, 상기 제2 및 복수의 제3 메모리 셀 어레이 중 어느 하나의 메모리 셀 어레이 내의 비트선에 접속된 데이터선과 상기 센스 앰프를 접속할지의 여부를 절환함—와, 상기 센스 앰프에서 상기 복수의 제3 메모리 셀 어레이로부터 판독한 상기 설정 정보를 기억하는 래치 회로와, 상기 래치 회로에 기억된 상기 설정 정보에 따라, 상기 초기 동작 및 기능을 설정하는 제어 회로를 구비한다.

<실시예>

이하, 도면을 참조하여 본 발명의 실시예의 반도체 기억 장치에 대해 설명한다. 여기에서는, NOR형 플래시 메모리를 예로 한다. 설명 시에, 모든 도면에 걸쳐, 공통되는 부분에는 공통되는 참조 부호를 붙인다.

[제1 실시예]

우선, 본 발명의 제1 실시예의 NOR형 플래시 메모리에 대해 설명한다.

도 1은, 제1 실시예의 NOR형 플래시 메모리의 구성을 도시하는 블록도이다.

이 NOR형 플래시 메모리는, 패드(11), 입출력 컨트롤러(12), 커맨드 유제 인터페이스(13), 제어 회로(14), 어드레스 버퍼 및 카운터(15), 전원 회로(16), 본체 리드용 센스 앰프(17A), 본체 베리파이용 센스 앰프 및 비교 회로(17B), 메모리 뱅크(18<sub>n</sub>)(n=0, 1, ..., n), ROM용 센스 앰프 및 비교 회로(19), ROM 뱅크(20), 및 래치 회로(21<sub>m</sub>)(m=0, 1, ..., m)를 구비한다.

메모리 뱅크(18<sub>0</sub>, ..., 18<sub>n</sub>)는, 본체 메모리 셀 어레이(18M<sub>0</sub>, ..., 18M<sub>n</sub>), 디코더(18D<sub>0</sub>, ..., 18D<sub>n</sub>), 및 뱅크 스위치(18B<sub>0</sub>, ..., 18B<sub>n</sub>)를 각각 포함한다. 또한, ROM 뱅크(20)는, ROM 메모리 셀 어레이(20M<sub>0</sub>(X-Y-D) ..., 20M<sub>n</sub>(X-Y-D)), ROM 디코더(20D<sub>0</sub>, ..., 20D<sub>n</sub>), 및 ROM 뱅크 스위치(20B)를 포함한다.

패드(11)에는, 어드레스, 데이터, 전원, 및 각종 커맨드가 입력된다. 입출력 컨트롤러(12)는, 패드(11)를 개재하여 입출력 되는 데이터나, 패드(11)를 개재하여 입력되는 어드레스, 전원, 및 각종 커맨드 등의 신호의 입출력을 제어한다. 커맨드 유저 인터페이스(13)는, 입출력 컨트롤러(12)로부터 입력된 신호에 기초하여 명령을 판정하고, 그 명령을 지시하는 제어 신호를 제어 회로(14)에 출력한다.

제어 회로(14)는, 커맨드 유저 인터페이스(13)로부터 제어 신호를 수취하여, 어드레스 버퍼 및 카운터(15), 전원 회로(16), 본체 리드용 센스 앰프(17A), 본체 베리파이용 센스 앰프 및 비교 회로(17B), 및 ROM용 센스 앰프 및 비교 회로(19) 등의 동작을 제어한다. 어드레스 버퍼 및 카운터(15)는, 입출력 컨트롤러(12)로부터 출력된 어드레스를 기억함과 함께, 어드레스의 카운트를 행한다. 전원 회로(16)는, 기입시의 기입 전압 및 소거시의 소거 전압, 또는 판독시의 판독 전압을 생성하여, 메모리 बैं크(18\_0~18\_n), 및 ROM बैं크(20)에 공급한다.

본체 리드용 센스 앰프(17A)는, 본체 메모리 셀 어레이(18\_0~18M\_n)에 기억된 데이터를 판독한다. 본체 베리파이용 센스 앰프 및 비교 회로(17B) 내의 센스 앰프는, 베리파이를 위해 본체 메모리 셀 어레이(18\_0~18M\_n)에 기억된 데이터를 판독하고, 본체 베리파이용 센스 앰프 및 비교 회로(17B) 내의 비교 회로는, 본체 메모리 셀 어레이(18\_0~18M\_n)로부터 판독한 데이터와 기대치를 비교하고, 비교 결과를 제어 회로(14)에 출력한다. ROM용 센스 앰프 및 비교 회로(19) 내의 센스 앰프는, ROM 메모리 셀 어레이(20M\_0~20M\_n)에 기억된 데이터를 판독하고, 센스 앰프 및 비교 회로(19) 내의 비교 회로는, ROM 메모리 셀 어레이(20M\_0~20M\_n)로부터 판독한 데이터와 기대치를 비교하고, 비교 결과를 제어 회로(14)에 출력한다. 또한, 래치 회로(21\_0~21\_m)는, ROM 메모리 셀 어레이(20M\_0~20M\_n)로부터 판독한 데이터를 기억하고, 제어 회로(14)에 출력한다.

본체 메모리 셀 어레이(18M\_0, ..., 18M\_n)에는, 디코더(18D\_0, ..., 18D\_n), 및 बैं크 스위치(18B\_0, ..., 18B\_n)가 각각 접속되어 있다. 본체 메모리 셀 어레이(18M\_0~18M\_n)는, 행렬 형상으로 배열된 복수의 NOR형 메모리 셀로 구성되어 있다. NOR형 메모리 셀의 각각은, 제어 게이트와 부유 게이트를 갖는 불휘발성의 메모리 셀로 이루어지고, 기입 및 소거(재기입) 가능하다. 디코더(18D\_0~18D\_n)는, 어드레스 버퍼 및 카운터(15)로부터 출력되는 어드레스를 디코드하고, 상기 어드레스에 의해 지정되는 메모리 셀을 본체 메모리 셀 어레이(18M\_0~18M\_n)로부터 선택한다. बैं크 스위치(18B\_0~18B\_n)는, 전원 회로(16)로부터 공급되는 기입 전압 및 소거 전압, 또는 판독 전압을 본체 메모리 셀 어레이(18M\_n)에 공급할지의 여부의 스위칭을 행한다. बैं크 스위치(18B\_0~18B\_n)는, 또한 어드레스 버퍼 및 카운터(15)로부터 출력되는 기입 및 소거용 어드레스, 또는 판독용 어드레스를 디코더(18D\_0~18D\_n)에 공급할지의 여부의 스위칭을 행한다. 또한, बैं크 스위치(18B\_0~18B\_n)는, 본체 메모리 셀 어레이 내의 비트선에 접속된 데이터선과, 본체 리드용 센스 앰프(17A), 또는 본체 베리파이용 센스 앰프 및 비교 회로(17B)를 접속할지의 여부의 스위칭을 행한다.

ROM 메모리 셀 어레이(20M\_0(X-Y-D), ..., 20M\_n(X-Y-D))에는, ROM 디코더(20D\_0, ..., 20D\_n)가 각각 접속되어 있고, 이들 디코더에는, ROM बैं크 스위치(20B)가 접속되어 있다. ROM 메모리 셀 어레이(20M\_0(X-Y-D)~20M\_n(X-Y-D))는, 행렬 형상으로 배열된 복수의 NOR형 메모리 셀로 구성되어 있다. NOR형 메모리 셀의 각각은, 제어 게이트와 부유 게이트를 갖는 불휘발성의 메모리 셀로 이루어지고, 기입 및 소거(재기입) 가능하다. ROM 메모리 셀 어레이(20M\_0(X-Y-D)~20M\_n(X-Y-D))에는, 전원 투입시 등에 초기 동작 및 기능을 설정하기 위해 필요한 설정 정보, 예를 들면 불량 메모리 셀을 용장 메모리 셀로 치환하기 위한 리턴던시 정보나 데이터를 보호하기 위한 프로텍트 정보 등이 기억된다. 또한, X는 워드선의 개수, Y는 비트선의 개수, D는 데이터선의 개수를 나타내고 있다.

ROM 디코더(20D\_0~20D\_n)는, 어드레스 버퍼 및 카운터(15)로부터 출력되는 어드레스를 디코드하고, 상기 어드레스에 의해 지정되는 메모리 셀을 ROM 메모리 셀 어레이(20M\_0(X-Y-D)~20M\_n(X-Y-D))로부터 선택한다. ROM 디코더(20D\_0)~ROM 디코더(20D\_n)는, 또한 전원 투입 시에 출력되는 소정 신호를 디코드하고, 상기 소정 신호에 의해 지정되는 메모리 셀을 ROM 메모리 셀 어레이(20M\_0(X-Y-D)~20M\_n(X-Y-D))로부터 선택한다. बैं크 스위치(20B)는, 전원 회로(16)로부터 공급되는 기입 전압 및 소거 전압, 또는 판독 전압을 ROM 메모리 셀 어레이(20M\_0(X-Y-D)~20M\_n(X-Y-D))에 공급할지의 여부의 스위칭을 행한다. बैं크 스위치(20B)는, 또한 어드레스 버퍼 및 카운터(15)로부터 출력되는 기입 및 소거용 어드레스, 또는 판독용 어드레스를 ROM 디코더(20D\_0~20D\_n)에 공급할지의 여부의 스위칭을 행한다. 또한, बैं크 스위치(20B)는, ROM 메모리 셀 어레이 내의 비트선에 접속된 데이터선과, ROM용 센스 앰프 및 비교 회로(19)를 접속할지의 여부의 스위칭을 행한다.

도 2는, 제1 실시예의 NOR형 플래시 메모리에서의 ROM 메모리 셀 어레이의 구성을 도시하는 회로도이다. 여기에서는, NOR형 플래시 메모리가 4개의 ROM 메모리 셀 어레이를 갖는 경우를 도시한다.

ROM 메모리 셀 어레이(20M\_0, ..., 20M\_3)의 각각은, 도 2에 도시한 바와 같이, 행렬 형상으로 배열된 320비트 (=X×Y×D=5로우×8칼럼×8데이터)의 NOR형의 메모리 셀 MC로 구성되어 있다. 메모리 셀 MC의 각각은, 제어 게이트와 부유 게이트를 갖는 불휘발성의 메모리 셀로 이루어지고, 기입 및 소거(재기입) 가능하다.

열 방향으로 배열된 메모리 셀 MC의 드레인에는, 비트선 BL<0>~BL<7>이 각각 접속되고, 이들 비트선은 선택 트랜지스터 TH<0>~TH<7>, 및 TS<0>을 개재하여 센스 앰프(19)에 접속되어 있다. 열 방향으로 배열된 메모리 셀 MC의 소스에는, 소스선 SL<0>이 접속되어 있다. 또한, 행 방향으로 배열된 메모리 셀 MC의 제어 게이트에는, 워드선 WL0<0>~WL0<4>가 각각 접속되어 있다. 또한, 본체 메모리 셀 어레이(18M\_0~18M\_n)도 도 2에 도시한 바와 마찬가지로, 행렬 형상으로 배열된 NOR형의 메모리 셀로 이루어진다.

다음으로, 제1 실시예의 NOR형 플래시 메모리에서의 ROM 메모리 셀 어레이로부터의 판독 동작에 대해 설명한다. 도 3은, NOR형 플래시 메모리에서의 ROM 메모리 셀 어레이(20M\_0, ..., 20M\_3)로부터의 판독 동작을 도시하는 플로우차트이다.

전원이 투입되면, 파워 온 리셋 신호를 트리거로 하여, 전원 회로(16)는, ROM 메모리 셀 어레이(20M\_n)로부터의 판독시에 사용하는 판독 전압(워드선 전압)을 생성한다. 워드선 전압이 안정되면, 전원 회로(16)는, 리드 허가 신호를 제어 회로(14)에 보낸다.

제어 회로(14)는, 어드레스 버퍼 및 카운터(15)를 리셋하고, ROM 메모리 셀 어레이(20M\_0)를 선택한다. 여기에서, ROM 메모리 셀 어레이(20M\_0, ..., 20M\_3)의 각각은, 워드선(로우)이 X(5)개, 비트선(칼럼)이 Y(8)개, 데이터선이 D(8)개(여기에서는 8비트)인 것으로 한다. 로우 어드레스, 칼럼 어드레스 모두 초기 어드레스(0)로 한다(스텝 S1).

계속해서, 선두 어드레스로부터 D개의 비트 정보를 판독한다. 그리고, 판독한 비트 정보를, 내부에서 설정된 판독 시간을 거쳐, 래치 회로(21\_0~21\_m)가 포함하는 X(5)×Y(8)에 대응한 레지스터에 래치한다(스텝 S2).

그 후, 칼럼 어드레스가 "7"인지의 여부를 판정한다(스텝 S3). 칼럼 어드레스가 "7"이 아닐 때에는, 칼럼 어드레스를 인크리먼트하고(스텝 S4), 스텝 S2로 되돌아가, 다시, 리드와 래치 동작을 행한다. 그리고, 칼럼 어드레스가 "7"이 될 때까지, 칼럼 어드레스의 인크리먼트와, 리드 및 래치 동작을 반복한다.

다음으로, 칼럼 어드레스가 "7"이 되었을 때, 로우 어드레스가 "4"인지의 여부를 판정한다(스텝 S5). 로우 어드레스가 "4"가 아닐 때에는, 로우 어드레스를 인크리먼트하고(스텝 S6), 또한 칼럼 어드레스를 초기 어드레스(0)로 하고(스텝 S7), 스텝 S2로 되돌아가, 다시, 리드와 래치 동작을 행한다. 그리고, 로우 어드레스가 "4"가 될 때까지, 로우 어드레스의 인크리먼트, 및 칼럼 어드레스의 초기화와, 리드 및 래치 동작을 반복한다.

다음으로, 로우 어드레스가 "4"가 되었을 때, ROM 메모리 셀 어레이가 "3"인지의 여부를 판정한다(스텝 S8). ROM 메모리 셀 어레이가 "3"이 아닐 때에는, ROM 메모리 셀 어레이를 인크리먼트하고(스텝 S9), 또한 칼럼 어드레스와 로우 어드레스를 초기 어드레스(0)로 하고(스텝 S10, S11), 스텝 S2로 되돌아가, 다시, 리드와 래치 동작을 행한다. 그리고, ROM 메모리 셀 어레이가 3이 되었을 때, ROM 메모리 셀 어레이로부터의 판독 동작을 종료한다.

즉, 우선, 로우 칼럼 어드레스 및 ROM 메모리 셀 어레이를 초기 어드레스로 설정하여, 리드 및 래치 동작을 행한다. 그 후, 로우 칼럼 어드레스를 1개 진행시키고, 다시, 리드 및 래치 동작을 행한다. 이 동작을 최종의 로우 칼럼 어드레스까지 반복하고, 그것이 종료하면, ROM 메모리 셀 어레이를 1개 진행시킨다. 이 동작을 최종의 ROM 메모리 셀 어레이인 ROM 메모리 셀 어레이(20M\_3)까지 계속한다. ROM 메모리 셀 어레이로부터의 리드 동작이 완료하면, 제어 회로(14)는, 리드 종료 신호를 전원 회로(16)에 보낸다. 전원 회로(16)는 스탠바이 상태로 들어가고, 그 이후, NOR형 플래시 메모리는 유저로부터의 명령을 따른다.

다음으로, 제1 실시예의 NOR형 플래시 메모리에서의 ROM 메모리 셀 어레이에의 기입 동작에 대해 설명한다.

불량의 메모리 셀을 용장 메모리 셀로 치환하였을 때에 기억하는 리던던시 정보를 ROM 메모리 셀 어레이에 기입하는 경우를 예로 설명한다. 제어 신호에 의해, 강제적으로 리던던시 정보를 기억하는 ROM 메모리 셀 어레이를 선택한다. 여기에서는, ROM용 센스 앰프 및 비교 회로(19) 내의 센스 앰프가 한 번에 8비트의 데이터를 주고 받는 것으로 한다. 이에 의해,

1개의 어드레스로 8비트 단위의 기입이 실행된다. 기입 데이터는, 어드레스에 의해 제어되고, 불량 메모리 셀의 어드레스(불량 어드레스)를 패드(11) 내의 어드레스 입력용의 패드로부터 입력하고, 불량 어드레스를 나타내는 데이터를 선택한 ROM 메모리 셀 어레이에 기입한다.

상세히 기술하면, ROM 메모리 셀 어레이에의 기입은, 본체 메모리 셀 어레이에 대한 기입 커맨드와 테스트 신호에 의해 제어 회로(14)에 인식시킨다. 기입 커맨드가 성립하면, 제어 회로(14)는, 전원 회로(16)에 기입 전압의 설정을 명령한다. 그리고, 기입 전압이 안정될 때까지 대기하고, 그 후, 기입 펄스를 발생시켜, 기입을 행한다.

계속해서, 기입 베리파이의 전압 설정을 행하고, 기입 베리파이 전압이 안정될 때까지 대기한다. 베리파이 전압이 안정된 후, ROM 메모리 셀 어레이로부터 센스 앰프(19)에 의해 기입한 데이터를 판독하고, 판독한 데이터와 기대치를 비교한다. 데이터의 비교 결과, 즉 베리파이 결과가 NG이면, 기입 전압 설정 후에, NG로 된 메모리 셀에 다시 기입 펄스를 발생시켜, 기입을 행하고, 그 후, 기입 베리파이를 행한다. 이와 같이, 데이터의 비교 결과가 OK로 될 때까지, 기입과 기입 베리파이를 반복한다. 데이터의 비교 결과가 OK이면, 판독의 전압 설정 후에 동작을 종료한다.

다음으로, 제1 실시예의 NOR형 플래시 메모리에서의 ROM 메모리 셀 어레이에의 소거에 대해 설명한다.

각 ROM 메모리 셀 어레이 단위에서의 소거가 가능하고, 소거는 본체 메모리 셀 어레이에 대한 소거와 마찬가지로,

- (1) 프리프로그램(PreProgram)
- (2) 소거(Erase)
- (3) 약한 기입(Weak Program)

의 3단계로 이루어진다. 여기에서는, 1개의 ROM 메모리 셀 어레이에 대한 소거 동작을 설명한다.

ROM 메모리 셀 어레이 내의 모든 메모리 셀에 기입을 행하는 동작이 프리프로그램이며, 아래와 같이 행해진다. 어드레스 버퍼 및 카운터(15)를 리셋하고, 로우 칼럼 어드레스를 선두 번지로 설정한 후, 기입 베리파이를 실시한다. 베리파이 결과가 NG이면, 기입을 실행하고, 다시, 기입 베리파이를 실시한다. 기입 베리파이가 OK로 될 때까지, 기입과 기입 베리파이를 반복하고, OK로 되면, 로우 칼럼 어드레스를 1개 진행시키고, 마찬가지로 기입 베리파이와 기입을 반복한다. 이 동작을 최종 번지까지 반복함으로써, ROM 메모리 셀 어레이 내의 모든 메모리 셀에 기입을 행한다.

다음으로, 소거에 들어간다. 어드레스 버퍼 및 카운터(15)를 리셋하고, 로우 칼럼 어드레스를 선두 번지로 설정한 후, 소거 베리파이를 행한다. 프리프로그램 직후이기 때문에, 베리파이 결과는 NG로 되어, 소거에 들어간다. 그리고, 소거 전압을 ROM 메모리 셀 어레이 내의 모든 메모리 셀에 부여한다. 소거 베리파이가 OK로 될 때까지, 소거와 소거 베리파이를 반복하고, OK로 되면, 로우 칼럼 어드레스를 1개 진행시킨다. 이를 최종의 로우 칼럼 어드레스까지 반복하여, ROM 메모리 셀 어레이 내의 모든 메모리 셀을 소거한다.

그 후, 약한 기입에 들어간다. 어드레스 버퍼 및 카운터(15)를 리셋하고, 로우 칼럼 어드레스를 선두 번지로 설정한 후, 과소거 베리파이(Over Erase Verify)를 행한다. 과소거된 메모리 셀(과소거 셀)이 존재하는 경우, 과소거 베리파이가 NG로 되어, 그 메모리 셀에 약한 기입을 행한다. 이에 의해, 과소거 셀의 임계값을 과소거 베리파이 전압 이상까지 높인다. 그리고, 과소거 베리파이가 OK로 될 때까지, 약한 기입과 과소거 베리파이를 반복한다. 과소거 베리파이가 OK로 되면, 어드레스를 1개 진행시킨다. 이를 최종의 어드레스까지 반복하여, ROM 메모리 셀 어레이 내의 모든 메모리 셀이 과소거 베리파이 전압 이상의 임계값으로 되도록 설정한다.

약한 기입을 실시한 경우에는, 다시, 소거 베리파이를 행하고, 소거 베리파이 결과가 OK이면 소거 동작을 종료한다. 소거 베리파이 결과가 NG이면, 소거 베리파이 결과가 OK로 될 때까지, 다시, 소거와 약한 기입을 실행한다.

상술한 바와 같이, ROM 메모리 셀 어레이에 대한 판독, 기입, 및 소거의 동작에 관해서는, 본체 메모리 셀 어레이와 마찬가지로의 동작을 행할 수 있다. 또한, ROM 메모리 셀 어레이를 행렬 형상으로 배열해서 어레이화함으로써, 디코더나 센스 앰프 및 그 드라이버 회로를 삭감할 수가 있어, 이들 디코더, 센스 앰프 및 그 드라이버 회로를 형성하기 위한 면적을 축소할 수 있다. 다시 말하면, 본체 메모리 셀 어레이의 메모리 용량의 증대에 따라 ROM 메모리 셀 어레이의 메모리 용량이 커져도, 이에 수반하여 증대하는 ROM 메모리 셀 어레이의 디코더 및 센스 앰프를 형성하기 위한 면적의 증가를 억제할 수 있다.

이하에, 제1 실시예에 따르면, 종래에 비해 면적을 축소할 수 있는 것을 설명한다. 도 4는, NOR형 플래시 메모리에서의 ROM 메모리 셀 어레이, 디코더, 센스 앰프, 래치 회로, 및뱅크 스위치의 구성예를 도시하는 블록도이다. 도 4에 도시하는 블록도에서는,  $X \times Y \times n$ 개의 ROM 메모리 셀 어레이( $40M_0(D) \sim 40M_{X \times Y \times n}(D)$ )에 대하여,  $X \times Y \times n$ 개의 디코더( $40D_0 \sim 40D_{X \times Y \times n}$ ),  $X \times Y \times n$ 개의 센스 앰프( $40S_0 \sim 40S_{X \times Y \times n}$ )가 설치되어 있다. 즉, 1개의 ROM 메모리 셀 어레이에 대하여, 1개의 디코더, 1개의 센스 앰프가 설치되어 있다. 또한, ROM 메모리 셀 어레이( $40M_0(D) \sim 40M_{X \times Y \times n}(D)$ )의 각각은, D개의 메모리 셀로 이루어진다.

이에 대하여, 도 1에 도시한 제1 실시예에서는, n개의 ROM 메모리 어레이( $20M_0 \sim 20M_n$ )에 대하여, n개의 디코더, 1개의 센스 앰프가 설치되어 있다. ROM 메모리 어레이( $20M_0 \sim 20M_n$ )의 각각은,  $X \times Y \times D$ 개의 메모리 셀로 이루어진다.

따라서, 제1 실시예에서는, 도 4의 블록도를 이용한 경우와 동수의 메모리 셀이면서, 도 4의 블록도를 이용한 경우에 비해 디코더와 센스 앰프의 수를  $1/(X \times Y)$ 로 줄일 수 있다. 예를 들면, 워드선이 5개, 비트선이 8개, 데이터선이 8개로 이루어지는 ROM 메모리 셀 어레이를 n개 갖는 경우, 도 4의 블록도를 이용한 경우에는  $5 \times 8 \times n$ 개의 디코더 및 센스 앰프가 설치되지만, 제1 실시예에서는 n개의 디코더와 1개의 센스 앰프를 설치하기만 하면 된다. 따라서, 제1 실시예에서는, 도 4에 도시한 구성예에 비해 디코더를 1/40로, 센스 앰프를 1/40n로 삭감할 수 있다.

또한, 제1 실시예의 NOR형 플래시 메모리에서는, 자동 소거 동작시에서, 본체 메모리 셀 어레이에 불량 메모리 셀이 발생하였을 때에, 자동적으로 리던던시 치환을 행하는 경우에도, 본체 메모리 셀 어레이에 대한 듀얼 리드 동작에 제약을 부여하지 않고, 치환 동작을 행하는 것이 가능하다. 듀얼 리드 동작이란, 임의의 뱅크를 기입 또는 소거하고 있을 때에, 다른 뱅크로부터의 판독이 가능하게 된다고 하는 기능이다.

통상적으로, 뱅크는 2개 이상의 복수개로 이루어지는 경우가 많고, 예를 들면 ROM 메모리 셀 어레이와 본체 메모리 셀 어레이가 뱅크(뱅크 스위치)를 공용하고 있는 경우에는, ROM 메모리 셀 어레이에의 기입을 하고 있을 때에는 뱅크를 공용하는 본체 메모리 셀 어레이로부터의 판독을 할 수 없게 되기 때문에, 듀얼 리드 동작을 일시적으로 할 수 없게 된다. 그러나, 제1 실시예에서는, ROM 메모리 셀 어레이의 뱅크와 본체 메모리 셀 어레이의 뱅크가 독립적으로 형성되어 있기 때문에, 자동 리던던시 치환 동작과 이중 리드 동작의 양방을 실현하는 것이 가능하다. [제2 실시예]

다음으로, 본 발명의 제2 실시예의 NOR형 플래시 메모리에 대해 설명한다. 상기 제1 실시예에서의 구성과 마찬가지로의 부분에는 동일한 부호를 붙여 그 설명은 생략한다.

도 5는, 제2 실시예의 NOR형 플래시 메모리의 구성을 도시하는 블록도이다.

이 제2 실시예에서는, 본체 메모리 셀 어레이의 일부와 ROM 메모리 셀 어레이가 동일한 뱅크로 구성되어 있다. 즉, 본체 메모리 셀 어레이의 일부와 ROM 메모리 셀 어레이에서 뱅크 스위치를 공용하고, 또한 센스 앰프도 공용한다.

상세히 기술하면, 도 5에 도시한 바와 같이 공용 뱅크(30)는, 본체 메모리 셀 어레이( $18M_n$ ), 디코더( $18D_n$ ), ROM 메모리 셀 어레이( $20M_0, \dots, 20M_n$ ), ROM 디코더( $20D_0, \dots, 20D_n$ ), 공용 뱅크 스위치(30B)를 포함한다. 본체 메모리 셀 어레이( $18M_n$ )에는 디코더( $18D_n$ )가 접속되고, ROM 메모리 셀 어레이( $20M_0(X-Y-D) \sim 20M_n(X-Y-D)$ )에는, ROM 디코더( $20D_0, \dots, 20D_n$ )가 각각 접속되어 있다. 또한, 디코더( $18D_n$ ), 및 ROM 디코더( $20D_0, \dots, 20D_n$ )에는, 공용 뱅크 스위치(30B)가 접속되어 있다. 또한, 뱅크 스위치( $18B_0, \dots, 18B_{n-1}$ )와 공용 뱅크 스위치(30B)에는, 리드용 센스 앰프(31A), 베리파이용 센스 앰프 및 비교 회로(31B)가 접속되어 있다. 그 외의 구성은, 상기 제1 실시예의 구성과 마찬가지로이다.

제2 실시예에서는, 뱅크 스위치, 및 센스 앰프의 일부의 회로를, 본체 메모리 셀 어레이의 일부와 ROM 메모리 셀 어레이에서 공용할 수 있기 때문에, 칩 면적을 작게 할 수 있다. 또한, 본체 메모리 셀 어레이의 임의의 일부를 ROM 메모리 셀 어레이로서 이용할 수 있기 때문에, 새로이 ROM 메모리 셀 어레이를 형성할 필요가 없다. 또한, 판독, 기입 및 소거의 동작은, 제1 실시예와 마찬가지로이다.

본 발명의 실시예에 따르면, 초기 동작 및 기능을 설정하기 위한 기억부의 메모리 용량이 증가하여도, 칩 면적의 증대를 억제할 수 있는 반도체 기억 장치를 제공할 수 있다.

또한, 상술한 각 실시예는 각각, 단독으로 실시할 수 있을 뿐만 아니라, 적당히 조합하여 실시하는 것도 가능하다. 또한, 상술한 각 실시예에는 여러 가지 단계의 발명이 포함되어 있고, 각 실시예에서 개시한 복수의 구성 요건의 적절한 조합에 의해, 여러 가지 단계의 발명을 추출하는 것도 가능하다.

당 분야의 업자라면 부가적인 장점 및 변경들을 용이하게 생성할 수 있다. 따라서, 광의의 관점에서의 본 발명은 본 명세서에 예시되고 기술된 상세한 설명 및 대표 실시예들에 한정되는 것은 아니다. 따라서, 첨부된 청구 범위들 및 그 등가물들에 의해 정의된 바와 같은 일반적인 발명적 개념의 정신 또는 범위로 부터 벗어나지 않고 다양한 변경이 가능하다.

### 발명의 효과

본 발명에 따르면, 초기 동작 및 기능을 설정하기 위한 기억부의 메모리 용량이 증가하여도, 칩 면적의 증대를 억제할 수 있는 반도체 기억 장치를 제공할 수 있다.

### 도면의 간단한 설명

도 1은, 본 발명의 제1 실시예의 NOR형 플래시 메모리의 구성을 도시하는 블록도.

도 2은, 제1 실시예의 NOR형 플래시 메모리에서의 ROM 메모리 셀 어레이의 구성을 도시하는 회로도.

도 3은, 제1 실시예의 NOR형 플래시 메모리에서의 ROM 메모리 셀 어레이로부터의 판독 동작을 도시하는 플로우차트.

도 4는, 종래의 NOR형 플래시 메모리에서의 ROM 메모리 셀 어레이, 디코더, 센스 앰프, 래치 회로, 및 बैं크 스위치를 도시하는 블록도.

도 5는, 본 발명의 제2 실시예의 NOR형 플래시 메모리의 구성을 도시하는 블록도.

<도면의 주요 부분에 대한 부호의 설명>

11: 패드

12: 입출력 컨트롤러

13: 커맨드 유저 인터페이스

14: 제어 회로

15: 어드레스 버퍼 & 카운터

16: 전원 회로

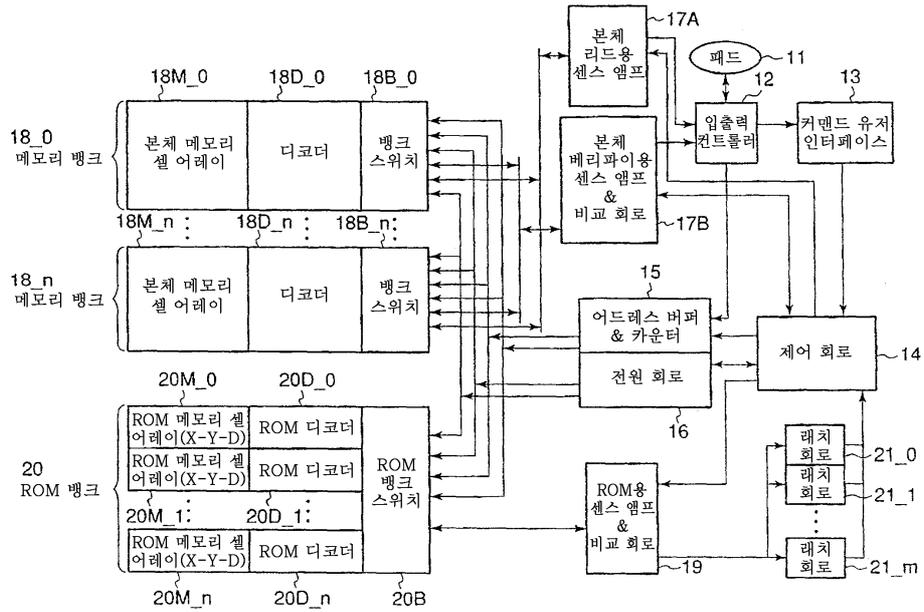
17A: 본체 리드용 센스 앰프

20: ROM बैं크

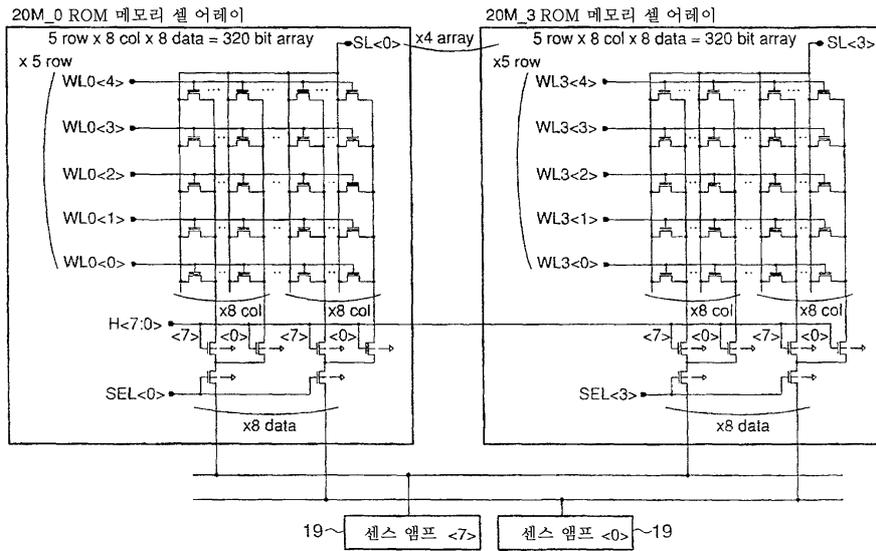
40B: बैं크 스위치

### 도면

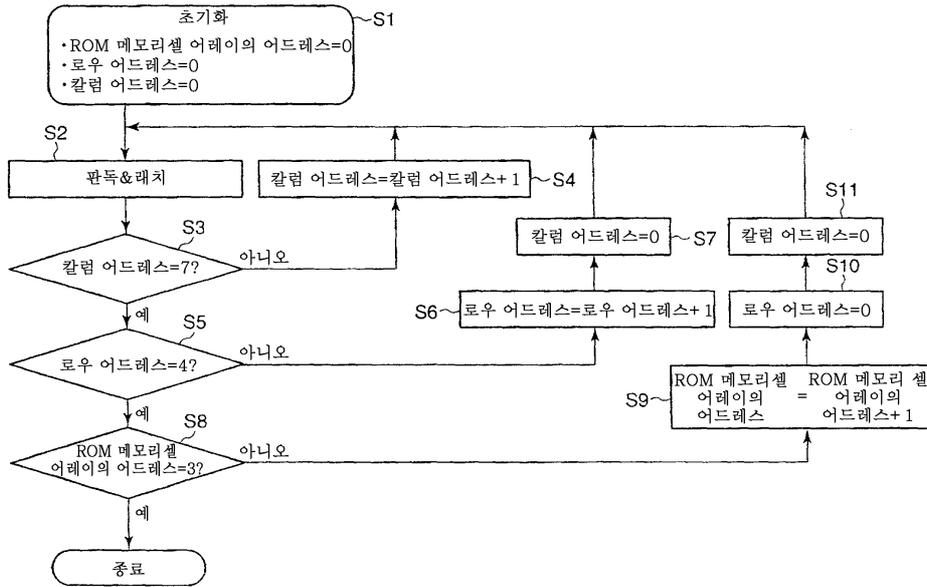
도면1



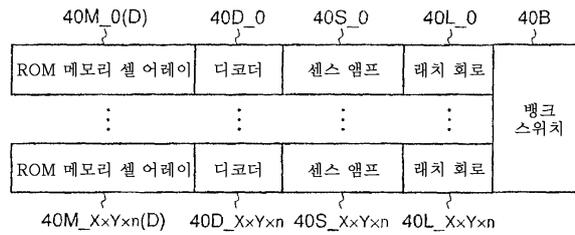
도면2



도면3



도면4



도면5

