

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3643823号  
(P3643823)

(45) 発行日 平成17年4月27日(2005.4.27)

(24) 登録日 平成17年2月4日(2005.2.4)

(51) Int. Cl.<sup>7</sup>

F I

HO 1 L 29/82	HO 1 L 29/82	Z
GO 1 R 33/09	G 1 1 B 5/39	
G 1 1 B 5/39	HO 1 L 43/08	S
HO 1 L 43/08	GO 1 R 33/06	R

請求項の数 5 (全 18 頁)

(21) 出願番号 特願2002-287804 (P2002-287804)  
 (22) 出願日 平成14年9月30日(2002.9.30)  
 (65) 公開番号 特開2004-128085 (P2004-128085A)  
 (43) 公開日 平成16年4月22日(2004.4.22)  
 審査請求日 平成15年9月25日(2003.9.25)

(73) 特許権者 000003078  
 株式会社東芝  
 東京都港区芝浦一丁目1番1号  
 (74) 代理人 100075812  
 弁理士 吉武 賢次  
 (74) 代理人 100088889  
 弁理士 橘谷 英俊  
 (74) 代理人 100082991  
 弁理士 佐藤 泰和  
 (74) 代理人 100096921  
 弁理士 吉元 弘  
 (74) 代理人 100103263  
 弁理士 川崎 康

最終頁に続く

(54) 【発明の名称】 磁気抵抗効果素子

(57) 【特許請求の範囲】

【請求項1】

第1磁性体層と、前記第1磁性体層に積層したスペーサ層と、前記スペーサ層に積層した第2磁性体層と、前記第1磁性体層、前記スペーサ層、および前記第2磁性体層からなる積層構造の少なくとも一方の側部に設けられた絶縁層と、前記絶縁層を介して前記積層構造の側部に設けられたゲート電極とを備え、前記ゲート電極に印加する電圧により、前記第1および第2磁性体層の少なくとも一方の磁性体層の、強磁性状態を有する磁気感应領域のサイズを制御することを特徴とする磁気抵抗効果素子。

【請求項2】

前記磁気感应領域は狭窄されることを特徴とする請求項1記載の磁気抵抗効果素子。

10

【請求項3】

第1磁性体層と、前記第1磁性体層に積層したスペーサ層と、前記スペーサ層に積層した第2磁性体層と、前記第1磁性体層、前記スペーサ層、および前記第2磁性体層からなる積層構造の少なくとも一方の側部に設けられた絶縁層と、前記絶縁層を介して前記積層構造の側部に設けられたゲート電極とを備え、前記ゲート電極に印加する電圧により、前記スペーサ層の導通領域のサイズが変えられ、前記導通領域は狭窄されることを特徴とする磁気抵抗効果素子。

【請求項4】

前記ゲート電極に印加する電圧により磁気感应領域が変えられる前記磁性体層は、III-V族系半導体結晶、II-VI族系半導体結晶、IV族系半導体結晶、カルコパイライト系半

20

導体結晶、および非晶質系半導体のいずれか一つを母体とし、磁性元素として遷移金属元素および希土類元素のうちの少なくとも一つ含んでいることを特徴とする請求項1または2記載の磁気抵抗効果素子。

【請求項5】

前記スペーサ層が、III-V族系半導体結晶、あるいは、II-VI族系半導体結晶、あるいは、IV族系半導体結晶、あるいは、カルコパイライト系半導体結晶、あるいは、非晶質系半導体であることを特徴とする請求項3記載の磁気抵抗効果素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、磁気抵抗効果素子に関する。

【0002】

【従来技術】

今日、磁気記録密度の向上に伴い、ハードディスクドライブの高密度化が要求され、微小ビットを高感度で検出する磁気抵抗効果素子を用いた磁気ヘッドの研究が進められている。微小ビットを高感度で検出するためには、磁気抵抗効果素子の磁気感応領域のサイズを小さくすることが必要となる。

【0003】

従来の磁気抵抗効果素子における磁気感応領域のサイズ制御（例えば、現時点では150nmが限界）は、積層膜厚と加工によって微小ビットに対応した微小素子を形成することにより行われている。しかしながら、形成サイズが加工限界に近づきつつあるため、素子作製が困難になってきている。

【0004】

一方、磁性体と半導体とを組み合わせた磁性半導体を用いた磁性半導体/半導体/磁性半導体の3層構造における磁気抵抗効果素子が提案されている。しかしながら、素子全体での動作のため微小領域での動作ができない（例えば、非特許文献1参照）。

【0005】

さらに、III-V族希薄磁性半導体(In,Mn)Asや(Ga,Mn)Asにおいて、キャリア濃度の制御を外部からFET動作によって行い、磁性半導体の磁化状態を制御した報告がなされている。しかしながら、これらも素子全体の磁化を制御するため微小領域での動作ができない（例えば、非特許文献2参照）。

【0006】

ところで、磁性体層と半導体層を利用した磁気抵抗効果素子が知られている（例えば、特許文献1参照）。この素子も素子全体での磁気抵抗効果を利用した素子であるために、微小領域での動作ができない。また、磁化領域をスペーサ層によって分割した構造が知られている（例えば、特許文献2参照）。この構造では、スペーサ層に対して外部からの刺激により磁化領域間の磁氣的相互作用を変化させて、磁化領域の磁化制御に用いるものであるため、磁気抵抗効果素子としての機能は有してはいない。

【0007】

【非特許文献1】

N. Akiba et al.:Appl. Phys. Lett., 73, 2122 (1998), D. Chiba et al.:Physica E, 10, 278 (2001)

【非特許文献2】

H. Ohno et al.:Nature, 408, 944 (2000), D. Chiba et al.:Extended Abstracts of the 7th symposium on the PASPS, A7, p25 (2001)

【特許文献1】

特許登録第3253696号公報

【特許文献2】

特開平11-330387号公報

【0008】

10

20

30

40

50

**【発明が解決しようとする課題】**

しかしながら、磁気抵抗効果素子の磁気感応領域のサイズを制御することは、ヘッドアプリケーションに限らず微小なビット信号を高感度で検出する上で非常に有効な技術となりうるが、実用化されていないのが現状である。

**【0009】**

本発明では、上記事情を考慮してなされたものであって、微小なビット信号を高感度で検出することのできる磁気抵抗効果素子を提供することを目的とする。

**【0010】****【課題を解決するための手段】**

本発明の一態様による磁気抵抗効果素子は、第1磁性体層と、前記第1磁性体層に積層したスペーサ層と、前記スペーサ層に積層した第2磁性体層と、前記第1磁性体層、前記スペーサ層、および前記第2磁性体層からなる積層構造に隣接する絶縁層と、前記絶縁層に隣接するゲート電極とを備え、前記ゲート電極に印加する電圧により磁気感応領域を制御することを特徴とする。

10

**【0011】**

なお、前記ゲート電極に印加する電圧により、前記第1および第2磁性体層の少なくとも一方の磁性体層の磁気感応領域のサイズが変えられるように構成しても良い。

**【0012】**

なお、前記磁気感応領域は、狭窄されることが好ましい。

**【0013】**

なお、前記ゲート電極に印加する電圧により、前記スペーサ層の導通領域のサイズが変えられるように構成しても良い。

20

**【0014】**

なお、前記導通領域は、狭窄されることが好ましい。

**【0015】**

なお、前記ゲート電極に印加する電圧により磁気感応領域が変えられる前記磁性体層は、III-V族系半導体結晶、II-VI族系半導体結晶、IV族系半導体結晶、カルコパイライト系半導体結晶、および非晶質系半導体結晶のいずれか一つを母体とし、磁性元素として遷移金属元素および希土類元素のうちの少なくとも一つ含んでいるように構成しても良い。

**【0016】**

なお、前記スペーサ層が、III-V族系半導体結晶、あるいは、II-VI族系半導体結晶、あるいは、IV族系半導体結晶、あるいは、カルコパイライト系半導体結晶、あるいは、非晶質系半導体結晶であるように構成しても良い。

30

**【0017】****【発明の実施の形態】**

本発明の実施形態について、図面を参照して詳細に説明する。

**【0018】****(第1実施形態)**

本発明の第1実施形態による磁気抵抗効果素子の構成を図1(a)に示す。この実施形態による磁気抵抗効果素子は、強磁性体からなる磁性体層11と、スペーサ層20と、磁性半導体層12aとが積層されている積層構造体であり、さらに、積層構造体の周囲に絶縁体層30を介してゲート電極31を設けた構成となっている。このようなゲート電極31を有する積層構造体の磁気抵抗効果素子において、ゲート電極31に印加する電圧によって磁性半導体層12aの磁性状態を変化させ、磁気感応領域のサイズを制御する構成となっている。例えば、図1(b)において、ゲート電極31に正の電圧を印加すると、磁性半導体層12a中に含まれる荷電子帯正孔が中央部の領域に集まり、伝導帯電子が端部領域に集まる。すると、荷電子帯正孔が集まる中央部が強磁性状態13aとなり、伝導帯電子が集まる端部領域が常磁性状態13bとなる。したがって、ゲート電極31の電圧を制御することにより、磁性半導体層12aのキャリア濃度が制御可能となり、磁性半導体層12aを強磁性状態13aと常磁性状態13bとに制御することができる。磁性半導体層

40

50

12aの幅は150nm程度であり、従来はこの幅が磁気感应領域となっていた。しかし、本実施形態においては、強磁性状態となる領域13aは磁性半導体層12aの幅の1/3程度、すなわち50nm程度となる。これにより、磁気感应領域のサイズを従来の場合に比べて電界方向に狭く(狭窄)することが容易に可能となり、微小なビット信号を高感度で検出することができる。なお、図1(a)はゲートに電圧を印加しない状態を示し、磁性半導体層12aが強磁性状態13aとなっている。

#### 【0019】

本実施形態に用いられる磁性半導体層12aにおいては、母体となる半導体は、半導体特性の点からは、外部電界により所要濃度のキャリアを生成、消滅できるものであれば良く、また、キャリア濃度によって磁化状態が制御できる磁性半導体であれば良い。

10

#### 【0020】

半導体として代表的なものは、III-V族系半導体、II-VI族系半導体、IV族系半導体、カルコパイライト系半導体および非晶質系半導体であるが、上記磁性半導体特性および磁化状態を満たせば良いのであるから、これらの半導体結晶に限定されない。例えばIII-V族系半導体結晶においては、GaAs、GaN、GaP、GaSb、AlAs、AlN、AlP、AlSb、InAs、InN、InP、InSb、および、これらの混晶等、II-VI族系半導体結晶においては、ZnSe、MgSe、CdSe、BeSe、ZnS、MgS、CdS、BeS、ZnTe、MgTe、CdTe、BeTe、ZnO、MgO、CdO、BeO、および、これらの混晶等、IV族系半導体結晶においては、Si、Ge、C等、および、カルコパイライト系半導体においては、CdGeP<sub>2</sub>、CdSnP<sub>2</sub>、CdSiP<sub>2</sub>、ZnGeP<sub>2</sub>、ZnSnP<sub>2</sub>、ZnSiP<sub>2</sub>、CdGeAs<sub>2</sub>、CdSnAs<sub>2</sub>、CdSiAs<sub>2</sub>、ZnGeAs<sub>2</sub>、ZnSnAs<sub>2</sub>、ZnSiAs<sub>2</sub>、CuAlS<sub>2</sub>、CuGaS<sub>2</sub>、CuInS<sub>2</sub>、AgAlS<sub>2</sub>、AgGaS<sub>2</sub>、AgInS<sub>2</sub>、CuAlSe<sub>2</sub>、CuGaSe<sub>2</sub>、CuInSe<sub>2</sub>、AgAlSe<sub>2</sub>、AgGaSe<sub>2</sub>、AgInSe<sub>2</sub>、CuAlTe<sub>2</sub>、CuGaTe<sub>2</sub>、CuInTe<sub>2</sub>、AgAlTe<sub>2</sub>、AgGaTe<sub>2</sub>、AgInTe<sub>2</sub>、等、また、非晶質系半導体においては、非晶質Si、非晶質Ge、非晶質半導体化合物などを用いることができる。

20

#### 【0021】

なかでも、III-V族系半導体結晶においては、GaAs、InAs、GaP、InP、InSb、GaN、および、これらの混晶、またII-VI族系半導体結晶においては、ZnSe、CdTe、CdS、ZnO、および、これらの混晶、またカルコパイライト系半導体結晶においては、CdGeP<sub>2</sub>、ZnGeP<sub>2</sub>、等が好ましい。さらに、これら族系半導体結晶の他に、VI族系半導体(Se、Te等)、IV-VI族系半導体(PbS、PbSe、PbTe等)有機半導体(C<sub>60</sub>フラーレン、アンドラセン、ポリアセチレン、ポリイン等)等も、上記磁性半導体特性および磁化状態を満たす限りにおいては、当然用いることができる。

30

#### 【0022】

磁性半導体中に含まれる磁性元素として、遷移金属元素、希土類元素があるが、上記磁性半導体特性および磁化状態を満たせば良いのであるから、磁性元素に限定されない。

#### 【0023】

そのような磁性元素として、V、Cr、Mn、Fe、Co、Ni等その他の遷移金属元素、またIIIa族のSc、Y等、および、Ce、Er等のランタノイド等の希土類元素を含んだものが好ましい。

#### 【0024】

さらに、上記磁性元素として、上記遷移金属元素と上記希土類元素の両方を含有するものも好ましいことは当然である。そして、実際には、母体となる半導体結晶の内部での結晶整合性、さらに所望の磁性を得る点をも考慮して、磁性元素を選択する。

40

#### 【0025】

したがって、磁性半導体として混晶化する半導体結晶と磁性元素の具体的な組み合わせは、電界によって生成、消滅できるキャリア濃度や、期待できる磁性の観点から総合的に評価して、適宜選択すれば良い。例えば、GaNとMn、GaAsとMn、GaAsとCr、CdGeP<sub>2</sub>とMn、ZnGeP<sub>2</sub>とMn、SiとCe、SiとEr等の組み合わせがあるが、これらの組み合わせに限定されるものではない。

#### 【0026】

なお本実施形態の場合には、スペーサ層20の材料としては上記半導体結晶でも非磁性の

50

金属でも良く、特に限定されるものではない。さらに、磁性体層 1 1 の材料としては、上記磁性半導体層でも強磁性金属でも良く、さらに上記磁性元素を含有する合金あるいは化合物であっても良く、特に限定されるものではないが、磁性体層 1 1、1 2 とスペーサ層 2 0 の境界として界面形状を壊さないものを用いれば良い。

#### 【0027】

本実施形態による、ゲート電極を用いた磁気抵抗効果素子の磁気感应領域サイズの制御においては、磁性半導体層 1 2 の磁性がキャリア濃度と磁性元素の濃度に依るものなので、半導体結晶と磁性元素の組み合わせに関して特に限定するものではないが、前述の観点から総合的に評価して、適宜選択できるものである。特に、キャリア濃度の制御が広範囲で制御できる GaN (III-V 族系半導体結晶) と、磁性半導体として室温を含む広い温度範囲で強磁性を呈することができる Mn 元素との組み合わせが好ましい。さらに、スペーサ層 2 0 と磁性体層 1 1 の材料としては、前述の観点から評価して、適宜選択できるものであるが、特にスペーサ層には界面形状が制御し易い GaN (III-V 族系半導体結晶) を用い、低抵抗にするために Mg をドーピングした GaN:Mg が好ましい。また磁性体層 1 1 には磁性体層 1 2 と同様に GaN:Mn との組み合わせが好ましい。

10

#### 【0028】

しかし、前述したように、本実施形態による磁気抵抗効果素子の積層構造体は、GaN:Mn/GaN:Mg/GaN:Mn の組み合わせに限定されるものではなく、上記多種多様な状態に応じ、適宜、選択・設定されるべきものである。

#### 【0029】

以上説明したように、本実施形態によれば、磁気感应領域のサイズ制御を容易に行うことが可能となり、微小ビット信号を高感度で検出することができる。

20

#### 【0030】

##### (第1変形例)

なお、第1実施形態においては、スペーサ層 2 0 を挟んで磁性体層 1 1 と磁性半導体層 1 2 a が積層された積層構造体の周囲に絶縁体層 3 0 を介してゲート電極 3 1 が形成された構造となっていた。しかし、図 2 (a) に示すように、スペーサ層 2 0 を挟んで磁性体層 1 1 と磁性半導体層 1 2 a が積層された積層構造体の片側にのみゲート絶縁体層 3 0 を介してゲート電極 3 1 を設けた構成であっても良い。この場合、磁性半導体層 1 2 a は、電圧が印加されないときは、常磁性状態である。図 2 (a) は、ゲート電極 3 1 に電圧を印加しない状態を示し、磁性半導体層 1 2 a が常磁性状態 1 3 b であることを表している。この第1変形例の磁気抵抗効果素子において、図 2 (b) に示すようにゲート電極に負の電圧を印加することによって、磁性半導体層 1 2 中に含まれる伝導帯電子をゲート電極 3 1 から遠くの領域に追いやるとともに荷電子帯正孔をゲート電極 3 1 に近づけて伝導帯電子および荷電子帯正孔の濃度を変化させる。これにより、磁性半導体層 1 2 の常磁性状態の領域 1 3 b を縮小し、強磁性状態の領域 1 3 a をゲート電極 3 1 の近くに形成する。すなわち、強磁性状態 1 3 a の領域のサイズを制御することが可能となり、微小ビット信号を高感度で検出することができる。

30

#### 【0031】

##### (第2変形例)

また、図 3 (a) に示すように、スペーサ層 2 0 を挟んで強磁性体からなる磁性体層 1 1 と磁性半導体層 1 2 b が積層された積層構造体の片側にのみゲート絶縁体層 3 0 を介してゲート電極 3 1 を設けた構成であっても良い。この場合、磁性半導体層 1 2 b は、電圧が印加されないときは、強磁性状態である。図 3 (a) は、ゲート電極 3 1 に電圧を印加しない状態を示し、磁性半導体層 1 2 b が強磁性状態 1 3 a であることを表している。この第2変形例の磁気抵抗効果素子において、図 3 (b) に示すように正の電圧を印加することによって、磁性半導体層 1 2 b 中に含まれる荷電子帯正孔をゲート電極 3 1 から遠くに追いやるとともに伝導帯電子をゲート電極 3 1 に近づけて伝導帯電子や荷電子帯正孔の濃度を変化させる。これにより、磁性半導体層 1 2 b の強磁性状態 1 3 a の領域を縮小し、常磁性状態 1 3 b の領域を形成する。すなわち、強磁性状態 1 3 a の領域サイズを制御す

40

50

ることが可能となり、微小ビット信号を高感度で検出することができる。

#### 【0032】

(第2実施形態)

次に、本発明の第2実施形態による磁気抵抗効果素子を図4(a)、(b)を参照して説明する。本実施形態による磁気抵抗効果素子の構成を図4(a)に示す。この実施形態による磁気抵抗効果素子は、強磁性体からなる磁性体層11と、半導体からなるスペーサ層20aと、強磁性体からなる磁性層12とが積層されている積層構造体であり、さらに、積層構造体の周囲に絶縁体層30を介してゲート電極31を設けた構成となっている。このようなゲート電極31を有する積層構造体の磁気抵抗効果素子において、ゲート電極31に電圧を印加することによって、スペーサ層20a中に含まれる伝導帯電子や荷電子帯正孔の濃度を变化させ、電流導通領域のサイズを制御する構成となっている。例えば、図4(b)に示すように、ゲート電極31に電圧を印加することによって、スペーサ層20a中に含まれる伝導帯電子や荷電子帯正孔の濃度を变化させ、これにより、電流導通領域21aを電界方向に縮小し、スペーサ層20a中の電気抵抗を变化させる。なお、図4(b)において、符号21bは電流非導通領域を示している。

10

#### 【0033】

すなわち、本実施形態による磁気抵抗効果素子においては、ゲート電極31に電圧を印加することによって、伝導状態が変化する。したがって、ゲート電極31の電圧を制御することにより、導通領域のサイズを制御することができることになる。磁気抵抗効果素子の導通領域のサイズが電界方向に縮小することにより、電流が電気導通領域以外に流れないため、実効的に磁気感応領域のサイズも縮小する、すなわち狭窄されることになる。

20

#### 【0034】

本実施形態のスペーサ層20aにおいて、母体となる半導体は、半導体特性の点からは、外部電界により所要濃度のキャリアを生成、消滅できるものであれば良い。

#### 【0035】

半導体として代表的なものは、III-V族系半導体、II-VI族系半導体、IV族系半導体、カルコパイライト系半導体および非晶質系半導体であるが、外部電界により所要濃度のキャリアを生成、消滅できるものであれば良いのであるから、これらの半導体結晶に限定されない。例えばIII-V族系半導体結晶においては、GaAs、GaN、GaP、GaSb、AlAs、AlN、AlP、AlSb、InAs、InN、InP、InSb、および、これらの混晶等、II-VI族系半導体結晶においては、ZnSe、MgSe、CdSe、BeSe、ZnS、MgS、CdS、BeS、ZnTe、MgTe、CdTe、BeTe、ZnO、MgO、CdO、BeO、および、これらの混晶等、IV族系半導体結晶においては、Si、Ge、C等、および、カルコパイライト系半導体においては、CdGeP<sub>2</sub>、CdSnP<sub>2</sub>、CdSiP<sub>2</sub>、ZnGeP<sub>2</sub>、ZnSnP<sub>2</sub>、ZnSiP<sub>2</sub>等、また、非晶質系半導体においては、非晶質Si、非晶質Ge、非晶質半導体化合物などを用いることができる。

30

#### 【0036】

なかでも、III-V族系半導体結晶においては、GaAs、InAs、GaP、InP、InSb、GaN、および、これらの混晶、またII-VI族系半導体結晶においては、ZnSe、CdTe、CdS、ZnO、および、これらの混晶が好ましい。さらに、これら族系半導体結晶のほか、VI族系半導体(Se、Te等)、IV-VI族系半導体(PbS、PbSe、PbTe等)有機半導体(C<sub>60</sub>フラーレン、アンドラセン、ポリアセチレン、ポリイン等)等も、上記半導体特性を満たす限りにおいては、当然用いることができる。

40

#### 【0037】

なお本実施形態の場合には、磁性体層11、12の材料としては上記磁性半導体結晶でも強磁性金属でも良く、第1実施形態で説明した磁性元素を含有する合金あるいは化合物であっても良く、特に限定されるものではないが、磁性体層11、12とスペーサ層20aの境界として界面形状を壊さないものを用いればよい。

#### 【0038】

本実施形態による磁気抵抗効果素子の磁気感応領域サイズの制御においては、スペーサ層20aのキャリア濃度に依るものなので、半導体結晶を特に限定するものではないが、前

50

述の観点から総合的に評価して、適宜選択できる。特に、キャリア濃度の制御が広範囲で制御できるGaN(III-V族系半導体結晶)を用い、低抵抗にするためにMgをドーブしたGaN:Mgが好ましい。さらに、磁性体層11と磁性体層12の材料としては、前述の観点から評価して、適宜選択できるものであるが、磁性体層11、12には、GaN(III-V族系半導体結晶)と磁性元素Mnとの組み合わせによるのが好ましい。

#### 【0039】

しかし、前述したように、本実施形態による磁気抵抗効果素子の積層構造体は、GaN:Mn/GaN:Mg/GaN:Mnの組み合わせに限定されるものではなく、上記多種多様な様態に応じ、適宜、選択・設定されるべきものである。

#### 【0040】

以上説明したように、本実施形態によれば、スペーサ層20a中の電気導通領域のサイズの制御、すなわち磁気感應領域のサイズの制御を容易に行うことが可能となり、微小ビット信号を高感度で検出することができる。

#### (第1変形例)

なお、第2実施形態では、半導体からなるスペーサ層20aを挟んで磁性体層11と磁性体層12が積層された積層構造体の両側に絶縁体層30を介してゲート電極31が形成された構造となっていた。しかし、図5(a)に示すように、磁性体層11と磁性体層12間に高抵抗の半導体からなるスペーサ層20bが設けられた積層構造体の片側にのみゲート絶縁体層30を介してゲート電極31を設けた構成であっても良い。図5(a)は、ゲート電極31に電圧を印加しない状態を示し、このとき、スペーサ層20bが高抵抗状態となっており、スペーサ層20bの全領域で電流が流れない状態にあることを示している。この第1変形例の磁気抵抗効果素子において、図5(b)に示すようにゲート電極に電圧を印加することによって、スペーサ層20b中の伝導帯電子や荷電子帯正孔の濃度を変化させ、スペーサ層20bの電気導通領域21aを新たに形成し、これにより電気導通領域21aのサイズを制御することが可能となる。この結果、磁気感應領域も小さくすることが可能となり、微小ビット信号を高感度で検出することができる。

#### 【0041】

#### (第2変形例)

また、図6(a)に示すように、半導体からなるスペーサ層20cを挟んで磁性体層11と磁性体層12が積層された積層構造体の片側にのみゲート絶縁体層30を介してゲート電極31を設けた構成であっても良い。この場合、スペーサ層20cは、電圧が印加されないときは低抵抗となる半導体から構成されている。図6(a)は、ゲート電極31に電圧を印加状態で、スペーサ層20cの全領域が電気導通領域となる状態を示している。図6(b)に示すように、電圧を印加することによって、スペーサ層20c中の伝導帯電子や荷電子帯正孔の濃度を変化させ、スペーサ層20cの電気導通領域21aを縮小し、電気導通領域21aのサイズを制御することが可能となる。この結果、磁気感應領域も小さくすることが可能となり、微小ビット信号を高感度で検出することができる。

#### 【0042】

以上第1および第2の実施形態で説明したように、磁気抵抗効果素子のゲート電極を用いた磁気感應領域のサイズ制御は、加工によるサイズ制御を必要としないので、従来の磁気抵抗効果素子に比べて磁気感應領域のサイズを小さくすることができる。

#### 【0043】

次に、本発明による磁気抵抗効果素子の実施例を図7乃至図17を参照して説明する。なお、下記の実施例においては、磁気抵抗効果素子の製造は図7乃至図9の製造工程断面図にしたがって行われる。

#### 【0044】

#### (実施例1)

まず、アンモニアを窒素源として用いた分子線エピタキシー装置によって、GaN:Mgからなるドーブ基板40を800℃で30分アニールし、アニール終了後、基板温度を700℃に降温して、GaNバッファ層(図示せず)を堆積した。この時の金属Gaセル温度は900

10

20

30

40

50

で、アンモニアをクラッキングせずに5 s c c m流した。堆積終了後、直ちにGaN:Mnからなる磁化自由層となる磁性半導体層12の作製に移行した。このプロセスは800 に加熱された金属Mnセルのシャッターを開けて、Ga、アンモニアと同時に供給することで作製した。堆積した膜厚は10 nmである。

【0045】

次に、Mnセルのシャッターを閉じて、直ちに330 に加熱したMgセルのシャッターを開けて、スペーサ層として機能するGaN:Mgからなる非磁性層20を4 nm堆積し、続いてMgセルのシャッターを閉じて、直ちに900 に加熱された金属Mnセルのシャッターを開けて、GaN:Mnからなる磁性半導体層11を10 nm堆積し、磁気抵抗効果膜を作製した。堆積速度は、約80 nm/hである。

【0046】

その後、分子線エピタキシー装置から取り出しスパッタ装置にて、磁気抵抗効果膜上に磁化固着層11の磁化を固着するPtMnからなる反強磁性層42を20 nm堆積し、さらに上部電極膜44（下からTa3 nm/Cu20 nm/Ta5 nm）を堆積した（図7（a）参照）。

【0047】

次に、上部電極膜44上にフォトリソグリスあるいは電子ビーム用レジストを用いてT型のマスク46を形成した。レジストマスク46の幅は150 nmとした（図7（b）参照）。

【0048】

次に、このマスク46越しにイオンミリングにて上部電極膜44、PtMn膜42、磁性半導体層11、スペーサ層20、磁性半導体層12、および基板40を一括でパターニングする（図7（c）参照）。このとき、基板40がエッチングされるまでパターニングするのは、磁化自由層（フリー層とも云う）となる磁性半導体層12の側部に後述のゲート電極31を形成し、十分なゲート電圧を印加可能とするためである。

【0049】

続いて、マスク46をそのままにして積層方向の側面（4面とも）に斜め方向からSiO<sub>2</sub>からなる絶縁体層30を50 nm堆積する（図8（a）参照）。その後、絶縁体層30上（4面とも）にゲート電極膜として機能するCoPtからなるハードマグネット層31を100 nm堆積し（図8（b）参照）、アルミナ膜48を20 nm堆積する（図8（c）参照）。

【0050】

続いて、マスク46を有機溶剤にてリフトオフし（図9（a）参照）、NiFeからなる膜厚1 μmの上シールド膜50を形成し（図9（b）参照）、最後に、基板40に下電極膜52（下からTa3 nm/Cu20 nm/Ta5 nm）、NiFeからなる膜厚1 μmの下シールド膜54を順次堆積する（図9（c）参照）。

【0051】

このようにして形成した磁気抵抗効果素子の磁化自由層12付近の断面形状を図10に示す。積層構造（図10（a））の側面一面を削り磁気抵抗効果素子の膜部分を露出させ（図10（b））、露出した面にSiO<sub>2</sub>からなる絶縁層を2 nm堆積した（図10（c））。ハードバイアス方向（ハードマグネット層31は1面のみ図示、他の2面とも同じ方向にバイアスしている）、磁化固着層（ピン層とも云う）11の磁化方向、および磁化自由層12の磁気情報に対する磁化方向の状態を図10（d）に示している。磁化固着層11と、磁化自由層12およびハードマグネット層31の間では磁化方向が90度になるようにしてある。

【0052】

このようにして作製した磁気抵抗効果素子をX-Y方向に動作可能なピエゾ素子上に接続し、ゲート電極に印加する電圧を制御しながら、GaN基板40と上部電極44との間における抵抗測定をしながら、約10 nmサイズの分散された磁気ビットの磁気情報観察を行った（図11参照）。その結果、ゲート電極31に対し電圧印加していない時には、分解能が悪く磁気ビットの観察ができなかったが、ゲート電極31に印加する電圧に対して、

10

20

30

40

50



磁気媒体100に記憶された磁気ビットの分解能変化が観察された。+10Vの電圧の印加で磁気媒体100に記憶された磁気ビットを観察できる分解能を有していた。

【0053】

(実施例2)

実施例1と同様に、アンモニアを窒素源として用いた分子線エピタキシー装置にて、GaN:Mgからなるドーブ基板40を800で30分アニールし、アニール終了後、基板温度を700に降温して、GaNバッファー層を堆積した。この時の金属Gaセル温度は900で、アンモニアをクラッキングせずに5sccm流した。堆積終了後、直ちにGaN:Mnからなる磁性半導体層12の作製に移行した。このプロセスは750に加熱された金属Mnセルのシャッターを開けて、Ga、アンモニアと同時に供給することで作製した。堆積した膜厚は10nmである。次に、Mnセルのシャッターを閉じて、直ちに330に加熱したMgセルのシャッターを開けて、スペーサ層として機能するGaN:Mgからなる非磁性層20を4nm堆積し、続いてMgセルのシャッターを閉じて、直ちに900に加熱された金属Mnセルのシャッターを開けて、GaN:Mnからなる磁化固着層となる磁性半導体層11を10nm堆積し、磁気抵抗効果素子部を作製した。堆積速度は、約80nm/hである。その後、分子線エピタキシー装置から取り出しスパッタ装置にて、磁気抵抗効果素子上に磁化固着層となる磁性半導体層11の磁化を固定するPtMnからなる反強磁性層42を20nm堆積し、さらに上部電極膜(下からTa3nm/Cu20nm/Ta5nm)44を堆積した。

10

【0054】

次に実施例1と同様のプロセスを実施し、ゲート電極31となるハードバイアス層は一面にのみ堆積している。形成した構造の磁化自由層12付近の断面形状を図12に示す。積層構造(図12(a)参照)の側面一面を削り磁気抵抗効果膜部分を露出させ(図12(b)参照)、露出した面にSiO<sub>2</sub>からなる絶縁層62を2nm堆積した(図12(c))。

20

【0055】

実施例1と同様に測定を行った結果、-9Vの電圧の印加で磁気媒体100に記憶された磁気ビットを観察できる分解能を有していた(図13参照)。

【0056】

(実施例3)

実施例1と同様に、アンモニアを窒素源として用いた分子線エピタキシー装置にて、GaN:Mgからなるドーブ基板40を800で30分アニールし、アニール終了後、基板温度を700に降温して、GaNからなるバッファー層を堆積した。この時の金属Gaセル温度は900で、アンモニアをクラッキングせずに5sccm流した。堆積終了後、直ちにGaN:Mnからなる磁性半導体層12の作製に移行した。このプロセスは800に加熱された金属Mnセルのシャッターを開けて、Ga、アンモニアと同時に供給することで作製した。堆積した膜厚は10nmである。次に、Mnセルのシャッターを閉じて、直ちに330に加熱したMgセルのシャッターを開けて、スペーサ層として機能するGaN:Mgからなる非磁性層20を4nm堆積し、続いてMgセルのシャッターを閉じて、直ちに900に加熱された金属Mnセルのシャッターを開けて、GaN:Mnからなる磁性半導体層11を10nm堆積し、磁気抵抗効果膜を作製した。堆積速度は、約80nm/hである。

30

【0057】

その後、分子線エピタキシー装置から取り出しスパッタ装置にて、磁気抵抗効果膜上に、磁気固着層となる磁性半導体層11の磁化を固着するPtMnからなる反強磁性層42を20nm堆積し、さらに上部電極膜(下からTa3nm/Cu20nm/Ta5nm)を堆積した。

40

【0058】

次に、実施例1と同様のプロセスを実施し、ゲート電極となるハードバイアス層31は一面にのみ堆積している。形成した構造のフリー層12付近の断面形状を図14に示す。積層構造(図14(a)参照)の側面一面を削り磁気抵抗効果膜部分を露出させ(図14(b)参照)、露出した面にSiO<sub>2</sub>からなる絶縁層64を2nm堆積した(図14(c))。

【0059】

実施例1と同様に測定を行った結果、+15Vの電圧の印加で磁気媒体100に記憶され

50

た磁気ビットを観察できる分解能を有していた(図15参照)。

【0060】

(実施例4)

実施例1と同様に、アンモニアを窒素源として用いた分子線エピタキシー装置にて、GaN:Mgからなるドーブ基板40を800で30分アニールし、アニール終了後、基板温度を700に降温して、GaNバッファ層を堆積した。この時の金属Gaセル温度は900で、アンモニアをクラッキングせずに5sccm流した。堆積終了後、直ちにGaN:Mnからなる磁性半導体層12の作製に移行した。このプロセスは750に加熱された金属Mnセルのシャッターを開けて、Ga、アンモニアと同時に供給することで作製した。堆積した膜厚は10nmである。

10

【0061】

次に、Mnセルのシャッターを閉じて、直ちに330に加熱したMgセルのシャッターを開けて、スペーサ層として機能するGaN:Mgからなる非磁性層20を4nm堆積し、続いてMgセルのシャッターを閉じて、直ちに900に加熱された金属Mnセルのシャッターを開けて、GaN:Mnからなる磁性半導体層11を10nm堆積し、磁気抵抗効果膜を作製した。堆積速度は、約80nm/hである。その後、分子線エピタキシー装置から取り出し、スパッタ装置にて、磁気抵抗効果膜上に磁化固着層11の磁化を固着するPtMnからなる反強磁性層42を20nm堆積し、さらに上部電極膜(下からTa3nm/Cu20nm/Ta5nm)44を堆積した。

【0062】

次に、実施例1と同様のプロセスを実施した。形成した構造のフリー層12付近の断面形状を図16に示す。積層構造(図16(a)参照)の側面一面を削り磁気抵抗効果膜部分を露出させ(図16(b)参照)、露出した面にSiO<sub>2</sub>からなる絶縁層66を2nm堆積し(図16(c)参照)、堆積した絶縁層66上にTaからなるゲート電極膜31aを5nm堆積し(図16(d)参照)、絶縁層68を2nm堆積した(図16(e)参照)。

20

【0063】

実施例1と同様に測定を行った結果、-5Vの電圧の印加で磁気媒体100に記憶された磁気ビットを観察できる分解能を有していた(図17参照)。

【0064】

(実施例5)

アンモニアを窒素源として用いた分子線エピタキシー装置にて、GaN:Mgからなるドーブ基板40を800で30分アニールし、アニール終了後、基板温度を700に降温して、GaNバッファ層を堆積した。この時の金属Gaセル温度は900で、アンモニアをクラッキングせずに5sccm流した。堆積終了後、直ちにGaN:Mnからなる磁性半導体層12の作製に移行した。このプロセスは900に加熱された金属Mnセルのシャッターを開けて、Ga、アンモニアと同時に供給することで作製した。堆積した膜厚は10nmである。次に、Mnセルのシャッターを閉じて、直ちに、300に加熱したMgセルのシャッターを開けて、スペーサ層として機能するGaN:Mgからなる非磁性層20を4nm堆積し、続いてMgセルのシャッターを閉じて、直ちに900に加熱された金属Mnセルのシャッターを開けて、GaN:Mnからなる磁性半導体層11を10nm堆積し、磁気抵抗効果膜を作製した。堆積速度は、約80nm/hである。その後、分子線エピタキシー装置から取り出しスパッタ装置にて、磁気抵抗効果膜上に、磁化固着層11の磁化を固着するPtMnからなる反強磁性層42を20nm堆積し、さらに上部電極膜(下からTa3nm/Cu20nm/Ta5nm)44を堆積した。

30

40

【0065】

実施例1と同様のプロセスを実施し、実施例1と同様に測定を行った結果、+13Vの電圧の印加で磁気媒体に記憶された磁気ビットを観察できる分解能を有していた。測定中の概略図は図11と同様である。

【0066】

(実施例6)

50

アンモニアを窒素源として用いた分子線エピタキシー装置にて、GaN:Mgからなるドーブ基板40を800で30分アニールし、アニール終了後基板温度を700に降温して、GaNバッファ層を堆積した。この時の金属Gaセル温度は900で、アンモニアをクラッキングせずに5sccm流した。堆積終了後、直ちにGaN:Mnからなる磁性半導体層12の作製に移行した。このプロセスは900に加熱された金属Mnセルのシャッターを開けて、Ga、アンモニアと同時に供給することで作製した。堆積した膜厚は10nmである。次に、Mnセルのシャッターを閉じて、直ちに、270に加熱したMgセルのシャッターを開けて、スペーサ層として機能するGaN:Mgからなる非磁性層を4nm堆積し、続いて900に加熱された金属Mnセルのシャッターを開けて、直ちにGaN:Mnからなる磁性半導体層11を10nm堆積し、磁気抵抗効果膜を作製した。堆積速度は、約80nm/hである。その後、分子線エピタキシー装置から取り出しスパッタ装置にて、磁気抵抗効果膜上にPtMnからなる反強磁性層42を20nm堆積し、さらに上部電極膜(下からTa3nm/Cu20nm/Ta5nm)44を堆積した。

10

## 【0067】

実施例2と同様のプロセスを実施し、実施例1同様に測定を行った結果、-10Vの電圧の印加で磁気媒体に記憶された磁気ビットを観察できる分解能を有していた。測定中の概略図は図13と同様である。

## 【0068】

(実施例7)

アンモニアを窒素源として用いた分子線エピタキシー装置にて、GaN:Mgからなるドーブ基板40を800で30分アニールし、アニール終了後、基板温度を700に降温して、GaNバッファ層を堆積した。この時の金属Gaセル温度は900で、アンモニアをクラッキングせずに5sccm流した。堆積終了後、直ちにGaN:Mnからなる磁性半導体層12の作製に移行した。このプロセスは900に加熱された金属Mnセルのシャッターを開けて、Ga、アンモニアと同時に供給することで作製した。堆積した膜厚は10nmである。次に、Mnセルのシャッターを閉じて、直ちに、300に加熱したMgセルのシャッターを開けて、スペーサ層として機能するGaN:Mgからなる非磁性層20を4nm堆積し、続いてMgセルのシャッターを閉じて、直ちに900に加熱された金属Mnセルのシャッターを開けて、GaN:Mnからなる磁性半導体層11を10nm堆積し、磁気抵抗効果膜を作製した。堆積速度は、約80nm/hである。その後、分子線エピタキシー装置から取り出しスパッタ装置にて、磁気抵抗効果膜上にPtMnからなる反強磁性層42を20nm堆積し、さらに上部電極膜(下からTa3nm/Cu20nm/Ta5nm)を堆積した。

20

30

## 【0069】

実施例3と同様のプロセスを実施し、実施例1と同様に測定を行った結果、+18Vの電圧の印加で磁気媒体に記憶された磁気ビットを観察できる分解能を有していた。測定中の概略図は図15と同様である。

## 【0070】

(実施例8)

アンモニアを窒素源として用いた分子線エピタキシー装置にて、GaN:Mgからなるドーブ基板40を800で30分アニールし、アニール終了後、基板温度を700に降温して、GaNバッファ層を堆積した。この時の金属Gaセル温度は900で、アンモニアをクラッキングせずに5sccm流した。堆積終了後、直ちにGaN:Mnからなる磁性半導体層12の作製に移行した。このプロセスは900に加熱された金属Mnセルのシャッターを開けて、Ga、アンモニアと同時に供給することで作製した。堆積した膜厚は10nmである。次に、Mnセルのシャッターを閉じて、直ちに、270に加熱したMgセルのシャッターを開けて、スペーサ層として機能するGaN:Mgからなる非磁性層20を4nm堆積し、続いて900に加熱された金属Mnセルのシャッターを開けて、直ちにGaN:Mnからなる磁性半導体層11を10nm堆積し、磁気抵抗効果膜を作製した。堆積速度は、約80nm/hである。その後、分子線エピタキシー装置から取り出しスパッタ装置にて、磁気抵抗効果膜上にPtMnからなる反強磁性層42を20nm堆積し、さらに上部電極膜(下からTa3nm

40

50

m/Cu 2 0 n m / Ta 5 n m ) 4 4 を堆積した。

【 0 0 7 1 】

実施例 4 と同様のプロセスを実施し、実施例 1 と同様に測定を行った結果、 - 7 V の電圧の印加で磁気媒体に記憶された磁気ビットを観察できる分解能を有していた。分解能を有していた。測定中の概略図は図 1 7 と同様である。

【 0 0 7 2 】

( 実施例 9 )

図 1 8 に示すように、実施例 4 のハードバイアス層 3 1 に + 1 1 V を印加し、ゲート電極 3 1 a に - 5 V の電圧を印加した状態で、実施例 1 と同様に測定を行った結果、磁気媒体に記憶された磁気ビットを観察できる分解能を有していた。

10

【 0 0 7 3 】

( 実施例 1 0 )

図 1 8 に示す実施例 9 の測定の場合と同様に、実施例 8 のハードバイアス層 3 1 に + 1 3 V を印加し、ゲート電極 3 1 a に - 7 V の電圧を印加した状態で、実施例 1 と同様に測定を行った結果、磁気媒体に記憶された磁気ビットを観察できる分解能を有していた。

【 0 0 7 4 】

なお、上記実施例 1 乃至実施例 1 0 においては、磁化固着層となる磁性体層 1 1 が上電極 4 4 側に、磁化自由層となる磁性体層 1 2 が下電極 5 2 側に設けられていたが、磁化固着層となる磁性体層 1 1 を下電極 5 2 側に、磁化自由層となる磁性体層 1 2 を上電極 4 4 側に設けても良い。

20

【 0 0 7 5 】

【 発明の効果 】

以上述べたように、本発明によれば、微小なビット信号を高感度で検出することができる。

【 図面の簡単な説明 】

【 図 1 】 本発明の第 1 実施形態による磁気抵抗効果素子の構成を示す断面図。

【 図 2 】 第 1 実施形態の第 1 変形例の構成を示す断面図。

【 図 3 】 第 1 実施形態の第 2 変形例の構成を示す断面図。

【 図 4 】 本発明の第 2 実施形態による磁気抵抗効果素子の構成を示す断面図。

【 図 5 】 第 2 実施形態の第 1 変形例の構成を示す断面図。

30

【 図 6 】 第 2 実施形態の第 2 変形例の構成を示す断面図。

【 図 7 】 本発明の磁気抵抗効果素子の製造過程を示す工程断面図。

【 図 8 】 本発明の磁気抵抗効果素子の製造過程を示す工程断面図。

【 図 9 】 本発明の磁気抵抗効果素子の製造過程を示す工程断面図。

【 図 1 0 】 本発明の磁気抵抗効果素子のフリー層付近での製造工程を説明する図。

【 図 1 1 】 図 1 0 に示す製造工程によって製造された磁気抵抗効果素子の微小ビット検出を説明する図。

【 図 1 2 】 本発明の磁気抵抗効果素子のフリー層付近での製造工程を説明する図。

【 図 1 3 】 図 1 2 に示す製造工程によって製造された磁気抵抗効果素子の微小ビット検出を説明する図。

40

【 図 1 4 】 本発明の磁気抵抗効果素子のフリー層付近での製造工程を説明する図。

【 図 1 5 】 図 1 4 に示す製造工程によって製造された磁気抵抗効果素子の微小ビット検出を説明する図。

【 図 1 6 】 本発明の磁気抵抗効果素子のフリー層付近での製造工程を説明する図。

【 図 1 7 】 図 1 6 に示す製造工程によって製造された磁気抵抗効果素子の微小ビット検出を説明する図。

【 図 1 8 】 実施例 9 および 1 0 の微小ビット検出を説明する図。

【 符号の説明 】

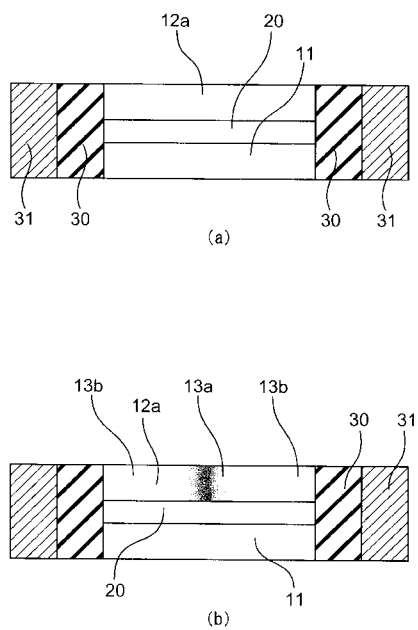
1 1、1 2 磁性体層

1 2 a 磁性半導体層

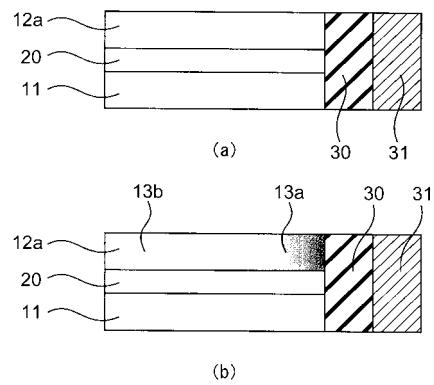
50

- 1 3 a 強磁性磁化領域
- 1 3 b 常磁性磁化領域
- 2 0 スペース層
- 2 1 a 電流導通領域
- 2 1 b 電流非導通領域
- 3 0 絶縁層
- 3 1 ゲート電極
- 4 2 反強磁性膜
- 4 4 上部電極層
- 5 2 下部電極層

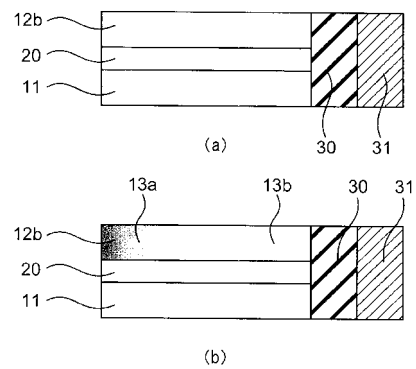
【 図 1 】



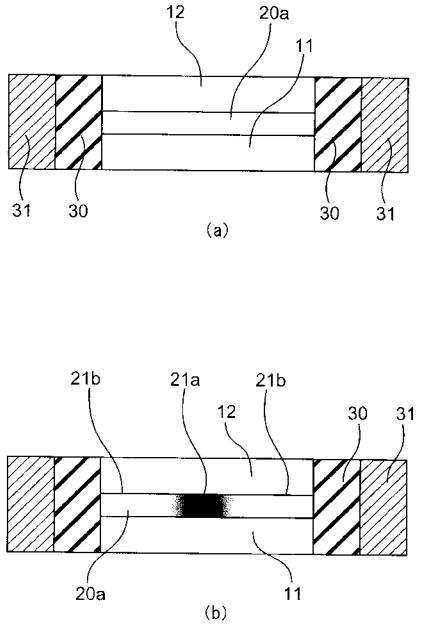
【 図 2 】



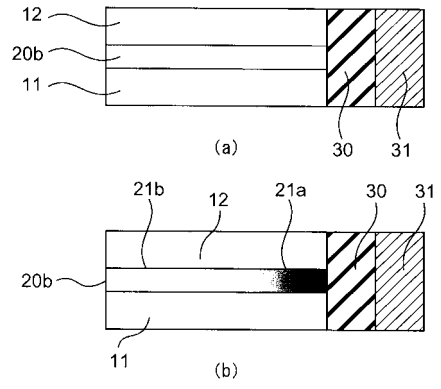
【 図 3 】



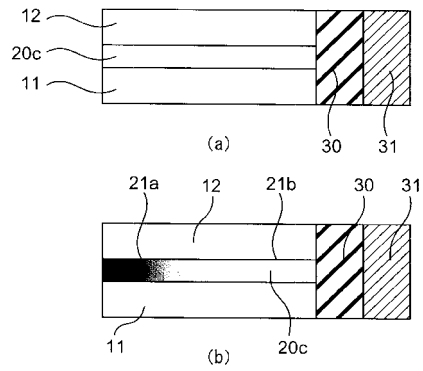
【 図 4 】



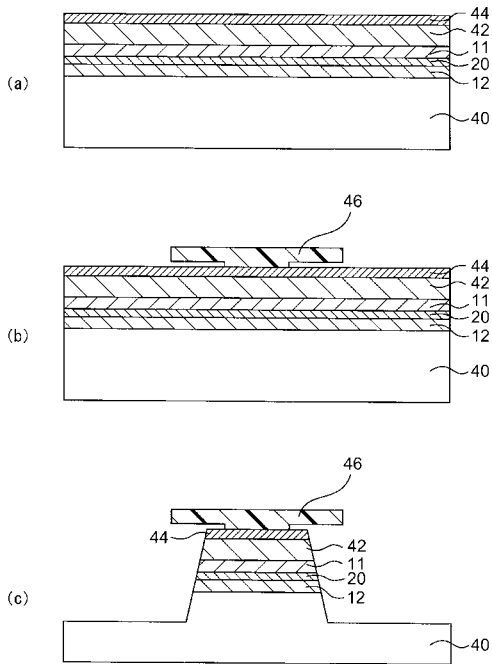
【 図 5 】



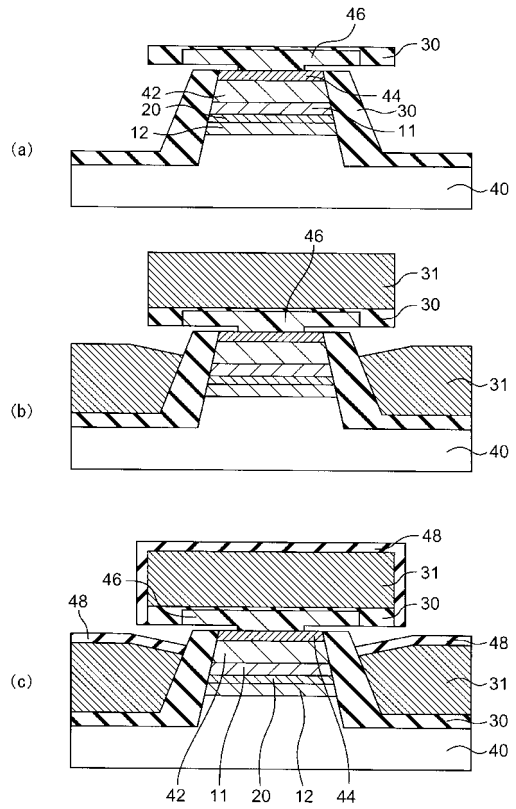
【 図 6 】



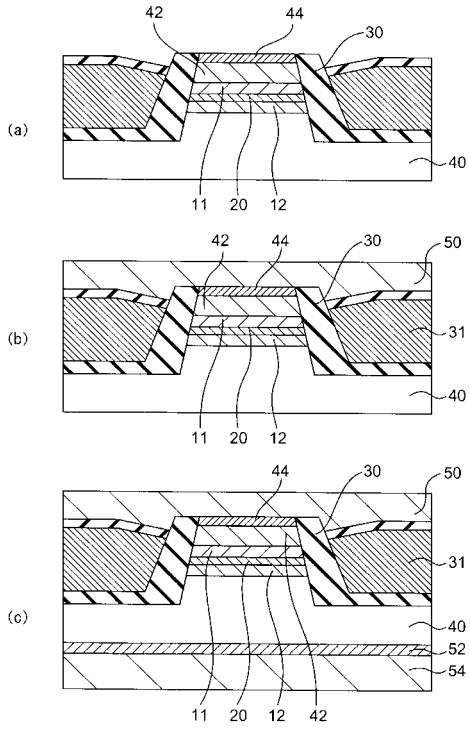
【 図 7 】



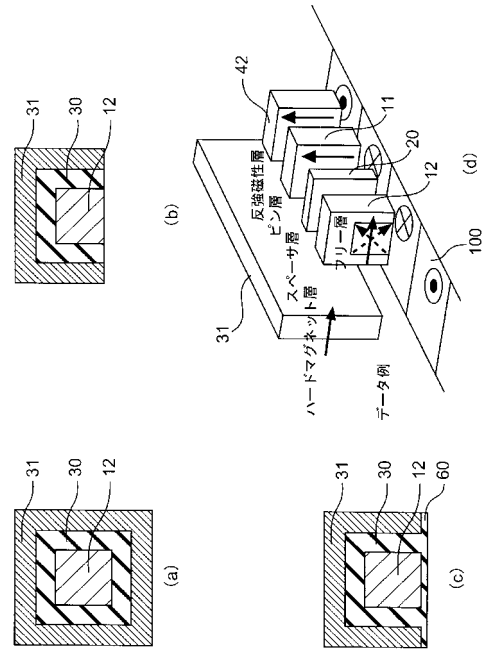
【 図 8 】



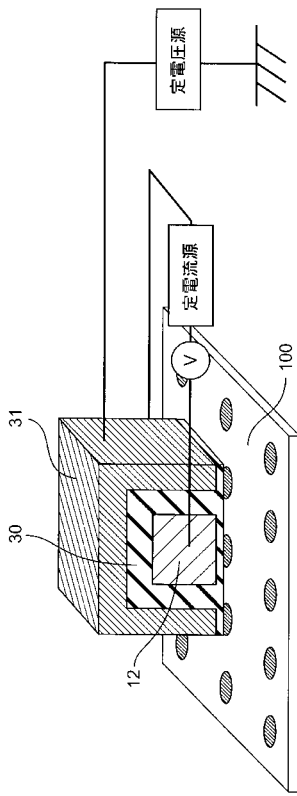
【図9】



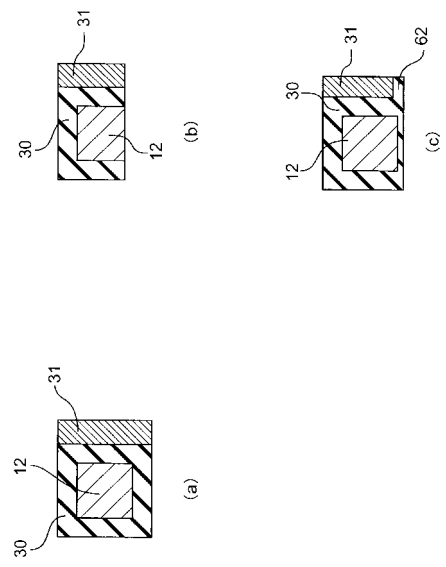
【図10】



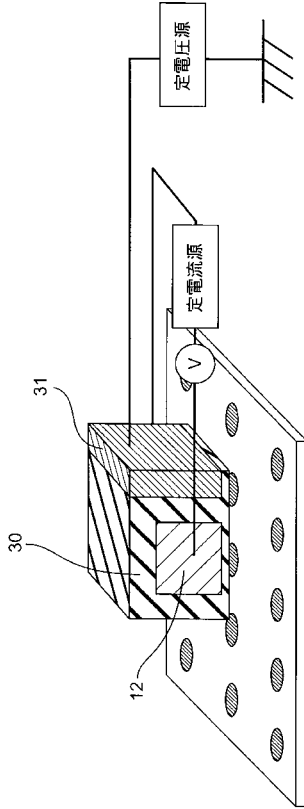
【図11】



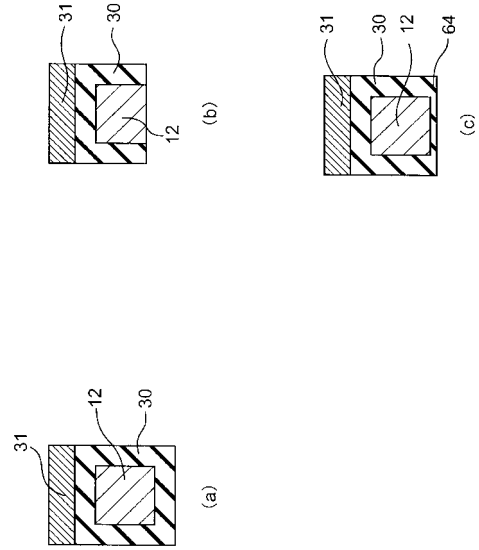
【図12】



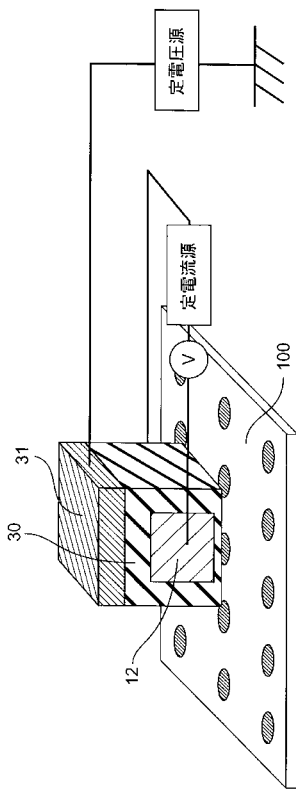
【 図 1 3 】



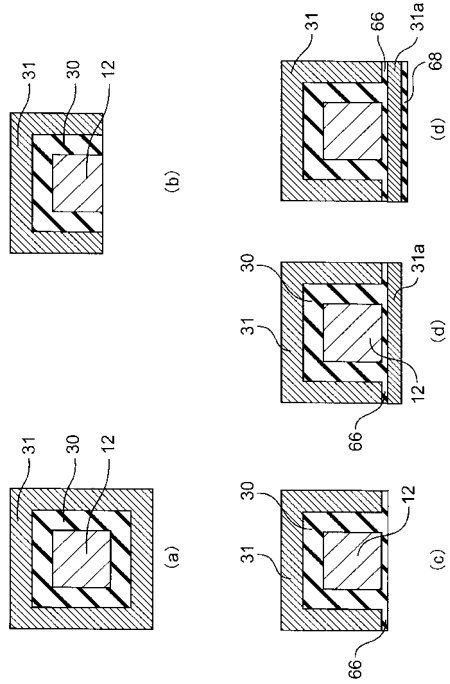
【 図 1 4 】



【 図 1 5 】

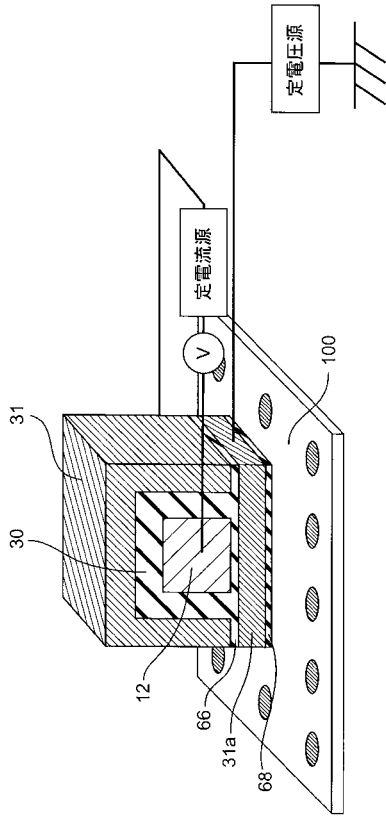


【 図 1 6 】

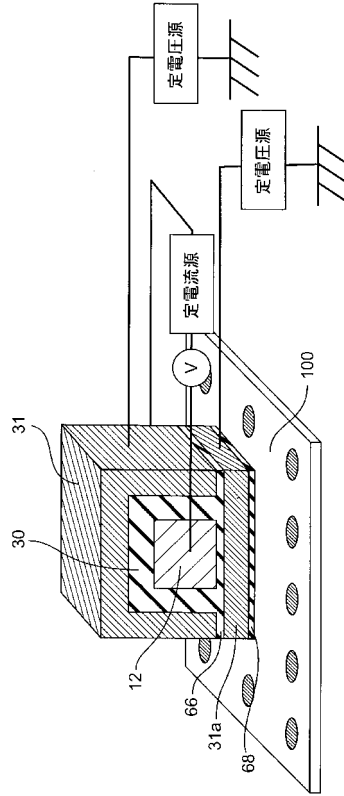




【 図 1 7 】



【 図 1 8 】



---

フロントページの続き

- (72)発明者 羽根田 茂  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 研究開発センター内
- (72)発明者 中村 志保  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 研究開発センター内
- (72)発明者 大沢 裕一  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 研究開発センター内

審査官 栗野 正明

- (56)参考文献 特開2001-203332(JP,A)  
特開2001-196661(JP,A)  
特開2004-104070(JP,A)

(58)調査した分野(Int.Cl.<sup>7</sup>, DB名)

H01L 29/82  
G01R 33/09  
G11B 5/39  
H01L 43/08