

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5842720号
(P5842720)

(45) 発行日 平成28年1月13日(2016.1.13)

(24) 登録日 平成27年11月27日(2015.11.27)

(51) Int.Cl. F I
H03K 19/0175 (2006.01) H03K 19/00 I O I F
H03K 19/007 (2006.01) H03K 19/007

請求項の数 8 (全 31 頁)

(21) 出願番号	特願2012-95484 (P2012-95484)	(73) 特許権者	514315159 株式会社ソシオネクスト
(22) 出願日	平成24年4月19日(2012.4.19)		神奈川県横浜市港北区新横浜2丁目10番23
(65) 公開番号	特開2013-223215 (P2013-223215A)	(74) 代理人	100105957 弁理士 恩田 誠
(43) 公開日	平成25年10月28日(2013.10.28)	(74) 代理人	100068755 弁理士 恩田 博宣
審査請求日	平成26年12月24日(2014.12.24)	(72) 発明者	光田 和弘 愛知県春日井市高蔵寺町二丁目1844番2 富士通VLSI株式会社内
		(72) 発明者	官田 真次 愛知県春日井市高蔵寺町二丁目1844番2 富士通VLSI株式会社内

最終頁に続く

(54) 【発明の名称】 出力回路

(57) 【特許請求の範囲】

【請求項1】

高電位側の電源端子と出力端子との間に直列に接続された電流源及び第1MOSトランジスタと、

前記第1MOSトランジスタのバックゲートにドレインが接続され、低電位側の電源端子にゲートが接続された第2MOSトランジスタと、

前記第2MOSトランジスタのソースにソースが接続され、低電位側の電源端子にドレイン及びゲートが接続された第3MOSトランジスタと、

前記第2MOSトランジスタのソースに、前記第2MOSトランジスタ及び前記第3MOSトランジスタのバックゲートが接続され、該バックゲートがフローティングであることを特徴とする出力回路。

10

【請求項2】

前記第1MOSトランジスタのバックゲートは、前記第1MOSトランジスタのゲートに第1抵抗を介して接続されていることを特徴とする請求項1に記載の出力回路。

【請求項3】

前記第1MOSトランジスタはNチャネルのLDMOSトランジスタであり、前記第2MOSトランジスタ及び前記第3MOSトランジスタはPチャネルのLDMOSトランジスタであることを特徴とする請求項1又は2に記載の出力回路。

【請求項4】

前記第1MOSトランジスタのゲートに、入力信号に応じた電圧を印加する電圧印加回

20

路を有し、

前記電圧印加回路は、前記第1 MOSトランジスタと同じ導電型の第4 MOSトランジスタを有し、

前記第4 MOSトランジスタは、ソースに前記入力信号が供給され、ドレインが前記電流源に比例した電流を流す他の電流源に接続され、ゲートが前記第1 MOSトランジスタのゲートに接続されていることを特徴とする請求項1～3のいずれか1つに記載の出力回路。

【請求項5】

前記第4 MOSトランジスタのゲートは、前記第4 MOSトランジスタのドレインに第2抵抗を介して接続されていることを特徴とする請求項4に記載の出力回路。

10

【請求項6】

前記第1 MOSトランジスタと前記第4 MOSトランジスタの素子サイズが等しくなるように設定されていることを特徴とする請求項4又は5に記載の出力回路。

【請求項7】

前記第1 MOSトランジスタのゲートに、入力信号に応じた電圧を印加するソースフォロア回路を有し、

前記ソースフォロア回路は、前記第1 MOSトランジスタと異なる導電型の第5 MOSトランジスタを有し、

前記第5 MOSトランジスタは、ゲートに前記入力信号が供給され、ソースが前記第1 MOSトランジスタのゲートに接続され、バックゲートが前記第5 MOSトランジスタのソースに第3抵抗を介して接続されていることを特徴とする請求項1～3のいずれか1つに記載の出力回路。

20

【請求項8】

前記第1 MOSトランジスタのゲートにカソードが接続され、前記第1 MOSトランジスタのバックゲートにアノードが接続されたツェナーダイオードを有することを特徴とする請求項1～7のいずれか1つに記載の出力回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、出力回路に関するものである。

30

【背景技術】

【0002】

従来、半導体集積回路装置では、1つの半導体装置に多機能を搭載するよりも、所定の機能を有する複数の半導体装置をバスで互いに接続する場合が多い。このため、各半導体装置には、半導体装置間相互の情報伝達のための信号を出力する出力回路が設けられている（例えば、特許文献1参照）。

【0003】

図11は、従来の出力回路111を有する複数の半導体装置110A、110BがバスB1に共通に接続された回路例を示している。半導体装置110Aは第1の高電位電源電圧VDD1（例えば、5V）で動作し、半導体装置110Bは第2の高電位電源電圧VDD2（例えば、3.3V）で動作する。以下に、半導体装置110Aが有する出力回路111について説明する。

40

【0004】

出力回路111は、半導体装置110Aの内部回路から入力信号Vinを入力し、その入力信号Vinに応じた電圧を出力するバッファ回路120と、バッファ回路120の出力電圧を入力し、上記入力信号Vinに応じた出力信号Voutを出力する出力段130とを有している。バッファ回路120は、電流源として機能するPチャネルMOS（Metal Oxide Semiconductor）トランジスタTP21と、そのトランジスタTP21に接続されたPチャネルMOSトランジスタTP22を含むソースフォロア回路である。トランジスタTP22のドレインは、低電位電源電圧GNDが供給される電源端子T2に接続さ

50

れている。また、トランジスタTP22は、ゲートに上記入力信号Vinが供給され、ソースが出力段130に接続されている。

【0005】

出力段130は、電流源として機能するPチャンネルMOSトランジスタTP23と、そのトランジスタTP23に接続されたNチャンネルMOSトランジスタTN21を含むソースフォロア回路である。トランジスタTN21のドレインは、トランジスタTP23を介して第1の高電位電源電圧VDD1の供給される電源端子T1に接続されている。また、トランジスタTN21は、ゲートに上記トランジスタTP22のソースが接続され、ソースが出力端子Toに接続されている。この出力端子Toから上記出力信号Vout、つまり入力信号Vinと略同じ電圧レベルの出力信号VoutがバスB1に出力される。

10

【0006】

また、出力回路111では、バスB1の電位が出力回路111の第1の高電位電源電圧VDD1よりも高くなった場合であっても、バスB1からトランジスタTN21、TP23を通じて電源端子T1に電流が流れないように、トランジスタTN21のバックゲートが電源端子T2に接続されている。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開平08-148986号公報

【発明の概要】

20

【発明が解決しようとする課題】

【0008】

しかしながら、トランジスタTN21のバックゲートを電源端子T2に接続した場合には、例えば半導体装置110Aの電源端子T2が意図せずに低電位側の電源配線から外れた場合に以下のような問題が発生する。すなわち、半導体装置110Aの電源端子T2が電源配線から外れると、半導体装置110A内部のDC電流により、半導体装置110Aの電源端子T2の電位が第1の高電位電源電圧VDD1レベルまで上昇してしまう。さらに、この状態で、他の半導体装置110Bから例えば第2の高電位電源電圧VDD2レベルの信号が出力されると、電源端子T2からトランジスタTN21のバックゲートを通じてバスB1に大電流が流れてしまう。詳述すると、トランジスタTN21のソース・バックゲート間には、バックゲートからソースに向かう方向が順方向になる寄生ダイオードD21が形成されている。このとき、トランジスタTN21のソースに、バックゲート電圧である電源端子T2の電位（ここでは、第1の高電位電源電圧VDD1）よりも低い電圧（ここでは、第2の高電位電源電圧VDD2）が印加されると、電源端子T2から上記寄生ダイオードD21を通じてバスB1に大電流が流れてしまう。このような電流によって他の半導体装置110Bが誤動作等を起こすおそれがある。

30

【課題を解決するための手段】

【0009】

本発明の一観点によれば、高電位側の電源端子と出力端子との間に直列に接続された電流源及び第1MOSトランジスタと、前記第1MOSトランジスタのバックゲートにドレインが接続され、低電位側の電源端子にゲートが接続された第2MOSトランジスタと、前記第2MOSトランジスタのソースにソースが接続され、低電位側の電源端子にドレイン及びゲートが接続された第3MOSトランジスタと、前記第2MOSトランジスタのソースに、前記第2MOSトランジスタ及び前記第3MOSトランジスタのバックゲートが接続され、該バックゲートがフローティングである。

40

【発明の効果】

【0010】

本発明の一観点によれば、低電位側の電源端子の電位よりも低い電圧が出力端子に印加された場合であっても、低電位側の電源端子からバスに電流が流れることを抑制することができるという効果を奏する。

50

【図面の簡単な説明】

【0011】

【図1】第1実施形態の出力回路を示す回路図。

【図2】第1実施形態の出力部の断面構造を示す説明図。

【図3】半導体集積回路装置を示す概略構成図。

【図4】第1実施形態の出力回路の動作を示す説明図。

【図5】第1実施形態の出力回路の動作を示す説明図。

【図6】第2実施形態の出力回路を示す回路図。

【図7】第2実施形態の出力部の断面構造を示す説明図。

【図8】第2実施形態の出力回路の動作を示す説明図。

10

【図9】変形例の出力回路を示す回路図。

【図10】変形例の出力回路を示す回路図。

【図11】従来の半導体集積回路装置を示すブロック回路図。

【発明を実施するための形態】

【0012】

(第1実施形態)

以下、第1実施形態を図1～図5に従って説明する。

図3に示すように、半導体集積回路装置は、複数の半導体装置10A、10Bを有している。これら半導体装置10A、10Bは、共通のバスB1に接続されている。

【0013】

20

半導体装置10Aは、第1の高電位電源電圧VDD1及び低電位電源電圧(例えば、グランドGND)で動作する。この半導体装置10Aは、当該半導体装置10Aの内部回路(図示略)から供給される入力信号Vinに応じた出力信号Voutを、出力端子Toを通じてバスB1に出力する出力回路11Aを有している。ここで、第1の高電位電源電圧VDD1は例えば5Vであり、低電位電源電圧GNDは例えば0Vである。

【0014】

一方、半導体装置10Bは、第2の高電位電源電圧VDD2及び低電位電源電圧GNDで動作する。この半導体装置10Bは、当該半導体装置10Bの内部回路から供給される入力信号Vin1に応じた出力信号Vout1を、出力端子Toを通じてバスB1に出力する出力回路11Bを有している。ここで、第2の高電位電源電圧VDD2は例えば3.3Vである。なお、第2の高電位電源電圧VDD2は、第1の高電位電源電圧VDD1と同じ電源電圧であってもよい。

30

【0015】

次に、出力回路11Aの内部構成例について説明する。なお、出力回路11Bは、出力回路11Aと同様の構成を有しているため、ここでは説明を省略する。

図1に示すように、出力回路11Aは、内部回路(図示略)から該内部回路の動作電圧に応じたレベルを持つ入力信号Vinを入力するバッファ回路20と、入力信号Vinに応じた出力信号Voutを出力端子Toに出力する出力段30とを有している。本実施形態では、内部回路の動作電圧は、第1の高電位電源電圧VDD1と同じ電圧値に設定されている。なお、内部回路の動作電圧は、第1の高電位電源電圧VDD1よりも低い電圧値に設定するようにしてもよい。この場合において、第1の高電位電源電圧VDD1よりも低い電圧は、例えば降圧レギュレータなどにより第1の高電位電源電圧VDD1を降圧して生成することができる。

40

【0016】

バッファ回路20は、第1の高電位電源電圧VDD1が供給される高電位側の電源端子T1と低電位電源電圧GNDが供給される低電位側の電源端子T2との間に直列に接続されたPチャネルMOSトランジスタTP1、TP2を有している。

【0017】

トランジスタTP1のソースは、電源端子T1に接続されている。また、トランジスタTP1は、そのドレインがトランジスタTP2のソースに接続され、バックゲートが同ト

50

ランジスタTP1のソースに接続されている。トランジスタTP1のゲートには、電流制御回路21の出力端子が接続されている。

【0018】

電流制御回路21は、トランジスタTP1が定電流I1を流すように制御する回路である。電流制御回路21は、定電流源22と、上記トランジスタTP1とカレントミラー接続されたPチャンネルMOSトランジスタTP3とを有している。定電流源22は、定電流I2を流す。定電流源22の第1端子は、電源端子T2に接続されている。また、定電流源22の第2端子は、トランジスタTP3のドレインに接続されている。トランジスタTP3は、そのソースが電源端子T1に接続され、ゲートが同トランジスタTP3のドレイン及び上記トランジスタTP1のゲートに接続されている。したがって、トランジスタTP1とトランジスタTP3とはカレントミラー回路に含まれる。このカレントミラー回路は、両トランジスタTP1, TP3の電気的特性に応じて、トランジスタTP3に流れる定電流I2に比例した上記定電流I1を流す。このように、トランジスタTP1及び電流制御回路21は、定電流I1を流す定電流源として機能する。

10

【0019】

上記トランジスタTP2のドレインは電源端子T2に接続されている。トランジスタTP2のゲートには、上記入力信号Vinが供給される。トランジスタTP2のバックゲートは、同トランジスタTP2のソースに接続されている。そして、トランジスタTP1, TP2間のノードN1、つまりトランジスタTP2のソースは出力段30に接続されている。

20

【0020】

このように、バッファ回路20は、トランジスタTP1を含む電流源とトランジスタTP2とを有するソースフォロア回路である。

出力段30は、電源端子T1と出力端子Toとの間に直列に接続されたPチャンネルMOSトランジスタTP4及びNチャンネルMOSトランジスタTN1と、トランジスタTN1のバックゲートに接続されたPチャンネルMOSトランジスタTP5, TP6と、を有している。

【0021】

トランジスタTP4は、上記トランジスタTP3とカレントミラー接続されている。詳述すると、トランジスタTP4は、そのソースが電源端子T1に接続され、ゲートが上記トランジスタTP3のゲート及びドレインに接続されている。したがって、トランジスタTP3とトランジスタTP4とはカレントミラー回路に含まれる。このカレントミラー回路は、両トランジスタTP3, TP4の電気的特性に応じて、トランジスタTP3に流れる定電流I2に比例した定電流I3を流す。このように、トランジスタTP4及び電流制御回路21は、定電流I3を流す定電流源として機能する。すなわち、上記電流制御回路21は、トランジスタTP4が定電流I3を流すように制御する回路としても機能する。ここで、上記定電流I1が定電流I2と比例していることから、定電流I1と定電流I3も比例することになる。

30

【0022】

また、トランジスタTP4は、そのドレインがトランジスタTN1のドレインに接続され、バックゲートが同トランジスタTP4のソースに接続されている。

40

トランジスタTN1のゲートには、上記トランジスタTP2のソース(ノードN1)が接続されており、電圧VN1が供給される。また、トランジスタTN1のソースは出力端子Toに接続されている。なお、出力端子Toは抵抗Rを介して電源端子T2に接続されている。

【0023】

このように、出力段30は、トランジスタTP4を含む電流源とトランジスタTN1とを有するソースフォロア回路である。

また、トランジスタTN1のバックゲートと電源端子T2との間には、2つのPチャンネルMOSトランジスタTP5, TP6が直列に接続されている。詳述すると、トランジスタ

50

トランジスタTP5のドレインはトランジスタTN1のバックゲートに接続されている。トランジスタTP5のソースはトランジスタTP6のソースに接続されている。トランジスタTP6のドレインは電源端子T2に接続されている。これらトランジスタTP5, TP6のゲートには、電源端子T2が接続されている。そして、トランジスタTP5のソースに、トランジスタTP5, TP6のバックゲート(ノードN2)が接続されている。このトランジスタTP5, TP6のバックゲート(ノードN2)は、フローティング状態になっている。

【0024】

このようなNチャネルMOSトランジスタTN1は、上記PチャネルMOSトランジスタTP2とは導電型の異なるMOSトランジスタである。なお、本実施形態では、トランジスタTN1のゲート・ソース間電圧 V_{gs1} とトランジスタTP2のゲート・ソース間電圧 V_{gs2} とが略同一になるように設定されている。

【0025】

以上説明した出力回路11Aでは、内部回路から入力信号 V_{in} がトランジスタTP2のゲートに供給されると、トランジスタTP1, TP2間のノードN1の電圧 V_{N1} が、入力信号 V_{in} にトランジスタTP2のゲート・ソース間電圧 V_{gs2} を加えた電圧値となる。すなわち、電圧 V_{N1} の電圧値は、

$$V_{N1} = V_{in} + V_{gs2}$$

となる。そして、このノードN1の電圧 V_{N1} がトランジスタTN1のゲート電圧となる。したがって、トランジスタTN1のソースから出力される出力信号 V_{out} は、電圧 V_{N1} からトランジスタTN1のゲート・ソース間電圧 V_{gs1} を差し引いた電圧値となる。すなわち、出力信号 V_{out} は、

$$\begin{aligned} V_{out} &= V_{N1} - V_{gs1} \\ &= V_{in} + V_{gs2} - V_{gs1} \end{aligned}$$

となる。ここで、本実施形態では、上述したようにトランジスタTN1, TP2のゲート・ソース間電圧 V_{gs1} , V_{gs2} が略同一になるように設定されている。このため、出力信号 V_{out} は、下記式より入力信号 V_{in} と略同一になる。

【0026】

$$\begin{aligned} V_{out} &= V_{in} + V_{gs2} - V_{gs1} \\ &= V_{in} + V_{gs1} - V_{gs1} \\ &= V_{in} \end{aligned}$$

なお、トランジスタTN1のゲート・ソース間電圧 V_{gs1} は、トランジスタTN1のドレイン電圧及びドレイン電流によって決定される。換言すると、トランジスタTN1のゲート・ソース間電圧 V_{gs1} は、トランジスタTP4のドレイン電圧とトランジスタTP4のドレイン電流(定電流 I_3)とによって決定される。また、トランジスタTP2のゲート・ソース間電圧 V_{gs2} は、トランジスタTP1のドレイン電圧とトランジスタTP1のドレイン電流(定電流 I_1)とによって決定される。このため、本実施形態では、トランジスタTN1, TP2のゲート・ソース間電圧 V_{gs1} , V_{gs2} が略同一になるように、トランジスタTN1, TP2の素子サイズ及びトランジスタTP1, TP4の素子サイズが設定されている。

【0027】

本実施形態において、

次に、出力段30の断面構造を説明する。まず、PチャネルMOSトランジスタTP4及びNチャネルMOSトランジスタTN1の断面構造について説明する。

【0028】

図2に示すように、p⁻型半導体基板40の表面にn⁻型ウェル領域41が形成されている。このn⁻型ウェル領域41の表面にp⁺型ドレイン領域42とp⁺型ソース領域43とn⁺型バックゲート領域44とが形成されている。また、p⁺型ソース領域42とp⁺型ドレイン領域43との間においてn⁻型ウェル領域41の表面にゲート酸化膜45及びゲート電極46が形成されている。これらp⁺型ドレイン領域42、p⁺型ソース領域

10

20

30

40

50

43、ゲート電極46及び n^+ 型バックゲート領域44がそれぞれ、PチャンネルMOSトランジスタTP4のドレイン、ソース、ゲート及びバックゲートになる。

【0029】

また、 p^- 型半導体基板40の表面に n^- 型ウェル領域47が形成され、その n^- 型ウェル領域47の表面に p^- 型ウェル領域48が形成されている。この p^- 型ウェル領域48の表面には、 n^+ 型ドレイン領域49と n^+ 型ソース領域50と p^+ 型バックゲート領域51とが形成されている。また、 n^+ 型ドレイン領域49と n^+ 型ソース領域50との間において p^- 型ウェル領域48の表面にゲート酸化膜52及びゲート電極53が形成されている。これら n^+ 型ドレイン領域49、 n^+ 型ソース領域50、ゲート電極53及び p^+ 型バックゲート領域51がそれぞれ、NチャンネルMOSトランジスタTN1のドレイン、ソース、ゲート及びバックゲートになる。

10

【0030】

さらに、 p^+ 型ドレイン領域42は n^+ 型ドレイン領域49と接続され、 p^+ 型ソース領域43及び n^+ 型バックゲート領域44は電源端子T1に接続されている。また、 n^+ 型ソース領域50は出力端子Toに接続され、 p^+ 型バックゲート領域51はPチャンネルMOSトランジスタTP5に接続されている。

【0031】

次に、NチャンネルMOSトランジスタTN1のバックゲートに接続されたPチャンネルMOSトランジスタTP5、TP6の断面構造を説明する。

p^- 型半導体基板40の表面に n^- 型ウェル領域54が形成されている。この n^- 型ウェル領域54の表面には、 p^+ 型ドレイン領域55と、 p^+ 型ソース領域56と、 n^+ 型バックゲート領域57と、 p^+ 型ソース領域58と、 p^+ 型ドレイン領域59とが形成されている。また、 p^+ 型ドレイン領域55と p^+ 型ソース領域56との間において n^- 型ウェル領域54の表面にゲート酸化膜60及びゲート電極61が形成され、 p^+ 型ソース領域58と p^+ 型ドレイン領域59との間において n^- 型ウェル領域54の表面にゲート酸化膜62及びゲート電極63が形成されている。これら p^+ 型ドレイン領域55、 p^+ 型ソース領域56、ゲート電極61及び n^+ 型バックゲート領域57がそれぞれ、PチャンネルMOSトランジスタTP5のドレイン、ソース、ゲート及びバックゲートになる。また、 p^+ 型ソース領域58、 p^+ 型ドレイン領域59、ゲート電極63及び n^+ 型バックゲート領域57がそれぞれ、PチャンネルMOSトランジスタTP6のソース、ドレイン、ゲート及びバックゲートになる。このため、 p^+ 型ドレイン領域55は上記 p^+ 型バックゲート領域51に接続され、ゲート電極61、63及び p^+ 型ドレイン領域59は電源端子T2に接続されている。そして、 p^+ 型ソース領域56と n^+ 型バックゲート領域57と p^+ 型ソース領域58とが共通にノードN2に接続されている。

20

30

【0032】

次に、上記出力回路11Aの動作について説明する。

まず、半導体装置10Aの電源端子T2が低電位側の電源配線から外れた場合の出力回路11Aの動作について説明する。

【0033】

図4に示すように、半導体装置10Aの電源端子T2が意図せずに低電位側の電源配線から外れると、半導体装置10A内部のDC電流により、出力回路11Aの電源端子T2の電位が低電位電源電圧GNDレベルから第1の高電位電源電圧VDD1レベルまで上昇する。このとき、他の半導体装置10B(図3参照)からバスB1に第2の高電位電源電圧VDD2レベルの出力信号Vout1が出力されていると、出力回路11Aの出力端子Toに第2の高電位電源電圧VDD2が印加される。すなわち、出力回路11Aの電源端子T2の電位(ここでは、第1の高電位電源電圧VDD1)よりも低い電圧(ここでは、第2の高電位電源電圧VDD2)が出力端子Toに印加される。すると、トランジスタTN1のソース電圧が第2の高電位電源電圧VDD2レベルになる。ここで、図2に示すように、トランジスタTN1の n^+ 型ソース領域50と、 p^- 型ウェル領域48(p^+ 型バックゲート領域51)との間にはPN接合により寄生ダイオードD1が形成されている。

40

50

この寄生ダイオードD1は、 p^+ 型バックゲート領域51から n^+ 型ソース領域50に向かう方向が順方向になる寄生ダイオードとなる。このため、トランジスタTN1のバックゲート電圧は、第2の高電位電源電圧VDD2よりも寄生ダイオードD1の順方向電圧Vf分だけ高い電圧になる。

【0034】

一方、図4に示すように、トランジスタTP5、TP6のゲート及びトランジスタTP6のドレインには、第1の高電位電源電圧VDD1が供給されている。また、トランジスタTP5、TP6のソースは、トランジスタTP5、TP6のバックゲートと共にノードN2に接続され、そのノードN2がフローティング状態になっている。このとき、図2に示すように、トランジスタTP6の p^+ 型ドレイン領域59と n^- 型ウェル領域54（トランジスタTP5、TP6のバックゲートとなる n^+ 型バックゲート領域57）との間にはPN接合により寄生ダイオードD2が形成されている。この寄生ダイオードD2は、 p^+ 型ドレイン領域59から n^- 型ウェル領域54（ n^+ 型バックゲート領域57）に向かう方向が順方向になる。このため、ノードN2の電圧、つまりトランジスタTP5、TP6のソース電圧は、第1の高電位電源電圧VDD1よりも寄生ダイオードD2の順方向電圧Vf分だけ低い電圧になる。したがって、トランジスタTP5、TP6はオフする。このとき、トランジスタTN1のバックゲートと接続される p^+ 型ドレイン領域55から電源端子T2までの間には、上記寄生ダイオードD2と、上記 p^+ 型ドレイン領域55と n^- 型ウェル領域54との間に形成された寄生ダイオードD3とが存在する。この寄生ダイオードD3は、 p^+ 型ドレイン領域55から n^- 型ウェル領域54（ n^+ 型バックゲート領域57）に向かう方向が順方向になる。このため、図4に示すように、電源端子T2の電位（ここでは、第1の高電位電源電圧VDD1）よりも低い電圧（ここでは、第2の高電位電源電圧VDD2）が出力端子Toに印加された場合であっても、寄生ダイオードD3によって電源端子T2からバスB1に向かって電流が流れることを抑制することができる。したがって、当該半導体装置10Aが故障した場合であっても、その故障に起因して他の半導体装置10Bが誤動作を起こすことが抑制される。

【0035】

なお、本例の場合には、トランジスタTP4のゲート電圧が同トランジスタTP4のソース電圧と同電位の第1の高電位電源電圧VDD1レベルとなるため、トランジスタTP4はオフされる。このとき、図2に示すように、トランジスタTP4の p^+ 型ドレイン領域42と n^- 型ウェル領域41との間には、 p^+ 型ドレイン領域42から n^- 型ウェル領域41に向かう方向が順方向になる寄生ダイオードD4が形成されている。このため、図4に示すように、第2の高電位電源電圧VDD2がトランジスタTN1のソースに印加され、そのトランジスタTN1がオンされた場合であっても、上記寄生ダイオードD4によって出力端子Toから電源端子T1に向かって電流が流れることが抑制される。

【0036】

次に、半導体装置10Aの電源端子T1が高電位側の電源配線から外れた場合の出力回路11Aの動作について説明する。

図5に示すように、半導体装置10Aの電源端子T1が意図せずに高電位側の電源配線から外れると、出力回路11Aの電源端子T1の電位が第1の高電位電源電圧VDD1レベルから低電位電源電圧GNDレベルまで低下する。このとき、他の半導体装置10B（図3参照）からバスB1に第2の高電位電源電圧VDD2レベルの出力信号Vout1が出力されていると、出力回路11Aの出力端子Toに第2の高電位電源電圧VDD2が印加される。すなわち、出力回路11Aの電源端子T1の電位（ここでは、低電位電源電圧GND）よりも高い電圧（ここでは、第2の高電位電源電圧VDD2）が出力端子Toに印加される。すると、トランジスタTN1のソース電圧が第2の高電位電源電圧VDD2レベルになる。ここで、トランジスタTN1のゲート電圧が低電位電源電圧GNDレベルとなるため、トランジスタTN1はオフされる。このとき、トランジスタTN1のソースとバックゲートとの間には、バックゲートからソースに向かう方向が順方向となる上記寄生ダイオードD1が形成されている。このため、図5に示すように、電源端子T1の電位

10

20

30

40

50

(ここでは、低電位電源電圧GND)よりも高い電圧(ここでは、第2の高電位電源電圧VDD2)が出力端子Toに印加された場合であっても、寄生ダイオードD1によって出力端子Toから電源端子T1に向かって電流が流れることを抑制することができる。

【0037】

詳述すると、仮にトランジスタTN1のバックゲートを同トランジスタTN1のソースに接続した場合には、トランジスタTN1、TP4の寄生ダイオードD5、D4を通じて出力端子Toから電源端子T1に電流が流れてしまう。具体的には、図2を参照して説明すると、例えばトランジスタTN1のソースがバックゲートに接続されると、トランジスタTN1のp⁺型バックゲート領域51が出力端子Toに接続されることになる。このため、出力端子Toからp⁺型バックゲート領域51を通じてp⁻型ウェル領域48に電流が流れ、そのp⁻型ウェル領域48からn⁺型ドレイン領域49に向かう方向が順方向になる上記寄生ダイオードD5を通じてトランジスタTP4のp⁺型ドレイン領域42に電流が流れる。さらに、そのp⁺型ドレイン領域42からn⁻型ウェル領域41に向かう方向が順方向となる上記寄生ダイオードD4を通じて電源端子T1に電流が流れてしまう。これに対し、本実施形態の出力回路11Aでは、図2に示すように、トランジスタTN1のバックゲートを同トランジスタTN1のソースから切り離したため、出力端子Toからp⁺型バックゲート領域51を通じてp⁻型ウェル領域48に電流が流れることが防止される。さらに、上述したように出力端子Toが接続されるn⁺型ソース領域50とp⁻型ウェル領域48との間には、p⁻型ウェル領域48からn⁺型ソース領域50に向かう方向が順方向となる寄生ダイオードD1が形成されている。このため、電源端子T1の電位よりも高い電圧が出力端子Toに印加された場合であっても、その出力端子Toからn⁺型ソース領域50を通じてp⁻型ウェル領域48に電流が流れることが抑制される。これにより、出力端子Toから電源端子T1に向かって電流が流れることを抑制することができる。

【0038】

以上説明した本実施形態によれば、以下の効果を奏する。

(1)出力段30の出力トランジスタであるNチャネルMOSトランジスタTN1のバックゲートと電源端子T2との間に2つのPチャネルMOSトランジスタTP5、TP6を直列に接続するようにした。また、それらトランジスタTP5、TP6のソースとトランジスタTP5、TP6のバックゲートとをノードN2に接続し、そのノードN2をフローティング状態にするようにした。これにより、電源端子T2の電位よりも低い電圧が出力端子Toに印加された場合であっても、PチャネルMOSトランジスタTP5の寄生ダイオードD3によって電源端子T2からバスB1に向かって電流が流れることを抑制することができる。したがって、1つの半導体装置10Aが故障した場合であっても、その故障に起因して他の半導体装置10Bが誤動作を起こすことが好適に抑制される。

【0039】

(2)さらに、トランジスタTN1のバックゲートをトランジスタTP5、TP6を介して電源端子T2に接続するようにした。これにより、電源端子T1の電位よりも高い電圧が出力端子Toに印加された場合であっても、トランジスタTN1のソース・バックゲート間に形成された寄生ダイオードD1によって出力端子Toから電源端子T1に向かって電流が流れることを抑制することができる。

【0040】

(3)出力段30の前段に、電流源として機能するPチャネルMOSトランジスタTP1と、そのトランジスタTP1に接続されたPチャネルMOSトランジスタTP2とを含むソースフォロア回路であるバッファ回路20を設けるようにした。また、トランジスタTN1のゲート・ソース間電圧Vgs1と、トランジスタTP2のゲート・ソース間電圧Vgs2とが等しくなるように、トランジスタTN1、TP2の素子サイズ等を設定するようにした。これにより、出力回路11Aの出力端子Toからは、入力信号Vinと略同じレベルの出力信号Voutを出力することができる。

【0041】

10

20

30

40

50

(第2実施形態)

以下、第2実施形態を図6～図8に従って説明する。先の図1～図5に示した部材と同一の部材にはそれぞれ同一の符号を付して示し、それら各要素についての詳細な説明は省略する。

【0042】

本実施形態の半導体集積回路装置は、図3に示した上記第1実施形態の半導体集積回路装置と同様に、共通のバスB1に接続された複数の半導体装置10A, 10Bを有している。これら半導体装置10A, 10Bは、例えば自動車に搭載される電子制御ユニット(ECU : Electronic Control Unit) である。各半導体装置10A, 10B (ECU) は、エンジン、トランスミッション、パワーウィンドウ、ランプ、ドアミラー等をそれぞれ制御する。そして、各半導体装置10A, 10B間でバスB1を介して通信が行われる。なお、本実施形態では、第1の高電位電源電圧VDD1及び第2の高電位電源電圧VDD2はバッテリー電圧(例えば12V)であり、低電位電源電圧GNDは例えば0Vである。

10

【0043】

次に、半導体装置10Aが有する出力回路11Aの内部構成例について説明する。

図6に示すように、出力回路11Aのバッファ回路20は、電源端子T1と電源端子T2との間に直列に接続されたPチャネルの横型二重拡散絶縁ゲートMOS (LDMOS : Laterally Diffused Metal Oxide Semiconductor) トランジスタTP11, TP12を有している。ここで、LDMOSトランジスタとは、周知のように、ゲート(チャネル領域)とソースとの離間距離に比してゲートとドレインとの離間距離を大きくすることでドレインの高い耐圧を確保した高耐圧MOSトランジスタである。なお、図中のLDMOSトランジスタを示す記号のうち複線で示した部分がLDMOSトランジスタのドレインを表わしている。

20

【0044】

トランジスタTP11のソースは、電源端子T1に接続されている。また、トランジスタTP11は、そのドレインがトランジスタTP12のソースに接続され、バックゲートが当該トランジスタTP11のソースに接続されている。トランジスタTP11のゲートには、電流制御回路21の出力端子が接続されている。

【0045】

電流制御回路21は、トランジスタTP11が定電流I11を流すように制御する回路である。電流制御回路21は、定電流源22と、上記トランジスタTP11とカレントミラー接続されたPチャネルのLDMOSトランジスタTP13とを有している。定電流源22は、定電流I12を流す。定電流源22の第1端子は、電源端子T2に接続されている。また、定電流源22の第2端子は、トランジスタTP13のドレインに接続されている。トランジスタTP13は、そのソースが電源端子T1に接続され、ゲートが同トランジスタTP13のドレイン及び上記トランジスタTP11のゲートに接続されている。したがって、トランジスタTP11とトランジスタTP13とはカレントミラー回路に含まれる。このカレントミラー回路は、両トランジスタTP11, TP13の電気的特性に応じて、トランジスタTP13に流れる定電流I12に比例した上記定電流I11を流す。このように、トランジスタTP11及び電流制御回路21は、定電流I11を流す定電流源として機能する。

30

40

【0046】

上記トランジスタTP12のドレインは電源端子T2に接続されている。トランジスタTP12のゲートには、上記入力信号Vinが供給される。トランジスタTP12のバックゲートは、抵抗R1を介して同トランジスタTP12のソースに接続されている。そして、トランジスタTP11, TP12間のノードN11、つまりトランジスタTP12のソースは出力段30に接続されている。

【0047】

このように、バッファ回路20は、トランジスタTP11を含む電流源とトランジスタTP12とを有するソースフォロア回路である。

50

出力段30は、電源端子T1と出力端子T_oとの間に直列に接続されたPチャンネルのLDMOSトランジスタTP14及びNチャンネルのLDMOSトランジスタTN11と、トランジスタTN11のバックゲートに接続されたPチャンネルのLDMOSトランジスタTP15、TP16及び抵抗R2と、を有している。

【0048】

トランジスタTP14は、上記トランジスタTP13とカレントミラー接続されている。詳述すると、トランジスタTP14は、そのソースが電源端子T1に接続され、ゲートが上記トランジスタTP13のゲート及びドレインに接続されている。したがって、トランジスタTP13とトランジスタTP14とはカレントミラー回路に含まれる。このカレントミラー回路は、両トランジスタTP13、TP14の電気的特性に応じて、トランジスタTP13に流れる定電流I12に比例した定電流I13を流す。このように、トランジスタTP14及び電流制御回路21は、定電流I13を流す定電流源として機能する。すなわち、上記電流制御回路21は、トランジスタTP14が定電流I13を流すように制御する回路としても機能する。

10

【0049】

上記トランジスタTP14は、そのドレインがトランジスタTN11のドレインに接続され、バックゲートが同トランジスタTP14のソースに接続されている。また、トランジスタTP14のゲートには、ツェナーダイオードZD1のアノードが接続されている。このツェナーダイオードZD1のカソードは電源端子T1に接続されている。このツェナーダイオードZD1は、第1の高電位電源電圧VDD1よりも高い過電圧がトランジスタTP14のゲートに印加されるのを抑制するために設けられている。具体的には、ツェナーダイオードZD1は、トランジスタTP14のゲート耐圧（例えば12V）以上の過電圧がトランジスタTP14のゲートに印加されるのを抑制する。

20

【0050】

トランジスタTN11のゲートには、上記トランジスタTP12のソース（ノードN11）が接続されており、電圧VN11が供給される。また、トランジスタTN11のソースは出力端子T_oに接続されている。なお、出力端子T_oは抵抗Rを介して電源端子T2に接続されている。

【0051】

このように、出力段30は、トランジスタTP14を含む電流源とトランジスタTN11とを有するソースフォロア回路である。

30

また、トランジスタTN11のバックゲートと電源端子T2との間には、2つのLDMOSトランジスタTP15、TP16が直列に接続されている。詳述すると、トランジスタTP15のドレインはトランジスタTN11のバックゲートに接続されている。トランジスタTP15のソースはトランジスタTP16のソースに接続されている。トランジスタTP16のドレインは電源端子T2に接続されている。これらトランジスタTP15、TP16のゲートには、電源端子T2が接続されている。そして、トランジスタTP15のソースに、トランジスタTP15、TP16のバックゲート（ノードN12）が接続されている。このトランジスタTP15、TP16のバックゲート（ノードN12）は、フローティング状態になっている。

40

【0052】

また、トランジスタTN11のバックゲート（ノードN13）は、抵抗R2を介して同トランジスタTN11のゲートに接続されている。

このようなNチャンネルのLDMOSトランジスタTN11は、上記PチャンネルのLDMOSトランジスタTP12とは導電型の異なるMOSトランジスタである。なお、本実施形態では、トランジスタTN11のゲート・ソース間電圧Vgs11とトランジスタTP12のゲート・ソース間電圧Vgs12とが略同一になるように、トランジスタTN11、TP12の素子サイズ及びトランジスタTP11、TP14の素子サイズが設定されている。

【0053】

50

次に、出力段30の断面構造を説明する。まず、PチャンネルのLDMOSTランジスタTP14及びNチャンネルのLDMOSTランジスタTN11の断面構造を説明する。

図7に示すように、p⁻型半導体基板70の表面には、n型ボディ領域(n型ウェル領域)71と、n型ドリフト領域(n型ウェル領域)72と、素子分離膜73とが形成されている。なお、素子分離膜73は、例えば周知のSTI(Shallow Trench Isolation)法やLOCOS(Local Oxidation of Silicon)法などを用いて形成される。

【0054】

n型ボディ領域71にはPチャンネルのLDMOSTランジスタTP14が形成されている。詳述すると、n型ボディ領域71の表面には、p型ドリフト領域74と、p⁺型ソース領域75と、フィールド酸化膜76と、n⁺型バックゲート領域77とが形成されている。p型ドリフト領域74の表面には、p⁺型ドレイン領域78と、フィールド酸化膜79とが形成されている。フィールド酸化膜76は、p⁺型ソース領域75とn⁺型バックゲート領域77との間に形成されている。また、フィールド酸化膜79は、p⁺型ドレイン領域78とp⁺型ソース領域75との間に形成されており、n型ボディ領域71とは離間して形成されている。これらフィールド酸化膜76, 79は、例えば周知のSTI法やLOCOS法などを用いて形成される。なお、p⁺型ソース領域75とp⁺型ドレイン領域78とn⁺型バックゲート領域77にはシリサイド層がそれぞれ形成されている。このシリサイド層は、例えばシリコンに高融点金属材料(例えば、コバルト)を反応させて形成されている。

【0055】

p⁺型ソース領域75とフィールド酸化膜79との間においてn型ボディ領域71及びp型ドリフト領域74の表面には、ゲート酸化膜80が形成されている。このゲート酸化膜80上からフィールド酸化膜79上に亘ってゲート電極81が形成されている。このゲート電極81の上部にはシリサイド層が形成されている。また、ゲート電極81の側部にはサイドウォールが形成されている。

【0056】

一方、n型ドリフト領域72の表面には、n⁺型ドレイン領域82と、フィールド酸化膜83と、p型ボディ領域84(p型ウェル領域)とが形成されている。p型ボディ領域84の表面には、n⁺型ソース領域85と、フィールド酸化膜86と、p⁺型バックゲート領域87とが形成されている。フィールド酸化膜83は、n⁺型ドレイン領域82とn⁺型ソース領域85との間に形成されており、p型ボディ領域84とは離間して形成されている。また、フィールド酸化膜86は、n⁺型ソース領域85とp⁺型バックゲート領域87との間に形成されている。これらフィールド酸化膜83, 86は、例えば周知のSTI法やLOCOS法などを用いて形成される。なお、n⁺型ドレイン領域82とn⁺型ソース領域85とp⁺型バックゲート領域87にはシリサイド層がそれぞれ形成されている。

【0057】

n⁺型ソース領域85とフィールド酸化膜83との間においてp型ボディ領域84及びn型ドリフト領域72の表面には、ゲート酸化膜88が形成されている。このゲート酸化膜88上からフィールド酸化膜83上に亘ってゲート電極89が形成されている。また、ゲート電極89の上部にはシリサイド層が形成されている。このゲート電極89の側部にはサイドウォールが形成されている。

【0058】

このようなLDMOSTランジスタTP14, TN11では、p⁺型ソース領域75及びn⁺型バックゲート領域77が電源端子T1に接続され、p⁺型ドレイン領域78がn⁺型ドレイン領域82に接続されている。また、n⁺型ソース領域85が出力端子Toに接続され、p⁺型バックゲート領域87が抵抗R2を介してゲート電極89に接続されている。そして、p⁺型バックゲート領域87は、PチャンネルのLDMOSTランジスタTP15に接続されている。

【0059】

次に、NチャネルのLDMOSTランジスタTN11のバックゲートに接続されたPチャネルのLDMOSTランジスタTP15, TP16の断面構造を説明する。

p⁻型半導体基板70の表面にn型ボディ領域90が形成されている。このn型ボディ領域90には、PチャネルのLDMOSTランジスタTP15, TP16が形成されている。詳述すると、このn型ボディ領域90の表面には、p型ドリフト領域91と、p⁺型ソース領域92と、フィールド酸化膜93と、n⁺型バックゲート領域94と、フィールド酸化膜95と、p⁺型ソース領域96と、p型ドリフト領域97とが形成されている。p型ドリフト領域91には、p⁺型ドレイン領域98と、フィールド酸化膜99とが形成されている。このフィールド酸化膜99は、p⁺型ドレイン領域98とp⁺型ソース領域92との間に形成されており、n型ボディ領域90とは離間して形成されている。また、p型ドリフト領域97には、p⁺型ドレイン領域100と、フィールド酸化膜101とが形成されている。このフィールド酸化膜101は、p⁺型ドレイン領域100とp⁺型ソース領域96との間に形成されており、n型ボディ領域90とは離間して形成されている。また、フィールド酸化膜93はp⁺型ソース領域92とn⁺型バックゲート領域94との間に形成され、フィールド酸化膜95はp⁺型ソース領域96とn⁺型バックゲート領域94との間に形成されている。これらフィールド酸化膜93, 95, 99, 101は、例えば周知のSTI法やLOCOS法などを用いて形成される。なお、p⁺型ドレイン領域98, 100とp⁺型ソース領域92, 96とn⁺型バックゲート領域94にはシリサイド層がそれぞれ形成されている。

10

【0060】

20

p⁺型ソース領域92とフィールド酸化膜99との間においてp型ドリフト領域91及びn型ボディ領域90の表面には、ゲート酸化膜102が形成されている。このゲート酸化膜102上からフィールド酸化膜99上に亘ってゲート電極103が形成されている。このゲート電極103の上部にはシリサイド層が形成されている。また、ゲート電極103の側部にはサイドウォールが形成されている。

【0061】

同様に、p⁺型ソース領域96とフィールド酸化膜101との間においてp型ドリフト領域97及びn型ボディ領域90の表面には、ゲート酸化膜104が形成されている。このゲート酸化膜104上からフィールド酸化膜101上に亘ってゲート電極105が形成されている。このゲート電極105の上部にはシリサイド層が形成されている。また、ゲート電極105の側部にはサイドウォールが形成されている。

30

【0062】

このようなLDMOSTランジスタTP15, TP16では、ランジスタTP15のp⁺型ドレイン領域98が上記ランジスタTN11のp⁺型バックゲート領域87に接続され、ゲート電極103, 105及びランジスタTP16のp⁺型ドレイン領域100が電源端子T2に接続されている。そして、両ランジスタTP15, TP16のn⁺型バックゲート領域94と、ランジスタTP15のp⁺型ソース領域92と、ランジスタTP16のp⁺型ソース領域96とが共通にノードN12に接続されている。

【0063】

以上説明したLDMOSTランジスタTN11, TP14, TP15, TP16では、フィールド酸化膜79, 83, 99, 101の形成によって、ゲートとソースとの離間距離に比してゲートとドレインとの離間距離が大きくなるため、ドレインの高い耐圧が確保されている。具体的には、NチャネルのLDMOSTランジスタTN11では、ゲート・ソース間耐圧が例えば12Vであるのに対し、ドレイン・ソース間耐圧が例えば42Vである。また、PチャネルのLDMOSTランジスタTP14, TP15, TP16では、ドレインとp⁻型半導体基板70との間の耐圧が例えば42Vである。さらに、PチャネルのLDMOSTランジスタTP14, TP15, TP16のドレインとp⁻型半導体基板70の間では、負電圧に対する耐圧も高く確保されている。具体的には、PチャネルのLDMOSTランジスタTP14, TP15, TP16では、ドレインとp⁻型半導体基板70との間の負電圧に対する耐圧が例えば-42Vである。なお、上述した各耐圧の

40

50

電圧値は、 p^- 型半導体基板70の電位を0Vとした場合の絶対電圧である。また、上記各耐圧の電圧値は一例であり、その電圧値は適宜調整可能である。

【0064】

次に、上記出力回路11Aの動作について説明する。ここでは、半導体装置10Aの電源端子T2が低電位側の電源配線から外れた場合の出力回路11Aの動作について説明する。

【0065】

図8に示すように、半導体装置10Aの電源端子T2が意図せずに低電位側の電源配線から外れると、半導体装置10A内部のDC電流により、出力回路11Aの電源端子T2の電位が低電位電源電圧GNDレベルから第1の高電位電源電圧VDD1レベルまで上昇する。このとき、他の半導体装置10BからバスB1に低電位電源電圧GNDレベルの出力信号Vout1が出力されていると、出力回路11Aの出力端子Toに低電位電源電圧GNDが印加される。ここで、出力回路11Aの電源端子T2の電位を0Vとした場合には、電源端子T2から出力端子Toをみると、相対的に負電圧(ここでは、-12V)が印加されていることになる。同様に、図8においては、半導体装置10Aの電源端子T2の電位を0V(より具体的には、上記 p^- 型半導体基板70の電位を0V)とした場合の相対的な電圧値を括弧内に示している。詳述すると、トランジスタTN1のソース電圧は-12Vになる。また、図7に示すように、トランジスタTN11のソースとなる n^+ 型ソース領域85と、 p 型ボディ領域84(トランジスタTN11の p^+ 型バックゲート領域87)との間にはPN接合により寄生ダイオードD11が形成されている。この寄生ダイオードD11は、バックゲート領域87から n^+ 型ソース領域85に向かう方向が順方向になる。このため、図8に示すように、トランジスタTN11のバックゲート電圧は、トランジスタTN11のソース電圧よりも寄生ダイオードD11の順方向電圧Vf(ここでは、0.6V)分だけ高い電圧、つまり-11.4Vになる。したがって、トランジスタTP15のドレインには、-11.4Vが印加されることになる。但し、上述したようにPチャネルのLDMOSTランジスタTP15のドレインと p^- 型半導体基板70との間の負電圧に対する耐圧は-42Vであるため、-11.4Vという比較的高い負電圧が印加された場合であってもトランジスタTP15が破壊されることはない。

【0066】

一方、図8に示すように、トランジスタTP15、TP16のゲート及びトランジスタTP16のドレインには、第1の高電位電源電圧VDD1が供給されている。すなわち、トランジスタTP15、TP16のゲート電圧及びトランジスタTP16のドレイン電圧は0Vである。また、トランジスタTP15、TP16のソースは、トランジスタTP15、TP16のバックゲートと共にノードN12に接続され、そのノードN12がフローティング状態になっている。このとき、図7に示すように、トランジスタTP16の p^+ 型ドレイン領域100と n 型ボディ領域90(トランジスタTP15、TP16のバックゲートとなる n^+ 型バックゲート領域94)との間にはPN接合により寄生ダイオードD12が形成されている。この寄生ダイオードD12は、 p^+ 型ドレイン領域100から p 型ドリフト領域97を通じて n 型ボディ領域90(n^+ 型バックゲート領域94)に向かう方向が順方向になる。このため、図8に示すように、ノードN12の電圧、つまりトランジスタTP15、TP16のソース電圧は、トランジスタTP16のドレイン電圧(ここでは、0V)よりも寄生ダイオードD12の順方向電圧Vf(ここでは、0.6V)分だけ低い電圧、つまり-0.6Vになる。したがって、トランジスタTP15、TP16はオフする。このとき、図7に示すように、トランジスタTN11のバックゲートと接続される p^+ 型ドレイン領域98から電源端子T2までの間には、上記寄生ダイオードD12と、上記 p^+ 型ドレイン領域98と n 型ボディ領域90との間に形成された寄生ダイオードD13とが存在する。この寄生ダイオードD13は、 p^+ 型ドレイン領域98から p 型ドリフト領域91を通じて n 型ボディ領域90に向かう方向が順方向になる。このため、図8に示すように、電源端子T2の電位(ここでは、0V)よりも低い電圧(ここでは、-12V)が出力端子Toに印加された場合であっても、寄生ダイオードD13によ

10

20

30

40

50

て電源端子T2からバスB1に向かって電流が流れることを抑制することができる。したがって、当該半導体装置10Aが故障した場合であっても、その故障に起因して他の半導体装置10Bが誤動作を起こすことが抑制される。換言すると、1つの半導体装置10Aの電源端子T2が外れた場合(1つの半導体装置10Aが故障した場合)であっても、他の半導体装置10Bの通信を正常に行うことができる。

【0067】

さらに、本実施形態の出力回路11Aでは、トランジスタTN11のバックゲートが抵抗R2を介して同トランジスタTN11のゲートに接続されているため、トランジスタTN11のゲート電圧は、トランジスタTN11のバックゲート電圧よりも抵抗R2による電圧降下分だけ高い電圧になる。これにより、トランジスタTN11のゲート・ソース間電圧を低くすることができる。したがって、例えば電源端子T1の電圧とバスB1から出力端子Toに印加される電圧との電位差がトランジスタTN11のゲート・ソース間耐圧(ここでは、12V)よりも大きい場合であっても、トランジスタTN11のゲート・ソース間にその耐圧以上の電圧が印加されることが抑制される。

10

【0068】

また、トランジスタTN11のゲート電圧が負電圧になると、トランジスタTP12のソース電圧も負電圧になる。ここで、トランジスタTP12のゲート電圧は0Vになるため、トランジスタTP12はオフされる。このとき、ノードN11から電源端子T2までの間には、抵抗R1、及びトランジスタTP12のバックゲート・ドレイン間に形成される寄生ダイオードD14を通る電流パスが形成される。但し、この電流パスに抵抗R1を設けているため、この抵抗R1の抵抗値を調整することにより上記電流パスに流れる電流量を少なくすることができる。具体的には、本実施形態の出力回路11Aでは、例えば上記電流パスに流れる電流量がCAN(Controller Area Network)やLIN(Local interconnect network)等の規格によって定められた規定値以下となるように上記抵抗R1の抵抗値が設定されている。

20

【0069】

なお、上述したように、トランジスタTN1のソース・バックゲート間には、バックゲートからソースに向かう方向が順方向となる上記寄生ダイオードD11が形成されている。このため、例えば電源端子T1の電位よりも高い電圧が出力端子Toに印加された場合であっても、寄生ダイオードD11によって出力端子Toから電源端子T1に向かって電流が流れることを抑制することができる。

30

【0070】

以上説明した実施形態によれば、第1実施形態の(1)~(3)の効果に加えて以下の効果を奏する。

(4)NチャネルのLDMOSTランジスタTN11のバックゲートに、ドレインが外側になるように2つのPチャネルのLDMOSTランジスタTP15, TP16を直列に接続するようにした。このため、電源端子T2の電位よりも低い電圧(負電圧)が出力端子Toに印加された場合には、その負電圧がPチャネルのLDMOSTランジスタTP15のドレインに印加されることになる。ここで、PチャネルのLDMOSTランジスタTP15のドレインとp⁻型半導体基板70との間の負電圧に対する耐圧(例えば、-42V)は高く確保されている。したがって、電源端子T2の電圧と出力端子Toに印加された電圧(負電圧)との電位差が比較的高い場合であっても、上記負電圧によってトランジスタTP15が破壊されることを好適に抑制することができる。

40

【0071】

(5)ところで、上記PチャネルのLDMOSTランジスタTP15, TP16の代わりに、負電圧に対する耐圧を持たせたバイポーラトランジスタを用いる回路も考えられるが、この場合には以下の問題が発生する。すなわち、バイポーラトランジスタをCMOSと同一チップ上に形成するにはBi-CMOSプロセスとなるため、プロセス工程数が増大し、製造コストが増大するという問題がある。さらに、負電圧に対する高い耐圧を持たせたバイポーラトランジスタを形成するには特殊な基板を使用するため、製造コストの増

50

大が顕著となる。これに対し、本実施形態では、CMOSプロセスとの親和性が高いLDMOSTランジスタを使用するようにした。これにより、バイポーラトランジスタを使用する場合と比べてプロセス工程数の増大を抑制することができ、製造コストの増大を抑制することができる。

【0072】

(6) トランジスタTN11のバックゲートに、抵抗R2を介して同トランジスタTN11のゲートを接続するようにした。これにより、例えば電源端子T1の電圧とバスB1から出力端子Toに印加される電圧との電位差がトランジスタTN11のゲート・ソース間耐圧(ここでは、12V)よりも大きい場合であっても、トランジスタTN11のゲート・ソース間にその耐圧以上の電圧が印加されることが抑制される。したがって、トランジスタTN11が破壊されることを好適に抑制することができる。

10

【0073】

(7) トランジスタTP12のバックゲートに、抵抗R1を介して同トランジスタTP12のソースを接続するようにした。これにより、トランジスタTP12のソース電圧が電源端子T2の電位よりも低くなった場合に形成される電流パスに上記抵抗R1が設けられるため、この抵抗R1の抵抗値を調整することにより上記電流パスに流れる電流量を少なくすることができる。

【0074】

なお、上記各実施形態は、これを適宜変更した以下の態様にて実施することもできる。

・上記各実施形態におけるバッファ回路20における出力トランジスタ(図1のPチャネルMOSTランジスタTP2や図6のPチャネルのLDMOSTランジスタTP12)の接続を変更してもよい。例えば図9に示されるように、図6に示したPチャネルのLDMOSTランジスタTP12の代わりに、NチャネルのLDMOSTランジスタTN12を用いるようにしてもよい。トランジスタTN12のソースには、入力信号Vinが供給される。また、トランジスタTN12は、そのゲートがトランジスタTN11のゲートに接続され、ドレインがトランジスタTP11のドレインに接続されている。トランジスタTN12のバックゲートは同トランジスタTN12のソースに接続されている。さらに、トランジスタTN12のゲートは抵抗R3を介してドレインに接続されている。

20

【0075】

このようなNチャネルのLDMOSTランジスタTN12は、上記NチャネルのLDMOSTランジスタTN11と同一の導電型のLDMOSTランジスタである。そして、本実施形態では、トランジスタTN11のゲート・ソース間電圧Vgs11とトランジスタTN12のゲート・ソース間電圧Vgs13とが同一になるように、トランジスタTN11, TN12は同一の素子サイズに設定されている。

30

【0076】

この図9に示した出力回路11Aでは、内部回路から入力信号VinがトランジスタTN12のソースに供給されると、トランジスタTN12のゲート電圧が、入力信号VinよりもトランジスタTN12のゲート・ソース間電圧Vgs13分だけ高い電圧値となる。そして、このトランジスタTN12のゲート電圧がトランジスタTN11のゲート電圧となる。したがって、トランジスタTN11のソースから出力される出力信号Voutは、トランジスタTN12のゲート電圧よりもトランジスタTN11のゲート・ソース間電圧Vgs11分だけ低い電圧値となる。すなわち、出力信号Voutは、

40

$$V_{out} = V_{in} + V_{gs13} - V_{gs11}$$

となる。ここで、本実施形態では、上述したようにトランジスタTN11, TN12のゲート・ソース間電圧Vgs11, Vgs13が略同一になるように設定されている。このとき、トランジスタTN11, TN12が同一の導電型のLDMOSTランジスタであるため、製造ばらつきがあってもトランジスタTN11, TN12のゲート・ソース間電圧Vgs11, Vgs13を高精度に同一に設定することができる(Vgs11 = Vgs13)。このため、出力信号Voutの電圧値は、下記式より入力信号Vinと同一レベルになる。

50

【 0 0 7 7 】

$$\begin{aligned} V_{out} &= V_{in} + V_{gs13} - V_{gs11} \\ &= V_{in} + V_{gs13} - V_{gs11} \\ &= V_{in} \end{aligned}$$

さらに、トランジスタT N 1 2のゲートに、抵抗R 3を介して同トランジスタT N 1 2のドレインを接続するようにした。このため、トランジスタT N 1 2のゲート電圧が同トランジスタT N 1 2のソース電圧よりも低くなった場合に、トランジスタT N 1 2のゲートからソースに向かって形成される電流パスに上記抵抗R 3が設けられる。詳述すると、トランジスタT N 1 2のゲート電圧が同トランジスタT N 1 2のソース電圧よりも低くなると、トランジスタT N 1 2がオフされ、トランジスタT N 1 2のドレイン・バックゲート間に、そのバックゲートからドレインに向かう方向が順方向に寄生ダイオードが形成される。このため、トランジスタT N 1 2のゲートから抵抗R 3を介してドレイン、上記寄生ダイオード、トランジスタT N 1 2のソースを通る電流パスが形成される。但し、この電流パスに抵抗R 3を設けているため、この抵抗R 3の抵抗値を調整することにより上記電流パスに流れる電流量を少なくすることができる。例えば図9に示した出力回路1 1 Aでは、上記電流パスに流れる電流量がC A NやL I N等の規格によって定められた規定値以下となるように上記抵抗R 3の抵抗値が設定されている。なお、第2抵抗の一例として開示した抵抗R 3を省略するようにしてもよい。また、図9では、第2実施形態のバッファ回路2 0の変形例を示したが、第1実施形態のバッファ回路2 0についても同様に変更することができる。

10

20

【 0 0 7 8 】

・上記第2実施形態において、第1抵抗の一例として開示した抵抗R 2の代わりに、図1 0に示されるように、ツェナーダイオードZ D 2を設けるようにしてもよい。具体的には、トランジスタT N 1 1のバックゲートとゲートとの間に、トランジスタT N 1 1のバックゲート(ノードN 1 3)にアノードが接続され、トランジスタT N 1 1のゲート(ノードN 1 1)にカソードが接続されたツェナーダイオードZ D 2を設けるようにしてもよい。あるいは、抵抗R 2と上記ツェナーダイオードZ D 2を並列に接続するように設けるようにしてもよい。

【 0 0 7 9 】

・上記各実施形態では、第1M O Sトランジスタの一例としてNチャンネルM O SトランジスタT N 1やNチャンネルのL D M O SトランジスタT N 1 1を開示した。これに限らず、例えば第1M O SトランジスタとしてPチャンネルM O SトランジスタやPチャンネルのL D M O Sトランジスタを用いてもよい。なお、この場合の図1や図6に示した出力回路1 1 Aでは、第5M O Sトランジスタの一例として開示したPチャンネルM O SトランジスタT P 2やPチャンネルのL D M O SトランジスタT P 1 2の代わりに、NチャンネルM O SトランジスタやNチャンネルのL D M O Sトランジスタを用いることが好ましい。一方、上記の場合の図9に示した出力回路1 1 Aでは、第4M O Sトランジスタの一例として開示したNチャンネルのL D M O SトランジスタT N 1 2の代わりに、PチャンネルM O SトランジスタやPチャンネルのL D M O Sトランジスタを用いることが好ましい。

30

【 0 0 8 0 】

・上記第1実施形態では、第2M O Sトランジスタ及び第3M O Sトランジスタの一例としてPチャンネルM O SトランジスタT P 5, T P 6を開示した。これに限らず、例えば第2M O Sトランジスタ及び第3M O SトランジスタとしてNチャンネルM O Sトランジスタを用いてもよい。

40

【 0 0 8 1 】

・上記第2実施形態では、第2M O Sトランジスタ及び第3M O Sトランジスタの一例としてPチャンネルのL D M O SトランジスタT P 1 5, T P 1 6を開示した。これに限らず、例えば第2M O Sトランジスタ及び第3M O SトランジスタとしてPチャンネルM O Sトランジスタを用いてもよい。

【 0 0 8 2 】

50

・上記第1実施形態では、電流源の一例としてPチャンネルMOSトランジスタTP4を開示した。これに限らず、例えば電流源としてNチャンネルMOSトランジスタを用いてもよい。

【0083】

・上記第2実施形態では、電流源の一例としてPチャンネルのLDMOSトランジスタTP14を開示した。これに限らず、例えば電流源としてNチャンネルのLDMOSトランジスタを用いてもよい。

【0084】

・上記第1実施形態におけるPチャンネルMOSトランジスタTP4のゲートと電源端子T1との間にツェナーダイオードZD1を設けるようにしてもよい。

10

・上記第1実施形態におけるPチャンネルMOSトランジスタTP3のバックゲートを、抵抗R1を介して同トランジスタTP3のソースに接続するようにしてもよい。

【0085】

・上記第1実施形態におけるNチャンネルMOSトランジスタTN1のバックゲートを、抵抗R2を介して同トランジスタTN1のゲートに接続するようにしてもよい。また、トランジスタTN1のバックゲートとゲートとの間にツェナーダイオードZD2を設けるようにしてもよい。あるいは、トランジスタTN1のバックゲートとゲートとの間に抵抗R2と上記ツェナーダイオードZD2を並列に接続するように設けるようにしてもよい。

【0086】

・図9に示されるように、上記第2実施形態におけるツェナーダイオードZD1を省略

20

するようにしてもよい。
・上記第2実施形態において、第3抵抗の一例として開示した抵抗R1を省略するようにしてもよい。この場合には、PチャンネルのLDMOSトランジスタTP12のバックゲートを同トランジスタTP12のソースに直接接続する。

【0087】

・上記第2実施形態において、第1抵抗の一例として開示した抵抗R2を省略するようにしてもよい。この場合には、NチャンネルのLDMOSトランジスタTN11のバックゲートと同トランジスタTN11のゲートとの接続を省略する。

【0088】

・上記各実施形態におけるバッファ回路20の内部構成例に特に限定されない。また、バッファ回路20を省略するようにしてもよい。この場合には、トランジスタTN1, TN11のゲートに入力信号Vinを直接供給するようにしてもよい。

30

【符号の説明】

【0089】

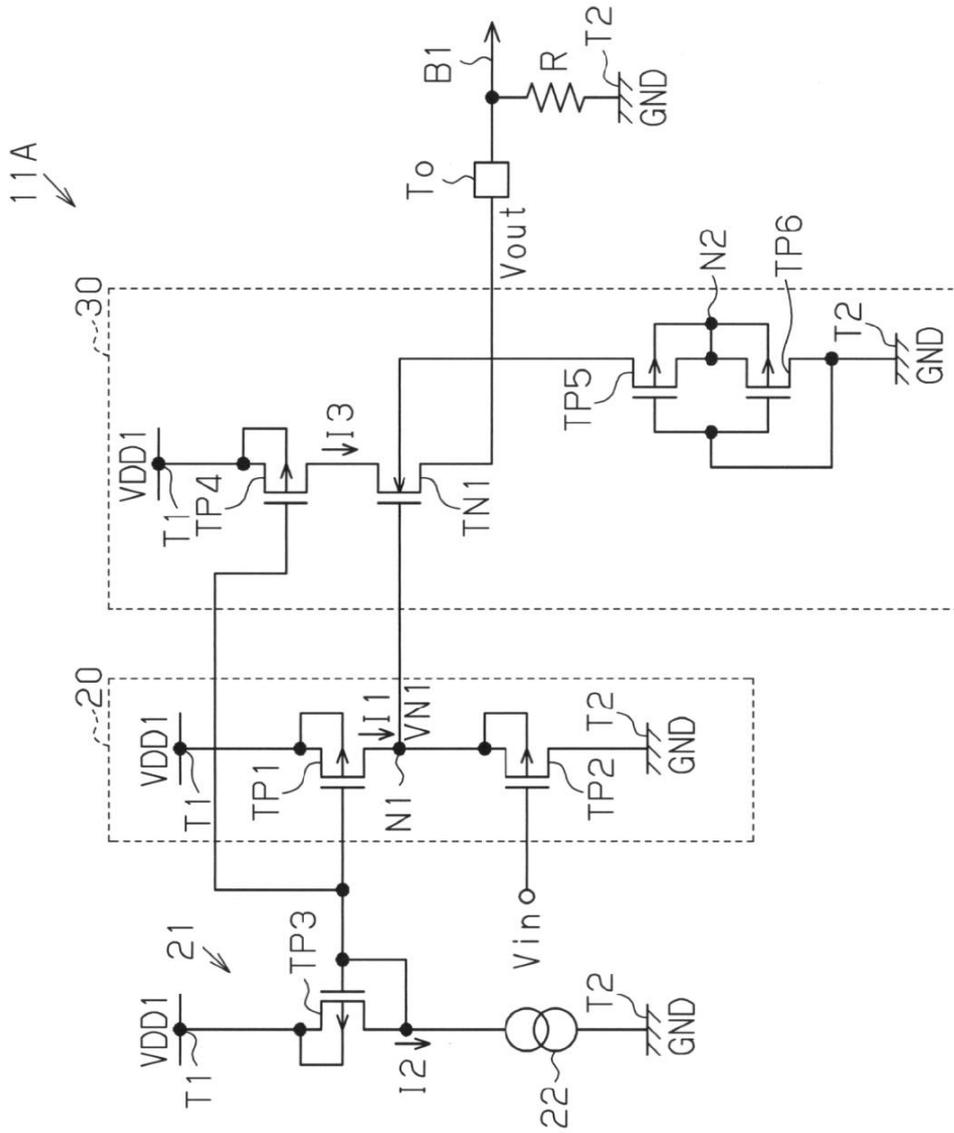
- 10A, 10B 半導体装置
- 11A, 11B 出力回路
- 20 バッファ回路(ソースフォロア回路)
- 21 電流制御回路(電流源)
- 30 出力段
- TN1, TN11 第1MOSトランジスタ
- TP5, TP15 第2MOSトランジスタ
- TP6, TP16 第3MOSトランジスタ
- TN12 第4MOSトランジスタ
- TP2, TP12 第5MOSトランジスタ
- TP1, TP11 トランジスタ(電流源)
- TP4, TP14 トランジスタ(電流源)
- R2 第1抵抗
- R3 第2抵抗
- R1 第3抵抗
- To 出力端子

40

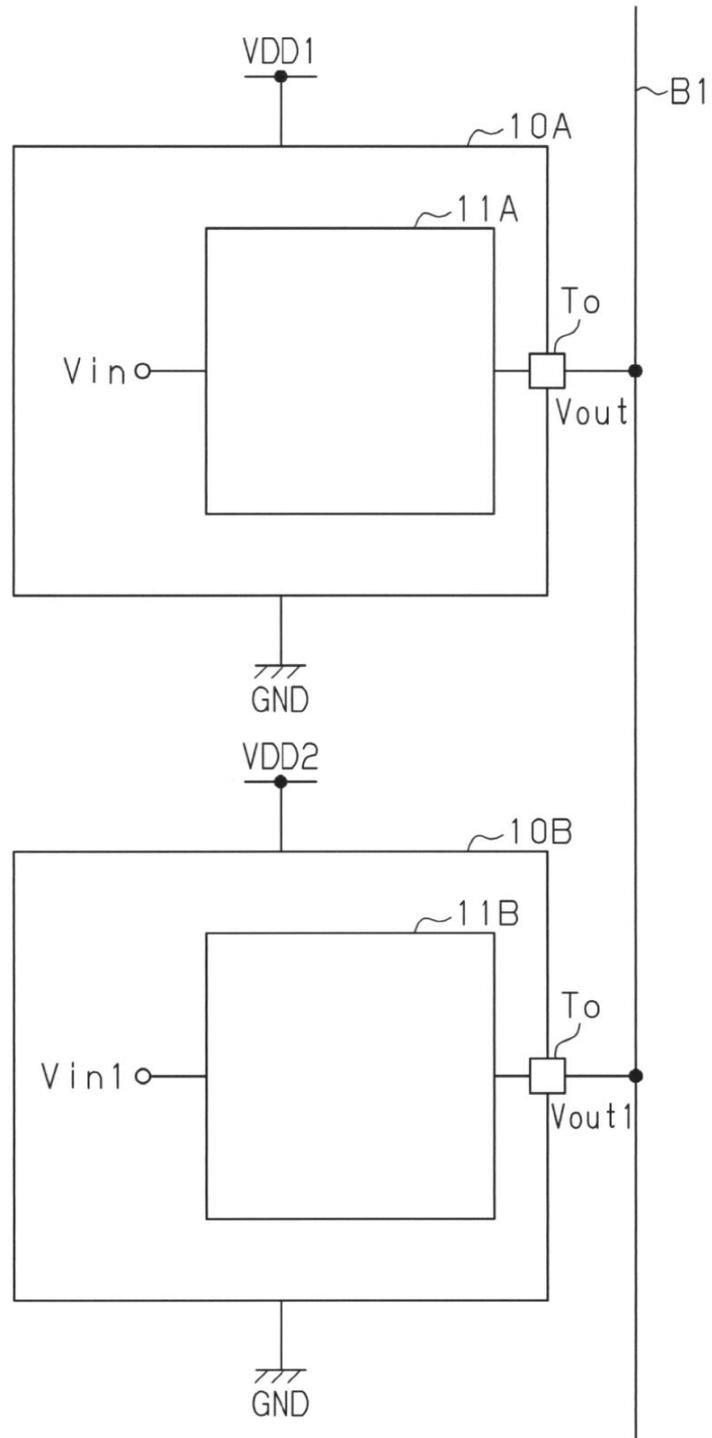
50

T 1 高電位側の電源端子
T 2 低電位側の電源端子
N 2 , N 1 2 ノード
V N 1 , V N 1 1 電圧
V i n 入力信号

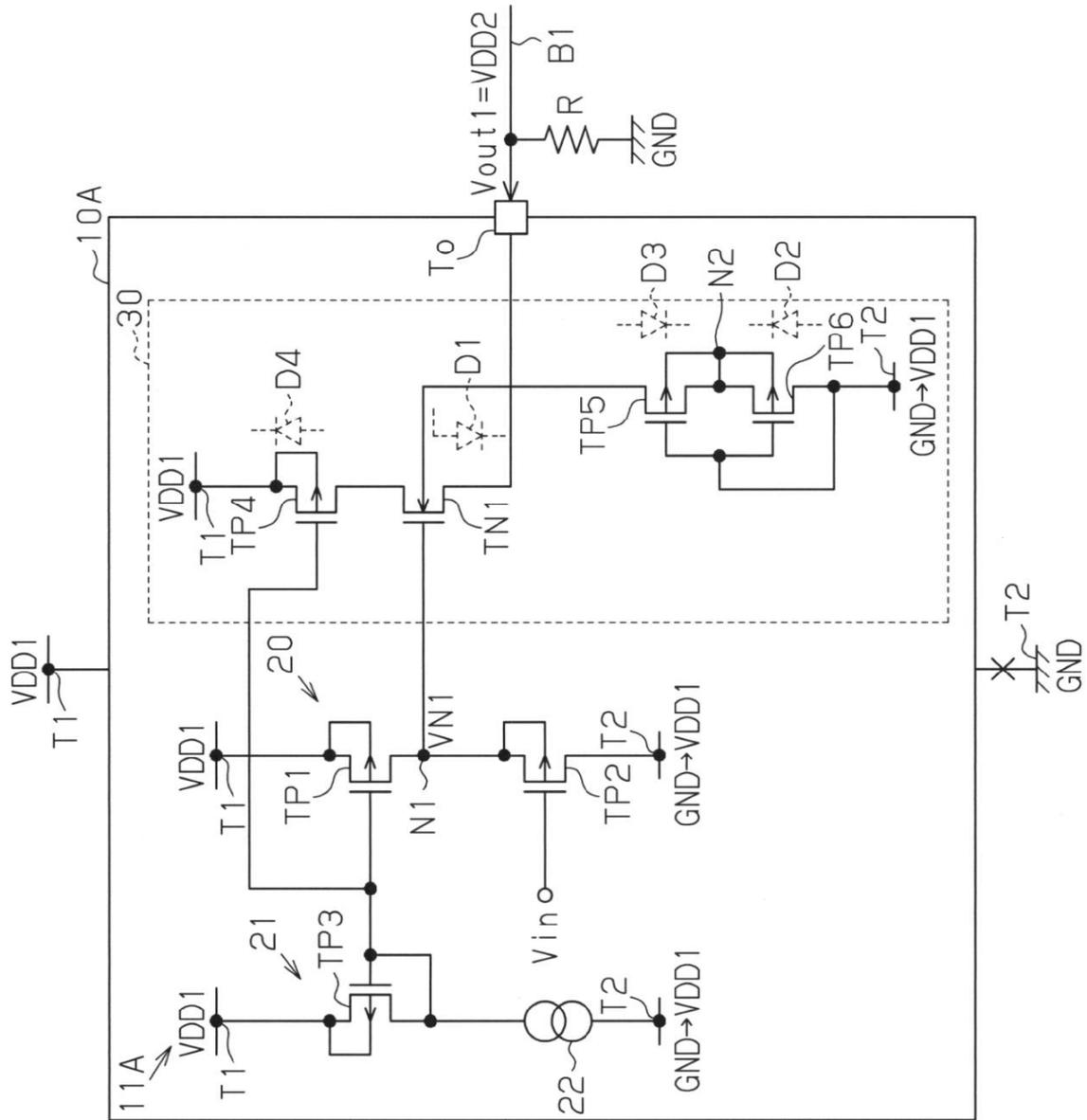
【図1】



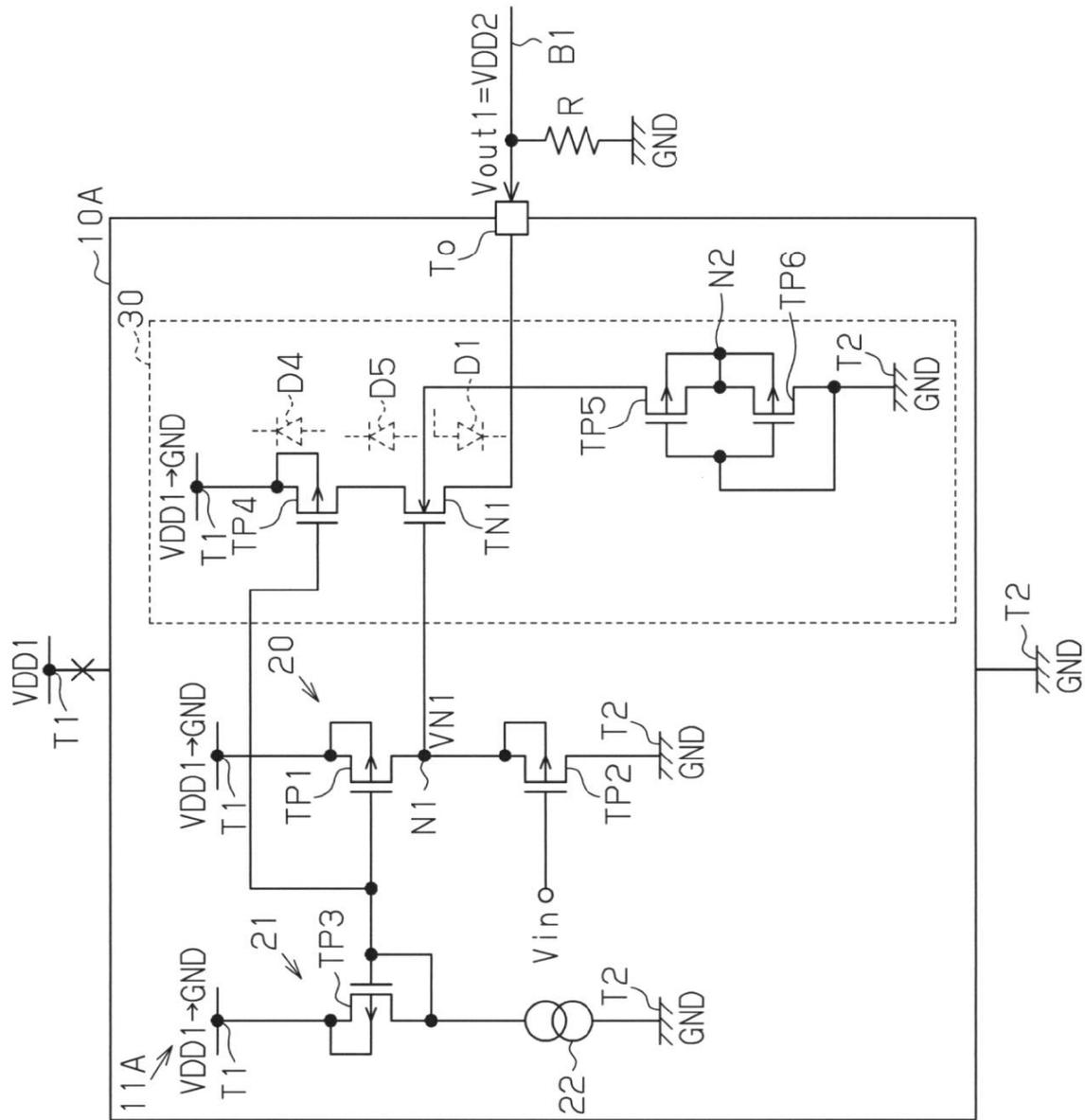
【図3】



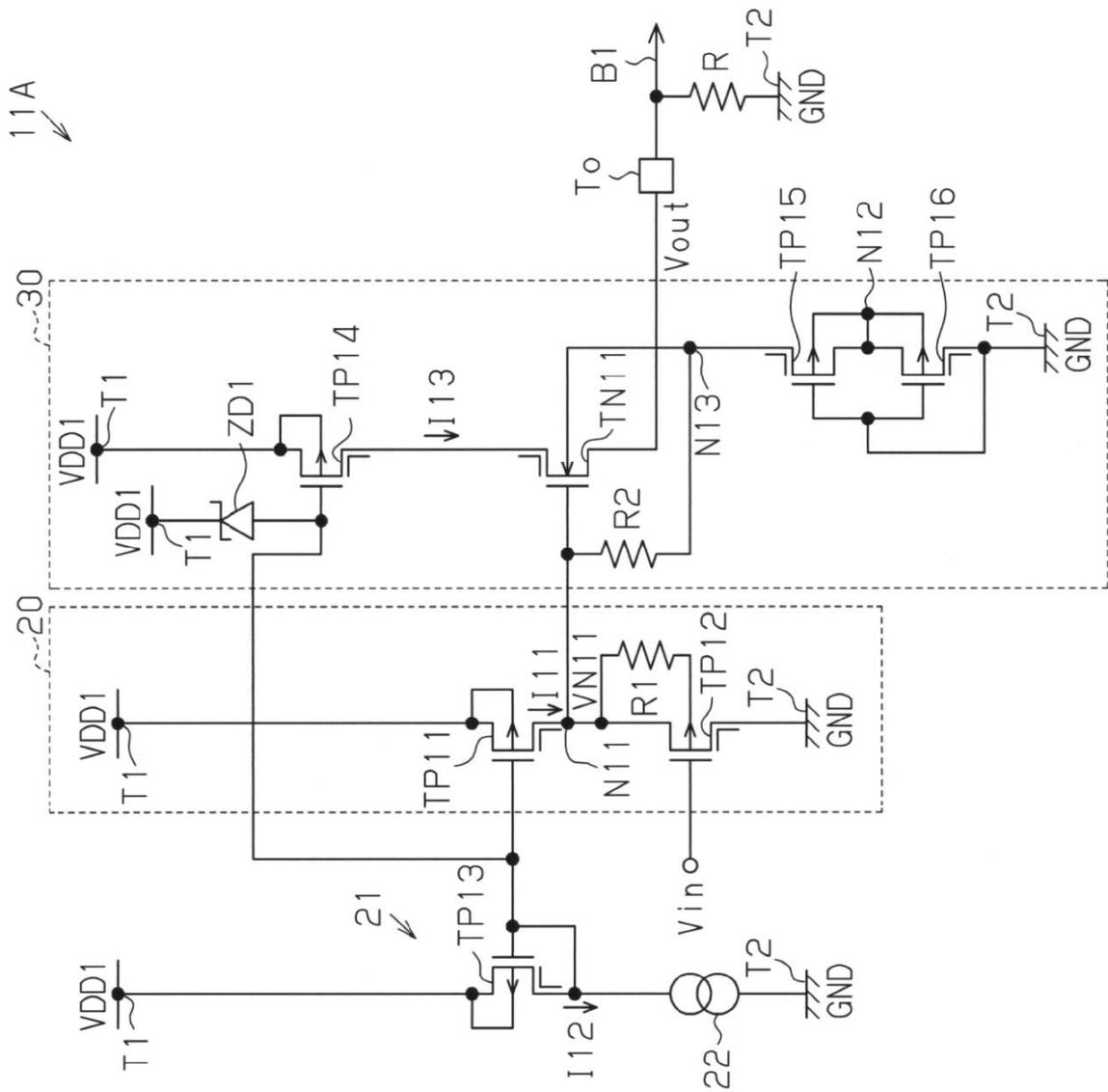
【 図 4 】



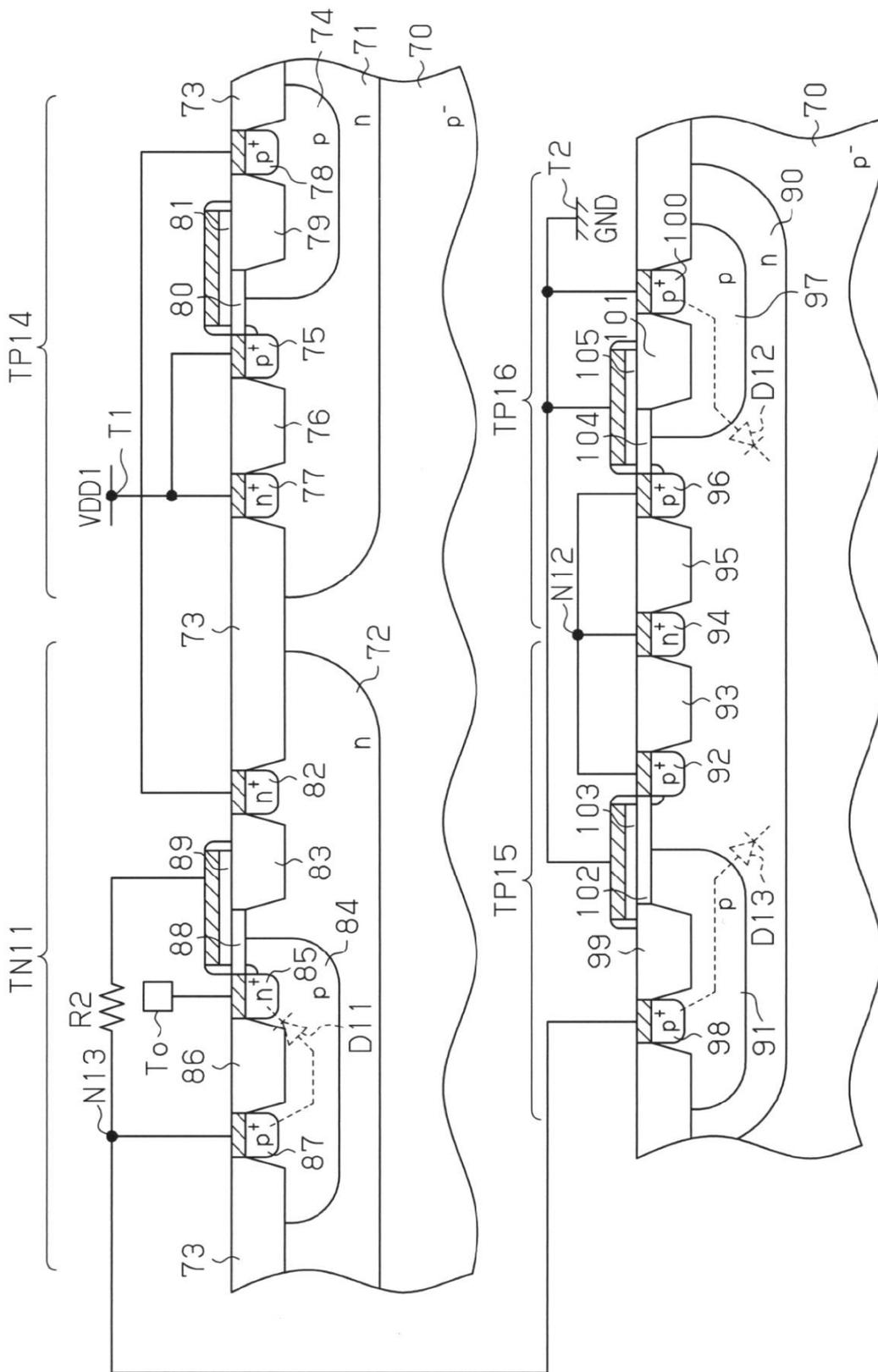
【図5】



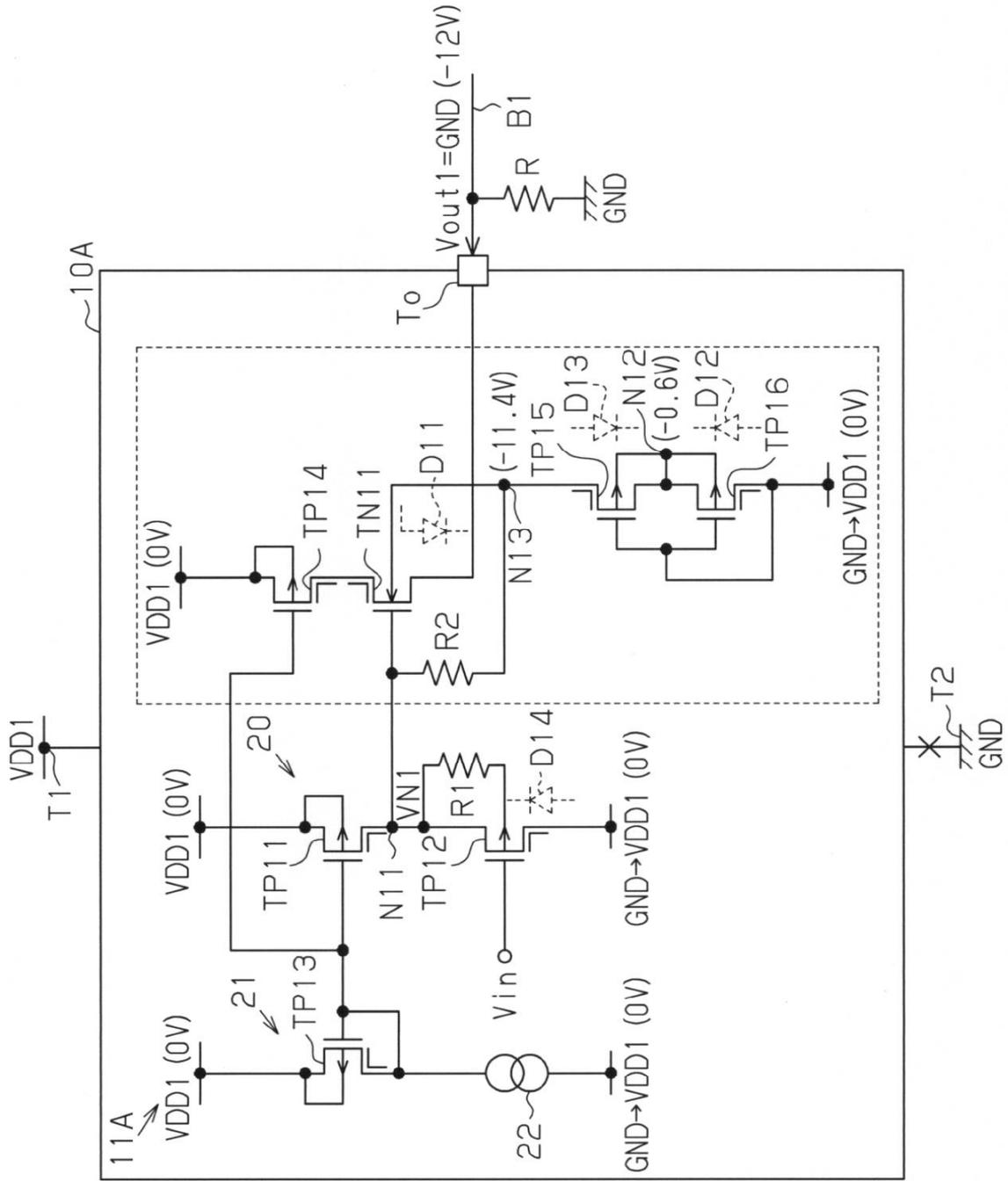
【 図 6 】



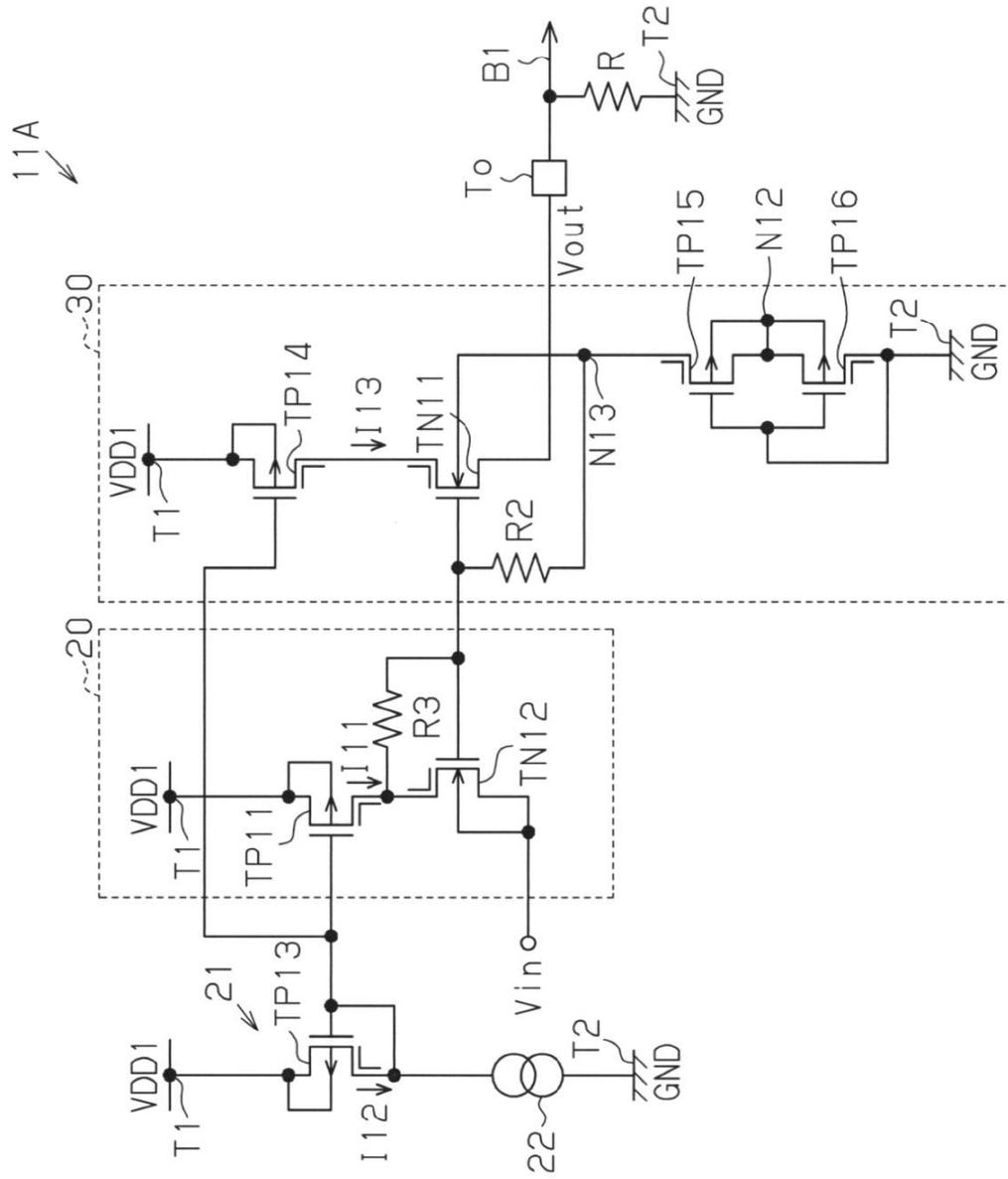
【図7】



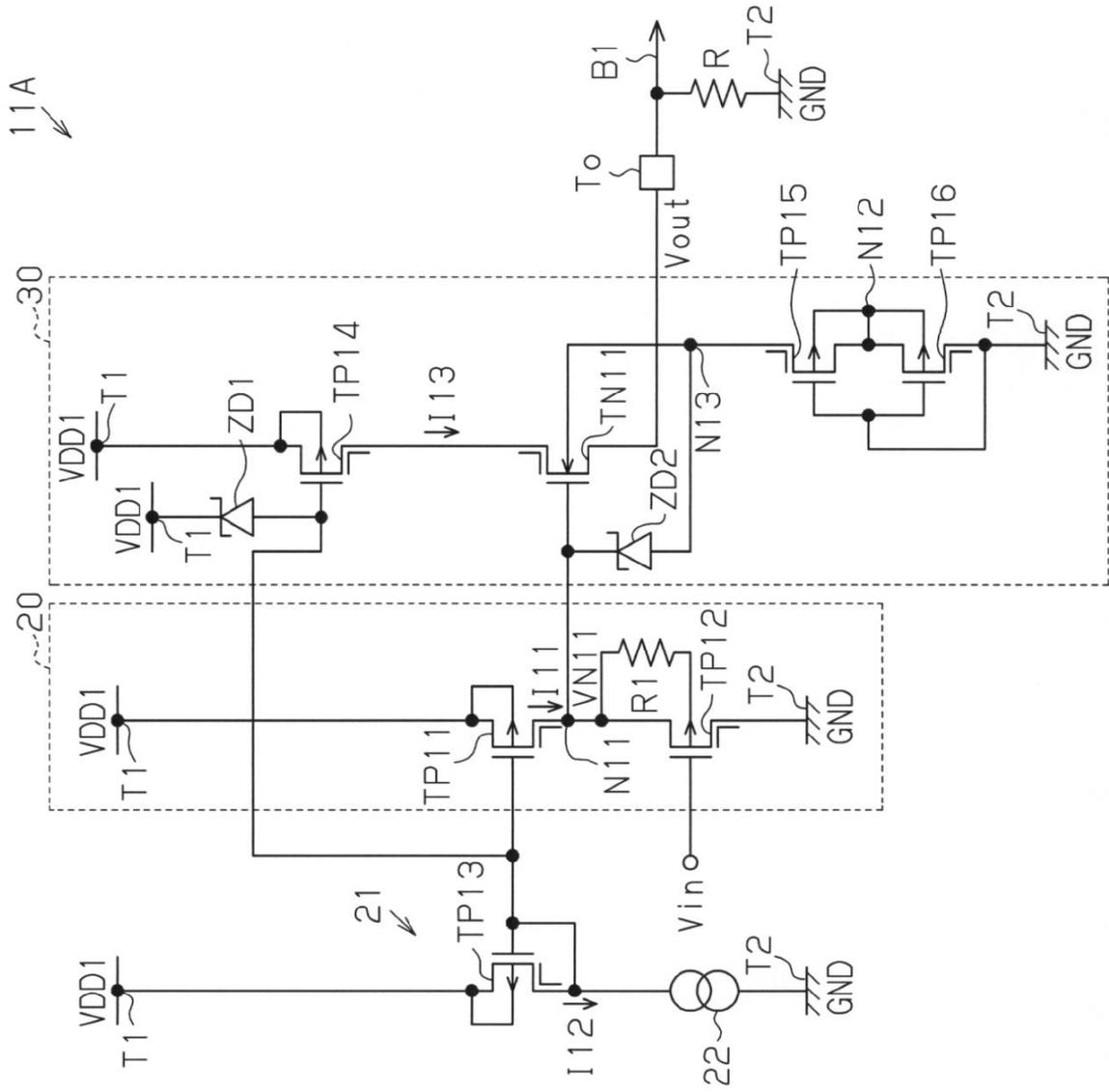
【 8 】



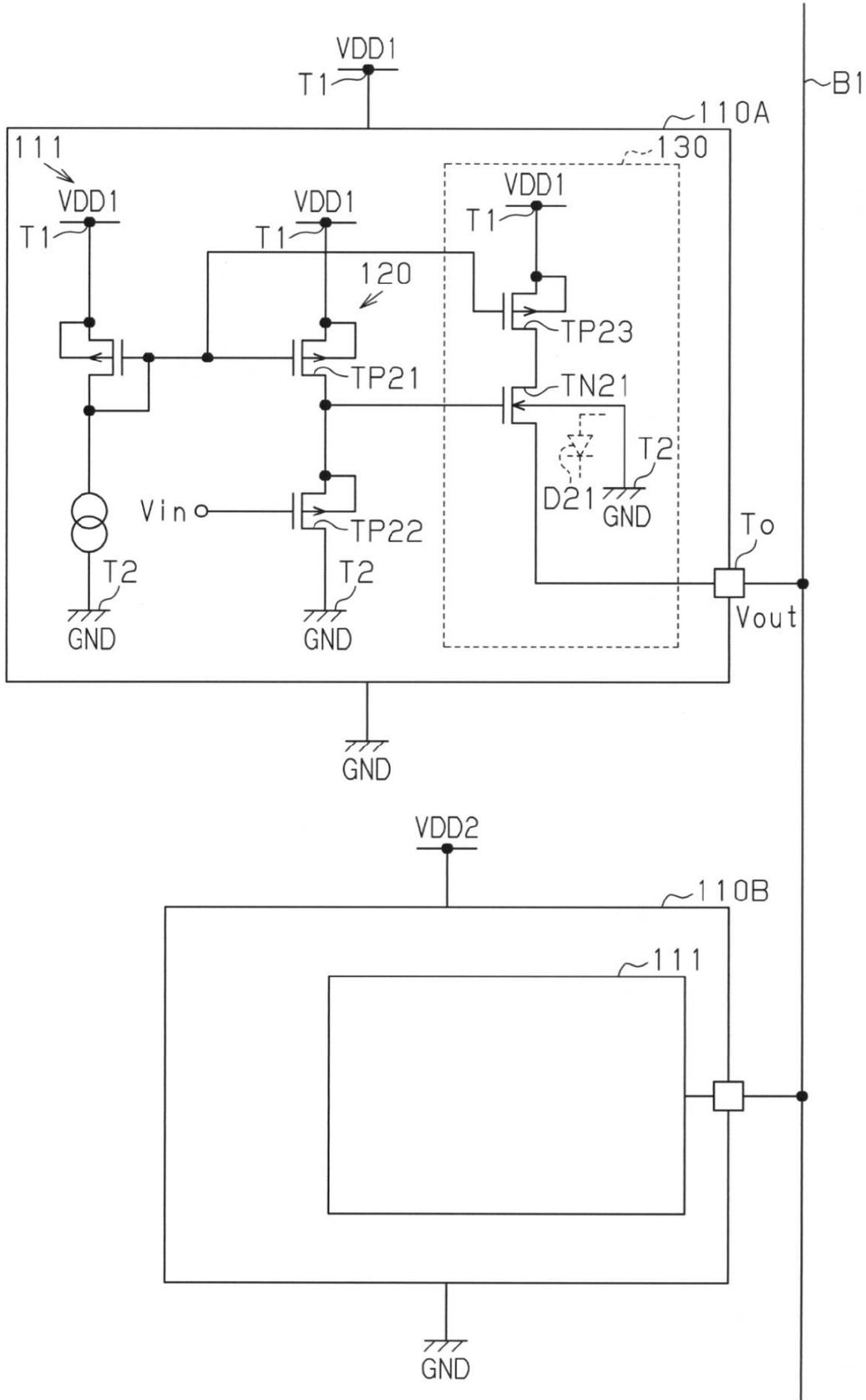
【 図 9 】



【 図 10 】



【図11】



フロントページの続き

審査官 白井 孝治

(56)参考文献 特開2009-165113(JP,A)
特開平03-078313(JP,A)

(58)調査した分野(Int.Cl., DB名)
H03K 19/0175
H03K 19/007