



(21) 申請案號：110103725

(22) 申請日：中華民國 110 (2021) 年 02 月 01 日

(51) Int. Cl. : H01L21/82 (2006.01)

H01L21/8239(2006.01)

H01L21/8249(2006.01)

(30) 優先權：2020/06/24 美國

16/910,658

(71) 申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR  
MANUFACTURING COMPANY, LTD. (TW)

新竹市新竹科學工業園區力行六路八號

(72) 發明人：陳志良 CHEN, CHIH-LIANG (TW)；陳順利 CHEN, SHUN-LI (TW)；田麗鈞 TIEN,  
LI-CHUN (TW)；陳庭榆 CHEN, TING-YU (TW)；莊惠中 ZHUANG, HUI-ZHONG  
(TW)

(74) 代理人：李世章；秦建譜

申請實體審查：無 申請專利範圍項數：20 項 圖式數：17 共 86 頁

(54) 名稱

製造積體電路的方法

(57) 摘要

一種方法包括以下步驟：產生積體電路的單元的佈局圖；及將產生的佈局圖儲存在非暫時性電腦可讀媒體上。在產生該單元的佈局圖的步驟中，在單元的邊界內配置第一主動區域。第一主動區域沿著第一方向延伸。在邊界內配置至少一個閘極區域。至少一個閘極區域沿著橫切第一方向的第二方向跨越第一主動區域延伸。配置第一導電區域以與第一主動區域及邊界的第一邊緣重疊。第一導電區域用以形成至第一主動區域的電連接。

A method includes generating a layout diagram of a cell of an integrated circuit (IC), and storing the generated layout diagram on a non-transitory computer-readable medium. In the generating the layout diagram of the cell, a first active region is arranged inside a boundary of the cell. The first active region extends along a first direction. At least one gate region is arranged inside the boundary. The at least one gate region extends across the first active region along a second direction transverse to the first direction. A first conductive region is arranged to overlap the first active region and a first edge of the boundary. The first conductive region is configured to form an electrical connection to the first active region.

指定代表圖：

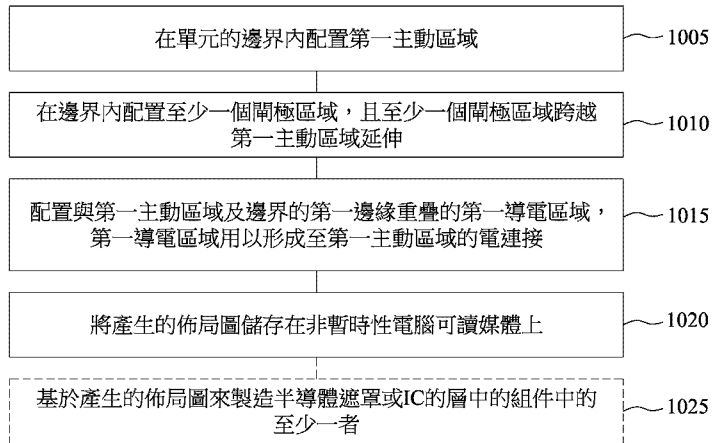
1000A  


符號簡單說明：

1000A:方法

1005,1010,1015,1020,

1025:操作



第 10A 圖



202201640

**【發明摘要】****【中文發明名稱】** 積體電路裝置與方法**【英文發明名稱】** INTEGRATED CIRCUIT DEVICE AND METHOD**【中文】**

一種方法包括以下步驟：產生積體電路的單元的佈局圖；及將產生的佈局圖儲存在非暫時性電腦可讀媒體上。在產生該單元的佈局圖的步驟中，在單元的邊界內配置第一主動區域。第一主動區域沿著第一方向延伸。在邊界內配置至少一個閘極區域。至少一個閘極區域沿著橫切第一方向的第二方向跨越第一主動區域延伸。配置第一導電區域以與第一主動區域及邊界的第一邊緣重疊。第一導電區域用以形成至第一主動區域的電連接。

**【英文】**

A method includes generating a layout diagram of a cell of an integrated circuit (IC), and storing the generated layout diagram on a non-transitory computer-readable medium. In the generating the layout diagram of the cell, a first active region is arranged inside a boundary of the cell. The first active region extends along a first direction. At least one gate region is arranged inside the boundary. The at least one gate region extends across the first active region along a second direction transverse to the first direction. A first conductive region is arranged to overlap the first active region and a first edge of the boundary. The first conductive region is configured to form an electrical connection to the first active region.

【指定代表圖】第(10A)圖。

【代表圖之符號簡單說明】

1000A：方法

1005, 1010, 1015, 1020, 1025：操作

【特徵化學式】

無

## 【發明說明書】

【中文發明名稱】積體電路裝置與方法

【英文發明名稱】INTEGRATED CIRCUIT DEVICE AND METHOD

【技術領域】無

【先前技術】

【0001】 積體電路(integrated circuit; IC)通常包括在IC 佈局圖中表示的許多半導體元件。IC 佈局圖係階層式的，且包括根據半導體元件的設計規格來實行高階功能的模組。該些模組經常由單元的組合建構，該單元中的每一者表示用以執行特定功能的一或多個半導體結構。具有預先設計的佈局圖的單元(有時被稱為標準單元)係儲存在標準單元庫(為簡單起見，下文中稱為「庫」或「單元庫」)，且可由諸如電子設計自動化(electronic design automation; EDA)工具的一種工具存取以產生、最佳化且驗證IC 的設計。

【發明內容】無

【圖式簡單說明】

【0002】 本案的態樣將在結合附圖閱讀時自以下詳細描述最佳地瞭解。請注意，根據產業中的標準方法，各種特徵未按比例繪製。實際上，為了論述清楚起見，各種特徵的

尺寸可以任意地增大或減小。

第 1 A 圖係根據本案的一實施例之電路圖且第 1 B 圖係單元的佈局圖。

第 2 圖係根據本案的一實施例包括各種填充物單元的佈局圖。

第 3 圖係根據本案的一實施例包括 IC 元件的 IC 佈局圖，及構成 IC 元件的 IC 佈局圖的各種單元的佈局圖。

第 4 圖係根據本案的一實施例包括 IC 元件的 IC 佈局圖，及構成 IC 元件的 IC 佈局圖的各種單元的佈局圖。

第 5 圖係根據本案的一實施例之單元的佈局圖。

第 6 圖係根據本案的一實施例包括 IC 元件的 IC 佈局圖，及構成 IC 元件的 IC 佈局圖的各種單元的佈局圖。

第 7 圖係根據本案的一實施例包括 IC 元件的 IC 佈局圖，及構成 IC 元件的 IC 佈局圖的各種單元的佈局圖。

第 8 圖係根據本案的一實施例之單元的佈局圖。

第 9 圖係根據本案的一實施例包括 IC 元件的 IC 佈局圖，及構成 IC 元件的 IC 佈局圖的各種單元的佈局圖。

第 10 A 圖係根據本案的一實施例之方法的流程圖。

第 10 B 圖係根據本案的一實施例之方法的流程圖。

第 11 A 圖係根據本案的一實施例之平面電晶體的示意性平面俯視圖，第 11 B 圖係沿著第 11 A 圖中的線 X1 - X1 的平面電晶體的示意性橫截面圖，且第 11 C 圖係沿著第 11 A 圖中的線 Y1 - Y1 的平面電晶體的示意性橫截面圖。

第 12 A 圖係根據本案的一實施例之鰭式場效電晶體 (fin

field-effect transistor; FINFET) 的示意性平面俯視圖，第 12B 圖係沿著 12A 圖中的線 X2-X2 的 FINFET 的示意性橫截面圖，且第 12C 圖係沿著第 12A 圖中的線 Y2-Y2 的 FINFET 的示意性橫截面圖。

第 13A 圖係根據本案的一實施例之奈米片 FET 的示意性平面俯視圖，第 13B 圖係沿著第 13A 圖中的線 X3-X3 的奈米片 FET 的示意性橫截面圖，且第 13C 圖係沿著第 13A 圖中的線 Y3-Y3 的奈米片 FET 的示意性橫截面圖。

第 14A 圖係根據本案的一實施例之奈米線 FET 的示意性平面俯視圖，第 14B 圖係沿著第 14A 圖中的線 X4-X4 的奈米線 FET 的示意性橫截面圖，且第 14C 圖係沿著第 14A 圖中的線 Y4-Y4 的奈米線 FET 的示意性橫截面圖。

第 15A 圖至第 15G 圖係根據本案的一實施例之正在製造製程的各種階段製造的 IC 元件的示意性橫截面圖。

第 16 圖係根據本案的一實施例之 EDA 系統的方塊圖。

第 17 圖係根據本案的一實施例之 IC 製造系統及與該 IC 製造系統相關聯的 IC 製造流程的方塊圖。

### 【實施方式】

【0003】 以下揭示內容提供用於實施提供的標的的不同特徵的許多不同實施例或實例。組件、材料、值、步驟、操作、材料、配置或類似者的特徵實例將在下文描述以簡化本案。當然，此等各者僅為實例且不欲為限制性的。設想其他組件、值、操作、材料、配置或類似者。舉例而言，

在隨後的描述中的第一特徵形成於第二特徵上方或上可包括第一特徵及第二特徵係直接接觸地形成的實施例，且亦可包括額外特徵可形成於第一特徵與第二特徵之間，使得第一特徵及第二特徵不可直接接觸的實施例。另外，本案可在各種實例中重複參考數字及/或字母。此重複係出於簡單及清楚的目的且本身並不規定論述的各種實施例及/或組態之間的關係。

**【0004】** 此外，為了方便用於描述如諸圖中所圖示的一個元件或特徵與另一元件或特徵的關係的描述，在本文中可使用空間相對術語，諸如「在... ..下面」、「在... ..之下」、「下部」、「在... ..之上」、「上部」及類似術語。空間相對術語意欲涵蓋除了諸圖中所描繪的定向以外的元件在使用或操作時的不同定向。設備可另外定向(旋轉 90 度或處於其他定向)，且本文中所使用的空間相關描述符可類似地加以相應解釋。

**【0005】** 單元 (c e l l) 具有用於與單元的主動區域形成電接觸的導電區域(亦被稱為本文中所描述的「M D 區域」)。在一些實施例中，單元具有在單元的邊界的邊緣上的 M D 區域。當兩個單元係彼此毗鄰地置放時，上面具有 M D 區域的邊緣彼此鄰接。此不同於單元沿著上面具有虛設閘極區域的邊緣彼此鄰接的其他方法。與其他方法相比，在至少一個實施例有可能達成一或多個優點，包括(但不限於)減小的單元寬度、增大的閘極密度或類似者。

**【0006】** 第 1 A 圖係根據本案的一實施例之電路圖且第 1 B



圖係單元 100 的佈局圖。在第 1A 圖至第 1B 圖中，單元 100 係反相器，例如，INVD1 (驅動強度為 1 的反相器)。此係一實例，且其他單元在各種實施例的範疇內。舉例而言，在各種實施例中，單元 100 係功能單元、工程修改命令 (engineering change order; ECO) 單元、填充物單元、實體單元或另一類型的單元，或能夠在 IC 佈局圖中界定的單元的組合。

**【0007】** 功能單元係經預先設計以將特定功能提供至並有此功能單元的 IC 的單元。功能單元的實例包括 (但不限於) 邏輯閘單元、記憶體單元或類似者。邏輯閘單元的實例包括 (但不限於) 及 (AND)、或 (OR)、反及 (NAND)、反或 (NOR)、互斥或 (XOR)、反 (INV)、及或反 (AND-OR-Invert; AOI)、或及反 (OR-AND-Invert; OAI)、多工 (MUX)、正反器、緩衝 (BUFF)、鎖存器、延遲、時脈或類似者。記憶體單元的實例包括 (但不限於) 靜態隨機存取記憶體 (static random access memory; SRAM)、動態隨機存取記憶體 (dynamic random access memory; DRAM)、電阻式隨機存取記憶體 (resistive random access memory; RRAM)、磁阻式隨機存取記憶體 (magnetoresistive random access memory; MRAM)、唯讀記憶體 (read only memory; ROM) 單元，或能夠具有表示邏輯值的多種狀態的另一類型的單元。

**【0008】** ECO 單元係經預先設計的不具有特定功能的單元，

但可程式化以提供預期功能。舉例而言，為了設計 IC，自標準單元庫讀出一或多個功能單元的預先設計佈局且將這些預先設計佈局置放至初始 IC 佈局中。IC 佈局亦包括尚未連接或選路至功能單元的一或多個 ECO 單元。當 IC 佈局待修改時，已經置放的 ECO 單元中的一或多個經程式化以提供預期功能且選路至功能單元。ECO 單元的程式化涉及 IC 佈局的一或多個層及 / 或用於製造 IC 的遮罩中的修改。

**【0009】** 填充物單元係不具有邏輯功能性的單元，且不連接或選路至 IC 佈局圖中的其他單元。填充物單元的用途係填充 IC 佈局圖中的空白空間，例如，以滿足一或多個設計規則，諸如鄰近特徵之間的最小間隔。除填充物單元以外的單元在本文中被稱為「非填充物單元」。

**【0010】** 實體單元係用以將除邏輯功能以外的功能提供至並有此實體單元的 IC 的單元。實體單元的實例包括(但不限於) TAP 單元、DCAP 單元或類似者。TAP 單元界定摻雜井中的區域，在該區域中，摻雜井耦接至諸如電源電壓的偏壓電壓。TAP 單元包括在 IC 佈局圖中，例如，以改良根據 IC 佈局圖製造的 IC 的門鎖抗擾性。DCAP 單元包括處於電力匯流排或軌道之間的一或多個去耦電容器 (decap)，例如，作為電荷儲存庫以在對來自電源的電流有高需求的情況下提供額外電力。

**【0011】** 在第 1A 圖中的實例電路圖中，單元 100 中的反相器包含串聯地耦接在第一電源電壓 VDD 與第二電源電

壓  $VSS$  之間的 p 通道金屬氧化物半導體 (p-channel metal-oxide semiconductor; PMOS) 電晶體及 n 通道金屬氧化物半導體 (n-channel metal-oxide semiconductor; NMOS) 電晶體。確切地說，PMOS 電晶體包含閘極區域 GP、源極區域 SP 及汲極區域 DP。NMOS 電晶體包含閘極區域 GN、源極區域 SN 及汲極區域 DN。閘極區域 GP、GN 耦接至輸入節點 IN。汲極區域 DP、DN 耦接至輸出節點 OUT。源極區域 SP 耦接至  $VDD$ ，且源極區域 SN 耦接至  $VSS$ 。在至少一個實施例中， $VDD$  係正電源電壓，而  $VSS$  係接地電壓。反相器用以使輸入節點 IN 處的信號反向且在輸出節點 OUT 處輸出反向的信號。

**【0012】** 在第 1B 圖中的實例佈局圖中，單元 100 包含第一主動區域 110、第二主動區域 120、閘極區域 130、導電區域 141、142、143、144 及邊界 150。在至少一個實施例中，單元 100 的佈局圖以及根據各種實施例的其他單元的佈局圖儲存在非暫時性電腦可讀媒體上的標準單元庫中。

**【0013】** 第一主動區域 110 及第二主動區域 120 係配置在邊界 150 內，且沿著第一方向 (即 X 方向) 延伸。主動區域有時被稱為氧化物界定 (oxide-definition; OD) 區域，且在圖式中用標籤「OD」示意性地圖示。X 方向有時被稱為 OD 方向。第一主動區域 110 及第二主動區域 120 包括 P 型摻雜劑及 / 或 N 型摻雜劑以形成一或多個電路元件或元

件。電路元件的實例包括(但不限於)，電晶體及二極體。電晶體的實例包括(但不限於)，金屬氧化物半導體場效電晶體(metal oxide semiconductor field effect transistor; MOSFET)、互補金屬氧化物半導體(complementary metal oxide semiconductor; CMOS)電晶體、雙極接面電晶體(bipolar junction transistor; BJT)、高壓電晶體、高頻電晶體、P通道及/或N通道場效電晶體(P-channel field effect transistor/N-channel field effect transistor; PFET/NFET)等)、鰭式FET、源極/汲極升高的平面MOS電晶體、奈米片FET、奈米線FET或類似者。用以在當中形成一或多個PMOS元件的主動區域在本文中被稱為「PMOS主動區域」，而用以在當中形成一或多個NMOS元件的主動區域在本文中被稱為「NMOS主動區域」。舉例而言，第一主動區域110係用以與閘極區域130一起形成如關於第1A圖描述的反相器的PMOS電晶體的PMOS主動區域。第二主動區域120係用以與閘極區域130一起形成如關於第1A圖描述的反相器的NMOS電晶體的NMOS主動區域。確切地說，PMOS主動區域110包含在閘極區域130的一區段的對置側上的汲極區域DP及源極區域SP，閘極區域130的該區段在PMOS主動區域110上方延伸且界定閘極區域GP。NMOS主動區域120包含在閘極區域130的另一區段的對置側上的汲極區域DN及源極區域SN，閘極區域130的該另一區段在NMOS

主動區域 120 上方延伸且界定閘極區域 GN。在第 1B 圖中的實例組態中，PMOS 主動區域 110 及 NMOS 主動區域 120 中的每一者具有在 X 方向上的與邊界 150 的邊緣 151、152 重合的對置側(未編號)，該些邊緣在 X 方向上彼此對置。其他組態在各種實施例的範疇內。單元 100 包含在 Y 方向上的兩個主動區域 110、120。此係一實例，且各種實施例中的其他單元包括在 Y 方向上的其他數目個主動區域。

**【0014】** 閘極區域 130 係配置在邊界 150 內，且沿著橫切 X 方向的第二方向(即 Y 方向)跨越 PMOS 主動區域 110 及 NMOS 主動區域 120 延伸。閘極區域 130 包括諸如多晶矽的導電材料，且在圖式中用標籤「PO」示意性地圖示。Y 方向有時被稱為聚合方向。用於閘極區域的其他導電材料(諸如金屬)在各種實施例的範疇內。單元 100 包含單一閘極區域。此係一實例，且各種實施例中的其他單元包括多於一個的閘極區域。在第 1B 圖中的實例組態中，閘極區域 130 具有在 Y 方向上的與邊界 150 的邊緣 153、154 重合的對置邊緣(未編號)，該些邊緣在 Y 方向上彼此對置。其他組態在各種實施例的範疇內。

**【0015】** 導電區域 141、143 重疊且用以形成至 PMOS 主動區域 110 的電連接，而導電區域 142、144 重疊且用以形成至 NMOS 主動區域 120 的電連接。導電區域 141、142、143、144 在本文中被稱為「MD 區域」，即氧化物上零金屬區域，且在圖式中用標籤「MD」示意性地圖示。

MD 區域包括導電材料，該導電材料形成於對應主動區域上方以界定自形成於主動區域中的一或多個元件至 IC 的其他內部電路或至外部電路的電連接。在至少一個實施例中，MD 區域 141、142、143、144 係由金屬形成且屬 IC 的第一金屬層，在本文中被稱為「M0 層」，即零金屬 (M0) 層，M0 層係直接在主動區域上方的最低金屬層。MD 區域與閘極區域在 X 方向上交替地配置。在一些實施例中，X 方向上的鄰近 MD 區域之間間距 (即，X 方向上的鄰近 MD 區域的中心線之間的距離) 等於 X 方向上的鄰近閘極區域之間間距 CPP，例如，如關於第 3 圖所描述。在至少一個實施例中，對於形成於主動區域上方的 x 個閘極區域，存在形成於主動區域上方的 (x + 1) 個 MD 區域。舉例而言，在第 1B 圖中，對於形成於 PMOS 主動區域 110 上方的一個閘極區域 130 (即，閘極區域 GP)，在閘極區域 130 的對置側上存在形成於同一 PMOS 主動區域 110 上方的兩個 MD 區域 141、143。同樣地，對於形成於 NMOS 主動區域 120 上方的一個閘極區域 130 (即，閘極區域 GN)，在閘極區域 130 的對置側上存在形成於同一 NMOS 主動區域 120 上方的兩個 MD 區域 142、144。與主動區域中的汲極區域重疊且用以形成至汲極區域的電連接的 MD 區域在本文中稱為「汲極側 MD 區域」或「汲極側導電區域」，且在圖式中用標籤「D 側」示意性地指示。舉例而言，MD 區域 141 及 MD 區域 142 分別為與汲極區域 DP、DN 重疊且形成至汲極區域 DP、DN 的電連接的汲極側

MD 區域。與主動區域中的源極區域重疊且用以形成至源極區域的電連接的 MD 區域在本文中被称为「源極側 MD 區域」或「源極側導電區域」，且在圖式中用標籤「S 側」示意性地指示。舉例而言，MD 區域 143 及 MD 區域 144 分別為與源極區域 SP、SN 重疊且形成至源極區域 SP、SN 的電連接的源極側 MD 區域。一或多個介層孔層及/或金屬層(未示出)經組態在 MD 區域 141、142、143、144 及閘極區域 130 上方，以形成單元 100 內及/或至其他單元的互連，例如，以將源極側 MD 區域 143 電耦接至 VDD，將源極側 MD 區域 144 電耦接至 VSS，將汲極側 MD 區域 141、142 電耦接至對應於第 1A 圖中的輸出節點 OUT 的節點，且將閘極區域 130 電耦接至對應於第 1A 圖中的輸出節點 OUT 的另外節點。在至少一個實施例中，MD 區域 141、142、143、144 在 X 方向上具有相同寬度，而源極側 MD 區域 143、144 具有在 Y 方向上大於汲極側 MD 區域 141、142 的長度。其他組態在各種實施例的範疇內。

**【0016】** 邊界 150 包含邊緣 151、152、153、154，這些邊緣連接在一起以形成單元 100 的閉合邊界。在本文中所描述的置放選路(place-and-route)操作(亦被称为「自動置放與選路(automated placement and routing; APR)」)中，單元係在各自的邊界處彼此毗鄰地置放在 IC 佈局圖中。舉例而言，如本文中所描述，單元 100 係在邊緣 151、152 處在 X 方向上彼此毗鄰地置放。

單元 100 係在邊緣 153、154 處在 Y 方向上毗鄰於其他單元而置放。邊界 150 有時被稱為「置放選路邊界」且在圖式中用標籤「PrB」示意性地圖示。邊界 150 的矩形形狀係一實例。各種單元的其他邊界形狀在各種實施例的範疇內。

**【0017】** MD 區域 141、142、143、144 係沿著邊界 150 的邊緣配置且與該些邊緣重疊。舉例而言，MD 區域 141、142 係沿著邊緣 151 配置且與該邊緣重疊，而 MD 區域 143、144 係沿著邊緣 152 配置且與該邊緣重疊。在至少一個實施例中，邊緣 151 與 X 方向上的 MD 區域 141、142 中的每一者的中心線重合。換言之，邊緣 151 將 X 方向上的 MD 區域 141、142 中的每一者的寬度對半分。在至少一個實施例中，邊緣 152 與 X 方向上的 MD 區域 143、144 中的每一者的中心線重合。邊界 150 的寬度係邊緣 151、152 之間的距離，且等於鄰近 MD 區域之間（例如，MD 區域 141、143 之間，或 MD 區域 142、144 之間）在 X 方向上的一個間距 CPP。在第 1B 圖中的實例組態中，單元 100 包含 Y 方向上的兩個主動區域 110、120，及在每一邊緣 151 或 152 上的兩個對應 MD 區域。其他組態在各種實施例的範疇內。舉例而言，在單元包含 Y 方向上的一個或三個或四個主動區域的一些實施例中，對應的一個或三個或四個 MD 區域配置在每一邊緣 151 或 152 上。在當單元 100 經置放以在 X 方向上鄰接其他單元時的置放選路操作中，沿著邊界 150 的邊緣的 MD 區域 141、142、



143、144 與其他單元的對應 MD 區域合併，如關於例如第 3 圖至第 4 圖所描述。

**【0018】** 第 2 圖係根據本案的一實施例包括各種填充物單元 200A 至 200E 的佈局圖。第 2 圖不應被解釋為根據一些實施例的所有填充物單元的窮舉演示，其他填充物單元組態在各種實施例的範疇內。為簡單起見，填充物單元 200A 至 200E 中的類似組件由類似參考數字來指示。此外，具有第 1B 圖中的對應組件的第 2 圖中的組件係由第 1B 圖的參考數字增大 100 來指定。在至少一個實施例中，填充物單元 200A 至 200E 的佈局圖以及根據各種實施例的其他單元的佈局圖儲存在非暫時性電腦可讀媒體上的標準單元庫中。

**【0019】** 類似於單元 100，填充物單元 200A 至 200E 中的每一者包含 PMOS 主動區域 210、NMOS 主動區域 220、跨越主動區域 210、220 的閘極區域 230 及沿著邊緣 251、252 在填充物單元的邊界上的在 X 方向上彼此對置的 MD 區域 241 至 244。為簡單起見，對於填充物單元 200A，圖示參考數字 210、220、230、250，而對於其他填充物單元 200B 至 200E，省略參考數字 210、220、230、250 中的一或多者。填充物單元 200A 至 200E 中的每一者亦具有在 X 方向上的一個間距 CPP 的寬度。

**【0020】** 填充物單元 200A 至 200E 與單元 100 的差別在於填充物單元 200A 至 200E 中的每一者中的閘極區域 230 係虛設閘極區域，在圖式中用標籤「CPODE」示意性

地圖示。舉例而言，在填充物單元 200A 中，虛設閘極區域 230 包括在 PMOS 主動區域 210 上方的 P 區段，及在 NMOS 主動區域 220 上方的 N 區段。不同於藉由其他介層孔及 / 或金屬層電耦接至一或多個其他單元的單元 100 的閘極區域 130，虛設閘極區域 230 不電耦接至其他單元。虛設閘極區域 230 包括在 Y 方向上彼此分開的兩個區段 P 及 N 的第 2 圖中的組態係一實例。其他組態在各種實施例的範疇內。

**【0021】** 填充物單元 200A 至 200E 與單元 100 之間的另一差別在於，儘管填充物單元 200A 至 200E 中的 MD 區域在第 2 圖中由對應標籤「D 側」指示為汲極側 MD 區域，但在此汲極側 MD 區域下的主動區域的區域未必係汲極區域。舉例而言，在填充物單元 200A 中，MD 區域 241、243 兩者經指示為汲極側 MD 區域。然而，MD 區域 241、243 下的主動區域 210 的區域未必係汲極區域，此係因為單元 200A 係不具邏輯功能性的填充物單元。填充物單元 200A 中的 MD 區域 241、243 作為汲極側 MD 區域的指定及 / 或組態係用於匹配將與填充物單元 200A 鄰接的其他非填充物單元的對應汲極側 MD 區域，例如，如本文中關於第 4 圖所描述。相同解釋可適用於填充物單元 200A 至 200E 中的由標籤「D 側」指示的其他 MD 區域。類似地，儘管填充物單元 200A 至 200E 中的 MD 區域在第 2 圖中由對應標籤「S 側」指示為源極側 MD 區域，但此源極側 MD 區域下的主動區域的區域未必係源極區域。舉例

而言，在填充物單元 200C 中，MD 區域 241、243 兩者經指示為源極側 MD 區域。然而，MD 區域 241、243 下的主動區域 210 的區域未必係源極區域，此係因為單元 200C 係不具邏輯功能性的填充物單元。填充物單元 200C 中的 MD 區域 241、243 作為源極側 MD 區域的指定及/或組態係用於匹配將與填充物單元 200C 鄰接的其他非填充物單元的對應源極側 MD 區域，例如，如本文中關於第 7 圖所描述。相同解釋可適用於填充物單元 200A 至 200E 中的由標籤「S 側」指示的其他 MD 區域。

**【0022】** 填充物單元 200A 至 200E 在 MD 區域 241 至 244 作為汲極側 MD 區域及/或源極側 MD 區域的指定及/或組態上彼此不同。舉例而言，填充物單元 200A 包括四個汲極側 MD 區域 241 至 244，填充物單元 200B 包括兩個汲極側 MD 區域 241、243 及兩個源極側 MD 區域 242、244，填充物單元 200C 包括兩個源極側 MD 區域 241、243 及兩個汲極側 MD 區域 242、244，填充物單元 200D 包括兩個汲極側 MD 區域 243、244 及兩個源極側 MD 區域 241、242，且填充物單元 200E 包括兩個汲極側 MD 區域 241、244 及兩個源極側 MD 區域 242、243。在一或多個實施例中，填充物單元 200A 至 200E 的不同組態確保在 X 方向上可插入於非填充物單元的任何對之間的填充物單元在置放選路操作中的可用性，儘管存在沿著非填充物單元對的對置邊緣的汲極側 MD 區域及/或源極側 MD 區域的各種可能組合。關於第 4 圖、第 7 圖及第 9 圖來描

述幾個非窮舉實例。

【0023】 第 3 圖係根據本案的一實施例包括 IC 元件 300 的 IC 佈局圖，及構成 IC 元件 300 的 IC 佈局圖的各種單元的佈局圖。IC 元件 300 的 IC 佈局圖係藉由例如在置放選路操作中毗鄰於第二單元置放第一單元而產生。舉例而言，第一單元係關於第 1B 圖描述的單元 100，且第二單元係單元 100'。單元 100' 具有藉由在 X 方向上翻轉單元 100 的佈局圖所獲得的佈局圖。與單元 100 相同，單元 100' 亦為反相器。具有單元 100 中的對應組件的單元 100' 中的組件係由單元 100 的參數數字加上撇號來指定。

【0024】 在置放選路操作中，單元 100 經置放以鄰接單元 100'。確切地說，上面具有源極側 MD 區域 143、144 的單元 100 的邊緣 152 經置放以與上面具有源極側 MD 區域 143'、144' 的單元 100' 的邊緣 152' 重合。結果，自重疊邊緣 152、152' 獲得共用邊緣 352。換言之，單元 100 的邊界 150 經置放以沿著共用邊緣 352 鄰接單元 100' 的邊界 150'。另外，單元 100 的源極側 MD 區域 143 與單元 100' 的對應源極側 MD 區域 143' 合併，從而產生 IC 元件 300 中的源極側 MD 區域 343。單元 100 的源極側 MD 區域 144 與單元 100' 的對應源極側 MD 區域 144' 合併，從而產生 IC 元件 300 中的源極側 MD 區域 344。IC 元件 300 中的源極側 MD 區域 343、344 與共用邊緣 352 重疊。單元 100 的 PMOS 主動區域 110 在共用邊緣 352 與單元 100' 的 PMOS 主動區域 110' 相連，從而產

生 IC 元件 300 的組合式 PMOS 主動區域 310。單元 100 的 NMOS 主動區域 120 在共用邊緣 352 與單元 100' 的 NMOS 主動區域 120' 相連，從而產生 IC 元件 300 的組合式 NMOS 主動區域 320。IC 元件 300 進一步包含單元 100 的 MD 區域 141、142 及閘極區域 130，以及單元 100' 的 MD 區域 141'、142' 及閘極區域 130'。閘極區域 130、130' 在 X 方向上彼此鄰近，且以間距 CPP 配置，該間距係閘極區域 130 的中心線與閘極區域 130' 的中心線之間的距離。如本文中所描述，IC 元件 300 的鄰近閘極區域之間的間距 CPP 與鄰近 MD 區域之間的間距相同。IC 元件 300 的毗鄰單元具有 2 CPP 的寬度，該寬度係單元 100 及單元 100' 的寬度的總和。

**【0025】** 在至少一個實施例中，如關於第 3 圖描述的第一單元與第二單元的直接鄰接係在沿著第一單元及第二單元的對置邊緣的所有 MD 區域係源極側 MD 區域時執行。舉例而言，單元 100 及單元 100' 直接鄰接，此係因為沿著對置邊緣 152、152' 的 MD 區域 143、144、143'、144' 全部為源極側 MD 區域。原因在於，在操作中將供應至源極側 MD 區域的電位或電壓係已知的或預定的。舉例而言，將供應至源極側 MD 區域 143、143' 的電位或電壓係將供應至 PMOS 電晶體或元件的源極區域的電位或電壓，即，如關於第 1A 圖描述的 VDD。相同 VDD 將供應至藉由合併源極側 MD 區域 143、143' 獲得的源極側 MD 區域 343。類似地，將供應至源極側 MD 區域 144、144' 的電位或電

壓係將供應至 NMOS 電晶體或元件的源極區域的電位或電壓，即，如關於第 1A 圖描述的 VSS。相同 VSS 將供應至藉由合併源極側 MD 區域 144、144' 獲得的源極側 MD 區域 344。因此，在至少一個實施例中，單元 100 與單元 100' 的直接鄰接經執行而不會影響所得 IC 元件 300 中的鄰接的單元 100 及單元 100' 的操作或功能性。

**【0026】** 在至少一個實施例中，當沿著第一單元及第二單元的對置邊緣的 MD 區域中的至少一者係汲極側 MD 區域時，執行在第一單元與第二單元之間插入一填充物單元。原因在於，在操作中將供應至汲極側 MD 區域的電位或電壓係可變的。舉例而言，將供應至汲極側 MD 區域的電位或電壓係將供應至 PMOS 或 NMOS 電晶體或元件的的電位或電壓，即，例如關於第 1A 圖描述的輸出節點 OUT 處的可變信號。在一些情形中，沿著具有汲極側 MD 區域的邊緣的兩個單元的直接鄰接涉及如下風險：具有不同電壓或電位的另一 MD 與汲極側 MD 區域合併，從而產生直接鄰接的單元的可能錯誤的操作。插入填充物單元係用於減少此風險。

**【0027】** 第 4 圖係根據本案的一實施例包括 IC 元件 400 的 IC 佈局圖，及構成 IC 元件 400 的 IC 佈局圖的各種單元的佈局圖。IC 元件 400 的 IC 佈局圖係藉由例如在置放選路操作中在兩個其他單元之間且毗鄰於該些兩個其他單元置放一填充物單元而產生。舉例而言，填充物單元 200A 插入於單元 100 與單元 100' 之間且毗鄰於單元 100 及單

元 100' 置放。

【0028】 第 4 圖與第 3 圖之間的差別在於，在第 3 圖中，單元 100 及 100' 係以邊緣 152、152' 彼此對置的方式置放，而在第 4 圖中，單元 100 及 100' 係以不同邊緣對(即，邊緣 151、151')彼此對置的方式置放。在第 3 圖中，因為沿著對置邊緣 152、152' 的所有 MD 區域 143、144、143'、144' 係源極側 MD 區域，所以單元 100 及單元 100' 係直接毗鄰地置放，如本文中所描述。然而，在第 4 圖中，因為沿著對置邊緣 151、151' 的 MD 區域 141、142、141'、142' 中的至少一者(實際上，全部)係汲極側 MD 區域，所以執行在單元 100 與單元 100' 之間插入填充物單元，如本文中亦描述。

【0029】 在一些實施例中，第 4 圖中的待插入於單元 100 與單元 100' 之間的填充物單元係基於單元 100 及單元 100' 的對置邊緣 151、151' 上的 MD 區域而選擇。舉例而言，當填充物單元插入於單元 100 與單元 100' 之間時，填充物單元具有與單元 100 的邊緣 151 對置的邊緣 252，及與單元 100' 的邊緣 151' 對置的邊緣 251。因為單元 100 的邊緣 151 上的 MD 區域 141、142 係汲極側 MD 區域，所以選擇填充物單元，使得對置邊緣 252 上的 MD 區域 243、244 亦係汲極側 MD 區域。因為單元 100' 的邊緣 151' 上的 MD 區域 141'、142' 係汲極側 MD 區域，所以選擇填充物單元，使得對置邊緣 251 上的 MD 區域 241、242 亦係汲極側 MD 區域。結果，第 4 圖中的待插

入單元 100 與單元 100' 之間的填充物單元經選擇具有沿著邊緣 251、252 的四個汲極側 MD 區域 241、242、243、244。在儲存於標準單元庫中的填充物單元(例如,填充物單元 200A 至 200E)中,填充物單元 200A 滿足此等準則且經選擇以插入於單元 100 與單元 100' 之間。在一些實施例中,填充物單元是否將插入於兩個其他單元之間的所描述判定或對待插入的填充物單元的所描述選擇中的至少一者係在置放選路操作中由處理器執行。

**【0030】** 第 4 圖中的填充物單元 200A 與單元 100 之間的鄰接及填充物單元 200A 與單元 100' 之間的鄰接類似於第 3 圖中的單元 100 與單元 100' 之間的鄰接。舉例而言,單元 100 的邊緣 151 經置放以與填充物單元 200A 的對置邊緣 252 重合,從而產生共用邊緣 452。單元 100 的汲極側 MD 區域 141、142 與填充物單元 200A 的對應汲極側 MD 區域 243、244 合併,從而分別產生與共用邊緣 452 重疊的汲極側 MD 區域 443、444。單元 100' 的邊緣 151' 經置放以與填充物單元 200A 的對置邊緣 251 重合,從而產生共用邊緣 451。單元 100' 的汲極側 MD 區域 141'、142' 與填充物單元 200A 的對應汲極側 MD 區域 241、242 合併,從而分別產生與共用邊緣 451 重疊的汲極側 MD 區域 441、442。單元 100 的 PMOS 主動區域 110、填充物單元 200A 的 PMOS 主動區域 210 及單元 100' 的 PMOS 主動區域 110' 在共用邊緣 452、451 變得連續,從而產生 IC 元件 400 的組合式 PMOS 主動區域 410。單



元 100 的 NMOS 主動區域 120、填充物單元 200A 的 NMOS 主動區域 220 及單元 100' 的 NMOS 主動區域 120' 在共用邊緣 452、451 變得連續，從而產生 IC 元件 400 的組合式 NMOS 主動區域 420。IC 元件 400 進一步包含單元 100 的 MD 區域 143、144 及閘極區域 130、填充物單元 200A 的虛設閘極區域 230 以及單元 100' 的 MD 區域 143'、144' 及閘極區域 130'。閘極區域 130、130' 在虛設閘極區域 230 的對置側上，且以間距 CPP 配置，該間距 CPP 與 IC 元件 400 中的鄰近 MD 區域之間的時間距相同。IC 元件 400 中的鄰接單元具有 3 CPP 的寬度，該寬度係單元 100、填充物單元 200A 及單元 100' 的寬度的總和。

**【0031】** 第 5 圖係根據本案的一實施例之單元 500 的佈局圖。單元 500 係反及閘，例如，ND2D1（驅動強度為 1 的 2 輸入端反及閘）。此係在各種實施例的範疇內的單元的另一實例。具有第 1B 圖中的對應組件的第 5 圖中的組件係由第 1B 圖的參考數字增大 400 指定。特別地，單元 500 包含第一主動區域 510、第二主動區域 520、對應於閘極區域 130 的閘極區域 531、532 及沿著邊緣 551、552 在邊界 550 上的導電區域 541、542、543、544。導電區域 541、543、544 係源極側 MD 區域，而導電區域 542 係汲極側 MD 區域。單元 500 進一步包含處於閘極區域 531、532 之間且跨越第一主動區域 510 及第二主動區域 520 的各種 MD 區域（未編號）。在至少一個實施例中，單

元 500 的佈局圖以及根據各種實施例的其他單元的佈局圖儲存在非暫時性電腦可讀媒體上的標準單元庫中。

**【0032】** 第 6 圖係根據本案的一實施例包括 IC 元件 600 的 IC 佈局圖，及構成 IC 元件 600 的 IC 佈局圖的各種單元的佈局圖。IC 元件 600 的 IC 佈局圖係藉由例如在置放選路操作中毗鄰於第二單元置放第一單元而產生。舉例而言，第一單元係關於第 5 圖描述的單元 500，而第二單元係具有藉由在 X 方向上翻轉單元 500 的佈局圖獲得的佈局圖的單元 500'。與單元 500 一樣，單元 500' 亦為反及閘。具有單元 500 中的對應組件的單元 500' 中的組件係由單元 500 的參考數字加上撇號指定。第 6 圖中的 IC 元件 600 係藉由單元 500 及單元 500' 在邊緣 552、552' 處直接鄰接產生，沿著該些邊緣，所有 MD 區域 543、544、543'、544' 係源極側 MD 區域。單元 500 與單元 500' 的直接鄰接類似於關於第 3 圖描述的單元 100 與單元 100' 的直接鄰接。

**【0033】** 第 7 圖係根據本案的一實施例包括 IC 元件 700 的 IC 佈局圖，及構成 IC 元件 700 的 IC 佈局圖的各種單元的佈局圖。IC 元件 700 的 IC 佈局圖係藉由例如在置放選路操作中在兩個其他單元之間且毗鄰於該些兩個其他單元置放一填充物單元而產生。舉例而言，填充物單元 200C 插入於單元 500 與單元 500' 之間且毗鄰於單元 500 及單元 500' 置放。

**【0034】** 第 7 圖與第 6 圖之間的差別在於，在第 6 圖中，

單元 500 及 500' 係以邊緣 552、552' 彼此對置的方式置放，而在第 7 圖中，單元 500 及 500' 係以不同邊緣對(即，邊緣 551、551')彼此對置的方式置放。在第 6 圖中，因為沿著對置邊緣 552、552' 的所有 MD 區域 543、544、543'、544' 係源極側 MD 區域，所以單元 500 及單元 500' 係直接毗鄰地置放。然而，在第 7 圖中，因為沿著對置邊緣 551、551' 的 MD 區域(即，542、542')中的至少一者係汲極側 MD 區域，所以執行在單元 500 與單元 500' 之間插入填充物單元。在一些實施例中，第 7 圖中的待插入於單元 500 與單元 500' 之間的填充物單元 200C 係以類似於第 4 圖的方式選擇。第 7 圖中的填充物單元 200C 與單元 500 之間的鄰接及填充物單元 200C 與單元 500' 之間的鄰接係以類似於第 4 圖的方式執行。

**【0035】** 第 8 圖係根據本案的一實施例之單元 800 的佈局圖。單元 800 係及或反 (AND-OR-Invert; AOI) 邏輯，例如，AOI22D1 (具有兩個 2 輸入端 AND 閘且驅動強度為 1 的 AOI)。此係在各種實施例的範疇內的單元的另一實例。具有第 1B 圖中的對應組件的第 8 圖中的組件係由第 1B 圖的參考數字增大 700 指定。特別地，單元 800 包含第一主動區域 810、第二主動區域 820、對應於閘極區域 130 的閘極區域 831 至 834 及沿著邊緣 851、852 在邊界 850 上的導電區域 841、842、843、844。導電區域 841、843 係汲極側 MD 區域，而導電區域 842、844 係源極側 MD 區域。單元 800 進一步包含處於閘極區域

831 至 834 之間且跨越第一主動區域 810 及第二主動區域 820 的各種 MD 區域(未編號)。在至少一個實施例中，單元 800 的佈局圖以及根據各種實施例的其他組件的佈局圖儲存在非暫時性電腦可讀媒體上的標準單元庫中。

**【0036】** 第 9 圖係根據本案的一實施例包括 IC 元件 900 的 IC 佈局圖，及構成 IC 元件 900 的 IC 佈局圖的各種單元的佈局圖。IC 元件 900 的 IC 佈局圖係藉由例如在置放選路操作中在兩個其他單元之間且毗鄰於該些兩個其他單元置放一填充物單元而產生。舉例而言，填充物單元 200B 係插入於單元 800 與單元 800' 之間且毗鄰於單元 800 及單元 800' 置放。單元 800' 具有與單元 800 相同的佈局圖。具有單元 800 中的對應組件的單元 800' 中的組件係由單元 800 的參考數字加上撇號指定。

**【0037】** 單元 800 及單元 800' 並非彼此直接鄰接地置放，此係因為沿著對置邊緣 851、852' 的 MD 區域(即，841、843') 中的至少一者係汲極側 MD 區域，且執行在單元 800 與單元 800' 之間插入填充物單元。在一些實施例中，第 9 圖中的將插入於單元 800 與單元 800' 之間的填充物單元 200B 係以類似於第 4 圖的方式選擇。第 9 圖中的填充物單元 200B 與單元 800 之間的鄰接及填充物單元 200B 與單元 800' 之間的鄰接係以類似於第 4 圖的方式執行。

**【0038】** 單元 100、單元 100'、單元 500、單元 500'、單元 800 係在各種實施例的範疇內的非填充物單元的非窮

舉實例。填充物單元 200A 至 200E 係在各種實施例的範疇內的填充物單元的非窮舉實例。在一起，單元 100、單元 100'、單元 500、單元 500'、單元 800 及填充物單元 200A 至 200E 係在各種實施例的範疇內的單元的非窮舉實例。在至少一個實施例中，複數個此種單元儲存在非暫時性電腦可讀媒體上的標準單元庫中。接著毗鄰地置放標準單元庫中單元以產生用於各種 IC 的 IC 佈局圖。如關於第 3 圖、第 4 圖、第 6 圖、第 7 圖、第 9 圖描述的單元的鄰接係各種實施例中的單元的組合的非窮舉實例。在至少一個實施例中，單元未必與具有相同功能性的另一單元並排地置放，例如，如關於第 3 圖至第 4 圖描述的緊接另一反相器置放的反相器，或如關於第 6 圖至第 7 圖描述的緊接另一反及閘置放的反及閘。實情為，在至少一個實施例中，有可能直接毗鄰地或具有插入的填充物單元、具有不同功能性的另一單元地置放一單元。結果，可達成具有如本文中所描述的一或多個優點的各种 IC 佈局圖。

**【0039】** 在一些實施例中，藉由將一單元的 MD 區域配置在該單元的邊界的對置邊緣上，有可能減小該單元的寬度。舉例而言，在至少一個實施例中，反相器單元(諸如第 1B 圖中的 INVD1 單元)的寬度係一個 CPP。用於比較，在虛設閘極區域經配置在單元的邊界的對置邊緣上的其他方法中，INVD1 單元具有 2 CPP 的較大寬度。當根據一些實施例的兩個 INVD1 單元係並排地置放時，該些 INVD1 單元係如關於第 3 圖所描述的直接毗鄰地置放，或如關於

第 4 圖所描述的在該些 INVD1 單元之間具有插入的填充物單元。所得的毗鄰 INVD1 單元具有 2 CPP (第 3 圖) 或 3 CPP (第 4 圖) 的組合寬度。在任一情況下，至少一個實施例中的此組合寬度小於在毗鄰置放的兩個 INVD1 單元具有 4 CPP 的較大組合寬度的其他方法中。對根據各種實施例的其他單元可達成單元寬度的類似減小。舉例而言，第 5 圖中的 ND2D1 單元具有 2 CPP 的單元寬度，而其他方法中的 ND2D1 單元具有 3 CPP 的較大寬度。在另一實施例中，第 8 圖中的 AOI22D1 單元具有 4 CPP 的單元寬度，而其他方法中的 AOI22D1 單元具有 5 CPP 的較大寬度。即使當填充物單元(例如，填充物單元 200A 至 200E 中的任一者)經插入以鄰接根據一些實施例的兩個其他單元時，由於填充物單元的小寬度(例如，一個 CPP)，至少一個實施例中的鄰接單元的組合寬度仍小於其他方法中的具有類似功能性的鄰接單元的組合寬度。在根據一些實施例的各種單元的減小的單元寬度下，有可能在相同量的晶片面積中包括更多的單元及/或功能性，從而在至少一個實施例中有利地產生增大的閘密度。在一或多個實施例中，可達成約 10% 的閘密度的增加或增益。

**【0040】** 第 10A 圖係根據本案的一實施例之方法 1000A 的流程圖。在至少一個實施例中，方法 1000A 係用於產生單元的佈局圖及/或用於建構包括各種單元的標準單元庫。

**【0041】** 在一些實施例中，方法 1000A 的一或多個操作係

作為形成對應於本文中所描述的 IC 元件 300、400、600、700、900 的方法的部分來執行。在一些實施例中，方法 1000A 的一或多個操作係作為自動置放與選路 (automated placement and routing; APR) 方法的部分來執行。在一些實施例中，方法 1000A 的一或多個操作由 APR 系統執行，APR 系統例如包括於關於第 16 圖描述的 EDA 系統中的系統。在一些實施例中，方法 1000A 的一或多個操作係作為關於第 10B 圖描述的用於產生 IC 的佈局圖的方法 1000B 的部分來執行。在一些實施例中，方法 1000A 的一或多個操作係作為在關於第 17 圖描述的設計室中執行的設計程序的部分來執行。在一些實施例中，方法 1000A 的一或多個操作由處理器執行，處理器諸如關於第 16 圖描述的 EDA 系統的處理器。

**【0042】** 在操作 1005，在單元的邊界內配置第一主動區域。舉例而言，如關於第 1B 圖所描述，在單元 100 的邊界 150 內配置主動區域 110 或 120。對於另一實例，如關於第 2 圖所描述，在填充物單元 200A 至 200E 中的任一者的邊界 250 內配置主動區域 210 或 220。將關於第 5 圖及第 8 圖描述其他實例。

**【0043】** 在操作 1010，在邊界內配置至少一個閘極區域，且至少一個閘極區域跨越第一主動區域延伸。舉例而言，如關於第 1B 圖所描述，至少一個閘極區域 130 係配置在邊界 150 內且跨越主動區域 110 或 120 延伸。對於另一實例，如關於第 2 圖中的填充物單元 200A 至 200E 中的

任一者所描述，至少一個閘極區域 230 係配置在邊界 250 內且跨越主動區域 210 或 220 延伸。將關於第 5 圖及第 8 圖描述其他實例。

**【0044】** 在操作 1015，配置第一導電區域以與第一主動區域及邊界的第一邊緣重疊，且第一導電區域用以與第一主動區域形成電接觸。舉例而言，MD 區域 141、142、143 或 144 經配置以與主動區域 110 或 120 及邊界 150 的邊緣 151 或 152 重疊，且 MD 區域 141、142、143 或 144 用以形成至主動區域 110 或 120 的電連接。對於另一實例，MD 區域 241、242、243 或 244 經配置以與主動區域 210 或 220 及邊界 250 的邊緣 251 或 252 重疊，且 MD 區域 241、242、243 或 244 用以形成至主動區域 210 或 220 的電連接，如關於第 2 圖中的填充物單元 200A 至 200E 中的任一者所描述。將關於第 5 圖及第 8 圖描述其他實例。

**【0045】** 在操作 1020，將產生的佈局圖儲存在非暫時性電腦可讀媒體上。舉例而言，關於第 1B 圖、第 2 圖、第 5 圖、第 8 圖描述的用於一或多個單元的一或多個佈局圖儲存在非暫時性電腦可讀媒體上的標準單元庫中。

**【0046】** 在操作 1025，基於產生的佈局圖來製造半導體遮罩或 IC 的層中的組件中的至少一者，例如，如關於第 17 圖所描述。在至少一個實施例中，省略操作 1025。

**【0047】** 第 10B 圖係根據本案的一實施例之方法 1000B 的流程圖。在至少一個實施例中，方法 1000B 係用於基於自標準單元庫接收到的單元來產生 IC 元件的 IC 佈局圖。



**【0048】** 在一些實施例中，方法 1000B 的一或多個操作係作為形成對應於本文中所描述的 IC 元件 300、400、600、700、900 的一或多個 IC 元件的部分來執行。在一些實施例中，方法 1000B 的一或多個操作係作為 APR 方法的部分來執行。在一些實施例中，方法 1000B 的一或多個操作由 APR 系統執行，APR 系統例如包括於關於第 16 圖描述的 EDA 系統中的系統且用以執行 APR 方法。在一些實施例中，方法 1000B 的一或多個操作係作為在關於第 17 圖描述的設計室中執行的設計程序的部分來執行。在一些實施例中，方法 1000B 的一或多個操作由處理器執行，處理器諸如關於第 16 圖描述的 EDA 系統的處理器。

**【0049】** 在操作 1030，在一 IC 佈局圖中毗鄰於第二單元置放第一單元，使得第一單元的邊界沿著第一共用邊緣鄰接第二單元的邊界，且第一單元的第一導電區域(MD)與第二單元的第二導電區域(MD)經合併而成為與第一共用邊緣重疊的第一共用導電區域。

**【0050】** 舉例而言，如關於第 3 圖所描述，第一單元 100 在 IC 元件 300 的 IC 佈局圖中係毗鄰於第二單元 100' 置放，使得第一單元 100 的邊界 150 沿著第一共用邊緣 352 鄰接第二單元 100' 的邊界 150'，且第一單元 100 的第一 MD 區域 143 或 144 與第二單元 100' 的第二 MD 區域 143' 或 144' 經合併而成為與第一共用邊緣 352 重疊的第一共同 MD 區域 343 或 344。

**【0051】** 對於另一實例，如關於第 4 圖所描述，第一單元

100 在 IC 元件 400 的 IC 佈局圖中係毗鄰於第二單元 200A 置放，使得第一單元 100 的邊界 150 沿著第一共用邊緣 452 鄰接第二單元 200A 的邊界 250，且第一單元 100 的第一 MD 區域 141 或 142 與第二單元 200A 的第二 MD 區域 243 或 244 經合併而成為與第一共用邊緣 452 重疊的第一共同 MD 區域 443 或 444。將關於第 6 圖、第 7 圖及第 9 圖描述其他實例。

**【0052】** 在操作 1035，在 IC 佈局圖中毗鄰於第二單元置放第三單元，使得第三單元的一邊界沿著第二共用邊緣鄰接第二單元的邊界，且第三單元的第三導電區域(MD)與第二單元的第四導電區域(MD)經合併而成為與第二共用邊緣重疊的第二共用導電區域。

**【0053】** 舉例而言，如關於第 4 圖所描述，在 IC 元件 400 的 IC 佈局圖中毗鄰於第二單元 200A 置放第三單元 100'，使得第三單元 100' 的邊界 150' 沿著第二共用邊緣 451 鄰接第二單元 200A 的邊界 250，且第三單元 100' 的第三 MD 區域 141' 或 142' 與第二單元 200A 的第四 MD 區域 241 或 242 經合併而成為與第二共用邊緣 451 重疊的第二共同 MD 區域 441 或 442。將關於第 7 圖及第 9 圖描述其他實例。在至少一個實施例中，省略操作 1035。

**【0054】** 在操作 1040，將產生的 IC 佈局圖儲存在一非暫時性電腦可讀媒體上。舉例而言，關於第 3 圖、第 4 圖、第 6 圖、第 7 圖、第 9 圖描述的用於一或多個 IC 元件的一或多個 IC 佈局圖係儲存在非暫時性電腦可讀媒體上。

【0055】 在操作 1045，基於產生的 IC 佈局圖來製造一半導體遮罩或一 IC 的一層中的一組件中的至少一者，例如，如關於第 17 圖所描述。在至少一個實施例中，省略操作 1045。

【0056】 在一些實施例中，所描述的一或多個單元、IC 元件及方法可適用於各種類型的電晶體或元件技術，包括(但不限於)平面電晶體技術、FINFET 技術、奈米片 FET 技術、奈米線 FET 技術或類似技術。

【0057】 第 11A 圖係根據本案的一實施例之平面電晶體 1100 的示意性平面俯視圖，第 11B 圖係沿著第 11A 圖中的線 X1-X1 的平面電晶體 1100 的示意性橫截面圖，且第 11C 圖係沿著第 11A 圖中的線 Y1-Y1 的平面電晶體 1100 的示意性橫截面圖。

【0058】 如第 11A 圖所示，平面電晶體 1100 包含主動區域或源極/汲極區域 1110、1120，及在 Y 方向上跨越源極/汲極區域 1110、1120 延伸的閘極區域 1130。如第 11B 圖所示，源極/汲極區域 1110、1120 及閘極區域 1130 形成於基板 1140 上方。如第 11C 圖所示，通道區域 1150 係在閘極區域 1130 下且在源極/汲極區域 1110、1120 之間形成。

【0059】 第 12A 圖係根據本案的一實施例之 FINFET 1200 的示意性平面俯視圖，第 12B 圖係沿著第 12A 圖中的線 X2-X2 的 FINFET 1200 的示意性橫截面圖，且第 12C 圖係沿著第 12A 圖中的線 Y2-Y2 的 FINFET 1200

的示意性橫截面圖。

【0060】 如第 12A 圖所示，FINFET 1200 包含主動區域或源極/汲極區域 1210、1220，及在 Y 方向上跨越源極/汲極區域 1210、1220 延伸的閘極區域 1230。源極/汲極區域 1210、1220 包括在 X 方向上延伸的複數個鰭狀物 1260（在第 12B 圖中最佳可見）。如第 12B 圖所示，源極/汲極區域 1210、1220 及閘極區域 1230 形成於基板 1240 上方，而鰭狀物 1260 在閘極區域 1230 下。如第 12B 圖至第 12C 圖所示，通道區域 1250 在鰭狀物 1260 上方、在閘極區域 1230 下且在源極/汲極區域 1210、1220 之間形成。

【0061】 第 13A 圖係根據本案的一實施例之奈米片 FET 1300 的示意性平面俯視圖，第 13B 圖係沿著第 13A 圖中的線 X3-X3 的奈米片 FET 1300 的示意性橫截面圖，且第 13C 圖係沿著第 13A 圖中的線 Y3-Y3 的奈米片 FET 1300 的示意性橫截面圖。

【0062】 如第 13A 圖所示，奈米片 FET 1300 包含主動區域或源極/汲極區域 1310、1320，及在 Y 方向上跨越源極/汲極區域 1310、1320 延伸的閘極區域 1330。源極/汲極區域 1310、1320 包括複數個奈米片 1360（在第 13B 圖中最佳可見）。如第 13B 圖所示，源極/汲極區域 1310、1320 及閘極區域 1330 形成於基板 1340 上方。奈米片 1360 被閘極區域 1330 包圍。如第 13B 圖至第 13C 圖所示，通道區域 1350 在奈米片 1360 與閘極區域 1330 之

間及在源極/汲極區域 1310、1320 之間形成。

【0063】 第 14A 圖係根據本案的一實施例之奈米線 FET 1400 的示意性平面俯視圖，第 14B 圖係沿著第 14A 圖中的線 X4-X4 的奈米線 FET 1400 的示意性橫截面圖，且第 14C 圖係沿著第 14A 圖中的線 Y4-Y4 的奈米線 FET 1400 的示意性橫截面圖。

【0064】 如第 14A 圖所示，奈米線 FET 1400 包含主動區域或源極/汲極區域 1410、1420，及在 Y 方向上跨越源極/汲極區域 1410、1420 延伸的閘極區域 1430。源極/汲極區域 1410、1420 包括複數個奈米線 1460（在第 14B 圖中最佳可見）。如第 14B 圖所示，源極/汲極區域 1410、1420 及閘極區域 1430 形成於基板 1440 上方。奈米線 1460 被閘極區域 1430 包圍。如第 14B 圖至第 13C 圖所示，通道區域 1450 在奈米線 1460 與閘極區域 1430 之間及在源極/汲極區域 1410、1420 之間形成。

【0065】 第 15A 圖至第 15G 圖係根據本案的一實施例之正在製造製程的各種階段製造的 IC 元件 1500 的示意性橫截面圖。

【0066】 在第 15A 圖中，製造製程自基板 1510 開始。在至少一個實施例中，基板 1510 包含矽基板。在至少一個實施例中，基板 1510 包含矽鍺 (SiGe)、鎵砷或其他合適的半導體材料。主動區域 (在第 15A 圖中未示出) 係使用對應於關於第 1B 圖至第 9 圖描述的佈局圖中的一或多個主動區域的一或多個遮罩在基板 1510 中或上方形成。閘極

介電層 1520 沉積在基板 1510 上方。閘極介電層 1520 的實例材料包括(但不限於)高 k 介電層、界面層及/或其組合。在一些實施例中，閘極介電層 1520 係藉由原子層沈積(atomic layer deposition; ALD)或其他合適的技術沉積在基板 1510 上方。

【0067】 在第 15B 圖中，閘極電極層 1530 沉積在閘極介電層 1520 上方。閘極電極層 1530 的實例材料包括(但不限於)多晶矽、金屬、Al、AlTi、Ti、TiN、TaN、Ta、TaC、TaSiN、W、WN、MoN 及/或其他合適的導電材料。在一些實施例中，閘極電極層 1530 係藉由化學氣相沈積(chemical vapor deposition; CVD)、物理氣相沉積(physical vapor deposition; PVD 或濺射)、電鍍、原子層沈積(atomic layer deposition; ALD)及/或其他合適的製程沉積。

【0068】 在第 15C 圖中，光阻劑層 1540 沉積在閘極電極層 1530 上方，且對應於關於第 1B 圖至第 9 圖描述的佈局圖中的一或多個閘極區域的遮罩 1545 係用於將光阻劑層 1540 圖案化。經圖案化的光阻劑層 1540 接下來將作為遮罩使用以將閘極介電層 1520 及閘極電極層 1530 圖案化成各種閘極介電質 1525 及對應的閘極電極 1535。接著移除經圖案化的光阻劑層 1540。

【0069】 在第 15D 圖中，間隔物層 1550 沉積在基板 1510 上方，在該基板上形成有閘極介電質 1525 及閘極電極 1535。間隔物層 1550 的實例材料包括(但不限於)氮化矽、

氮氧化物、碳化矽及其他合適的材料。在一些實施例中，間隔物層 1550 係藉由電漿增強化學氣相沈積 (plasma enhanced chemical vapor deposition; PECVD)、低壓化學氣相沉積 (low-pressure chemical vapor deposition; LPCVD)、次大氣壓化學氣相沉積 (sub-atmospheric chemical vapor deposition; SACVD)、原子層沈積 (atomic layer deposition; ALD) 或類似技術沉積。

**【0070】** 在第 15E 圖中，間隔物層 1550 經圖案化以形成與對應的閘極電極 1535 的側壁接觸或鄰近的間隔物 1555。在至少一個實施例中，圖案化係藉由合適技術執行，該些技術諸如濕式蝕刻製程、乾式蝕刻製程或其組合。源極/汲極區域 1515 形成於由間隔物 1555 暴露的基板 1510 的主動區域中。在至少一個實施例中，源極/汲極區域 1515 係藉由使用閘極電極 1535 及間隔物 1555 作為遮罩而形成。舉例而言，源極/汲極區域 1515 的形成係藉由離子植入或擴散製程執行。視元件或電晶體的類型而定，源極/汲極區域 1515 經摻雜具有諸如硼或  $\text{BF}_2$  的 p 型摻雜劑、諸如磷或砷的 n 型摻雜劑及/或其組合。

**【0071】** 在第 15F 圖中，導電層 1560 沉積在基板 1510 上方且填充在由間隔物 1555 暴露的區域中，由此形成至源極/汲極區域 1515 的電連接。

**【0072】** 在第 15G 圖中，執行平坦化製程以將導電層 1560 平坦化，從而產生與下層源極/汲極區域 1515 電接觸的

M D 區域 1 5 6 2 、 1 5 6 4 、 1 5 6 6 、 1 5 6 8 。平坦化製程包含例如化學機械研磨 (chemical mechanical polish ; CMP) 製程。在至少一個實施例中，M D 區域 1 5 6 2 、 1 5 6 4 、 1 5 6 6 、 1 5 6 8 對應於關於第 1 B 圖至第 9 圖描述的佈局圖中的一或多個 M D 區域。執行進一步處理 (未示出) 以獲得 IC 元件 1 5 0 0 。舉例而言，在此進一步處理中，一或多個介電層、介層孔層及金屬層形成於 M D 區域 1 5 6 2 、 1 5 6 4 、 1 5 6 6 、 1 5 6 8 及閘極電極 1 5 3 5 的暴露的平坦化頂部表面上方，以形成至 IC 元件 1 5 0 0 的其他單元或至外部電路的其他互連。

**【0073】** 所描述的方法包括實例操作，但該些實例操作未必需要按所示的次序執行。根據本案的實施例的精神及範疇，操作可以視情況添加、替換、改變次序及 / 或消除。組合不同特徵及 / 或不同實施例的實施例在本案的一實施例的範疇內且將在審查本案的一實施例之後被一般熟習此項技術者瞭解。

**【0074】** 在一些實施例中，上文所論述的方法中的一些或全部係由 IC 佈局圖產生系統執行。在一些實施例中，IC 佈局圖產生系統可用作為在下文論述的 IC 製造系統的設計室的部分。

**【0075】** 第 1 6 圖係根據本案的一實施例之電子設計自動化 (electronic design automation ; EDA) 系統 1 6 0 0 的方塊圖。

**【0076】** 在一些實施例中，EDA 系統 1 6 0 0 包括 APR 系



統。根據一些實施例，本文中描述的設計佈局圖的方法表示線選路配置，根據一或多個實施例，可例如使用 EDA 系統 1600 來實施。

**【0077】** 在一些實施例中，EDA 系統 1600 係包括硬體處理器 1602 及非暫時性電腦可讀儲存媒體 1604 的通用計算元件。儲存媒體 1604 尤其經編碼具有電腦程式碼 1606，即儲存電腦程式碼 1606，電腦程式碼 1606 即一組可執行指令。指令 1606 由硬體處理器 1602 的執行(至少部分地)表示實施本文中描述的根據一或多個實施例的方法(在下文中為提出的製程及/或方法)的一部分或全部的 EDA 工具。

**【0078】** 處理器 1602 經由匯流排 1608 電耦接至電腦可讀儲存媒體 1604。處理器 1602 亦藉由匯流排 1608 電耦接至 I/O 介面 1610。網路介面 1612 亦經由匯流排 1608 電耦接至處理器 1602。網路介面 1612 連接至網路 1614，因此處理器 1602 及電腦可讀儲存媒體 1604 能夠經由網路 1614 連接至外部元件。處理器 1602 用以執行編碼在電腦可讀儲存媒體 1604 中的電腦程式碼 1606，以便使系統 1600 可用於執行提出的製程及/或方法的一部分或全部。在一或多個實施例中，處理器 1602 係中央處理單元 (central processing unit; CPU)、多處理器、分散式處理系統、特殊應用積體電路(application specific integrated circuit; ASIC)及/或合適的處理單元。

**【0079】** 在一或多個實施例中，電腦可讀儲存媒體 1604 係

電子、磁性、光學、電磁、紅外線及/或半導體系統(或設備或元件)。舉例而言，電腦可讀儲存媒體 1604 包括半導體或固態記憶體、磁帶、可移式電腦磁碟、隨機存取記憶體 (random access memory ; RAM)、唯讀記憶體 (read-only memory ; ROM)、硬質磁碟及/或光碟。在使用光碟的一或多個實施例中，電腦可讀儲存媒體 1604 包括光碟唯讀記憶體 (compact disk-read only memory ; CD-ROM)、可讀寫光碟 (compact disk-read/write ; CD-R/W) 及/或數位視訊光碟 (digital video disc ; DVD)。

**【0080】** 在一或多個實施例中，儲存媒體 1604 儲存電腦程式碼 1606，該電腦程式碼用以使系統 1600 (在此執行(至少部分地)表示 EDA 工具的情況下)可用於執行提出的製程及/或方法的一部分或全部。在一或多個實施例中，儲存媒體 1604 亦儲存利於執行提出的製程及/或方法的一部分或全部的資訊。在一或多個實施例中，儲存媒體 1604 儲存標準單元的庫 1607，該些標準單元包括如本文中所揭示的此等標準單元。

**【0081】** EDA 系統 1600 包括 I/O 介面 1610。I/O 介面 1610 耦接至外部電路。在一或多個實施例中，I/O 介面 1610 包括用於將資訊及命令傳達至處理器 1602 的鍵盤、小鍵盤、滑鼠、軌跡球、觸控板、觸控螢幕及/或標方向鍵。

**【0082】** EDA 系統 1600 亦包括耦接至處理器 1602 的網路介面 1612。網路介面 1612 允許系統 1600 與網路 1614

通信，一或多個其他電腦系統連接至該網路。網路介面 1612 包括無線網路介面，諸如 BLUETOOTH、WIFI、WIMAX、GPRS 或 WCDMA；或有線網路介面，諸如 ETHERNET、USB 或 IEEE-1364。在一或多個實施例中，提出的製程及/或方法的一部分或全部係在兩個或多個系統 1600 中實施。

**【0083】** 系統 1600 用以經由 I/O 介面 1610 接收資訊。經由 I/O 介面 1610 接收的資訊包括由處理器 1602 進行處理的指令、資料、設計規則、標準單元庫及/或其他參數中的一或多者。資訊係經由匯流排 1608 傳送至處理器 1602。EDA 系統 1600 用以經由 I/O 介面 1610 接收與 UI 有關的資訊。資訊儲存在電腦可讀媒體 1604 中以作為使用者介面 (user interface; UI) 1642。

**【0084】** 在一些實施例中，提出的製程及/或方法的一部分或全部係實施為由處理器執行的獨立軟體應用程式。在一些實施例中，提出的製程及/或方法的一部分或全部係實施為作為額外軟體應用程式的一部分的軟體應用程式。在一些實施例中，提出的製程及/或方法的一部分或全部係實施為軟體應用程式的外掛程式。在一些實施例中，提出的製程及/或方法中的至少一者係實施為作為 EDA 工具的一部分的軟體應用程式。在一些實施例中，提出的製程及/或方法的一部分或全部係實施為由 EDA 系統 1600 使用的軟體應用程式。在一些實施例中，包括標準單元的佈局圖係使用諸如可自 CADENCE DESIGNSYSTEMS, Inc. 獲得

的 VIRTUOSO® 的工具或另一合適的佈局產生工具產生。

**【0085】** 在一些實施例中，製程係實現為儲存於非暫時性電腦可讀記錄媒體中的程式的功能。非暫時性電腦可讀記錄媒體的實例包括(但不限於)外部/可移式及/或內部/內建的儲存或記憶體單元，例如以下各者中的一或多者：光碟，諸如 DVD；磁碟，諸如硬碟；半導體記憶體，諸如 ROM、RAM、記憶卡；及類似物。

**【0086】** 第 17 圖係根據本案的一實施例之積體電路(integrated circuit; IC)製造系統 1700 的方塊圖，及與該 IC 製造系統相關聯的 IC 製造流程。在一些實施例中，基於佈局圖，(A)一或多個半導體遮罩或(B)一半導體積體電路的一層中的至少一個組件中的至少一者係使用製造系統 1700 製造。

**【0087】** 在第 17 圖中，IC 製造系統 1700 包括諸如設計室 1720、遮罩室 1730 及 IC 製造商/製造者(「晶圓廠」) 1750 的實體，該些實體在與製造 IC 元件 1760 有關的設計、開發及製造循環及/或服務中彼此相互作用。系統 1700 中的實體由通信網路連接。在一些實施例中，通信網路係單一網路。在一些實施例中，通信網路係多種不同的網路，諸如內部網路及網際網路。通信網路包括有線及/或無線的通信通道。每一實體與其他實體中的一或多者相互作用，且為其他實體中的一或多者提供服務及/或自其他實體中的一或多者接收服務。在一些實施例中，設計室 1720、遮

罩室 1730 及 IC 晶圓廠 1750 中的兩者或多者歸單個的較大公司所有。在一些實施例中，設計室 1720、遮罩室 1730 及 IC 晶圓廠 1750 中的兩者或多者共存於共用設施中且使用共用資源。

**【0088】** 設計室(或設計團隊) 1720 產生 IC 設計佈局圖 1722。IC 設計佈局圖 1722 包括針對 IC 元件 1760 設計的一種幾何圖案。該幾何圖案對應於構成待製造的 IC 元件 1760 的各種組件的金屬層、氧化物層或半導體層的圖案。各種層組合以形成各種 IC 特徵。舉例而言，IC 設計佈局圖 1722 的一部分包括將在半導體基板(諸如矽晶圓)及安置於半導體基板上的各種材料層中形成的各種 IC 特徵，諸如主動區域、閘極電極、源極與汲極、層間互連的金屬線或介層孔及接合墊的開口。設計室 1720 實施恰當的設計程序以形成 IC 設計佈局圖 1722。設計程序包括邏輯設計、實體設計或置放選路操作中的一或多者。IC 設計佈局圖 1722 存在於具有關於幾何圖案的資訊的一或多個資料檔案中。舉例而言，IC 設計佈局圖 1722 可以用 GDSII 檔案格式或 DFII 檔案格式表示。

**【0089】** 遮罩室 1730 包括資料準備 1732 及遮罩製造 1744。遮罩室 1730 使用 IC 設計佈局圖 1722 來製造一或多個遮罩 1745，該一或多個遮罩將用於根據 IC 設計佈局圖 1722 製造 IC 元件 1760 的各種層。遮罩室 1730 執行遮罩資料準備 1732，其中 IC 設計佈局圖 1722 經轉譯成代表性資料檔案(「representative data file; RDF」)。

遮罩資料準備 1732 將 R D F 提供至遮罩製造 1744。遮罩製造 1744 包括遮罩寫入器。遮罩寫入器將 R D F 轉換成基板上的影像，諸如遮罩(光刻罩) 1745 或半導體晶圓 1753。設計佈局圖 1722 係由遮罩資料準備 1732 操縱以遵守遮罩寫入器的特定特性及/或 I C 晶圓廠 1750 的要求。在第 17 圖中，遮罩資料準備 1732 及遮罩製造 1744 係說明為獨立的元件。在一些實施例中，遮罩資料準備 1732 及遮罩製造 1744 可以一起被稱為遮罩資料準備。

**【0090】** 在一些實施例中，遮罩資料準備 1732 包括光學近接修正(optical proximity correction；O P C)，光學近接修正使用微影增強技術以補償影像誤差，諸如可以由繞射、干涉、其他處理效應及類似者引起的影像誤差。O P C 調整 I C 設計佈局圖 1722。在一些實施例中，遮罩資料準備 1732 包括其他解析度增強技術(resolution enhancement technique；R E T)，諸如離軸照明、次解析度輔助特徵、相移遮罩、其他合適的技術及類似技術或該些技術的組合。在一些實施例中，亦使用逆微影技術(inverse lithography technology；I L T)，逆微影技術將 O P C 視為逆成像問題。

**【0091】** 在一些實施例中，遮罩資料準備 1732 包括遮罩規則檢驗器(mask rule checker；M R C)，遮罩規則檢驗器利用一組遮罩創造規則來檢查已經歷 O P C 中的程序的 I C 設計佈局圖 1722，該些遮罩創造規則含有特定的幾何及/或連接限制以確保足夠裕量，以解釋半導體製造製程中

的可變性及類似者。在一些實施例中，MRC 修改 IC 設計佈局圖 1722 以補償遮罩製造 1744 期間的限制，如此可撤銷由 OPC 執行的修改的部分，以便滿足遮罩創造規則。

【0092】 在一些實施例中，遮罩資料準備 1732 包括微影製程檢查 (lithography process checking ; LPC)，該微影製程檢查模擬將由 IC 晶圓廠 1750 實施以製造 IC 元件 1760 的處理。LPC 基於 IC 設計佈局圖 1722 來模擬此處理以產生模擬製造的元件，諸如 IC 元件 1760。LPC 模擬中的處理參數可以包括與 IC 製造循環的各種製程相關聯的參數、與用於製造 IC 的工具相關聯的參數及 / 或製造製程的其他態樣。LPC 考慮各種因素，諸如空中影像對比度、焦點深度 (「depth of focus ; DOF」)、遮罩誤差增強因子 (「mask error enhancement factor ; MEEF」)、其他合適的因素及類似者或前述因素的組合。在一些實施例中，在模擬製造的元件已由 LPC 產生之後，若模擬的元件在形狀上不足夠接近以滿足設計規則，則應重複 OPC 及 / 或 MRC 以進一步改良 IC 設計佈局圖 1722。

【0093】 應理解，為清楚起見，遮罩資料準備 1732 的以上描述已經簡化。在一些實施例中，資料準備 1732 包括額外特徵，諸如用於根據製造規則修改 IC 設計佈局圖 1722 的邏輯運算 (logic operation ; LOP)。另外，在資料準備 1732 期間應用於 IC 設計佈局圖 1722 的程序可以按多種不同的次序執行。

【0094】 在遮罩資料準備 1732 之後且在遮罩製造 1744 期間，基於經修改的 IC 設計佈局圖 1722 而製造一遮罩 1745 或一組遮罩 1745。在一些實施例中，遮罩製造 1744 包括基於 IC 設計佈局圖 1722 而執行一或多次微影曝光。在一些實施例中，使用一電子束(e 射束)或多個 e 射束的機制以基於經修改的 IC 設計佈局圖 1722 而在遮罩(光罩或光刻罩) 1745 上形成圖案。遮罩 1745 可以用各種技術形成。在一些實施例中，遮罩 1745 係使用二元技術(binary technology)形成。在一些實施例中，遮罩圖案包括不透明區域及透明區域。用於使已塗佈在晶圓上的影像敏感材料層(例如，光阻劑)曝光的輻射束被不透明區域阻斷且透射穿過透明區域，該輻射束諸如紫外線(ultraviolet; UV)射束。在一個實例中，遮罩 1745 的二元遮罩版本包括透明的基板(例如，熔融石英)及塗佈在二元遮罩的不透明區域中的不透明材料(例如，鉻)。在另一實例中，遮罩 1745 係使用相移技術形成。在遮罩 1745 的相移遮罩(phase shift mask; PSM)版本中，形成於相移遮罩上的圖案中的各種特徵用以具有恰當的相位差以增強解析度及成像品質。在各種實例中，相移遮罩可為衰減式 PSM 或交替式 PSM。藉由遮罩製造 1744 產生的遮罩將在多種程序中使用。舉例而言，此(此等)遮罩將在用於在半導體晶圓 1753 中形成各種摻雜區域的離子植入製程中、在用於在半導體晶圓 1753 中形成各種蝕刻區域的蝕刻製程中及/或在其他合適的製程中使用。



**【0095】** IC 晶圓廠 1750 係 IC 製造企業，該 IC 製造企業包括用於製造多種不同 IC 產品的一或多個製造設施。在一些實施例中，IC 晶圓廠 1750 係半導體鑄造廠。舉例而言，可能存在用於複數個 IC 產品的前端製造（前端工序（front-end-of-line；FEOL）製造）的製造設施，而第二製造設施可以提供用於 IC 產品的互連及封裝的後端製造（後端工序（back-end-of-line；BEOL）製造），且第三製造設施可以為鑄造廠企業提供其他服務。

**【0096】** IC 晶圓廠 1750 包括製造工具 1752，該些製造工具用以對半導體晶圓 1753 執行各種製造操作，使得 IC 元件 1760 係根據例如遮罩 1745 的遮罩製造。在各種實施例中，製造工具 1752 包括以下各者中的一或多個：晶圓步進機；離子植入機；光阻劑塗佈機；處理腔室，例如，CVD 腔室或 LPCVD 爐；CMP 系統；電漿蝕刻系統；晶圓清洗系統；或能夠執行如本文中所論述的一或多個合適製造製程的其他製造設備。

**【0097】** IC 晶圓廠 1750 使用由遮罩室 1730 製造的遮罩 1745 來製造 IC 元件 1760。因此，IC 晶圓廠 1750 至少間接地使用 IC 設計佈局圖 1722 來製造 IC 元件 1760。在一些實施例中，半導體晶圓 1753 係由 IC 晶圓廠 1750 使用遮罩 1745 製造以形成 IC 元件 1760。在一些實施例中，IC 製造包括至少間接地基於 IC 設計佈局圖 1722 來執行一或多次微影曝光。半導體晶圓 1753 包括矽基板或其他恰當的基板，該基板上形成有多個材料層。半導體晶

圖 1753 進一步包括以下各者中的一或多個：各種摻雜區域；介電特徵；多位準互連；及類似物(在後續製造步驟形成)。

**【0098】** 關於積體電路(integrated circuit; IC)製造系統(例如,第17圖的系統1700)及與該IC製造系統相關聯的IC製造流程的細節將在例如以下各者中發現：在2016年2月9日授予的美國專利第9,256,709號；在2015年10月1日公佈的美國預授權公開案第20150278429號；在2014年2月6日公佈的美國預授權公開案第20140040838號；及在2007年8月21日授予的美國專利第7,260,442號,前述各者的全部內容特此以引用方式併入。

**【0099】** 在一些實施例中,一種方法包含以下步驟：產生積體電路(integrated circuit; IC)的單元的佈局圖；及將產生的佈局圖儲存於非暫時性電腦可讀媒體上。在產生單元的佈局圖的步驟中,在單元的邊界內配置第一主動區域。第一主動區域沿著第一方向延伸。在邊界內配置至少一個閘極區域。至少一個閘極區域沿著橫切第一方向的第二方向跨越第一主動區域延伸。配置第一導電區域以與第一主動區域及邊界的第一邊緣重疊。第一導電區域用以形成至第一主動區域的電連接。

**【0100】** 在一些實施例中,其中產生單元的佈局圖的步驟進一步包含以下步驟配置與第一主動區域及邊界的第二邊緣重疊的第二導電區域。第二導電區域用以形成至第一主動

區域的電連接，第二邊緣在第一方向上與第一邊緣對置。

**【0101】** 在一些實施例中，其中邊界的第一邊緣在第一方向上與第一導電區域的中心線重合，且邊界的第二邊緣在第一方向上與第二導電區域的中心線重合。

**【0102】** 在一些實施例中，其中產生單元的佈局圖的步驟進一步包含以下步驟：在邊界內配置第二主動區域，第二主動區域沿著第一方向延伸且在第二方向上與第一主動區域隔開，至少一個閘極區域跨越第二主動區域延伸，配置與第二主動區域及邊界的第二邊緣重疊的第三導電區域，第三導電區域用以形成至第二主動區域的電連接，及配置與第二主動區域及邊界的第二邊緣重疊的第四導電區域，第四導電區域用以形成至第二主動區域的電連接。

**【0103】** 在一些實施例中，其中單元係填充物單元，且至少一個閘極區域係虛設閘極區域。

**【0104】** 在一些實施例中，其中在第一方向上的填充物單元的寬度等於積體電路的鄰近閘極區域之間的一個閘極區域間距。

**【0105】** 在一些實施例中，方法進一步包含以下步驟：基於佈局圖來製造半導體遮罩或積體電路的層中的組件中的至少一者。

**【0106】** 在一些實施例中，一種方法包含以下步驟：產生積體電路(integrated circuit; IC)佈局圖；及將產生的IC佈局圖儲存於非暫時性電腦可讀媒體上。產生IC佈局圖的步驟包含在IC佈局圖中毗鄰於第二單元置放第一單

元。第一單元的邊界沿著第一共用邊緣鄰接第二單元的邊界。第一單元的第一導電區域與第二單元的第二導電區域經合併而成為與第一共用邊緣重疊的第一共用導電區域，第一導電區域與第一單元的第一主動區域重疊且用以形成至第一單元的第一主動區域的一電連接，第二導電區域與第二單元的第二主動區域重疊且用以形成至第二單元的第二主動區域的電連接。

**【0107】** 在一些實施例中，其中產生積體電路佈局圖的步驟進一步包含在積體電路佈局圖中毗鄰於第二單元置放第三單元的步驟。第三單元的邊界沿著第二共用邊緣鄰接第二單元的邊界，第一共用邊緣及第二共用邊緣在第一方向上彼此相反且沿著橫切第一方向的第二方向延伸，且第三單元的第三導電區域與第二單元的第四導電區域經合併而成為與第二共用邊緣重疊的第二共用導電區域，第三導電區域與第三單元的第三主動區域重疊且用以形成至第三單元的第三主動區域的一電連接，第四導電區域與第二單元的第二主動區域重疊且用以形成至第二單元的第二主動區域的一電連接。

**【0108】** 在一些實施例中，其中第二單元係一填充物單元，填充物單元包含沿著第二方向跨越第二主動區域延伸的一虛設閘極區域，虛設閘極區域在第一方向上定位在第一共用邊緣與第二共用邊緣之間。

**【0109】** 在一些實施例中，其中第一導電區域及第三導電區域分別為用以形成至第一主動區域及第三主動區域中的汲

極區域的電連接的汲極側導電區域。

**【0110】** 在一些實施例中，其中第一主動區域及第二主動區域分別為第一 p 通道金屬氧化物半導體主動區域及第二 p 通道金屬氧化物半導體主動區域。第一導電區域、第二導電區域及第一共用導電區域分別為第一 p 通道金屬氧化物半導體主動區域導電區域、第二 p 通道金屬氧化物半導體主動區域導電區域及第一共同 p 通道金屬氧化物半導體主動區域導電區域。第一單元進一步包含：第一 n 通道金屬氧化物半導體主動區域，以及第一 n 通道金屬氧化物半導體導電區域，第二 n 通道金屬氧化物半導體導電區域與第一 n 通道金屬氧化物半導體主動區域重疊且用以形成至第一 n 通道金屬氧化物半導體主動區域的電連接。第二單元進一步包含：第二 n 通道金屬氧化物半導體主動區域，及第二 n 通道金屬氧化物半導體導電區域，第二 n 通道金屬氧化物半導體導電區域與第二 n 通道金屬氧化物半導體主動區域重疊且用以形成至第二 n 通道金屬氧化物半導體主動區域的電連接，且在如下步驟中：在積體電路佈局圖中毗鄰於第二單元置放第一單元，第一 n 通道金屬氧化物半導體導電區域與第二 n 通道金屬氧化物半導體導電區域經合併而成為與第一共用邊緣重疊的第一共同 n 通道金屬氧化物半導體導電區域。

**【0111】** 在一些實施例中，其中第一單元及第二單元中的每一者係非填充物單元。第一 p 通道金屬氧化物半導體導電區域、第二 p 通道金屬氧化物半導體導電區域、第一 n 通

道金屬氧化物半導體導電區域及第二 n 通道金屬氧化物半導體導電區域分別為用以形成至第一 p 通道金屬氧化物半導體主動區域、第二 p 通道金屬氧化物半導體主動區域、第一 n 通道金屬氧化物半導體主動區域及第二 n 通道金屬氧化物半導體主動區域中的源極區域的電連接的源極側導電區域。

**【0112】** 在一些實施例中，其中產生積體電路佈局圖的步驟進一步包含在積體電路佈局圖中毗鄰於第二單元置放第三單元的步驟。第三單元包含：第三 p 通道金屬氧化物半導體主動區域，第三 p 通道金屬氧化物半導體導電區域，第三 p 通道金屬氧化物半導體導電區域與第三 p 通道金屬氧化物半導體主動區域重疊且用以形成至第三 p 通道金屬氧化物半導體主動區域的一電連接，第三 n 通道金屬氧化物半導體主動區域，以及第三 n 通道金屬氧化物半導體導電區域，第三 n 通道金屬氧化物半導體導電區域與第三 n 通道金屬氧化物半導體主動區域重疊且用以形成至第三 n 通道金屬氧化物半導體主動區域的電連接。第二單元進一步包含第四 p 通道金屬氧化物半導體導電區域，第四 p 通道金屬氧化物半導體導電區域與第二 p 通道金屬氧化物半導體主動區域重疊且用以形成至第二 p 通道金屬氧化物半導體主動區域的電連接，以及第四 n 通道金屬氧化物半導體導電區域，第四 n 通道金屬氧化物半導體導電區域與第二 n 通道金屬氧化物半導體主動區域重疊且用以形成至第二 n 通道金屬氧化物半導體主動區域的電連接。在如下步驟中：

在積體電路佈局圖中毗鄰於第二單元置放第三單元。第三單元的邊界沿著第二共用邊緣鄰接第二單元的邊界，第一共用邊緣及第二共用邊緣在第一方向上彼此相反且沿著橫切第一方向的第二方向延伸，第三 p 通道金屬氧化物半導體導電區域與第四 p 通道金屬氧化物半導體導電區域經合併而成為與第二共用邊緣重疊的第二共同 p 通道金屬氧化物半導體導電區域，且第三 n 通道金屬氧化物半導體導電區域與第四 n 通道金屬氧化物半導體導電區域經合併而成為與第二共用邊緣重疊的第二共同 n 通道金屬氧化物半導體導電區域。

**【0113】** 在一些實施例中，第二單元係填充物單元，填充物單元包含沿著第二方向跨越第二 p 通道金屬氧化物半導體主動區域及第二 n 通道金屬氧化物半導體主動區域延伸的虛設閘極區域，虛設閘極區域在第一方向上定位在第一共用邊緣與第二共用邊緣之間。

**【0114】** 在一些實施例中，在第一方向上的填充物單元的一寬度等於積體電路的鄰近閘極區域之間的一個閘極區域間距。

**【0115】** 在一些實施例中，第一 p 通道金屬氧化物半導體導電區域、第一 n 通道金屬氧化物半導體導電區域、第三 p 通道金屬氧化物半導體導電區域或第三 n 通道金屬氧化物半導體導電區域中的至少一者係用以形成至對應的第一 p 通道金屬氧化物半導體主動區域、第一 n 通道金屬氧化物半導體主動區域、第三 p 通道金屬氧化物半導體主動區域

或第三  $n$  通道金屬氧化物半導體主動區域中的汲極區域的電連接的汲極側導電區域。

**【0116】** 在一些實施例中，方法進一步包含以下步驟：基於積體電路佈局圖來製造半導體遮罩或積體電路的層中的組件中的至少一者。

**【0117】** 在一些實施例中，一種積體電路 (integrated circuit; IC) 元件包含第一單元、第二單元及第一共用導電區域。第一單元包含：第一邊界；第一主動區域，第一主動區域在第一邊界內且沿著第一方向延伸；及第一閘極區域，第一閘極區域在第一邊界內且沿著第二方向跨越第一主動區域延伸，第二方向橫切第一方向。第二單元包含：第二邊界，第二邊界沿著第一共用邊緣鄰接第一邊界；第二主動區域，第二主動區域在第二邊界內且沿著第一方向延伸；及第二閘極區域，第二閘極區域在第二邊界內且沿著第二方向跨越第二主動區域延伸。第一共用導電區域與第一共用邊緣重疊，且電耦接至第一主動區域及第二主動區域兩者。

**【0118】** 在一些實施例中，積體電路元件進一步包含：第三單元，第三單元包含：第三邊界，第三邊界沿著第二共用邊緣鄰接第二邊界，第三主動區域，第三主動區域在第三邊界內且沿著第一方向延伸，第三閘極區域，第三閘極區域在第三邊界內且沿著第二方向跨越第三主動區域延伸；以及第二共用導電區域，第二共用導電區域與第二共用邊緣重疊且電耦接至第三主動區域及第二主動區域兩者，其



中第二單元係一填充物單元，且第二閘極區域係一虛設閘極區域。

**【0119】** 前述內容概述幾個實施例的特徵，使得熟習此項技術者可更好地理解本案的一實施例的態樣。熟習此項技術者應瞭解，該些技術者可容易將本案的一實施例用作為設計或修改用於實現與本文中介紹的實施例的相同目的及/或達成與本文中介紹的實施例的相同優點的其他製程及結構的基礎。熟習此項技術者亦應認識到，此等等效構造不背離本案的一實施例的精神及範疇，且該些技術者可在不離本案的一實施例的精神及範疇的情況下作出本文中的各種改變、取代及改動。

**【符號說明】**

**【0120】**

C P P : 間距

D P , D N : 汲極區域

G P , G N , 1 3 0 , 1 3 0 ' , 5 3 1 , 5 3 2 , 8 3 1 , 8 3 2 , 8 3 3 , 8 3 4 , 1 1 3

0 , 1 2 3 0 , 1 3 3 0 , 1 4 3 0 : 閘極區域

S P , S N : 源極區域

V D D : 第一電源電壓

V S S : 第二電源電壓

P M O S : p 通道金屬氧化物半導體

N M O S : n 通道金屬氧化物半導體

I N : 輸入節點

OUT: 輸出節點

100, 100', 500, 500', 800, 800': 單元

110, 110': 第一主動區域 / PMOS 主動區域

120, 120': 第二主動區域 / NMOS 主動區域

141, 141', 142, 142', 143, 143', 144, 144': 導電區域  
/ MD 區域

150, 150', 250, 550, 850: 邊界

151, 152, 152', 153, 154, 251, 252, 551, 551', 552, 552', 851, 852, 852': 邊緣

200A, 200B, 200C, 200D, 200E: 填充物單元

210: PMOS 主動區域

220: NMOS 主動區域

230: 閘極區域 / 虛設閘極區域

241, 242, 243, 244,

343, 344, 1562, 1564, 1566, 1568: MD 區域

300, 400, 600, 700, 900, 1500, 1760: IC 元件

310, 410: 組合式 PMOS 主動區域

320, 420: 組合式 NMOS 主動區域

352, 451, 452: 共用邊緣

441, 442: 第二共同 MD 區域

443, 444: 第一共同 MD 區域

510, 810: 第一主動區域

520, 820: 第二主動區域

541, 541', 542, 542', 543, 543', 544, 544': 導電區域

841, 842, 843, 843', 844, 844' : 導電區域 / MD 區域

1000A, 1000B : 方法

1005, 1010, 1015, 1020, 1025, 1030, 1035, 1040, 1045 : 操作

X1 - X1, Y1 - Y1, X2 - X2, Y2 - Y2, X3 - X3, Y3 - Y3, X4 - X4, Y4 - Y4 : 線

1100 : 平面電晶體

1110, 1120, 1210, 1220, 1310, 1320, 1410, 1420 : 主動區域或源極 / 汲極區域

1140, 1240, 1340, 1440, 1510 : 基板

1150, 1250 : 通道區域

1200 : FINFET

1260 : 鰭狀物

1350, 1450 : 通道

1300 : 奈米片 FET

1360 : 奈米片

1400 : 奈米線 FET

1460 : 奈米線

1515 : 源極 / 汲極區域

1520 : 閘極介電層

1525 : 閘極介電質

1530 : 閘極電極層

1535 : 閘極電極

1540 : 光阻劑層

- 1 5 4 5 : 遮 罩
- 1 5 5 0 : 間 隔 物 層
- 1 5 5 5 : 間 隔 物
- 1 5 6 0 : 導 電 層
- 1 6 0 0 : 電 子 設 計 自 動 化 ( E D A ) 系 統
- 1 6 0 2 : ( 硬 體 ) 處 理 器
- 1 6 0 4 : ( 非 暫 時 性 電 腦 可 讀 ) 儲 存 媒 體 , 記 憶 體
- 1 6 0 6 : 電 腦 程 式 碼 , 指 令
- 1 6 0 7 : ( 包 括 標 準 單 元 的 標 準 單 元 ) 庫
- 1 6 0 8 : 匯 流 排
- 1 6 1 0 : I / O ( 介 面 )
- 1 6 1 2 : 網 路 介 面
- 1 6 1 4 : 網 路
- 1 6 4 2 : 使 用 者 介 面 ( U I )
- 1 7 0 0 : 積 體 電 路 ( I C ) 製 造 系 統
- 1 7 2 0 : 設 計 室
- 1 7 2 2 : I C 設 計 佈 局 圖
- 1 7 3 0 : 遮 罩 室
- 1 7 3 2 : 資 料 準 備
- 1 7 4 4 : 遮 罩 製 造
- 1 7 4 5 : 遮 罩
- 1 7 5 0 : I C 製 造 商 / 製 造 者 , 晶 圓 廠
- 1 7 5 2 : 製 造 工 具
- 1 7 5 3 : ( 半 導 體 ) 晶 圓

1760:IC 元件

**【生物材料寄存】**

國內寄存資訊(請依寄存機構、日期、號碼順序註記)

無

國外寄存資訊(請依寄存國家、機構、日期、號碼順序註記)

無

## 【發明申請專利範圍】

【請求項 1】一種方法，該方法包含以下步驟：

產生一積體電路的一單元的一佈局圖，產生該單元的該佈局圖的該步驟包含：

在該單元的一邊界內配置一第一主動區域，該第一主動區域沿著一第一方向延伸，

在該邊界內配置至少一個閘極區域，該至少一個閘極區域沿著一第二方向跨越該第一主動區域延伸，該第二方向橫切該第一方向，及

配置與該第一主動區域及該邊界的一第一邊緣重疊的一第一導電區域，該第一導電區域用以形成至該第一主動區域的一電連接；及

將該產生的佈局圖儲存在一非暫時性電腦可讀媒體上。

【請求項 2】如請求項 1 所述之方法，其中產生該單元的該佈局圖的該步驟進一步包含以下步驟：

配置與該第一主動區域及該邊界的一第二邊緣重疊的一第二導電區域，該第二導電區域用以形成至該第一主動區域的一電連接，該第二邊緣在該第一方向上與該第一邊緣對置。

【請求項 3】如請求項 2 所述之方法，其中該邊界的該第一邊緣在該第一方向上與該第一導電區域的一中心線重合，且

該邊界的該第二邊緣在該第一方向上與該第二導電區域的一中心線重合。

【請求項 4】如請求項 2 所述之方法，其中產生該單元的該佈局圖的該步驟進一步包含以下步驟：

在該邊界內配置一第二主動區域，該第二主動區域沿著該第一方向延伸且在該第二方向上與該第一主動區域隔開，該至少一個閘極區域跨越該第二主動區域延伸，

配置與該第二主動區域及該邊界的該第二邊緣重疊的一第三導電區域，該第三導電區域用以形成至該第二主動區域的一電連接，及

配置與該第二主動區域及該邊界的該第二邊緣重疊的一第四導電區域，該第四導電區域用以形成至該第二主動區域的一電連接。

【請求項 5】如請求項 1 所述之方法，其中該單元係一填充物單元，且該至少一個閘極區域係一虛設閘極區域。

【請求項 6】如請求項 5 所述之方法，其中在該第一方向上的該填充物單元的一寬度等於該積體電路的鄰近閘極區域之間的一個閘極區域間距。

【請求項 7】如請求項 1 所述之方法，該方法進一步包含以下步驟：

基於該佈局圖來製造一半導體遮罩或該積體電路的一層中的一組件中的至少一者。

**【請求項 8】**一種方法，該方法包含以下步驟：

產生一積體電路佈局圖，產生該積體電路佈局圖的該步驟包含在該積體電路佈局圖中毗鄰於一第二單元置放一第一單元的步驟，其中

該第一單元的一邊界沿著一第一共用邊緣鄰接該第二單元的一邊界，且

該第一單元的一第一導電區域與該第二單元的一第二導電區域經合併而成為與該第一共用邊緣重疊的一第一共用導電區域，該第一導電區域與該第一單元的一第一主動區域重疊且用以形成至該第一單元的該第一主動區域的一電連接，該第二導電區域與該第二單元的一第二主動區域重疊且用以形成至該第二單元的該第二主動區域的一電連接；以及

將該產生的積體電路佈局圖儲存在一非暫時性電腦可讀媒體上。

**【請求項 9】**如請求項 8 所述之方法，其中產生該積體電路佈局圖的該步驟進一步包含在該積體電路佈局圖中毗鄰於該第二單元置放一第三單元的步驟，

其中該第三單元的一邊界沿著一第二共用邊緣鄰接該第二單元的該邊界，該第一共用邊緣及該第二共用邊緣在一



第一方向上彼此相反且沿著橫切該第一方向的一第二方向延伸，且

該第三單元的一第三導電區域與該第二單元的一第四導電區域經合併而成為與該第二共用邊緣重疊的一第二共用導電區域，該第三導電區域與該第三單元的一第三主動區域重疊且用以形成至該第三單元的該第三主動區域的一電連接，該第四導電區域與該第二單元的該第二主動區域重疊且用以形成至該第二單元的該第二主動區域的一電連接。

**【請求項 10】**如請求項 9 所述之方法，其中該第二單元係一填充物單元，該填充物單元包含沿著該第二方向跨越該第二主動區域延伸的一虛設閘極區域，該虛設閘極區域在該第一方向上定位在該第一共用邊緣與該第二共用邊緣之間。

**【請求項 11】**如請求項 10 所述之方法，其中該第一導電區域及該第三導電區域分別為用以形成至該第一主動區域及該第三主動區域中的汲極區域的電連接的汲極側導電區域。

**【請求項 12】**如請求項 8 所述之方法，其中該第一主動區域及該第二主動區域分別為一第一 p 通道金屬氧化物半導體主動區域及一第二 p 通道金屬氧化物半導體主動區域主

動區域，

該第一導電區域、該第二導電區域及該第一共用導電區域分別為一第一 p 通道金屬氧化物半導體主動區域導電區域、一第二 p 通道金屬氧化物半導體主動區域導電區域及一第一共同 p 通道金屬氧化物半導體主動區域導電區域，該第一單元進一步包含：

一第一 n 通道金屬氧化物半導體主動區域，以及

一第一 n 通道金屬氧化物半導體導電區域，該第二 n 通道金屬氧化物半導體導電區域與該第一 n 通道金屬氧化物半導體主動區域重疊且用以形成至該第一 n 通道金屬氧化物半導體主動區域的一電連接，

該第二單元進一步包含：

一第二 n 通道金屬氧化物半導體主動區域，及

一第二 n 通道金屬氧化物半導體導電區域，該第二 n 通道金屬氧化物半導體導電區域與該第二 n 通道金屬氧化物半導體主動區域重疊且用以形成至該第二 n 通道金屬氧化物半導體主動區域的一電連接，且

在如下該步驟中：在該積體電路佈局圖中毗鄰於該第二單元置放該第一單元，

該第一 n 通道金屬氧化物半導體導電區域與該第二 n 通道金屬氧化物半導體導電區域經合併而成為與該第一共用邊緣重疊的一第一共同 n 通道金屬氧化物半導體導電區域。

【請求項 13】如請求項 12 所述之方法，其中該第一單元及該第二單元中的每一者係一非填充物單元，且

該第一 p 通道金屬氧化物半導體導電區域、該第二 p 通道金屬氧化物半導體導電區域、該第一 n 通道金屬氧化物半導體導電區域及該第二 n 通道金屬氧化物半導體導電區域分別為用以形成至該第一 p 通道金屬氧化物半導體主動區域、該第二 p 通道金屬氧化物半導體主動區域、該第一 n 通道金屬氧化物半導體主動區域及該第二 n 通道金屬氧化物半導體主動區域中的源極區域的電連接的源極側導電區域。

【請求項 14】如請求項 12 所述之方法，其中產生該積體電路佈局圖的該步驟進一步包含在該積體電路佈局圖中毗鄰於該第二單元置放一第三單元的步驟，

該第三單元包含：

一第三 p 通道金屬氧化物半導體主動區域，

一第三 p 通道金屬氧化物半導體導電區域，該第三 p 通道金屬氧化物半導體導電區域與該第三 p 通道金屬氧化物半導體主動區域重疊且用以形成至該第三 p 通道金屬氧化物半導體主動區域的一電連接，

一第三 n 通道金屬氧化物半導體主動區域，以及

一第三 n 通道金屬氧化物半導體導電區域，該第三 n 通道金屬氧化物半導體導電區域與該第三 n 通道金屬氧化物半導體主動區域重疊且用以形成至該第三 n 通道金

屬氧化物半導體主動區域的一電連接，且該第二單元進一步包含：

一第四 p 通道金屬氧化物半導體導電區域，該第四 p 通道金屬氧化物半導體導電區域與該第二 p 通道金屬氧化物半導體主動區域重疊且用以形成至該第二 p 通道金屬氧化物半導體主動區域的一電連接，以及

一第四 n 通道金屬氧化物半導體導電區域，該第四 n 通道金屬氧化物半導體導電區域與該第二 n 通道金屬氧化物半導體主動區域重疊且用以形成至該第二 n 通道金屬氧化物半導體主動區域的一電連接，且

在如下該步驟中：在該積體電路佈局圖中毗鄰於該第二單元置放該第三單元，

該第三單元的一邊界沿著一第二共用邊緣鄰接該第二單元的該邊界，該第一共用邊緣及該第二共用邊緣在第一方向上彼此相反且沿著橫切該第一方向的一第二方向延伸，

該第三 p 通道金屬氧化物半導體導電區域與該第四 p 通道金屬氧化物半導體導電區域經合併而成為與該第二共用邊緣重疊的一第二共同 p 通道金屬氧化物半導體導電區域，且

該第三 n 通道金屬氧化物半導體導電區域與該第四 n 通道金屬氧化物半導體導電區域經合併而成為與該第二共用邊緣重疊的一第二共同 n 通道金屬氧化物半導體導電區域。

【請求項 15】如請求項 14 所述之方法，其中該第二單元係一填充物單元，該填充物單元包含沿著該第二方向跨越該第二 p 通道金屬氧化物半導體主動區域及該第二 n 通道金屬氧化物半導體主動區域延伸的一虛設閘極區域，該虛設閘極區域在該第一方向上定位在該第一共用邊緣與該第二共用邊緣之間。

【請求項 16】如請求項 15 所述之方法，其中在該第一方向上的該填充物單元的一寬度等於該積體電路的鄰近閘極區域之間的一個閘極區域間距。

【請求項 17】如請求項 15 所述之方法，其中該第一 p 通道金屬氧化物半導體導電區域、該第一 n 通道金屬氧化物半導體導電區域、該第三 p 通道金屬氧化物半導體導電區域或該第三 n 通道金屬氧化物半導體導電區域中的至少一者係用以形成至對應的該第一 p 通道金屬氧化物半導體主動區域、該第一 n 通道金屬氧化物半導體主動區域、該第三 p 通道金屬氧化物半導體主動區域或該第三 n 通道金屬氧化物半導體主動區域中的一汲極區域的一電連接的一汲極側導電區域。

【請求項 18】如請求項 8 所述之方法，該方法進一步包含以下步驟：

基於該積體電路佈局圖來製造一半導體遮罩或該積體電路的一層中的一組件中的至少一者。

**【請求項 19】** 一種積體電路元件，該積體電路元件包含：

一第一單元，該第一單元包含：

一第一邊界，

一第一主動區域，該第一主動區域在該第一邊界內且沿著一第一方向延伸，以及

一第一閘極區域，該第一閘極區域在該第一邊界內且沿著一第二方向跨越該第一主動區域延伸，該第二方向橫切該第一方向；

一第二單元，該第二單元包含：

一第二邊界，該第二邊界沿著一第一共用邊緣鄰接該第一邊界，

一第二主動區域，該第二主動區域在該第二邊界內且沿著該第一方向延伸，以及

一第二閘極區域，該第二閘極區域在該第二邊界內沿著該第二方向跨越該第二主動區域延伸；以及

一第一共用導電區域，該第一共用導電區域與該第一共用邊緣重疊且電耦接至該第一主動區域及該第二主動區域兩者。

**【請求項 20】** 如請求項 19 所述之積體電路元件，該積體電路元件進一步包含：

一 第三單元，該第三單元包含：

一 第三邊界，該第三邊界沿著一第二共用邊緣鄰接該第二邊界，

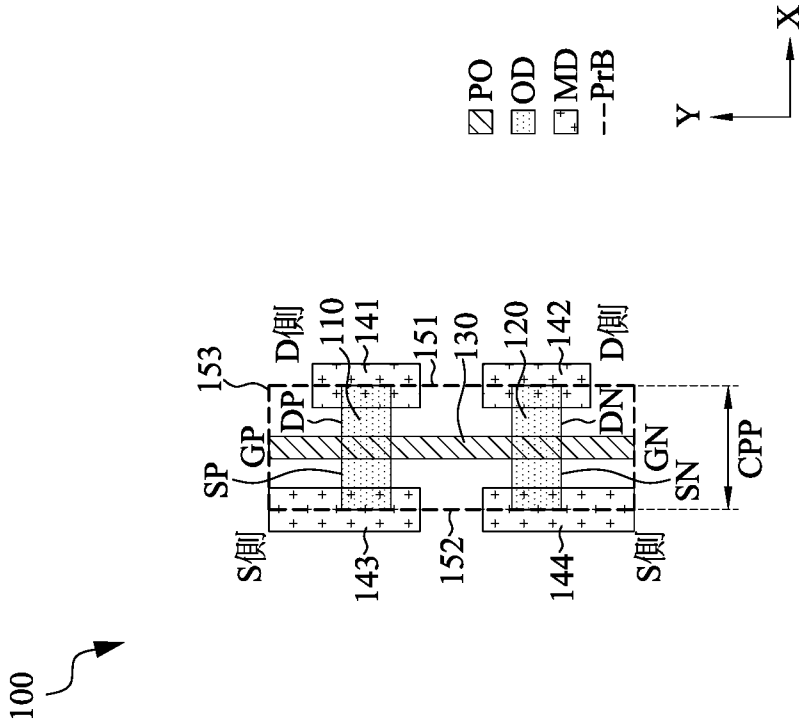
一 第三主動區域，該第三主動區域在該第三邊界內且沿著該第一方向延伸，

一 第三閘極區域，該第三閘極區域在該第三邊界內且沿著該第二方向跨越該第三主動區域延伸；以及

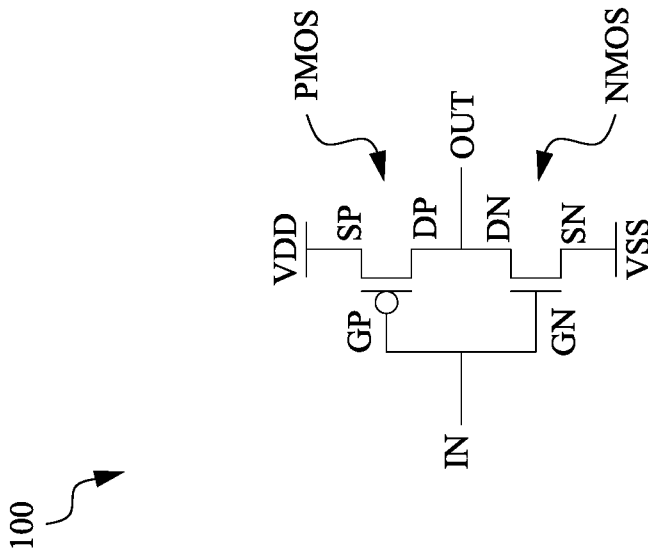
一 第二共用導電區域，該第二共用導電區域與該第二共用邊緣重疊且電耦接至該第三主動區域及該第二主動區域兩者，

其中該第二單元係一填充物單元，且該第二閘極區域係一虛設閘極區域。

【發明圖式】

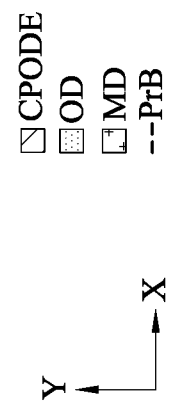
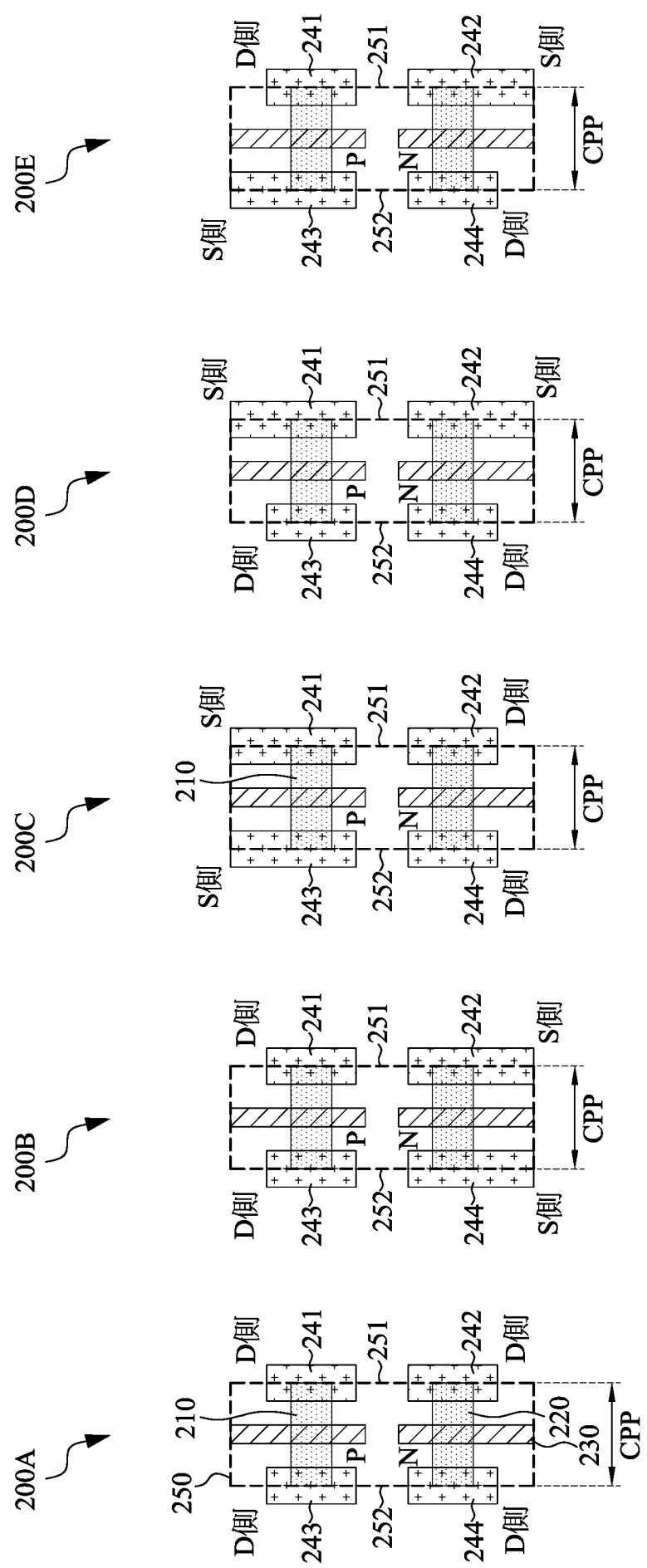


第1B圖

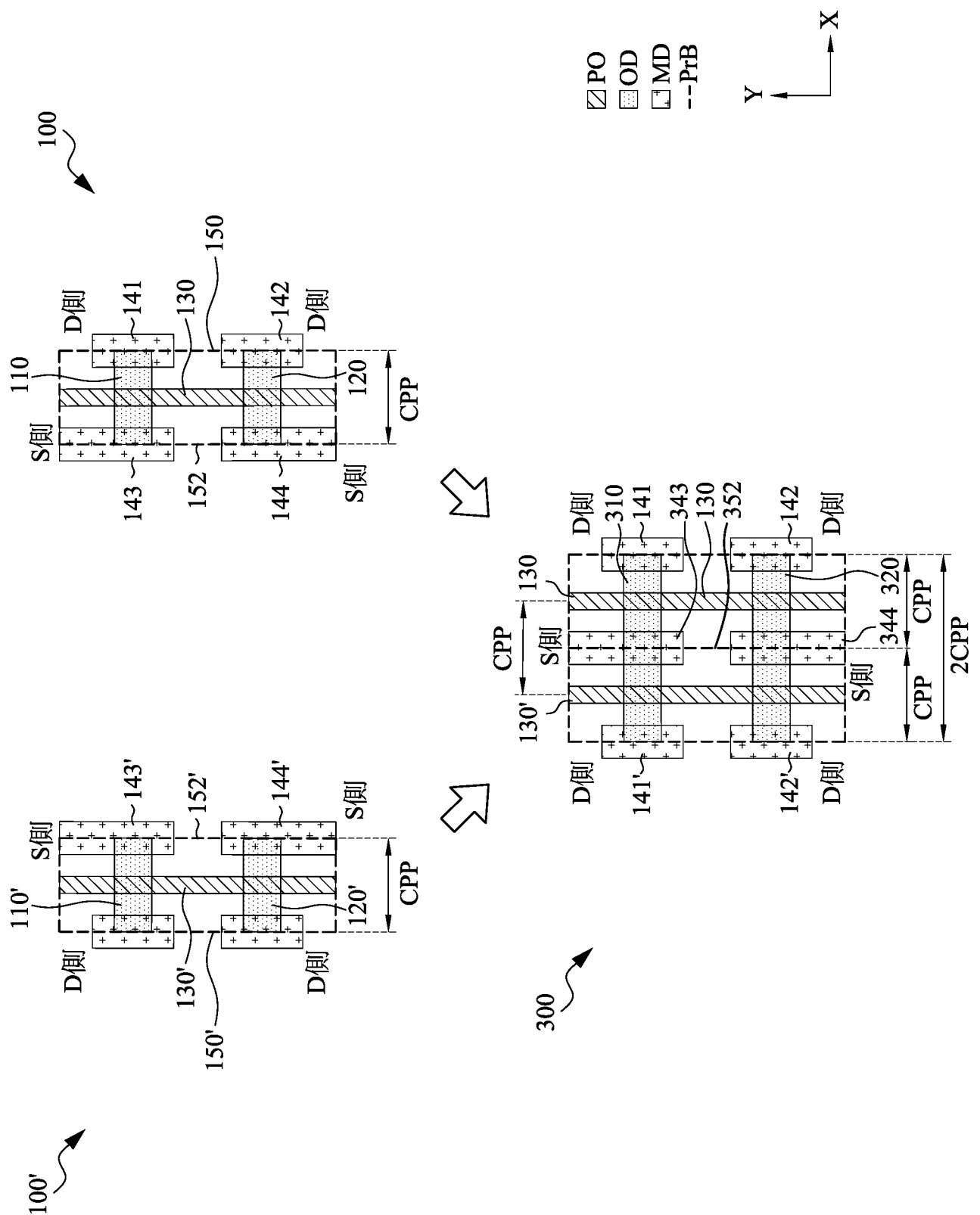


第1A圖

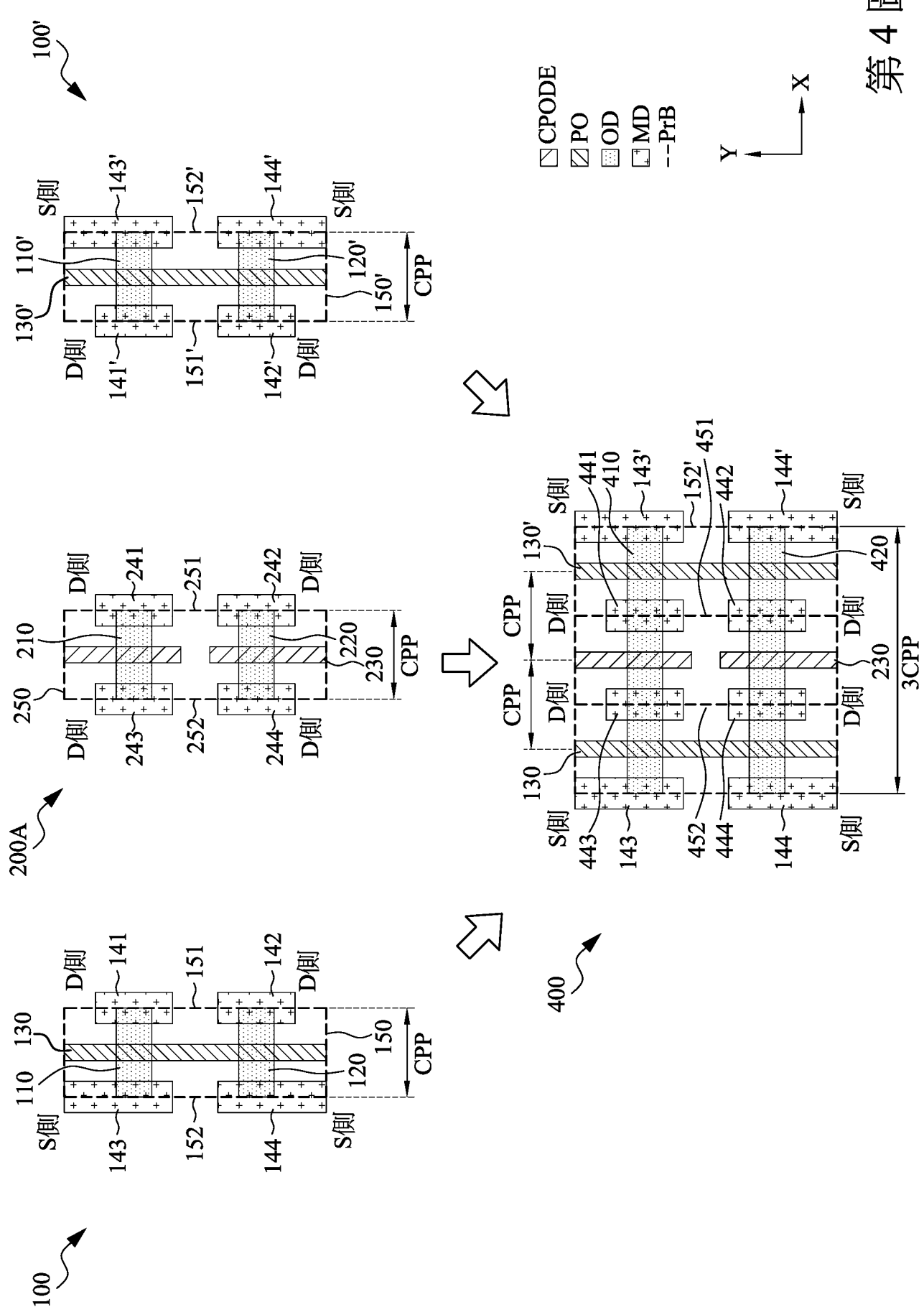




第 2 圖

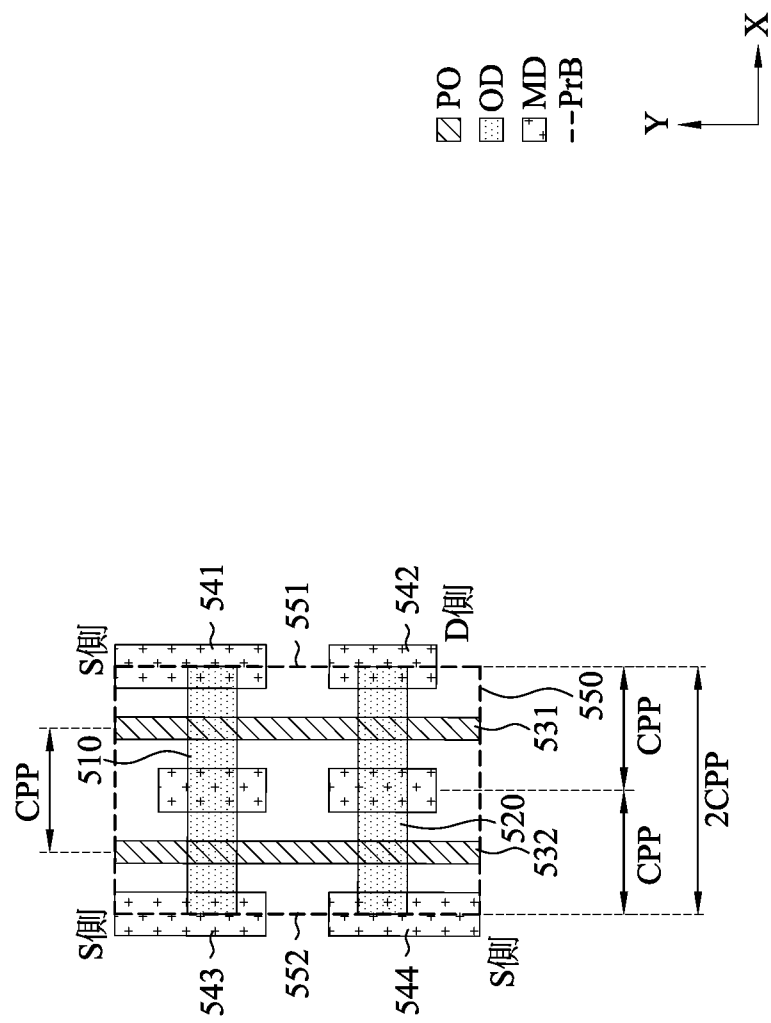


第3圖

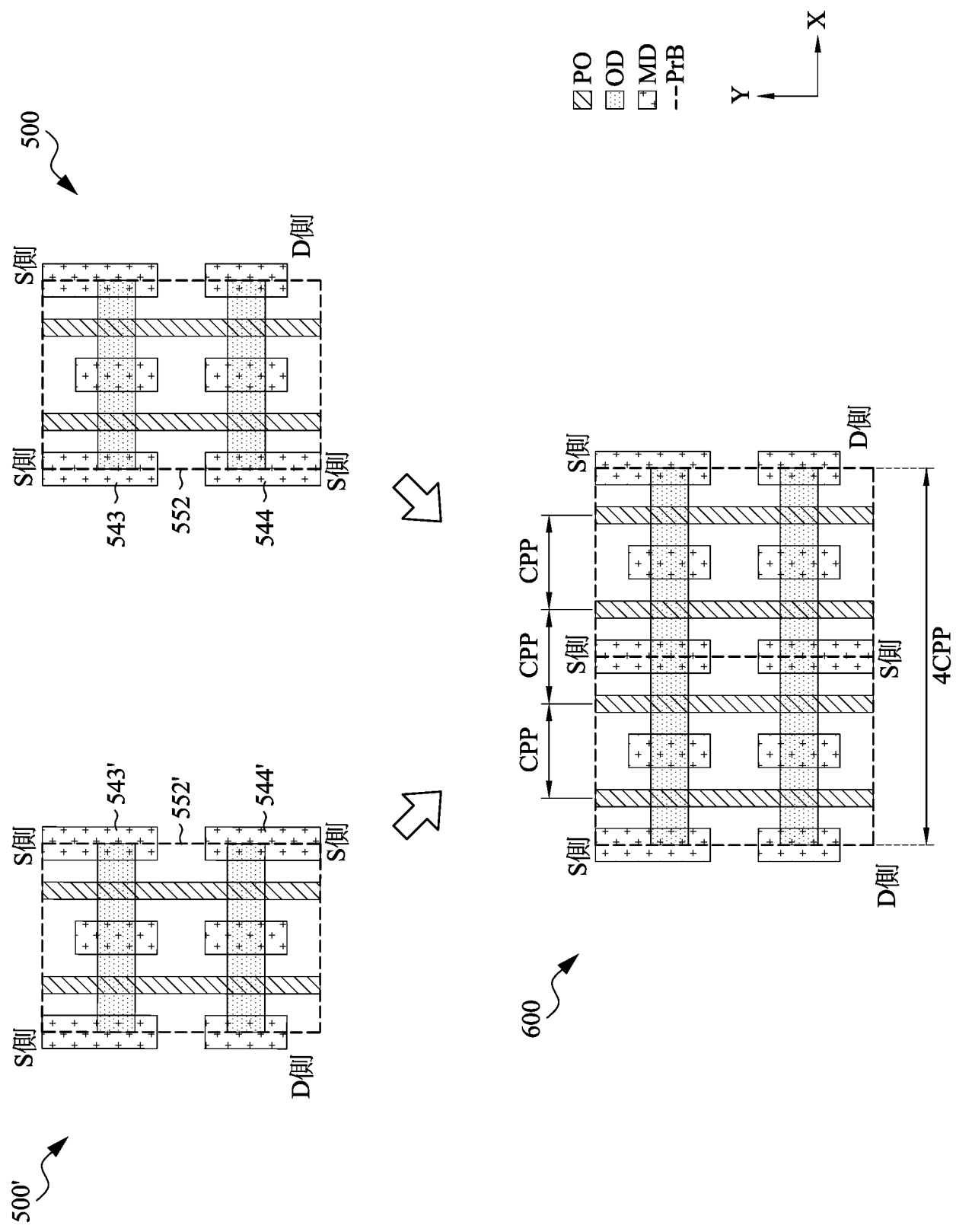


第4圖

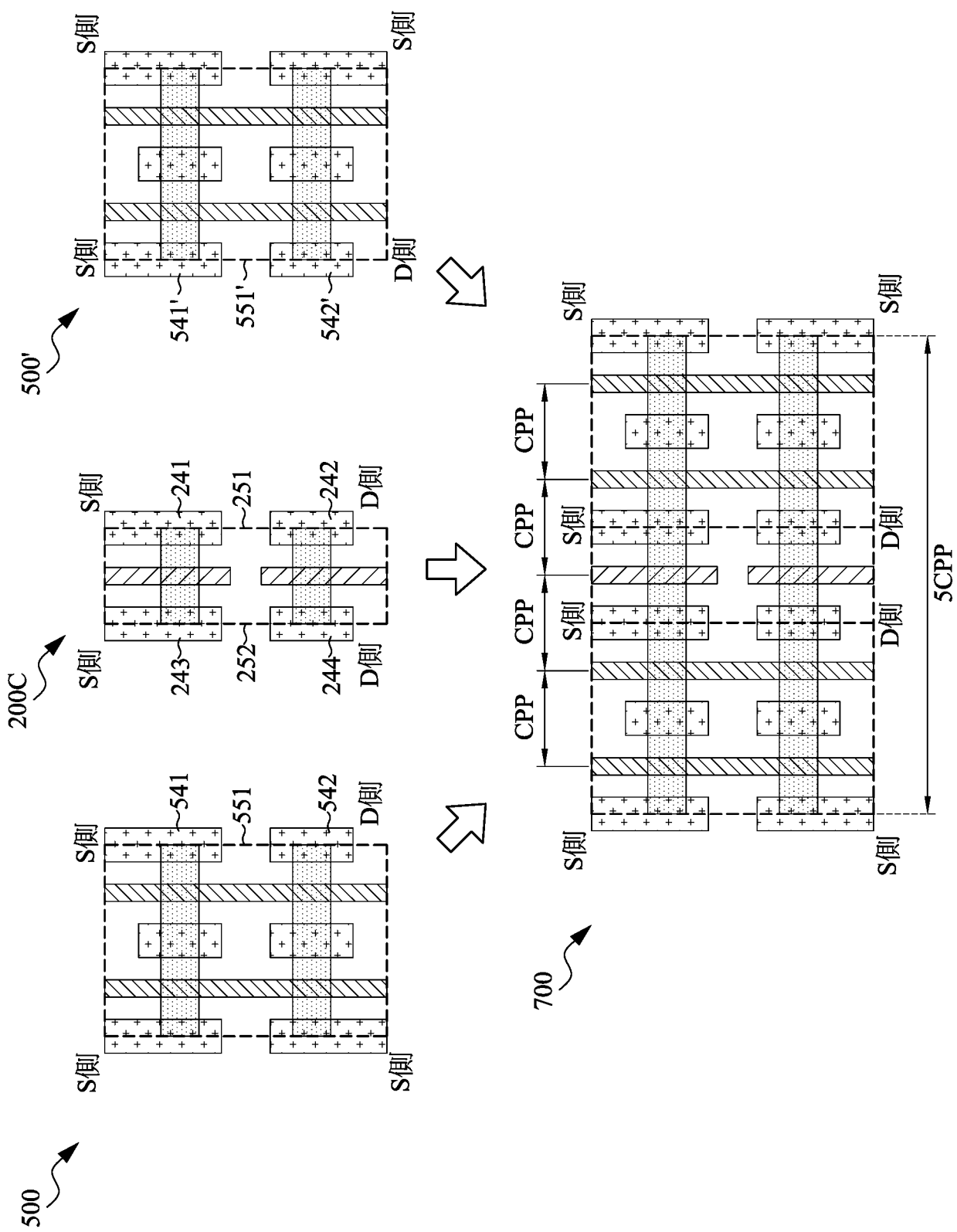
500 ↗



第 5 圖

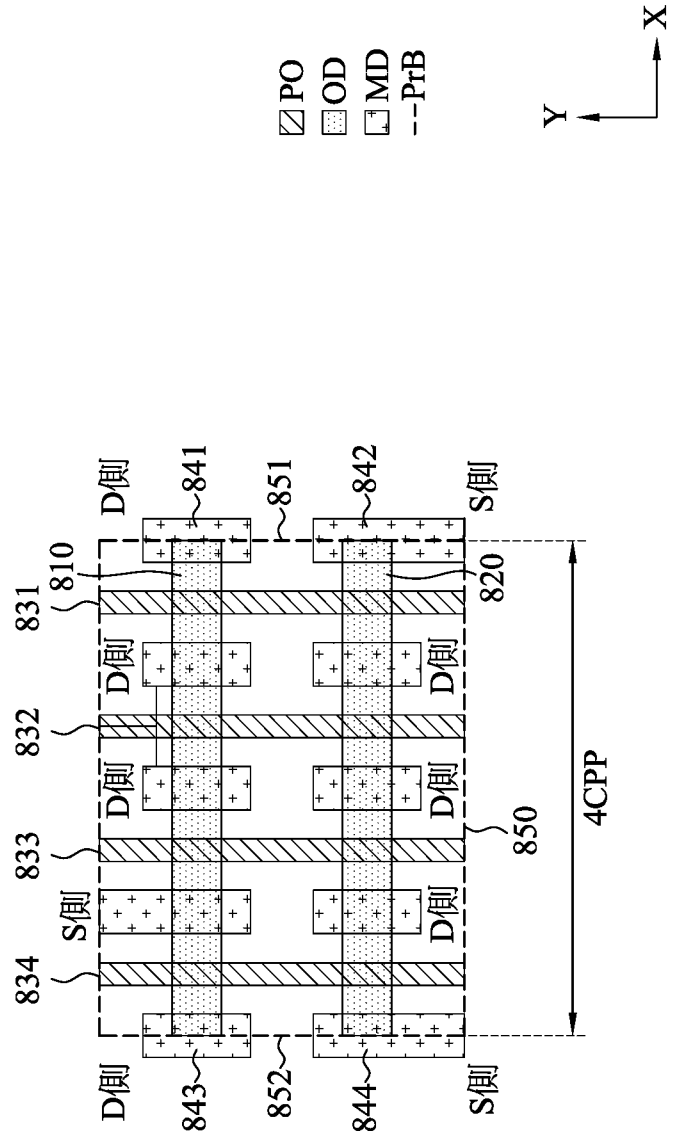


第6圖

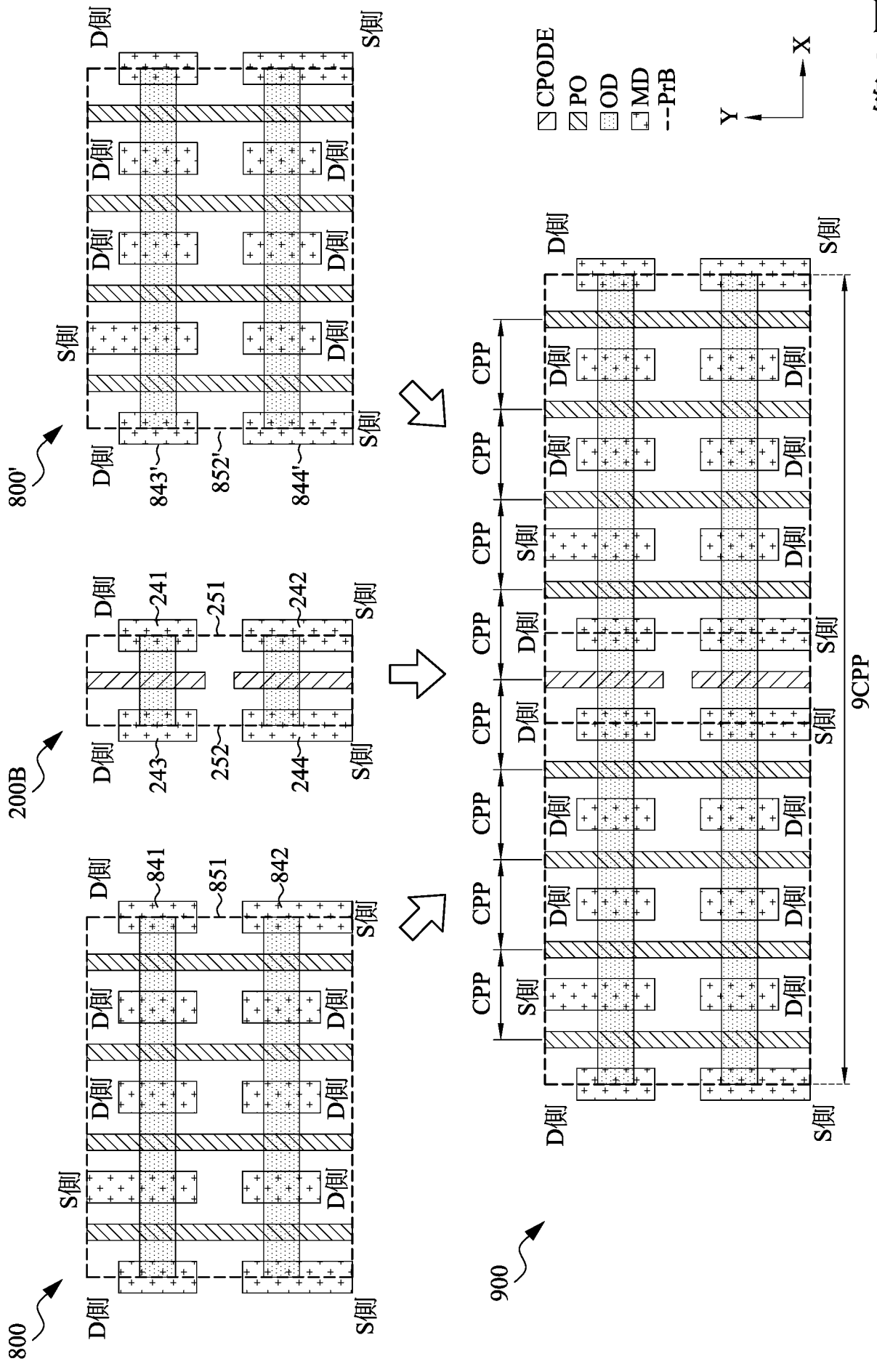


第7圖

800 ↗



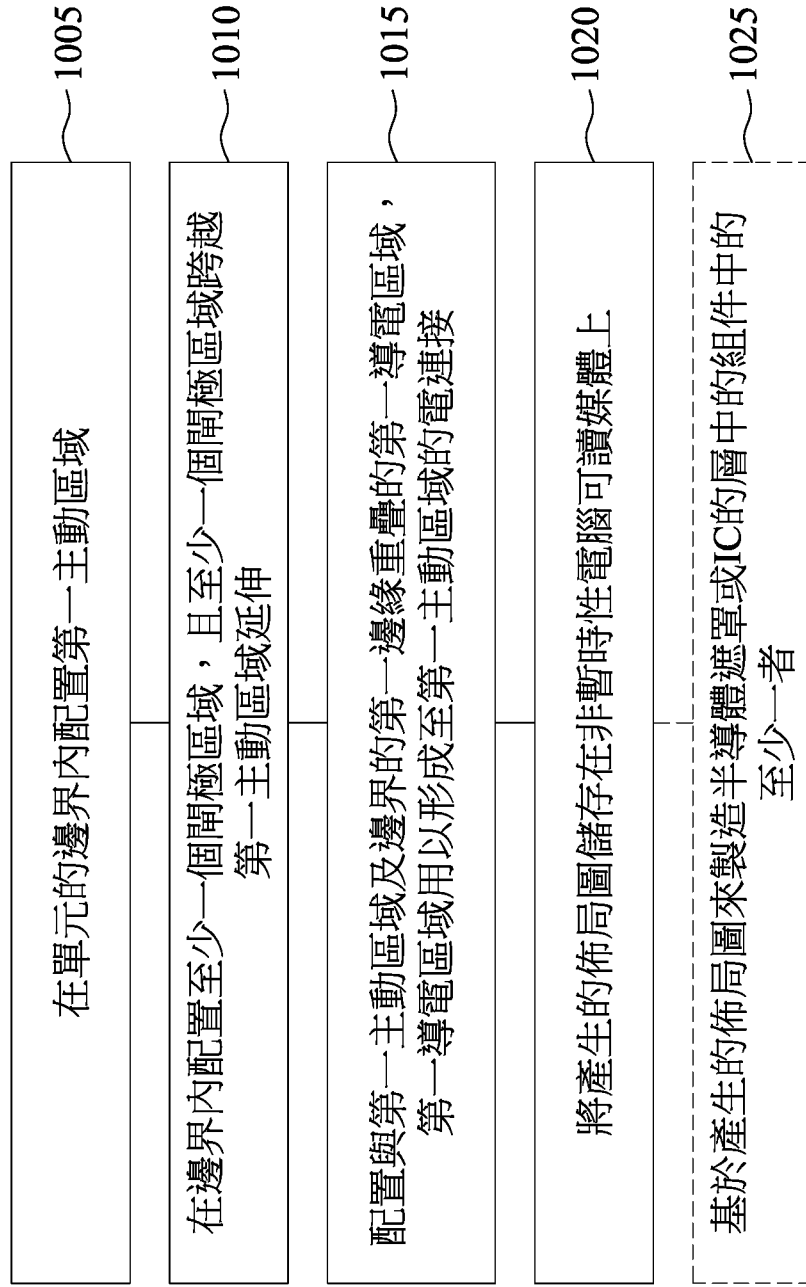
第 8 圖



第9圖



1000A ↗



第 10A 圖

1000B



在IC佈局圖中毗鄰於第二單元置放第一單元，其中第一單元的邊界沿著第一共用邊緣鄰接第二單元的邊界，且第一單元的第三導電區域(MD)與第二單元的第二導電區域(MD)經合併而成為與第一共用邊緣重疊的第一共用導電區域

1030

在IC佈局圖中毗鄰於第二單元置放第三單元，其中第三單元的邊界沿著第二共用邊緣鄰接第二單元的邊界，且第三單元的第三導電區域(MD)與第二單元的第四導電區域(MD)經合併而成為與第二共用邊緣重疊的第二共用導電區域

1035

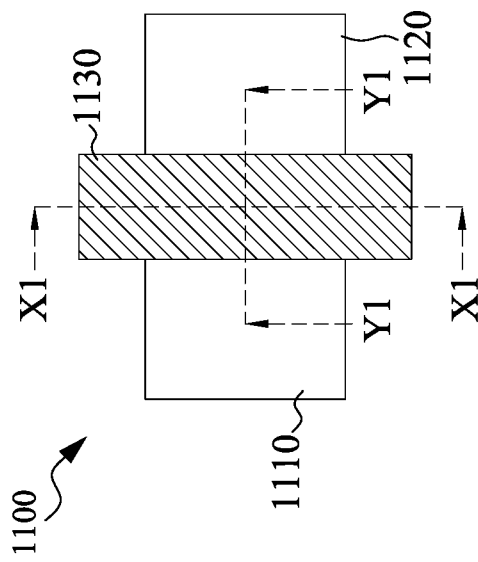
將產生的IC佈局圖儲存在非暫時性電腦可讀媒體上

1040

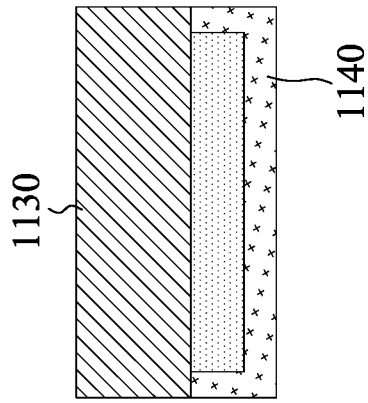
基於產生的IC佈局圖來製造半導體遮罩或IC的層中的組件中的至少一者

1045

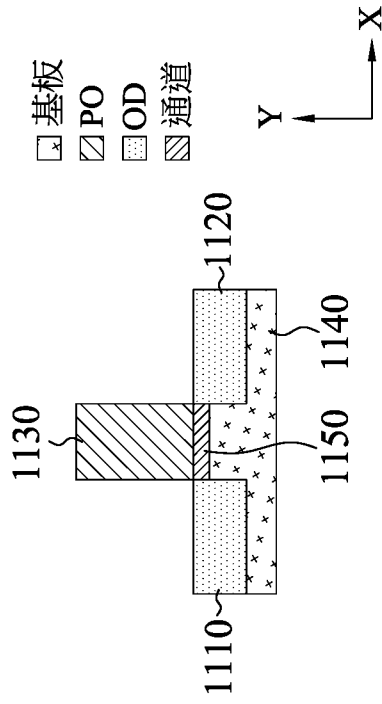
## 第 10B 圖



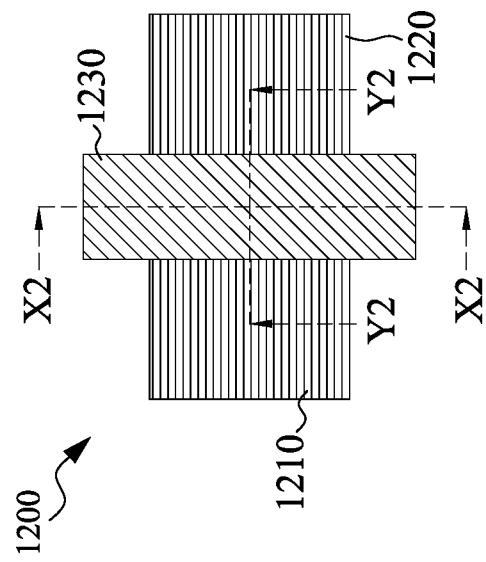
第 11A 圖



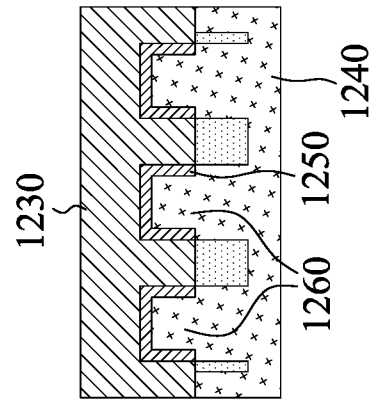
第 11B 圖



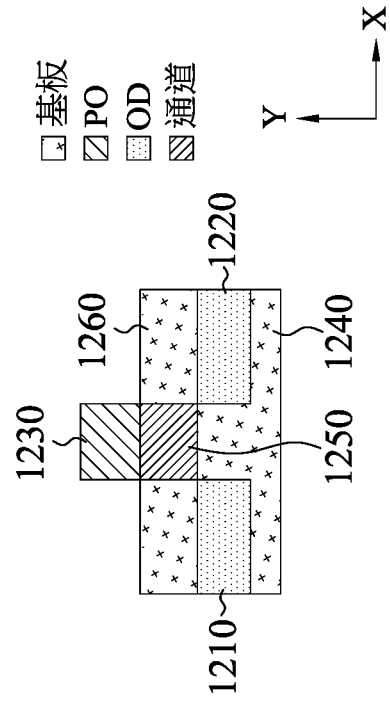
第 11C 圖



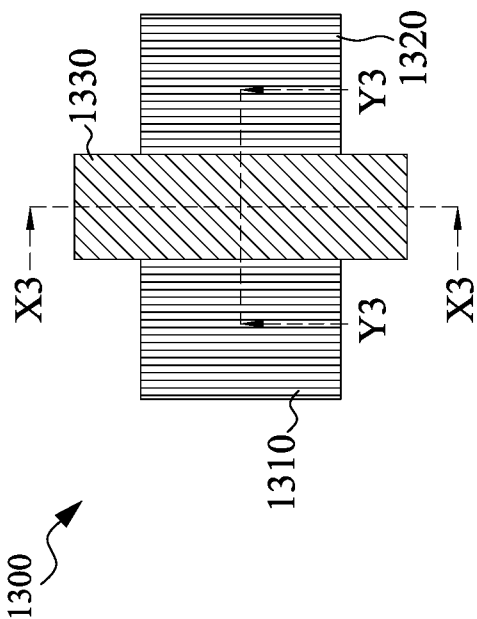
第 12A 圖



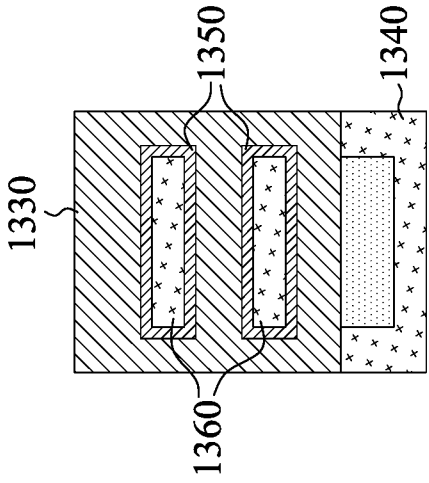
第 12B 圖



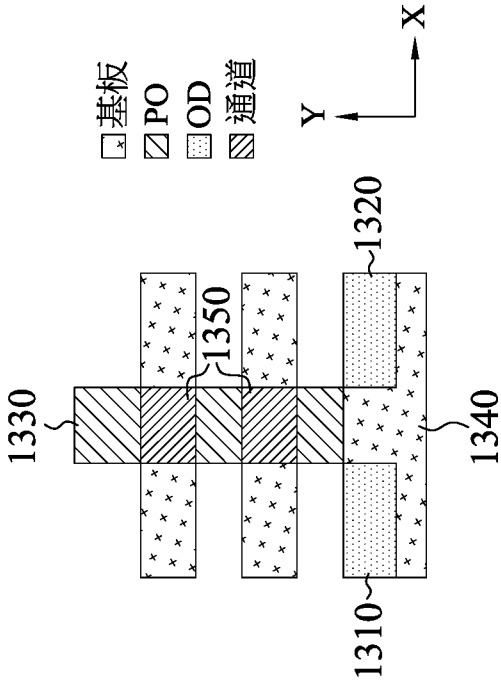
第 12C 圖



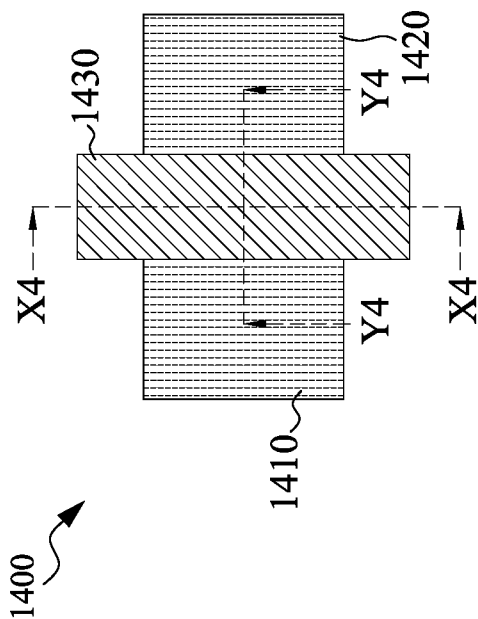
第 13A 圖



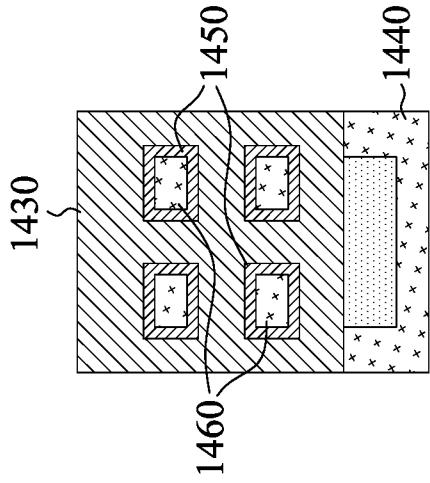
第 13B 圖



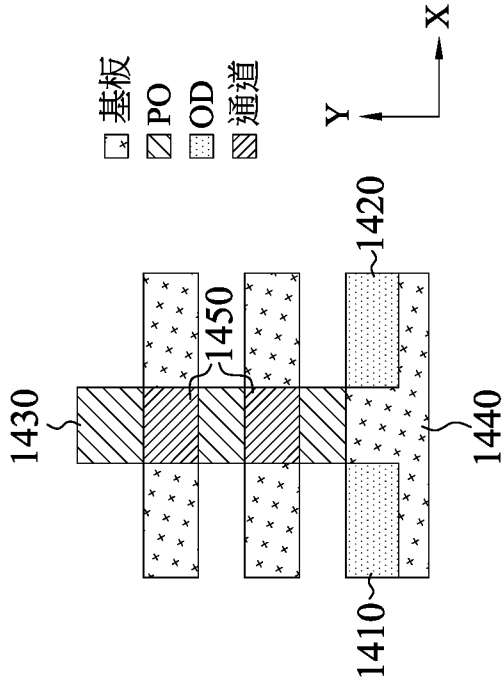
第 13C 圖



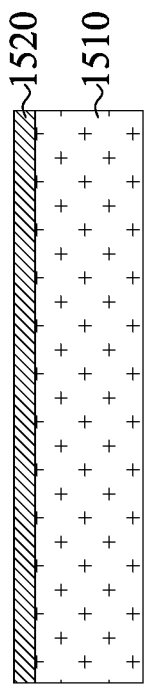
第 14A 圖



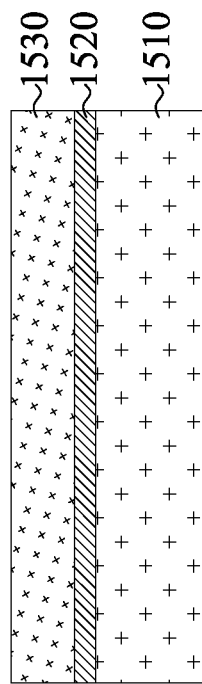
第 14B 圖



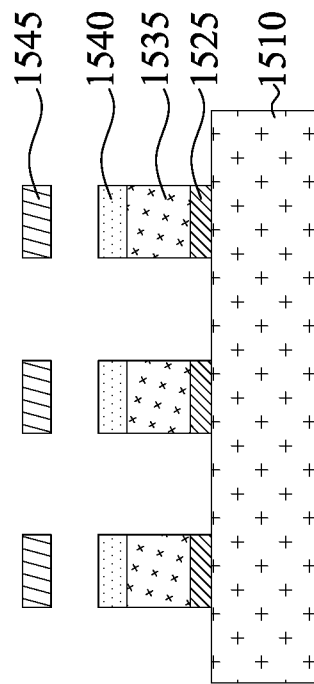
第 14C 圖



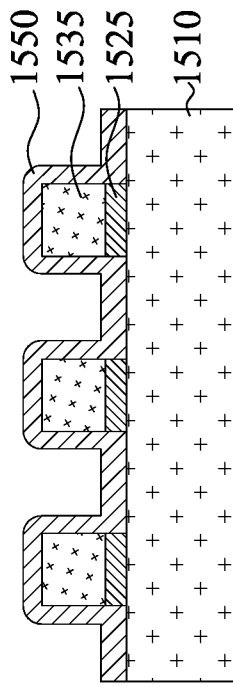
第 15A 圖



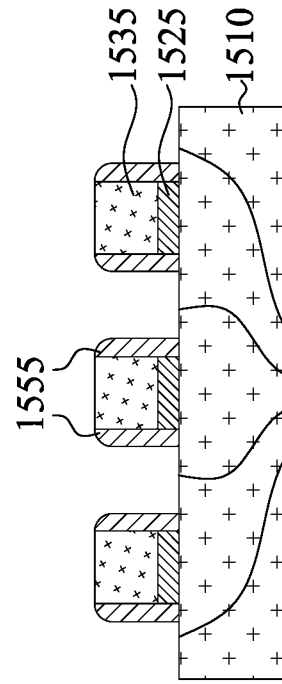
第 15B 圖



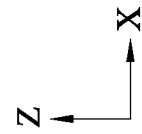
第 15C 圖

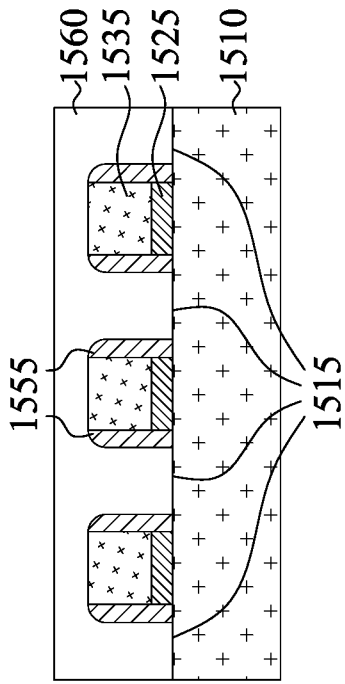


第 15D 圖

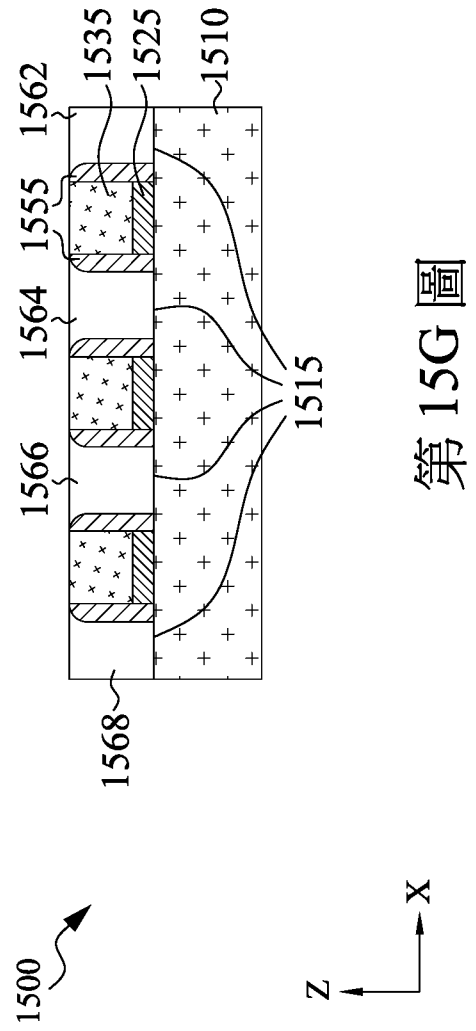


第 15E 圖

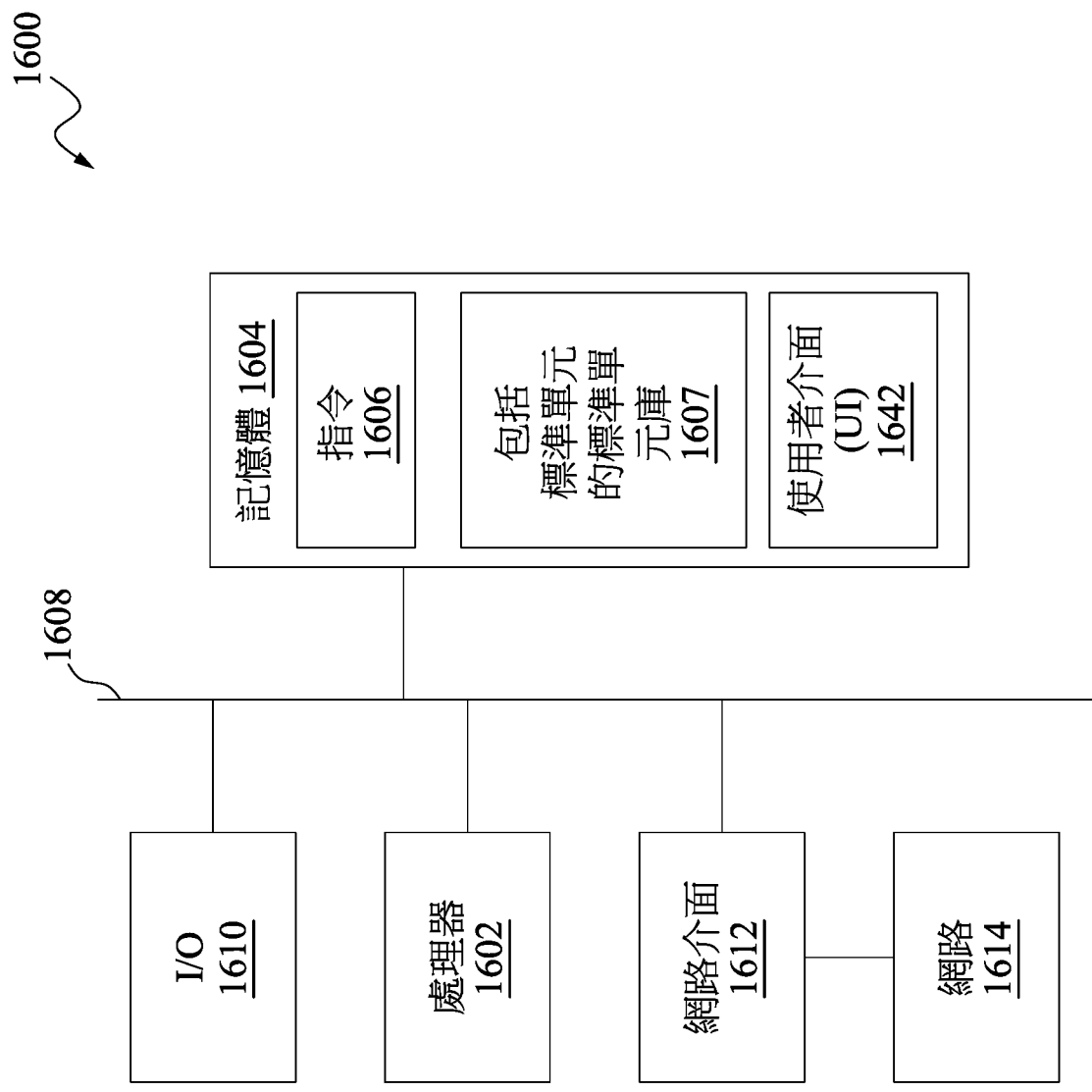




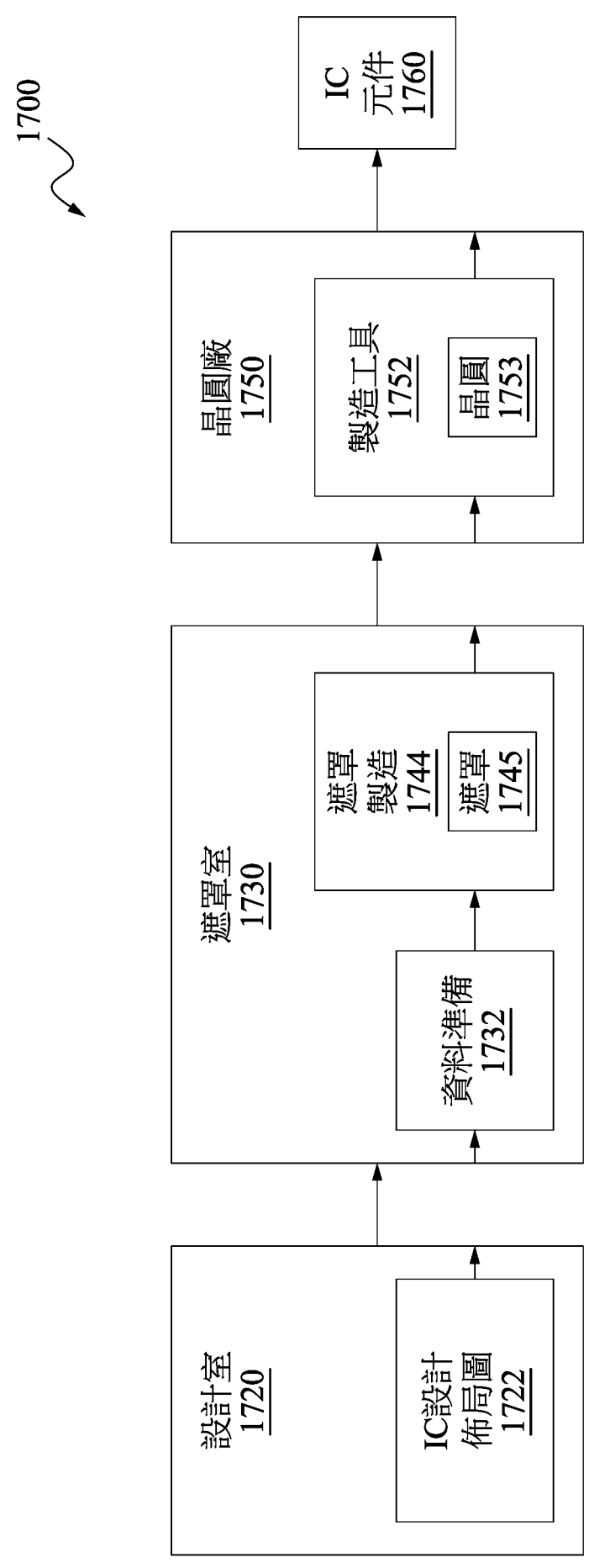
第 15F 圖



第 15G 圖



第 16 圖



第17圖





## 【發明摘要】

【中文發明名稱】製造積體電路的方法

【英文發明名稱】METHOD FOR FABRICATING AN INTEGRATED CIRCUIT

### 【中文】

一種製造積體電路的方法包括以下步驟：產生積體電路的單元的佈局圖；及將產生的佈局圖儲存在非暫時性電腦可讀媒體上。在產生該單元的佈局圖的步驟中，在單元的邊界內配置第一主動區域。第一主動區域沿著第一方向延伸。在邊界內配置至少一個閘極區域。至少一個閘極區域沿著橫切第一方向的第二方向跨越第一主動區域延伸。配置第一導電區域以與第一主動區域及邊界的第一邊緣重疊。第一導電區域用以形成至第一主動區域的電連接。

### 【英文】

A method for fabricating an integrated circuit includes generating a layout diagram of a cell of the integrated circuit (IC), and storing the generated layout diagram on a non-transitory computer-readable medium. In the generating the layout diagram of the cell, a first active region is arranged inside a boundary of the cell. The first active region extends along a first direction. At least one gate region is arranged inside the boundary. The at least one gate region extends across the first active region along a second direction transverse to the first direction. A first conductive region is arranged to overlap the first active region and a first edge of the boundary. The first conductive region is configured to form an electrical connection to the first active region.

【指定代表圖】第(10A)圖。

【代表圖之符號簡單說明】

1000A：方法

1005，1010，1015，1020，1025：操作

【特徵化學式】

無

## 【發明說明書】

【中文發明名稱】製造積體電路的方法

【英文發明名稱】METHOD FOR FABRICATING AN INTEGRATED CIRCUIT

【技術領域】

【0001】 本案是關於一種製造積體電路的方法，特別是關於一種製造具有沿單元邊界配置之導電區域與主動區域的積體電路的方法。

【先前技術】

【0002】 積體電路(integrated circuit; IC)通常包括在IC 佈局圖中表示的許多半導體元件。IC 佈局圖係階層式的，且包括根據半導體元件的設計規格來實行高階功能的模組。該些模組經常由單元的組合建構，該單元中的每一者表示用以執行特定功能的一或多個半導體結構。具有預先設計的佈局圖的單元(有時被稱為標準單元)係儲存在標準單元庫(為簡單起見，下文中稱為「庫」或「單元庫」)，且可由諸如電子設計自動化(electronic design automation; EDA)工具의各種工具存取以產生、最佳化且驗證IC 的設計。

【發明內容】

【0003】 根據本案的一實施例，包含一種製造積體電路的方法包括以下步驟：產生積體電路的單元的佈局圖；及將產

生的佈局圖儲存在非暫時性電腦可讀媒體上。在產生該單元的佈局圖的步驟中，在單元的邊界內配置第一主動區域。第一主動區域沿著第一方向延伸。在邊界內配置至少一個閘極區域。至少一個閘極區域沿著橫切第一方向的第二方向跨越第一主動區域延伸；配置第一導電區域以與第一主動區域及邊界的第一邊緣重疊。第一導電區域用以形成至第一主動區域的電連接。

### 【圖式簡單說明】

【0004】 本案的態樣將在結合附圖閱讀時自以下詳細描述最佳地瞭解。請注意，根據產業中的標準方法，各種特徵未按比例繪製。實際上，為了論述清楚起見，各種特徵的尺寸可以任意地增大或減小。

第 1 A 圖係根據本案的一實施例之電路圖且第 1 B 圖係單元的佈局圖。

第 2 圖係根據本案的一實施例包括各種填充物單元的佈局圖。

第 3 圖係根據本案的一實施例包括 IC 元件的 IC 佈局圖，及構成 IC 元件的 IC 佈局圖的各種單元的佈局圖。

第 4 圖係根據本案的一實施例包括 IC 元件的 IC 佈局圖，及構成 IC 元件的 IC 佈局圖的各種單元的佈局圖。

第 5 圖係根據本案的一實施例之單元的佈局圖。

第 6 圖係根據本案的一實施例包括 IC 元件的 IC 佈局圖，及構成 IC 元件的 IC 佈局圖的各種單元的佈局圖。

第 7 圖係根據本案的一實施例包括 IC 元件的 IC 佈局圖，及構成 IC 元件的 IC 佈局圖的各種單元的佈局圖。

第 8 圖係根據本案的一實施例之單元的佈局圖。

第 9 圖係根據本案的一實施例包括 IC 元件的 IC 佈局圖，及構成 IC 元件的 IC 佈局圖的各種單元的佈局圖。

第 10 A 圖係根據本案的一實施例之方法的流程圖。

第 10 B 圖係根據本案的一實施例之方法的流程圖。

第 11 A 圖係根據本案的一實施例之平面電晶體的示意性平面俯視圖，第 11 B 圖係沿著第 11 A 圖中的線 X1-X1 的平面電晶體的示意性橫截面圖，且第 11 C 圖係沿著第 11 A 圖中的線 Y1-Y1 的平面電晶體的示意性橫截面圖。

第 12 A 圖係根據本案的一實施例之鰭式場效電晶體 (fin field-effect transistor; FINFET) 的示意性平面俯視圖，第 12 B 圖係沿著 12 A 圖中的線 X2-X2 的 FINFET 的示意性橫截面圖，且第 12 C 圖係沿著第 12 A 圖中的線 Y2-Y2 的 FINFET 的示意性橫截面圖。

第 13 A 圖係根據本案的一實施例之奈米片 FET 的示意性平面俯視圖，第 13 B 圖係沿著第 13 A 圖中的線 X3-X3 的奈米片 FET 的示意性橫截面圖，且第 13 C 圖係沿著第 13 A 圖中的線 Y3-Y3 的奈米片 FET 的示意性橫截面圖。

第 14 A 圖係根據本案的一實施例之奈米線 FET 的示意性平面俯視圖，第 14 B 圖係沿著第 14 A 圖中的線 X4-X4 的奈米線 FET 的示意性橫截面圖，且第 14 C 圖係沿著第 14 A 圖中的線 Y4-Y4 的奈米線 FET 的示意性橫截面圖。

第 15 A 圖至第 15 G 圖係根據本案的一實施例之正在製造製程的各種階段製造的 IC 元件的示意性橫截面圖。

第 16 圖係根據本案的一實施例之 EDA 系統的方塊圖。

第 17 圖係根據本案的一實施例之 IC 製造系統及與該 IC 製造系統相關聯的 IC 製造流程的方塊圖。

### 【實施方式】

**【0005】** 以下揭示內容提供用於實施提供的標的的不同特徵的許多不同實施例或實例。組件、材料、值、步驟、操作、材料、配置或類似者的特徵實例將在下文描述以簡化本案。當然，此等各者僅為實例且不欲為限制性的。設想其他組件、值、操作、材料、配置或類似者。舉例而言，在隨後的描述中的第一特徵形成於第二特徵上方或上可包括第一特徵及第二特徵係直接接觸地形成的實施例，且亦可包括額外特徵可形成於第一特徵與第二特徵之間，使得第一特徵及第二特徵不可直接接觸的實施例。另外，本案可在各種實例中重複參考數字及 / 或字母。此重複係出於簡單及清楚的目的且本身並不規定論述的各種實施例及 / 或組態之間的關係。

**【0006】** 此外，為了方便用於描述如諸圖中所圖示的一個元件或特徵與另一元件或特徵的關係的描述，在本文中可使用空間相對術語，諸如「在 ... .. 下面」、「在 ... .. 之下」、「下部」、「在 ... .. 之上」、「上部」及類似術語。空間相對術語意欲涵蓋除了諸圖中所描繪的定向以外的元件在

使用或操作時的不同定向。設備可另外定向(旋轉 90 度或處於其他定向)，且本文中所使用的空間相關描述符可類似地加以相應解釋。

**【0007】** 單元 (c e l l) 具有用於與單元的主動區域形成電接觸的導電區域(亦被稱為本文中所描述的「M D 區域」)。在一些實施例中，單元具有在單元的邊界的邊緣上的 M D 區域。當兩個單元係彼此毗鄰地置放時，上面具有 M D 區域的邊緣彼此鄰接。此不同於單元沿著上面具有虛設閘極區域的邊緣彼此鄰接的其他方法。與其他方法相比，在至少一個實施例有可能達成一或多個優點，包括(但不限於)減小的單元寬度、增大的閘極密度或類似者。

**【0008】** 第 1 A 圖係根據本案的一實施例之電路圖且第 1 B 圖係單元 1 0 0 的佈局圖。在第 1 A 圖至第 1 B 圖中，單元 1 0 0 係反相器，例如，I N V D 1 (驅動強度為 1 的反相器)。此係一實例，且其他單元在各種實施例的範疇內。舉例而言，在各種實施例中，單元 1 0 0 係功能單元、工程修改命令 (e n g i n e e r i n g c h a n g e o r d e r ; E C O) 單元、填充物單元、實體單元或另一類型的單元，或能夠在 I C 佈局圖中界定的單元的組合。

**【0009】** 功能單元係經預先設計以將特定功能提供至並有此功能單元的 I C 的單元。功能單元的實例包括(但不限於)邏輯閘單元、記憶體單元或類似者。邏輯閘單元的實例包括(但不限於)及 (A N D)、或 (O R)、反及 (N A N D)、反或 (N O R)、互斥或 (X O R)、反 (I N V)、及或反

(AND-OR-Invert; AOI)、或及反(OR-AND-Invert; OAI)、多工(MUX)、正反器、緩衝(BUFF)、鎖存器、延遲、時脈或類似者。記憶體單元的實例包括(但不限於)靜態隨機存取記憶體(static random access memory; SRAM)、動態隨機存取記憶體(dynamic random access memory; DRAM)、電阻式隨機存取記憶體(resistive random access memory; RRAM)、磁阻式隨機存取記憶體(magnetoresistive random access memory; MRAM)、唯讀記憶體(read only memory; ROM)單元，或能夠具有表示邏輯值的多種狀態的另一類型的單元。

**【0010】** ECO 單元係經預先設計的不具有特定功能的單元，但可程式化以提供預期功能。舉例而言，為了設計 IC，自標準單元庫讀出一或多個功能單元的預先設計佈局且將該些預先設計佈局置放至初始 IC 佈局中。IC 佈局亦包括尚未連接或選路至功能單元的一或多個 ECO 單元。當 IC 佈局待修改時，已經置放的 ECO 單元中的一或多個經程式化以提供預期功能且選路至功能單元。ECO 單元的程式化涉及 IC 佈局的一或多個層及/或用於製造 IC 的遮罩中的修改。

**【0011】** 填充物單元係不具有邏輯功能性的單元，且不連接或選路至 IC 佈局圖中的其他單元。填充物單元的用途係填充 IC 佈局圖中的空白空間，例如，以滿足一或多個設計規則，諸如鄰近特徵之間的最小間隔。除填充物單元以外的



單元在本文中被稱為「非填充物單元」。

【0012】 實體單元係用以將除邏輯功能以外的功能提供至並有此實體單元的 IC 的單元。實體單元的實例包括(但不限於) TAP 單元、DCAP 單元或類似者。TAP 單元界定摻雜井中的區域，在該區域中，摻雜井耦接至諸如電源電壓的偏壓電壓。TAP 單元包括在 IC 佈局圖中，例如，以改良根據 IC 佈局圖製造的 IC 的閃鎖抗擾性。DCAP 單元包括處於電力匯流排或軌道之間的一或多個去耦電容器 (decap)，例如，作為電荷儲存庫以在對來自電源的電流有高需求的情況下提供額外電力。

【0013】 在第 1A 圖中的實例電路圖中，單元 100 中的反相器包含串聯地耦接在第一電源電壓 VDD 與第二電源電壓 VSS 之間的 p 通道金屬氧化物半導體 (p-channel metal-oxide semiconductor; PMOS) 電晶體及 n 通道金屬氧化物半導體 (n-channel metal-oxide semiconductor; NMOS) 電晶體。確切地說，PMOS 電晶體包含閘極區域 GP、源極區域 SP 及汲極區域 DP。NMOS 電晶體包含閘極區域 GN、源極區域 SN 及汲極區域 DN。閘極區域 GP、GN 耦接至輸入節點 IN。汲極區域 DP、DN 耦接至輸出節點 OUT。源極區域 SP 耦接至 VDD，且源極區域 SN 耦接至 VSS。在至少一個實施例中，VDD 係正電源電壓，而 VSS 係接地電壓。反相器用以使輸入節點 IN 處的信號反向且在輸出節點 OUT 處輸出反向的信號。

【0014】 在第 1B 圖中的實例佈局圖中，單元 100 包含第一主動區域 110、第二主動區域 120、閘極區域 130、導電區域 141、142、143、144 及邊界 150。在至少一個實施例中，單元 100 的佈局圖以及根據各種實施例的其他單元的佈局圖儲存在非暫時性電腦可讀媒體上的標準單元庫中。

【0015】 第一主動區域 110 及第二主動區域 120 係配置在邊界 150 內，且沿著第一方向(即 X 方向)延伸。主動區域有時被稱為氧化物界定(oxide-definition; OD)區域，且在圖式中用標籤「OD」示意性地圖示。X 方向有時被稱為 OD 方向。第一主動區域 110 及第二主動區域 120 包括 P 型摻雜劑及/或 N 型摻雜劑以形成一或多個電路元件或元件。電路元件的實例包括(但不限於)，電晶體及二極體。電晶體的實例包括(但不限於)，金屬氧化物半導體場效電晶體(metal oxide semiconductor field effect transistor; MOSFET)、互補金屬氧化物半導體(complementary metal oxide semiconductor; CMOS)電晶體、雙極接面電晶體(bipolar junction transistor; BJT)、高壓電晶體、高頻電晶體、P 通道及/或 N 通道場效電晶體(P-channel field effect transistor/N-channel field effect transistor; PFET/NFET)等)、鰭式 FET、源極/汲極升高的平面 MOS 電晶體、奈米片 FET、奈米線 FET 或類似者。用以在當中形成一或多個 PMOS 元件的主動區域在本文中被稱為

「PMOS 主動區域」，而用以在當中形成一或多個 NMOS 元件的主動區域在本文中被称为「NMOS 主動區域」。舉例而言，第一主動區域 110 係用以與閘極區域 130 一起形成如關於第 1A 圖描述的反相器的 PMOS 電晶體的 PMOS 主動區域。第二主動區域 120 係用以與閘極區域 130 一起形成如關於第 1A 圖描述的反相器的 NMOS 電晶體的 NMOS 主動區域。確切地說，PMOS 主動區域 110 包含在閘極區域 130 的一區段的對置側上的汲極區域 DP 及源極區域 SP，閘極區域 130 的該區段在 PMOS 主動區域 110 上方延伸且界定閘極區域 GP。NMOS 主動區域 120 包含在閘極區域 130 的另一區段的對置側上的汲極區域 DN 及源極區域 SN，閘極區域 130 的該另一區段在 NMOS 主動區域 120 上方延伸且界定閘極區域 GN。在第 1B 圖中的實例組態中，PMOS 主動區域 110 及 NMOS 主動區域 120 中的每一者具有在 X 方向上的與邊界 150 的邊緣 151、152 重合的對置側(未編號)，該些邊緣在 X 方向上彼此對置。其他組態在各種實施例的範疇內。單元 100 包含在 Y 方向上的兩個主動區域 110、120。此係一實例，且各種實施例中的其他單元包括在 Y 方向上的其他數目個主動區域。

**【0016】** 閘極區域 130 係配置在邊界 150 內，且沿著橫切 X 方向的第二方向(即 Y 方向)跨越 PMOS 主動區域 110 及 NMOS 主動區域 120 延伸。閘極區域 130 包括諸如多晶矽的導電材料，且在圖式中用標籤「PO」示意性地圖示。

Y 方向有時被稱為聚合方向。用於閘極區域的其他導電材料(諸如金屬)在各種實施例的範疇內。單元 100 包含單一閘極區域。此係一實例，且各種實施例中的其他單元包括多於一個的閘極區域。在第 1B 圖中的實例組態中，閘極區域 130 具有在 Y 方向上的與邊界 150 的邊緣 153、154 重合的對置邊緣(未編號)，該些邊緣在 Y 方向上彼此對置。其他組態在各種實施例的範疇內。

【0017】 導電區域 141、143 重疊且用以形成至 PMOS 主動區域 110 的電連接，而導電區域 142、144 重疊且用以形成至 NMOS 主動區域 120 的電連接。導電區域 141、142、143、144 在本文中被稱為「MD 區域」，即氧化物上零金屬區域，且在圖式中用標籤「MD」示意性地圖示。MD 區域包括導電材料，該導電材料形成於對應主動區域上方以界定自形成於主動區域中的一或多個元件至 IC 的其他內部電路或至外部電路的電連接。在至少一個實施例中，MD 區域 141、142、143、144 係由金屬形成且屬 IC 的第一金屬層，在本文中被稱為「M0 層」，即零金屬(M0)層，M0 層係直接在主動區域上方的最低金屬層。MD 區域與閘極區域在 X 方向上交替地配置。在一些實施例中，X 方向上的鄰近 MD 區域之間間距(即，X 方向上的鄰近 MD 區域的中心線之間的距離)等於 X 方向上的鄰近閘極區域之間間距 CPP，例如，如關於第 3 圖所描述。在至少一個實施例中，對於形成於主動區域上方的 x 個閘極區域，存在形成於主動區域上方的 (x + 1) 個 MD 區域。舉例而言，

在第 1 B 圖中，對於形成於 PMOS 主動區域 110 上方的一個閘極區域 130 (即，閘極區域 GP)，在閘極區域 130 的對置側上存在形成於同一 PMOS 主動區域 110 上方的兩個 MD 區域 141、143。同樣地，對於形成於 NMOS 主動區域 120 上方的一個閘極區域 130 (即，閘極區域 GN)，在閘極區域 130 的對置側上存在形成於同一 NMOS 主動區域 120 上方的兩個 MD 區域 142、144。與主動區域中的汲極區域重疊且用以形成至汲極區域的電連接的 MD 區域在本文中被稱為「汲極側 MD 區域」或「汲極側導電區域」，且在圖式中用標籤「D 側」示意性地指示。舉例而言，MD 區域 141 及 MD 區域 142 分別為與汲極區域 DP、DN 重疊且形成至汲極區域 DP、DN 的電連接的汲極側 MD 區域。與主動區域中的源極區域重疊且用以形成至源極區域的電連接的 MD 區域在本文中被稱為「源極側 MD 區域」或「源極側導電區域」，且在圖式中用標籤「S 側」示意性地指示。舉例而言，MD 區域 143 及 MD 區域 144 分別為與源極區域 SP、SN 重疊且形成至源極區域 SP、SN 的電連接的源極側 MD 區域。一或多個介層孔層及/或金屬層(未示出)經組態在 MD 區域 141、142、143、144 及閘極區域 130 上方，以形成單元 100 內及/或至其他單元的互連，例如，以將源極側 MD 區域 143 電耦接至 VDD，將源極側 MD 區域 144 電耦接至 VSS，將汲極側 MD 區域 141、142 電耦接至對應於第 1 A 圖中的輸出節點 OUT 的節點，且將閘極區域 130 電耦接至對應於第 1 A 圖中的

輸出節點 OUT 的另外節點。在至少一個實施例中，MD 區域 141、142、143、144 在 X 方向上具有相同寬度，而源極側 MD 區域 143、144 具有在 Y 方向上大於汲極側 MD 區域 141、142 的長度。其他組態在各種實施例的範疇內。

**【0018】** 邊界 150 包含邊緣 151、152、153、154，這些邊緣連接在一起以形成單元 100 的閉合邊界。在本文中所描述的置放選路 (place-and-route) 操作 (亦被稱為「自動置放與選路 (automated placement and routing; APR)」) 中，單元係在各自的邊界處彼此毗鄰地置放在 IC 佈局圖中。舉例而言，如本文中所描述，單元 100 係在邊緣 151、152 處在 X 方向上彼此毗鄰地置放。單元 100 係在邊緣 153、154 處在 Y 方向上毗鄰於其他單元而置放。邊界 150 有時被稱為「置放選路邊界」且在圖式中用標籤「PrB」示意性地圖示。邊界 150 的矩形形狀係一實例。各種單元的其他邊界形狀在各種實施例的範疇內。

**【0019】** MD 區域 141、142、143、144 係沿著邊界 150 的邊緣配置且與該些邊緣重疊。舉例而言，MD 區域 141、142 係沿著邊緣 151 配置且與該邊緣重疊，而 MD 區域 143、144 係沿著邊緣 152 配置且與該邊緣重疊。在至少一個實施例中，邊緣 151 與 X 方向上的 MD 區域 141、142 中的每一者的中心線重合。換言之，邊緣 151 將 X 方向上的 MD 區域 141、142 中的每一者的寬度對半分。在

至少一個實施例中，邊緣 152 與 X 方向上的 MD 區域 143、144 中的每一者的中心線重合。邊界 150 的寬度係邊緣 151、152 之間的距離，且等於鄰近 MD 區域之間（例如，MD 區域 141、143 之間，或 MD 區域 142、144 之間）在 X 方向上的一個間距 CPP。在第 1B 圖中的實例組態中，單元 100 包含 Y 方向上的兩個主動區域 110、120，及在每一邊緣 151 或 152 上的兩個對應 MD 區域。其他組態在各種實施例的範疇內。舉例而言，在單元包含 Y 方向上的一個或三個或四個主動區域的一些實施例中，對應的一個或三個或四個 MD 區域配置在每一邊緣 151 或 152 上。在當單元 100 經置放以在 X 方向上鄰接其他單元時的置放選路操作中，沿著邊界 150 的邊緣的 MD 區域 141、142、143、144 與其他單元的對應 MD 區域合併，如關於例如第 3 圖至第 4 圖所描述。

**【0020】** 第 2 圖係根據本案的一實施例包括各種填充物單元 200A 至 200E 的佈局圖。第 2 圖不應被解釋為根據一些實施例的所有填充物單元的窮舉演示，其他填充物單元組態在各種實施例的範疇內。為簡單起見，填充物單元 200A 至 200E 中的類似組件由類似參考數字來指示。此外，具有第 1B 圖中的對應組件的第 2 圖中的組件係由第 1B 圖的參考數字增大 100 來指定。在至少一個實施例中，填充物單元 200A 至 200E 的佈局圖以及根據各種實施例的其他單元的佈局圖儲存在非暫時性電腦可讀媒體上的標準單元庫中。

【0021】 類似於單元 100，填充物單元 200A 至 200E 中的每一者包含 PMOS 主動區域 210、NMOS 主動區域 220、跨越主動區域 210、220 的閘極區域 230 及沿著邊緣 251、252 在填充物單元的邊界上的在 X 方向上彼此對置的 MD 區域 241 至 244。為簡單起見，對於填充物單元 200A，圖示參考數字 210、220、230、250，而對於其他填充物單元 200B 至 200E，省略參考數字 210、220、230、250 中的一或多者。填充物單元 200A 至 200E 中的每一者亦具有在 X 方向上的一個間距 CPP 的寬度。

【0022】 填充物單元 200A 至 200E 與單元 100 的差別在於填充物單元 200A 至 200E 中的每一者中的閘極區域 230 係虛設閘極區域，在圖式中用標籤「CPODE」示意性地圖示。舉例而言，在填充物單元 200A 中，虛設閘極區域 230 包括在 PMOS 主動區域 210 上方的 P 區段，及在 NMOS 主動區域 220 上方的 N 區段。不同於藉由其他介層孔及 / 或金屬層電耦接至一或多個其他單元的單元 100 的閘極區域 130，虛設閘極區域 230 不電耦接至其他單元。虛設閘極區域 230 包括在 Y 方向上彼此分開的兩個區段 P 及 N 的第 2 圖中的組態係一實例。其他組態在各種實施例的範疇內。

【0023】 填充物單元 200A 至 200E 與單元 100 之間的另一差別在於，儘管填充物單元 200A 至 200E 中的 MD 區域在第 2 圖中由對應標籤「D 側」指示為汲極側 MD 區域，但在此汲極側 MD 區域下的主動區域的區域未必係汲極區



域。舉例而言，在填充物單元 200A 中，MD 區域 241、243 兩者經指示為汲極側 MD 區域。然而，MD 區域 241、243 下的主動區域 210 的區域未必係汲極區域，此係因為單元 200A 係不具邏輯功能性的填充物單元。填充物單元 200A 中的 MD 區域 241、243 作為汲極側 MD 區域的指定及/或組態係用於匹配將與填充物單元 200A 鄰接的其他非填充物單元的對應汲極側 MD 區域，例如，如本文中關於第 4 圖所描述。相同解釋可適用於填充物單元 200A 至 200E 中的由標籤「D 側」指示的其他 MD 區域。類似地，儘管填充物單元 200A 至 200E 中的 MD 區域在第 2 圖中由對應標籤「S 側」指示為源極側 MD 區域，但此源極側 MD 區域下的主動區域的區域未必係源極區域。舉例而言，在填充物單元 200C 中，MD 區域 241、243 兩者經指示為源極側 MD 區域。然而，MD 區域 241、243 下的主動區域 210 的區域未必係源極區域，此係因為單元 200C 係不具邏輯功能性的填充物單元。填充物單元 200C 中的 MD 區域 241、243 作為源極側 MD 區域的指定及/或組態係用於匹配將與填充物單元 200C 鄰接的其他非填充物單元的對應源極側 MD 區域，例如，如本文中關於第 7 圖所描述。相同解釋可適用於填充物單元 200A 至 200E 中的由標籤「S 側」指示的其他 MD 區域。

**【0024】** 填充物單元 200A 至 200E 在 MD 區域 241 至 244 作為汲極側 MD 區域及/或源極側 MD 區域的指定及/或組態上彼此不同。舉例而言，填充物單元 200A 包括四

個汲極側 MD 區域 241 至 244，填充物單元 200B 包括兩個汲極側 MD 區域 241、243 及兩個源極側 MD 區域 242、244，填充物單元 200C 包括兩個源極側 MD 區域 241、243 及兩個汲極側 MD 區域 242、244，填充物單元 200D 包括兩個汲極側 MD 區域 243、244 及兩個源極側 MD 區域 241、242，且填充物單元 200E 包括兩個汲極側 MD 區域 241、244 及兩個源極側 MD 區域 242、243。在一或多個實施例中，填充物單元 200A 至 200E 的不同組態確保在 X 方向上可插入於非填充物單元的任何對之間的填充物單元在置放選路操作中的可用性，儘管存在沿著非填充物單元對的對置邊緣的汲極側 MD 區域及 / 或源極側 MD 區域的各種可能組合。關於第 4 圖、第 7 圖及第 9 圖來描述幾個非窮舉實例。

**【0025】** 第 3 圖係根據本案的一實施例包括 IC 元件 300 的 IC 佈局圖，及構成 IC 元件 300 的 IC 佈局圖的各種單元的佈局圖。IC 元件 300 的 IC 佈局圖係藉由例如在置放選路操作中毗鄰於第二單元置放第一單元而產生。舉例而言，第一單元係關於第 1B 圖描述的單元 100，且第二單元係單元 100'。單元 100' 具有藉由在 X 方向上翻轉單元 100 的佈局圖所獲得的佈局圖。與單元 100 相同，單元 100' 亦為反相器。具有單元 100 中的對應組件的單元 100' 中的組件係由單元 100 的參數數字加上撇號來指定。

**【0026】** 在置放選路操作中，單元 100 經置放以鄰接單元 100'。確切地說，上面具有源極側 MD 區域 143、144

的單元 100 的邊緣 152 經置放以與上面具有源極側 MD 區域 143'、144' 的單元 100' 的邊緣 152' 重合。結果，自重疊邊緣 152、152' 獲得共用邊緣 352。換言之，單元 100 的邊界 150 經置放以沿著共用邊緣 352 鄰接單元 100' 的邊界 150'。另外，單元 100 的源極側 MD 區域 143 與單元 100' 的對應源極側 MD 區域 143' 合併，從而產生 IC 元件 300 中的源極側 MD 區域 343。單元 100 的源極側 MD 區域 144 與單元 100' 的對應源極側 MD 區域 144' 合併，從而產生 IC 元件 300 中的源極側 MD 區域 344。IC 元件 300 中的源極側 MD 區域 343、344 與共用邊緣 352 重疊。單元 100 的 PMOS 主動區域 110 在共用邊緣 352 與單元 100' 的 PMOS 主動區域 110' 相連，從而產生 IC 元件 300 的組合式 PMOS 主動區域 310。單元 100 的 NMOS 主動區域 120 在共用邊緣 352 與單元 100' 的 NMOS 主動區域 120' 相連，從而產生 IC 元件 300 的組合式 NMOS 主動區域 320。IC 元件 300 進一步包含單元 100 的 MD 區域 141、142 及閘極區域 130，以及單元 100' 的 MD 區域 141'、142' 及閘極區域 130'。閘極區域 130、130' 在 X 方向上彼此鄰近，且以間距 CPP 配置，該間距係閘極區域 130 的中心線與閘極區域 130' 的中心線之間的距離。如本文中所描述，IC 元件 300 的鄰近閘極區域之間の間距 CPP 與鄰近 MD 區域之間の間距相同。IC 元件 300 的毗鄰單元具有 2 CPP 的寬度，該寬度係單元 100 及單元 100' 的寬度的總和。

【0027】 在至少一個實施例中，如關於第 3 圖描述的第一單元與第二單元的直接鄰接係在沿著第一單元及第二單元的對置邊緣的所有 MD 區域係源極側 MD 區域時執行。舉例而言，單元 100 及單元 100' 直接鄰接，此係因為沿著對置邊緣 152、152' 的 MD 區域 143、144、143'、144' 全部為源極側 MD 區域。原因在於，在操作中將供應至源極側 MD 區域的電位或電壓係已知的或預定的。舉例而言，將供應至源極側 MD 區域 143、143' 的電位或電壓係將供應至 PMOS 電晶體或元件的源極區域的電位或電壓，即，如關於第 1A 圖描述的 VDD。相同 VDD 將供應至藉由合併源極側 MD 區域 143、143' 獲得的源極側 MD 區域 343。類似地，將供應至源極側 MD 區域 144、144' 的電位或電壓係將供應至 NMOS 電晶體或元件的源極區域的電位或電壓，即，如關於第 1A 圖描述的 VSS。相同 VSS 將供應至藉由合併源極側 MD 區域 144、144' 獲得的源極側 MD 區域 344。因此，在至少一個實施例中，單元 100 與單元 100' 的直接鄰接經執行而不會影響所得 IC 元件 300 中的鄰接的單元 100 及單元 100' 的操作或功能性。

【0028】 在至少一個實施例中，當沿著第一單元及第二單元的對置邊緣的 MD 區域中的至少一者係汲極側 MD 區域時，執行在第一單元與第二單元之間插入一填充物單元。原因在於，在操作中將供應至汲極側 MD 區域的電位或電壓係可變的。舉例而言，將供應至汲極側 MD 區域的電位或電壓係將供應至 PMOS 或 NMOS 電晶體或元件的的電位或

電壓，即，例如關於第 1 A 圖描述的輸出節點 OUT 處的可變信號。在一些情形中，沿著具有汲極側 MD 區域的邊緣的兩個單元的直接鄰接涉及如下風險：具有不同電壓或電位的另一 MD 與汲極側 MD 區域合併，從而產生直接鄰接的單元的可能錯誤的操作。插入填充物單元係用於減少此風險。

**【0029】** 第 4 圖係根據本案的一實施例包括 IC 元件 400 的 IC 佈局圖，及構成 IC 元件 400 的 IC 佈局圖的各種單元的佈局圖。IC 元件 400 的 IC 佈局圖係藉由例如在置放選路操作中在兩個其他單元之間且毗鄰於該些兩個其他單元置放一填充物單元而產生。舉例而言，填充物單元 200A 插入於單元 100 與單元 100' 之間且毗鄰於單元 100 及單元 100' 置放。

**【0030】** 第 4 圖與第 3 圖之間的差別在於，在第 3 圖中，單元 100 及 100' 係以邊緣 152、152' 彼此對置的方式置放，而在第 4 圖中，單元 100 及 100' 係以不同邊緣對(即，邊緣 151、151')彼此對置的方式置放。在第 3 圖中，因為沿著對置邊緣 152、152' 的所有 MD 區域 143、144、143'、144' 係源極側 MD 區域，所以單元 100 及單元 100' 係直接毗鄰地置放，如本文中所描述。然而，在第 4 圖中，因為沿著對置邊緣 151、151' 的 MD 區域 141、142、141'、142' 中的至少一者(實際上，全部)係汲極側 MD 區域，所以執行在單元 100 與單元 100' 之間插入填充物單元，如本文中亦描述。

【0031】 在一些實施例中，第 4 圖中的待插入於單元 100 與單元 100' 之間的填充物單元係基於單元 100 及單元 100' 的對置邊緣 151、151' 上的 MD 區域而選擇。舉例而言，當填充物單元插入於單元 100 與單元 100' 之間時，填充物單元具有與單元 100 的邊緣 151 對置的邊緣 252，及與單元 100' 的邊緣 151' 對置的邊緣 251。因為單元 100 的邊緣 151 上的 MD 區域 141、142 係汲極側 MD 區域，所以選擇填充物單元，使得對置邊緣 252 上的 MD 區域 243、244 亦係汲極側 MD 區域。因為單元 100' 的邊緣 151' 上的 MD 區域 141'、142' 係汲極側 MD 區域，所以選擇填充物單元，使得對置邊緣 251 上的 MD 區域 241、242 亦係汲極側 MD 區域。結果，第 4 圖中的待插入單元 100 與單元 100' 之間的填充物單元經選擇具有沿著邊緣 251、252 的四個汲極側 MD 區域 241、242、243、244。在儲存於標準單元庫中的填充物單元(例如，填充物單元 200A 至 200E)中，填充物單元 200A 滿足此等準則且經選擇以插入於單元 100 與單元 100' 之間。在一些實施例中，填充物單元是否將插入於兩個其他單元之間的所描述判定或對待插入的填充物單元的所描述選擇中的至少一者係在置放選路操作中由處理器執行。

【0032】 第 4 圖中的填充物單元 200A 與單元 100 之間的鄰接及填充物單元 200A 與單元 100' 之間的鄰接類似於第 3 圖中的單元 100 與單元 100' 之間的鄰接。舉例而言，單元 100 的邊緣 151 經置放以與填充物單元 200A 的對

置邊緣 252 重合，從而產生共用邊緣 452。單元 100 的汲極側 MD 區域 141、142 與填充物單元 200A 的對應汲極側 MD 區域 243、244 合併，從而分別產生與共用邊緣 452 重疊的汲極側 MD 區域 443、444。單元 100' 的邊緣 151' 經置放以與填充物單元 200A 的對置邊緣 251 重合，從而產生共用邊緣 451。單元 100' 的汲極側 MD 區域 141'、142' 與填充物單元 200A 的對應汲極側 MD 區域 241、242 合併，從而分別產生與共用邊緣 451 重疊的汲極側 MD 區域 441、442。單元 100 的 PMOS 主動區域 110、填充物單元 200A 的 PMOS 主動區域 210 及單元 100' 的 PMOS 主動區域 110' 在共用邊緣 452、451 變得連續，從而產生 IC 元件 400 的組合式 PMOS 主動區域 410。單元 100 的 NMOS 主動區域 120、填充物單元 200A 的 NMOS 主動區域 220 及單元 100' 的 NMOS 主動區域 120' 在共用邊緣 452、451 變得連續，從而產生 IC 元件 400 的組合式 NMOS 主動區域 420。IC 元件 400 進一步包含單元 100 的 MD 區域 143、144 及閘極區域 130、填充物單元 200A 的虛設閘極區域 230 以及單元 100' 的 MD 區域 143'、144' 及閘極區域 130'。閘極區域 130、130' 在虛設閘極區域 230 的對置側上，且以間距 CPP 配置，該間距 CPP 與 IC 元件 400 中的鄰近 MD 區域之間の間距相同。IC 元件 400 中的鄰接單元具有 3 CPP 的寬度，該寬度係單元 100、填充物單元 200A 及單元 100' 的寬度的總和。

【0033】 第 5 圖係根據本案的一實施例之單元 500 的佈局圖。單元 500 係反及閘，例如，ND2D1（驅動強度為 1 的 2 輸入端反及閘）。此係在各種實施例的範疇內的單元的另一實例。具有第 1B 圖中的對應組件的第 5 圖中的組件係由第 1B 圖的參考數字增大 400 指定。特別地，單元 500 包含第一主動區域 510、第二主動區域 520、對應於閘極區域 130 的閘極區域 531、532 及沿著邊緣 551、552 在邊界 550 上的導電區域 541、542、543、544。導電區域 541、543、544 係源極側 MD 區域，而導電區域 542 係汲極側 MD 區域。單元 500 進一步包含處於閘極區域 531、532 之間且跨越第一主動區域 510 及第二主動區域 520 的各種 MD 區域（未編號）。在至少一個實施例中，單元 500 的佈局圖以及根據各種實施例的其他單元的佈局圖儲存在非暫時性電腦可讀媒體上的標準單元庫中。

【0034】 第 6 圖係根據本案的一實施例包括 IC 元件 600 的 IC 佈局圖，及構成 IC 元件 600 的 IC 佈局圖的各種單元的佈局圖。IC 元件 600 的 IC 佈局圖係藉由例如在置放選路操作中毗鄰於第二單元置放第一單元而產生。舉例而言，第一單元係關於第 5 圖描述的單元 500，而第二單元係具有藉由在 X 方向上翻轉單元 500 的佈局圖獲得的佈局圖的單元 500'。與單元 500 一樣，單元 500' 亦為反及閘。具有單元 500 中的對應組件的單元 500' 中的組件係由單元 500 的參考數字加上撇號指定。第 6 圖中的 IC 元件 600 係藉由單元 500 及單元 500' 在邊緣 552、552' 處直接鄰



接產生，沿著該些邊緣，所有 MD 區域 543、544、543'、544' 係源極側 MD 區域。單元 500 與單元 500' 的直接鄰接類似於關於第 3 圖描述的單元 100 與單元 100' 的直接鄰接。

**【0035】** 第 7 圖係根據本案的一實施例包括 IC 元件 700 的 IC 佈局圖，及構成 IC 元件 700 的 IC 佈局圖的各種單元的佈局圖。IC 元件 700 的 IC 佈局圖係藉由例如在置放選路操作中在兩個其他單元之間且毗鄰於該些兩個其他單元置放一填充物單元而產生。舉例而言，填充物單元 200C 插入於單元 500 與單元 500' 之間且毗鄰於單元 500 及單元 500' 置放。

**【0036】** 第 7 圖與第 6 圖之間的差別在於，在第 6 圖中，單元 500 及 500' 係以邊緣 552、552' 彼此對置的方式置放，而在第 7 圖中，單元 500 及 500' 係以不同邊緣對(即，邊緣 551、551')彼此對置的方式置放。在第 6 圖中，因為沿著對置邊緣 552、552' 的所有 MD 區域 543、544、543'、544' 係源極側 MD 區域，所以單元 500 及單元 500' 係直接毗鄰地置放。然而，在第 7 圖中，因為沿著對置邊緣 551、551' 的 MD 區域(即，542、542')中的至少一者係汲極側 MD 區域，所以執行在單元 500 與單元 500' 之間插入填充物單元。在一些實施例中，第 7 圖中的待插入於單元 500 與單元 500' 之間的填充物單元 200C 係以類似於第 4 圖的方式選擇。第 7 圖中的填充物單元 200C 與單元 500 之間的鄰接及填充物單元 200C 與單元 500'

之間的鄰接係以類似於第 4 圖的方式執行。

【0037】 第 8 圖係根據本案的一實施例之單元 800 的佈局圖。單元 800 係及或反 (AND-OR-Invert; AOI) 邏輯，例如，AOI22D1 (具有兩個 2 輸入端 AND 閘且驅動強度為 1 的 AOI)。此係在各種實施例的範疇內的單元的另一實例。具有第 1B 圖中的對應組件的第 8 圖中的組件係由第 1B 圖的參考數字增大 700 指定。特別地，單元 800 包含第一主動區域 810、第二主動區域 820、對應於閘極區域 130 的閘極區域 831 至 834 及沿著邊緣 851、852 在邊界 850 上的導電區域 841、842、843、844。導電區域 841、843 係汲極側 MD 區域，而導電區域 842、844 係源極側 MD 區域。單元 800 進一步包含處於閘極區域 831 至 834 之間且跨越第一主動區域 810 及第二主動區域 820 的各種 MD 區域 (未編號)。在至少一個實施例中，單元 800 的佈局圖以及根據各種實施例的其他組件的佈局圖儲存在非暫時性電腦可讀媒體上的標準單元庫中。

【0038】 第 9 圖係根據本案的一實施例包括 IC 元件 900 的 IC 佈局圖，及構成 IC 元件 900 的 IC 佈局圖的各種單元的佈局圖。IC 元件 900 的 IC 佈局圖係藉由例如在置放選路操作中在兩個其他單元之間且毗鄰於該些兩個其他單元置放一填充物單元而產生。舉例而言，填充物單元 200B 係插入於單元 800 與單元 800' 之間且毗鄰於單元 800 及單元 800' 置放。單元 800' 具有與單元 800 相同的佈局圖。具有單元 800 中的對應組件的單元 800' 中的組件係由單

元 800 的參考數字加上撇號指定。

【0039】 單元 800 及單元 800' 並非彼此直接鄰接地置放，此係因為沿著對置邊緣 851、852' 的 MD 區域(即，841、843')中的至少一者係汲極側 MD 區域，且執行在單元 800 與單元 800' 之間插入填充物單元。在一些實施例中，第 9 圖中的將插入於單元 800 與單元 800' 之間的填充物單元 200B 係以類似於第 4 圖的方式選擇。第 9 圖中的填充物單元 200B 與單元 800 之間的鄰接及填充物單元 200B 與單元 800' 之間的鄰接係以類似於第 4 圖的方式執行。

【0040】 單元 100、單元 100'、單元 500、單元 500'、單元 800 係在各種實施例的範疇內的非填充物單元的非窮舉實例。填充物單元 200A 至 200E 係在各種實施例的範疇內的填充物單元的非窮舉實例。在一起，單元 100、單元 100'、單元 500、單元 500'、單元 800 及填充物單元 200A 至 200E 係在各種實施例的範疇內的單元的非窮舉實例。在至少一個實施例中，複數個此種單元儲存在非暫時性電腦可讀媒體上的標準單元庫中。接著毗鄰地置放標準單元庫中單元以產生用於各種 IC 的 IC 佈局圖。如關於第 3 圖、第 4 圖、第 6 圖、第 7 圖、第 9 圖描述的單元的鄰接係各種實施例中的單元的組合的非窮舉實例。在至少一個實施例中，單元未必與具有相同功能性的另一單元並排地置放，例如，如關於第 3 圖至第 4 圖描述的緊接另一反相器置放的反相器，或如關於第 6 圖至第 7 圖描述的緊

接另一反及閘置放的反及閘。實情為，在至少一個實施例中，有可能直接毗鄰地或具有插入的填充物單元、具有不同功能性的另一單元地置放一單元。結果，可達成具有如本文中所描述的一或多個優點的一種 IC 佈局圖。

**【0041】** 在一些實施例中，藉由將一單元的 MD 區域配置在該單元的邊界的對置邊緣上，有可能減小該單元的寬度。舉例而言，在至少一個實施例中，反相器單元(諸如第 1B 圖中的 INVD1 單元)的寬度係一個 CPP。用於比較，在虛設閘極區域經配置在單元的邊界的對置邊緣上的其他方法中，INVD1 單元具有 2 CPP 的較大寬度。當根據一些實施例的兩個 INVD1 單元係並排地置放時，該些 INVD1 單元係如關於第 3 圖所描述的直接毗鄰地置放，或如關於第 4 圖所描述的在該些 INVD1 單元之間具有插入的填充物單元。所得的毗鄰 INVD1 單元具有 2 CPP (第 3 圖) 或 3 CPP (第 4 圖) 的組合寬度。在任一情況下，至少一個實施例中的此組合寬度小於在毗鄰置放的兩個 INVD1 單元具有 4 CPP 的較大組合寬度的其他方法中。對根據各種實施例的其他單元可達成單元寬度的類似減小。舉例而言，第 5 圖中的 ND2D1 單元具有 2 CPP 的單元寬度，而其他方法中的 ND2D1 單元具有 3 CPP 的較大寬度。在另一實施例中，第 8 圖中的 AOI22D1 單元具有 4 CPP 的單元寬度，而其他方法中的 AOI22D1 單元具有 5 CPP 的較大寬度。即使當填充物單元(例如，填充物單元 200A 至 200E 中的任一者)經插入以鄰接根據一些實施例的兩個其

他單元時，由於填充物單元的小寬度(例如，一個 CPP)，至少一個實施例中的鄰接單元的組合寬度仍小於其他方法中的具有類似功能性的鄰接單元的組合寬度。在根據一些實施例的各種單元的減小的單元寬度下，有可能在相同量的晶片面積中包括更多的單元及/或功能性，從而在至少一個實施例中有利地產生增大的閘密度。在一或多個實施例中，可達成約 10% 的閘密度的增加或增益。

**【0042】** 第 10A 圖係根據本案的一實施例之方法 1000A 的流程圖。在至少一個實施例中，方法 1000A 係用於產生單元的佈局圖及/或用於建構包括各種單元的標準單元庫。

**【0043】** 在一些實施例中，方法 1000A 的一或多個操作係作為形成對應於本文中所描述的 IC 元件 300、400、600、700、900 的方法的部分來執行。在一些實施例中，方法 1000A 的一或多個操作係作為自動置放與選路 (automated placement and routing; APR) 方法的部分來執行。在一些實施例中，方法 1000A 的一或多個操作由 APR 系統執行，APR 系統例如包括於關於第 16 圖描述的 EDA 系統中的系統。在一些實施例中，方法 1000A 的一或多個操作係作為關於第 10B 圖描述的用於產生 IC 的佈局圖的方法 1000B 的部分來執行。在一些實施例中，方法 1000A 的一或多個操作係作為在關於第 17 圖描述的設計室中執行的設計程序的部分來執行。在一些實施例中，方法 1000A 的一或多個操作由處理器執行，處理器諸如關

於第 16 圖描述的 EDA 系統的處理器。

【0044】 在操作 1005，在單元的邊界內配置第一主動區域。舉例而言，如關於第 1B 圖所描述，在單元 100 的邊界 150 內配置主動區域 110 或 120。對於另一實例，如關於第 2 圖所描述，在填充物單元 200A 至 200E 中的任一者的邊界 250 內配置主動區域 210 或 220。將關於第 5 圖及第 8 圖描述其他實例。

【0045】 在操作 1010，在邊界內配置至少一個閘極區域，且至少一個閘極區域跨越第一主動區域延伸。舉例而言，如關於第 1B 圖所描述，至少一個閘極區域 130 係配置在邊界 150 內且跨越主動區域 110 或 120 延伸。對於另一實例，如關於第 2 圖中的填充物單元 200A 至 200E 中的任一者所描述，至少一個閘極區域 230 係配置在邊界 250 內且跨越主動區域 210 或 220 延伸。將關於第 5 圖及第 8 圖描述其他實例。

【0046】 在操作 1015，配置第一導電區域以與第一主動區域及邊界的第一邊緣重疊，且第一導電區域用以與第一主動區域形成電接觸。舉例而言，MD 區域 141、142、143 或 144 經配置以與主動區域 110 或 120 及邊界 150 的邊緣 151 或 152 重疊，且 MD 區域 141、142、143 或 144 用以形成至主動區域 110 或 120 的電連接。對於另一實例，MD 區域 241、242、243 或 244 經配置以與主動區域 210 或 220 及邊界 250 的邊緣 251 或 252 重疊，且 MD 區域 241、242、243 或 244 用以形成至主動區域 210 或 220

的電連接，如關於第 2 圖中的填充物單元 200A 至 200E 中的任一者所描述。將關於第 5 圖及第 8 圖描述其他實例。

**【0047】** 在操作 1020，將產生的佈局圖儲存在非暫時性電腦可讀媒體上。舉例而言，關於第 1B 圖、第 2 圖、第 5 圖、第 8 圖描述的用於一或多個單元的一或多個佈局圖儲存在非暫時性電腦可讀媒體上的標準單元庫中。

**【0048】** 在操作 1025，基於產生的佈局圖來製造半導體遮罩或 IC 的層中的組件中的至少一者，例如，如關於第 17 圖所描述。在至少一個實施例中，省略操作 1025。

**【0049】** 第 10B 圖係根據本案的一實施例之方法 1000B 的流程圖。在至少一個實施例中，方法 1000B 係用於基於自標準單元庫接收到的單元來產生 IC 元件的 IC 佈局圖。

**【0050】** 在一些實施例中，方法 1000B 的一或多個操作係作為形成對應於本文中所描述的 IC 元件 300、400、600、700、900 的一或多個 IC 元件的部分來執行。在一些實施例中，方法 1000B 的一或多個操作係作為 APR 方法的部分來執行。在一些實施例中，方法 1000B 的一或多個操作由 APR 系統執行，APR 系統例如包括於關於第 16 圖描述的 EDA 系統中的系統且用以執行 APR 方法。在一些實施例中，方法 1000B 的一或多個操作係作為在關於第 17 圖描述的設計室中執行的設計程序的部分來執行。在一些實施例中，方法 1000B 的一或多個操作由處理器執行，處理器諸如關於第 16 圖描述的 EDA 系統的處理器。

**【0051】** 在操作 1030，在一 IC 佈局圖中毗鄰於第二單元

置放第一單元，使得第一單元的邊界沿著第一共用邊緣鄰接第二單元的邊界，且第一單元的第一導電區域(MD)與第二單元的第二導電區域(MD)經合併而成為與第一共用邊緣重疊的第一共用導電區域。

【0052】 舉例而言，如關於第 3 圖所描述，第一單元 100 在 IC 元件 300 的 IC 佈局圖中係毗鄰於第二單元 100' 置放，使得第一單元 100 的邊界 150 沿著第一共用邊緣 352 鄰接第二單元 100' 的邊界 150'，且第一單元 100 的第一 MD 區域 143 或 144 與第二單元 100' 的第二 MD 區域 143' 或 144' 經合併而成為與第一共用邊緣 352 重疊的第一共同 MD 區域 343 或 344。

【0053】 對於另一實例，如關於第 4 圖所描述，第一單元 100 在 IC 元件 400 的 IC 佈局圖中係毗鄰於第二單元 200A 置放，使得第一單元 100 的邊界 150 沿著第一共用邊緣 452 鄰接第二單元 200A 的邊界 250，且第一單元 100 的第一 MD 區域 141 或 142 與第二單元 200A 的第二 MD 區域 243 或 244 經合併而成為與第一共用邊緣 452 重疊的第一共同 MD 區域 443 或 444。將關於第 6 圖、第 7 圖及第 9 圖描述其他實例。

【0054】 在操作 1035，在 IC 佈局圖中毗鄰於第二單元置放第三單元，使得第三單元的一邊界沿著第二共用邊緣鄰接第二單元的邊界，且第三單元的第三導電區域(MD)與第二單元的第四導電區域(MD)經合併而成為與第二共用邊緣重疊的第二共用導電區域。



【0055】 舉例而言，如關於第 4 圖所描述，在 IC 元件 400 的 IC 佈局圖中毗鄰於第二單元 200A 置放第三單元 100'，使得第三單元 100' 的邊界 150' 沿著第二共用邊緣 451 鄰接第二單元 200A 的邊界 250，且第三單元 100' 的第三 MD 區域 141' 或 142' 與第二單元 200A 的第四 MD 區域 241 或 242 經合併而成為與第二共用邊緣 451 重疊的第二共同 MD 區域 441 或 442。將關於第 7 圖及第 9 圖描述其他實例。在至少一個實施例中，省略操作 1035。

【0056】 在操作 1040，將產生的 IC 佈局圖儲存在一非暫時性電腦可讀媒體上。舉例而言，關於第 3 圖、第 4 圖、第 6 圖、第 7 圖、第 9 圖描述的用於一或多個 IC 元件的一或多個 IC 佈局圖係儲存在非暫時性電腦可讀媒體上。

【0057】 在操作 1045，基於產生的 IC 佈局圖來製造一半導體遮罩或一 IC 的一層中的一組件中的至少一者，例如，如關於第 17 圖所描述。在至少一個實施例中，省略操作 1045。

【0058】 在一些實施例中，所描述的一或多個單元、IC 元件及方法可適用於各種類型的電晶體或元件技術，包括(但不限於)平面電晶體技術、FINFET 技術、奈米片 FET 技術、奈米線 FET 技術或類似技術。

【0059】 第 11A 圖係根據本案的一實施例之平面電晶體 1100 的示意性平面俯視圖，第 11B 圖係沿著第 11A 圖中的線 X1-X1 的平面電晶體 1100 的示意性橫截面圖，且第 11C 圖係沿著第 11A 圖中的線 Y1-Y1 的平面電晶體

1100 的示意性橫截面圖。

【0060】 如第 11A 圖所示，平面電晶體 1100 包含主動區域或源極/汲極區域 1110、1120，及在 Y 方向上跨越源極/汲極區域 1110、1120 延伸的閘極區域 1130。如第 11B 圖所示，源極/汲極區域 1110、1120 及閘極區域 1130 形成於基板 1140 上方。如第 11C 圖所示，通道區域 1150 係在閘極區域 1130 下且在源極/汲極區域 1110、1120 之間形成。

【0061】 第 12A 圖係根據本案的一實施例之 FINFET 1200 的示意性平面俯視圖，第 12B 圖係沿著第 12A 圖中的線 X2-X2 的 FINFET 1200 的示意性橫截面圖，且第 12C 圖係沿著第 12A 圖中的線 Y2-Y2 的 FINFET 1200 的示意性橫截面圖。

【0062】 如第 12A 圖所示，FINFET 1200 包含主動區域或源極/汲極區域 1210、1220，及在 Y 方向上跨越源極/汲極區域 1210、1220 延伸的閘極區域 1230。源極/汲極區域 1210、1220 包括在 X 方向上延伸的複數個鰭狀物 1260（在第 12B 圖中最佳可見）。如第 12B 圖所示，源極/汲極區域 1210、1220 及閘極區域 1230 形成於基板 1240 上方，而鰭狀物 1260 在閘極區域 1230 下。如第 12B 圖至第 12C 圖所示，通道區域 1250 在鰭狀物 1260 上方、在閘極區域 1230 下且在源極/汲極區域 1210、1220 之間形成。

【0063】 第 13A 圖係根據本案的一實施例之奈米片 FET

1300 的示意性平面俯視圖，第 13B 圖係沿著第 13A 圖中的線 X3-X3 的奈米片 FET 1300 的示意性橫截面圖，且第 13C 圖係沿著第 13A 圖中的線 Y3-Y3 的奈米片 FET 1300 的示意性橫截面圖。

**【0064】** 如第 13A 圖所示，奈米片 FET 1300 包含主動區域或源極/汲極區域 1310、1320，及在 Y 方向上跨越源極/汲極區域 1310、1320 延伸的閘極區域 1330。源極/汲極區域 1310、1320 包括複數個奈米片 1360（在第 13B 圖中最佳可見）。如第 13B 圖所示，源極/汲極區域 1310、1320 及閘極區域 1330 形成於基板 1340 上方。奈米片 1360 被閘極區域 1330 包圍。如第 13B 圖至第 13C 圖所示，通道區域 1350 在奈米片 1360 與閘極區域 1330 之間及在源極/汲極區域 1310、1320 之間形成。

**【0065】** 第 14A 圖係根據本案的一實施例之奈米線 FET 1400 的示意性平面俯視圖，第 14B 圖係沿著第 14A 圖中的線 X4-X4 的奈米線 FET 1400 的示意性橫截面圖，且第 14C 圖係沿著第 14A 圖中的線 Y4-Y4 的奈米線 FET 1400 的示意性橫截面圖。

**【0066】** 如第 14A 圖所示，奈米線 FET 1400 包含主動區域或源極/汲極區域 1410、1420，及在 Y 方向上跨越源極/汲極區域 1410、1420 延伸的閘極區域 1430。源極/汲極區域 1410、1420 包括複數個奈米線 1460（在第 14B 圖中最佳可見）。如第 14B 圖所示，源極/汲極區域 1410、1420 及閘極區域 1430 形成於基板 1440 上方。

奈米線 1460 被閘極區域 1430 包圍。如第 14B 圖至第 13C 圖所示，通道區域 1450 在奈米線 1460 與閘極區域 1430 之間及在源極/汲極區域 1410、1420 之間形成。

【0067】 第 15A 圖至第 15G 圖係根據本案的一實施例之正在製造製程的各種階段製造的 IC 元件 1500 的示意性橫截面圖。

【0068】 在第 15A 圖中，製造製程自基板 1510 開始。在至少一個實施例中，基板 1510 包含矽基板。在至少一個實施例中，基板 1510 包含矽鍺 (SiGe)、鎵砷或其他合適的半導體材料。主動區域 (在第 15A 圖中未示出) 係使用對應於關於第 1B 圖至第 9 圖描述的佈局圖中的一或多個主動區域的一或多個遮罩在基板 1510 中或上方形成。閘極介電層 1520 沉積在基板 1510 上方。閘極介電層 1520 的實例材料包括 (但不限於) 高 k 介電層、界面層及 / 或其組合。在一些實施例中，閘極介電層 1520 係藉由原子層沈積 (atomic layer deposition; ALD) 或其他合適的技術沉積在基板 1510 上方。

【0069】 在第 15B 圖中，閘極電極層 1530 沉積在閘極介電層 1520 上方。閘極電極層 1530 的實例材料包括 (但不限於) 多晶矽、金屬、Al、AlTi、Ti、TiN、Ta<sub>2</sub>N、TaC、TaSiN、W、WN、MoN 及 / 或其他合適的導電材料。在一些實施例中，閘極電極層 1530 係藉由化學氣相沈積 (chemical vapor deposition; CVD)、物理氣相沉積 (physical vapor deposition; PVD 或濺射)、電

鍍、原子層沈積 (atomic layer deposition ; ALD) 及 / 或其他合適的製程沉積。

【0070】 在第 15 C 圖中，光阻劑層 1540 沉積在閘極電極層 1530 上方，且對應於關於第 1 B 圖至第 9 圖描述的佈局圖中的一或多個閘極區域的遮罩 1545 係用於將光阻劑層 1540 圖案化。經圖案化的光阻劑層 1540 接下來將作為遮罩使用以將閘極介電層 1520 及閘極電極層 1530 圖案化成各種閘極介電質 1525 及對應的閘極電極 1535。接著移除經圖案化的光阻劑層 1540。

【0071】 在第 15 D 圖中，間隔物層 1550 沉積在基板 1510 上方，在該基板上形成有閘極介電質 1525 及閘極電極 1535。間隔物層 1550 的實例材料包括 (但不限於) 氮化矽、氮氧化物、碳化矽及其他合適的材料。在一些實施例中，間隔物層 1550 係藉由電漿增強化學氣相沈積 (plasma enhanced chemical vapor deposition ; PECVD)、低壓化學氣相沉積 (low-pressure chemical vapor deposition ; LPCVD)、次大氣壓化學氣相沉積 (sub-atmospheric chemical vapor deposition ; SACVD)、原子層沈積 (atomic layer deposition ; ALD) 或類似技術沉積。

【0072】 在第 15 E 圖中，間隔物層 1550 經圖案化以形成與對應的閘極電極 1535 的側壁接觸或鄰近的間隔物 1555。在至少一個實施例中，圖案化係藉由合適技術執行，該些技術諸如濕式蝕刻製程、乾式蝕刻製程或其組合。源

極 / 汲極區域 1515 形成於由間隔物 1555 暴露的基板 1510 的主動區域中。在至少一個實施例中，源極 / 汲極區域 1515 係藉由使用閘極電極 1535 及間隔物 1555 作為遮罩而形成。舉例而言，源極 / 汲極區域 1515 的形成係藉由離子植入或擴散製程執行。視元件或電晶體的類型而定，源極 / 汲極區域 1515 經摻雜具有諸如硼或  $\text{BF}_2$  的 p 型摻雜劑、諸如磷或砷的 n 型摻雜劑及 / 或其組合。

【0073】 在第 15F 圖中，導電層 1560 沉積在基板 1510 上方且填充在由間隔物 1555 暴露的區域中，由此形成至源極 / 汲極區域 1515 的電連接。

【0074】 在第 15G 圖中，執行平坦化製程以將導電層 1560 平坦化，從而產生與下層源極 / 汲極區域 1515 電接觸的 MD 區域 1562、1564、1566、1568。平坦化製程包含例如化學機械研磨 (chemical mechanical polish ; CMP) 製程。在至少一個實施例中，MD 區域 1562、1564、1566、1568 對應於關於第 1B 圖至第 9 圖描述的佈局圖中的一或多個 MD 區域。執行進一步處理 (未示出) 以獲得 IC 元件 1500。舉例而言，在此進一步處理中，一或多個介電層、介層孔層及金屬層形成於 MD 區域 1562、1564、1566、1568 及閘極電極 1535 的暴露的平坦化頂部表面上方，以形成至 IC 元件 1500 的其他單元或至外部電路的其他互連。

【0075】 所描述的方法包括實例操作，但該些實例操作未必需要按所示的次序執行。根據本案的實施例的精神及範疇，

操作可以視情況添加、替換、改變次序及/或消除。組合不同特徵及/或不同實施例的實施例在本案的一實施例的範疇內且將在審查本案的一實施例之後被一般熟習此項技術者瞭解。

【0076】 在一些實施例中，上文所論述的方法中的一些或全部係由 IC 佈局圖產生系統執行。在一些實施例中，IC 佈局圖產生系統可用作為在下文論述的 IC 製造系統的設計室的部分。

【0077】 第 16 圖係根據本案的一實施例之電子設計自動化 (electronic design automation; EDA) 系統 1600 的方塊圖。

【0078】 在一些實施例中，EDA 系統 1600 包括 APR 系統。根據一些實施例，本文中描述的設計佈局圖的方法表示線選路配置，根據一或多個實施例，可例如使用 EDA 系統 1600 來實施。

【0079】 在一些實施例中，EDA 系統 1600 係包括硬體處理器 1602 及非暫時性電腦可讀儲存媒體 1604 的通用計算元件。儲存媒體 1604 尤其經編碼具有電腦程式碼 1606，即儲存電腦程式碼 1606，電腦程式碼 1606 即一組可執行指令。指令 1606 由硬體處理器 1602 的執行(至少部分地)表示實施本文中描述的根據一或多個實施例的方法(在下文中為提出的製程及/或方法)的一部分或全部的 EDA 工具。

【0080】 處理器 1602 經由匯流排 1608 電耦接至電腦可讀

儲存媒體 1604。處理器 1602 亦藉由匯流排 1608 電耦接至 I/O 介面 1610。網路介面 1612 亦經由匯流排 1608 電耦接至處理器 1602。網路介面 1612 連接至網路 1614，因此處理器 1602 及電腦可讀儲存媒體 1604 能夠經由網路 1614 連接至外部元件。處理器 1602 用以執行編碼在電腦可讀儲存媒體 1604 中的電腦程式碼 1606，以便使系統 1600 可用於執行提出的製程及/或方法的一部分或全部。在一或多個實施例中，處理器 1602 係中央處理單元 (central processing unit; CPU)、多處理器、分散式處理系統、特殊應用積體電路 (application specific integrated circuit; ASIC) 及/或合適的處理單元。

**【0081】** 在一或多個實施例中，電腦可讀儲存媒體 1604 係電子、磁性、光學、電磁、紅外線及/或半導體系統(或設備或元件)。舉例而言，電腦可讀儲存媒體 1604 包括半導體或固態記憶體、磁帶、可移式電腦磁碟、隨機存取記憶體 (random access memory; RAM)、唯讀記憶體 (read-only memory; ROM)、硬質磁碟及/或光碟。在使用光碟的一或多個實施例中，電腦可讀儲存媒體 1604 包括光碟唯讀記憶體 (compact disk-read only memory; CD-ROM)、可讀寫光碟 (compact disk-read/write; CD-R/W) 及/或數位視訊光碟 (digital video disc; DVD)。

**【0082】** 在一或多個實施例中，儲存媒體 1604 儲存電腦程式碼 1606，該電腦程式碼用以使系統 1600 (在此執行(至



少部分地)表示 EDA 工具的情況下)可用於執行提出的製程及/或方法的一部分或全部。在一或多個實施例中，儲存媒體 1604 亦儲存利於執行提出的製程及/或方法的一部分或全部的資訊。在一或多個實施例中，儲存媒體 1604 儲存標準單元的庫 1607，該些標準單元包括如本文中所揭示的此等標準單元。

**【0083】** EDA 系統 1600 包括 I/O 介面 1610。I/O 介面 1610 耦接至外部電路。在一或多個實施例中，I/O 介面 1610 包括用於將資訊及命令傳達至處理器 1602 的鍵盤、小鍵盤、滑鼠、軌跡球、觸控板、觸控螢幕及/或標方向鍵。

**【0084】** EDA 系統 1600 亦包括耦接至處理器 1602 的網路介面 1612。網路介面 1612 允許系統 1600 與網路 1614 通信，一或多個其他電腦系統連接至該網路。網路介面 1612 包括無線網路介面，諸如 BLUETOOTH、WIFI、WIMAX、GPRS 或 WCDMA；或有線網路介面，諸如 ETHERNET、USB 或 IEEE-1364。在一或多個實施例中，提出的製程及/或方法的一部分或全部係在兩個或多個系統 1600 中實施。

**【0085】** 系統 1600 用以經由 I/O 介面 1610 接收資訊。經由 I/O 介面 1610 接收的資訊包括由處理器 1602 進行處理的指令、資料、設計規則、標準單元庫及/或其他參數中的一或多者。資訊係經由匯流排 1608 傳送至處理器 1602。EDA 系統 1600 用以經由 I/O 介面 1610 接收與 UI 有關的資訊。資訊儲存在電腦可讀媒體 1604 中以作為

使用者介面 (user interface ; UI) 1642。

【0086】 在一些實施例中，提出的製程及/或方法的一部分或全部係實施為由處理器執行的獨立軟體應用程式。在一些實施例中，提出的製程及/或方法的一部分或全部係實施為作為額外軟體應用程式的一部分的軟體應用程式。在一些實施例中，提出的製程及/或方法的一部分或全部係實施為軟體應用程式的外掛程式。在一些實施例中，提出的製程及/或方法中的至少一者係實施為作為 EDA 工具的一部分的軟體應用程式。在一些實施例中，提出的製程及/或方法的一部分或全部係實施為由 EDA 系統 1600 使用的軟體應用程式。在一些實施例中，包括標準單元的佈局圖係使用諸如可自 CADENCE DESIGN SYSTEMS, Inc. 獲得的 VIRTUOSO® 的工具或另一合適的佈局產生工具產生。

【0087】 在一些實施例中，製程係實現為儲存於非暫時性電腦可讀記錄媒體中的程式的功能。非暫時性電腦可讀記錄媒體的實例包括(但不限於)外部/可移式及/或內部/內建的儲存或記憶體單元，例如以下各者中的一或多者：光碟，諸如 DVD；磁碟，諸如硬碟；半導體記憶體，諸如 ROM、RAM、記憶卡；及類似物。

【0088】 第 17 圖係根據本案的一實施例之積體電路 (integrated circuit ; IC) 製造系統 1700 的方塊圖，及與該 IC 製造系統相關聯的 IC 製造流程。在一些實施例中，基於佈局圖，(A) 一或多個半導體遮罩或 (B) 一半導體

積體電路的一層中的至少一個組件中的至少一者係使用製造系統 1700 製造。

**【0089】** 在第 17 圖中，IC 製造系統 1700 包括諸如設計室 1720、遮罩室 1730 及 IC 製造商/製造者(「晶圓廠」) 1750 的實體，該些實體在與製造 IC 元件 1760 有關的設計、開發及製造循環及/或服務中彼此相互作用。系統 1700 中的實體由通信網路連接。在一些實施例中，通信網路係單一網路。在一些實施例中，通信網路係多種不同的網路，諸如內部網路及網際網路。通信網路包括有線及/或無線的通信通道。每一實體與其他實體中的一或多者相互作用，且為其他實體中的一或多者提供服務及/或自其他實體中的一或多者接收服務。在一些實施例中，設計室 1720、遮罩室 1730 及 IC 晶圓廠 1750 中的兩者或多者歸單個的較大公司所有。在一些實施例中，設計室 1720、遮罩室 1730 及 IC 晶圓廠 1750 中的兩者或多者共存於共用設施中且使用共用資源。

**【0090】** 設計室(或設計團隊) 1720 產生 IC 設計佈局圖 1722。IC 設計佈局圖 1722 包括針對 IC 元件 1760 設計的各种幾何圖案。該些幾何圖案對應於構成待製造的 IC 元件 1760 的各种組件的金屬層、氧化物層或半導體層的圖案。各種層組合以形成各種 IC 特徵。舉例而言，IC 設計佈局圖 1722 的一部分包括將在半導體基板(諸如矽晶圓)及安置於半導體基板上的各種材料層中形成的各種 IC 特徵，諸如主動區域、閘極電極、源極與汲極、層間互連的

金屬線或介層孔及接合墊的開口。設計室 1720 實施恰當的設計程序以形成 IC 設計佈局圖 1722。設計程序包括邏輯設計、實體設計或置放選路操作中的一或多者。IC 設計佈局圖 1722 存在於具有關於幾何圖案的資訊的一或多個資料檔案中。舉例而言，IC 設計佈局圖 1722 可以用 GDSII 檔案格式或 DFII 檔案格式表示。

**【0091】** 遮罩室 1730 包括資料準備 1732 及遮罩製造 1744。遮罩室 1730 使用 IC 設計佈局圖 1722 來製造一或多個遮罩 1745，該一或多個遮罩將用於根據 IC 設計佈局圖 1722 製造 IC 元件 1760 的各種層。遮罩室 1730 執行遮罩資料準備 1732，其中 IC 設計佈局圖 1722 經轉譯成代表性資料檔案(「representative data file; RDF」)。遮罩資料準備 1732 將 RDF 提供至遮罩製造 1744。遮罩製造 1744 包括遮罩寫入器。遮罩寫入器將 RDF 轉換成基板上的影像，諸如遮罩(光刻罩) 1745 或半導體晶圓 1753。設計佈局圖 1722 係由遮罩資料準備 1732 操縱以遵守遮罩寫入器的特定特性及/或 IC 晶圓廠 1750 的要求。在第 17 圖中，遮罩資料準備 1732 及遮罩製造 1744 係說明為獨立的元件。在一些實施例中，遮罩資料準備 1732 及遮罩製造 1744 可以一起被稱為遮罩資料準備。

**【0092】** 在一些實施例中，遮罩資料準備 1732 包括光學近接修正(optical proximity correction; OPC)，光學近接修正使用微影增強技術以補償影像誤差，諸如可以由繞射、干涉、其他處理效應及類似者引起的影像誤差。

OPC 調整 IC 設計佈局圖 1722。在一些實施例中，遮罩資料準備 1732 包括其他解析度增強技術 (resolution enhancement technique ; RET)，諸如離軸照明、次解析度輔助特徵、相移遮罩、其他合適的技術及類似技術或該些技術的組合。在一些實施例中，亦使用逆微影技術 (inverse lithography technology ; ILT)，逆微影技術將 OPC 視為逆成像問題。

【0093】 在一些實施例中，遮罩資料準備 1732 包括遮罩規則檢驗器 (mask rule checker ; MRC)，遮罩規則檢驗器利用一組遮罩創造規則來檢查已經歷 OPC 中的程序的 IC 設計佈局圖 1722，該些遮罩創造規則含有特定的幾何及/或連接限制以確保足夠裕量，以解釋半導體製造製程中的可變性及類似者。在一些實施例中，MRC 修改 IC 設計佈局圖 1722 以補償遮罩製造 1744 期間的限制，如此可撤銷由 OPC 執行的修改的部分，以便滿足遮罩創造規則。

【0094】 在一些實施例中，遮罩資料準備 1732 包括微影製程檢查 (lithography process checking ; LPC)，該微影製程檢查模擬將由 IC 晶圓廠 1750 實施以製造 IC 元件 1760 的處理。LPC 基於 IC 設計佈局圖 1722 來模擬此處理以產生模擬製造的元件，諸如 IC 元件 1760。LPC 模擬中的處理參數可以包括與 IC 製造循環的各種製程相關聯的參數、與用於製造 IC 的工具相關聯的參數及/或製造製程的其他態樣。LPC 考慮各種因素，諸如空中影像對比度、焦點深度 (「depth of focus ; DOF」)、遮罩誤

差增強因子(「mask error enhancement factor ; MEEF」)、其他合適的因素及類似者或前述因素的組合。在一些實施例中，在模擬製造的元件已由LPC產生之後，若模擬的元件在形狀上不足夠接近以滿足設計規則，則應重複OPC及/或MRC以進一步改良IC設計佈局圖1722。

【0095】 應理解，為清楚起見，遮罩資料準備1732的以上描述已經簡化。在一些實施例中，資料準備1732包括額外特徵，諸如用於根據製造規則修改IC設計佈局圖1722的邏輯運算(logic operation ; LOP)。另外，在資料準備1732期間應用於IC設計佈局圖1722的程序可以按多種不同的次序執行。

【0096】 在遮罩資料準備1732之後且在遮罩製造1744期間，基於經修改的IC設計佈局圖1722而製造一遮罩1745或一組遮罩1745。在一些實施例中，遮罩製造1744包括基於IC設計佈局圖1722而執行一或多次微影曝光。在一些實施例中，使用一電子束(e射束)或多個e射束的機制以基於經修改的IC設計佈局圖1722而在遮罩(光罩或光刻罩)1745上形成圖案。遮罩1745可以用各種技術形成。在一些實施例中，遮罩1745係使用二元技術(binary technology)形成。在一些實施例中，遮罩圖案包括不透明區域及透明區域。用於使已塗佈在晶圓上的影像敏感材料層(例如，光阻劑)曝光的輻射束被不透明區域阻斷且透射穿過透明區域，該輻射束諸如紫外線

(ultraviolet ; UV) 射束。在一個實例中，遮罩 1745 的二元遮罩版本包括透明的基板(例如，熔融石英)及塗佈在二元遮罩的不透明區域中的不透明材料(例如，鉻)。在另一實例中，遮罩 1745 係使用相移技術形成。在遮罩 1745 的相移遮罩(phase shift mask ; PSM)版本中，形成於相移遮罩上的圖案中的各種特徵用以具有恰當的相位差以增強解析度及成像品質。在各種實例中，相移遮罩可為衰減式 PSM 或交替式 PSM。藉由遮罩製造 1744 產生的遮罩將在多種程序中使用。舉例而言，此(此等)遮罩將在用於在半導體晶圓 1753 中形成各種摻雜區域的離子植入製程中、在用於在半導體晶圓 1753 中形成各種蝕刻區域的蝕刻製程中及/或在其他合適的製程中使用。

**【0097】** IC 晶圓廠 1750 係 IC 製造企業，該 IC 製造企業包括用於製造多種不同 IC 產品的一或多個製造設施。在一些實施例中，IC 晶圓廠 1750 係半導體鑄造廠。舉例而言，可能存在用於複數個 IC 產品的前端製造(前端工序(front-end-of-line ; FEOL)製造)的製造設施，而第二製造設施可以提供用於 IC 產品的互連及封裝的後端製造(後端工序(back-end-of-line ; BEOL)製造)，且第三製造設施可以為鑄造廠企業提供其他服務。

**【0098】** IC 晶圓廠 1750 包括製造工具 1752，該些製造工具用以對半導體晶圓 1753 執行各種製造操作，使得 IC 元件 1760 係根據例如遮罩 1745 的遮罩製造。在各種實施例中，製造工具 1752 包括以下各者中的一或多個：

晶圓步進機；離子植入機；光阻劑塗佈機；處理腔室，例如，CVD 腔室或 LPCVD 爐；CMP 系統；電漿蝕刻系統；晶圓清洗系統；或能夠執行如本文中所論述的一或多個合適製造製程的其他製造設備。

**【0099】** IC 晶圓廠 1750 使用由遮罩室 1730 製造的遮罩 1745 來製造 IC 元件 1760。因此，IC 晶圓廠 1750 至少間接地使用 IC 設計佈局圖 1722 來製造 IC 元件 1760。在一些實施例中，半導體晶圓 1753 係由 IC 晶圓廠 1750 使用遮罩 1745 製造以形成 IC 元件 1760。在一些實施例中，IC 製造包括至少間接地基於 IC 設計佈局圖 1722 來執行一或多次微影曝光。半導體晶圓 1753 包括矽基板或其他恰當的基板，該基板上形成有多個材料層。半導體晶圓 1753 進一步包括以下各者中的一或多個：各種摻雜區域；介電特徵；多位準互連；及類似物(在後續製造步驟形成)。

**【0100】** 關於積體電路(integrated circuit; IC)製造系統(例如，第 17 圖的系統 1700)及與該 IC 製造系統相關聯的 IC 製造流程的細節將在例如以下各者中發現：在 2016 年 2 月 9 日授予的美國專利第 9,256,709 號；在 2015 年 10 月 1 日公佈的美國預授權公開案第 20150278429 號；在 2014 年 2 月 6 日公佈的美國預授權公開案第 20140040838 號；及在 2007 年 8 月 21 日授予的美國專利第 7,260,442 號，前述各者的全部內容特此以引用方式併入。



**【0101】** 在一些實施例中，一種方法包含以下步驟：產生積體電路 (integrated circuit ; IC) 的單元的佈局圖；及將產生的佈局圖儲存於非暫時性電腦可讀媒體上。在產生單元的佈局圖的步驟中，在單元的邊界內配置第一主動區域。第一主動區域沿著第一方向延伸。在邊界內配置至少一個閘極區域。至少一個閘極區域沿著橫切第一方向的第二方向跨越第一主動區域延伸。配置第一導電區域以與第一主動區域及邊界的第一邊緣重疊。第一導電區域用以形成至第一主動區域的電連接。

**【0102】** 在一些實施例中，其中產生單元的佈局圖的步驟進一步包含以下步驟配置與第一主動區域及邊界的第二邊緣重疊的第二導電區域。第二導電區域用以形成至第一主動區域的電連接，第二邊緣在第一方向上與第一邊緣對置。

**【0103】** 在一些實施例中，其中邊界的第一邊緣在第一方向上與第一導電區域的中心線重合，且邊界的第二邊緣在第一方向上與第二導電區域的中心線重合。

**【0104】** 在一些實施例中，其中產生單元的佈局圖的步驟進一步包含以下步驟：在邊界內配置第二主動區域，第二主動區域沿著第一方向延伸且在第二方向上與第一主動區域隔開，至少一個閘極區域跨越第二主動區域延伸，配置與第二主動區域及邊界的第二邊緣重疊的第三導電區域，第三導電區域用以形成至第二主動區域的電連接，及配置與第二主動區域及邊界的第二邊緣重疊的第四導電區域，第四導電區域用以形成至第二主動區域的電連接。

【0105】 在一些實施例中，其中單元係填充物單元，且至少一個閘極區域係虛設閘極區域。

【0106】 在一些實施例中，其中在第一方向上的填充物單元的寬度等於積體電路的鄰近閘極區域之間的一個閘極區域間距。

【0107】 在一些實施例中，方法進一步包含以下步驟：基於佈局圖來製造半導體遮罩或積體電路的層中的組件中的至少一者。

【0108】 在一些實施例中，一種方法包含以下步驟：產生積體電路(integrated circuit; IC)佈局圖；及將產生的IC佈局圖儲存於非暫時性電腦可讀媒體上。產生IC佈局圖的步驟包含在IC佈局圖中毗鄰於第二單元置放第一單元。第一單元的邊界沿著第一共用邊緣鄰接第二單元的邊界。第一單元的第一導電區域與第二單元的第二導電區域經合併而成為與第一共用邊緣重疊的第一共用導電區域，第一導電區域與第一單元的第一主動區域重疊且用以形成至第一單元的第一主動區域的一電連接，第二導電區域與第二單元的第二主動區域重疊且用以形成至第二單元的第二主動區域的電連接。

【0109】 在一些實施例中，其中產生積體電路佈局圖的步驟進一步包含在積體電路佈局圖中毗鄰於第二單元置放第三單元的步驟。第三單元的邊界沿著第二共用邊緣鄰接第二單元的邊界，第一共用邊緣及第二共用邊緣在第一方向上彼此相反且沿著橫切第一方向的第二方向延伸，且第三單

元的第三導電區域與第二單元的第四導電區域經合併而成為與第二共用邊緣重疊的第二共用導電區域，第三導電區域與第三單元的第三主動區域重疊且用以形成至第三單元的第三主動區域的一電連接，第四導電區域與第二單元的第二主動區域重疊且用以形成至第二單元的第二主動區域的一電連接。

**【0110】** 在一些實施例中，其中第二單元係一填充物單元，填充物單元包含沿著第二方向跨越第二主動區域延伸的一虛設閘極區域，虛設閘極區域在第一方向上定位在第一共用邊緣與第二共用邊緣之間。

**【0111】** 在一些實施例中，其中第一導電區域及第三導電區域分別為用以形成至第一主動區域及第三主動區域中的汲極區域的電連接的汲極側導電區域。

**【0112】** 在一些實施例中，其中第一主動區域及第二主動區域分別為第一 p 通道金屬氧化物半導體主動區域及第二 p 通道金屬氧化物半導體主動區域。第一導電區域、第二導電區域及第一共用導電區域分別為第一 p 通道金屬氧化物半導體主動區域導電區域、第二 p 通道金屬氧化物半導體主動區域導電區域及第一共同 p 通道金屬氧化物半導體主動區域導電區域。第一單元進一步包含：第一 n 通道金屬氧化物半導體主動區域，以及第一 n 通道金屬氧化物半導體導電區域，第二 n 通道金屬氧化物半導體導電區域與第一 n 通道金屬氧化物半導體主動區域重疊且用以形成至第一 n 通道金屬氧化物半導體主動區域的電連接。第

二單元進一步包含：第二  $n$  通道金屬氧化物半導體主動區域，及第二  $n$  通道金屬氧化物半導體導電區域，第二  $n$  通道金屬氧化物半導體導電區域與第二  $n$  通道金屬氧化物半導體主動區域重疊且用以形成至第二  $n$  通道金屬氧化物半導體主動區域的電連接，且在如下步驟中：在積體電路佈局圖中毗鄰於第二單元置放第一單元，第一  $n$  通道金屬氧化物半導體導電區域與第二  $n$  通道金屬氧化物半導體導電區域經合併而成為與第一共用邊緣重疊的第一共同  $n$  通道金屬氧化物半導體導電區域。

【0113】 在一些實施例中，其中第一單元及第二單元中的每一者係非填充物單元。第一  $p$  通道金屬氧化物半導體導電區域、第二  $p$  通道金屬氧化物半導體導電區域、第一  $n$  通道金屬氧化物半導體導電區域及第二  $n$  通道金屬氧化物半導體導電區域分別為用以形成至第一  $p$  通道金屬氧化物半導體主動區域、第二  $p$  通道金屬氧化物半導體主動區域、第一  $n$  通道金屬氧化物半導體主動區域及第二  $n$  通道金屬氧化物半導體主動區域中的源極區域的電連接的源極側導電區域。

【0114】 在一些實施例中，其中產生積體電路佈局圖的步驟進一步包含在積體電路佈局圖中毗鄰於第二單元置放第三單元的步驟。第三單元包含：第三  $p$  通道金屬氧化物半導體主動區域，第三  $p$  通道金屬氧化物半導體導電區域，第三  $p$  通道金屬氧化物半導體導電區域與第三  $p$  通道金屬氧化物半導體主動區域重疊且用以形成至第三  $p$  通道金屬氧

化物半導體主動區域的一電連接，第三 n 通道金屬氧化物半導體主動區域，以及第三 n 通道金屬氧化物半導體導電區域，第三 n 通道金屬氧化物半導體導電區域與第三 n 通道金屬氧化物半導體主動區域重疊且用以形成至第三 n 通道金屬氧化物半導體主動區域的電連接。第二單元進一步包含第四 p 通道金屬氧化物半導體導電區域，第四 p 通道金屬氧化物半導體導電區域與第二 p 通道金屬氧化物半導體主動區域重疊且用以形成至第二 p 通道金屬氧化物半導體主動區域的電連接，以及第四 n 通道金屬氧化物半導體導電區域，第四 n 通道金屬氧化物半導體導電區域與第二 n 通道金屬氧化物半導體主動區域重疊且用以形成至第二 n 通道金屬氧化物半導體主動區域的電連接。在如下步驟中：在積體電路佈局圖中毗鄰於第二單元置放第三單元。第三單元的邊界沿著第二共用邊緣鄰接第二單元的邊界，第一共用邊緣及第二共用邊緣在第一方向上彼此相反且沿著橫切第一方向的第二方向延伸，第三 p 通道金屬氧化物半導體導電區域與第四 p 通道金屬氧化物半導體導電區域經合併而成為與第二共用邊緣重疊的第二共同 p 通道金屬氧化物半導體導電區域，且第三 n 通道金屬氧化物半導體導電區域與第四 n 通道金屬氧化物半導體導電區域經合併而成為與第二共用邊緣重疊的第二共同 n 通道金屬氧化物半導體導電區域。

**【0115】** 在一些實施例中，第二單元係填充物單元，填充物單元包含沿著第二方向跨越第二 p 通道金屬氧化物半導體

主動區域及第二 n 通道金屬氧化物半導體主動區域延伸的虛設閘極區域，虛設閘極區域在第一方向上定位在第一共用邊緣與第二共用邊緣之間。

【0116】 在一些實施例中，在第一方向上的填充物單元的一寬度等於積體電路的鄰近閘極區域之間的一個閘極區域間距。

【0117】 在一些實施例中，第一 p 通道金屬氧化物半導體導電區域、第一 n 通道金屬氧化物半導體導電區域、第三 p 通道金屬氧化物半導體導電區域或第三 n 通道金屬氧化物半導體導電區域中的至少一者係用以形成至對應的第一 p 通道金屬氧化物半導體主動區域、第一 n 通道金屬氧化物半導體主動區域、第三 p 通道金屬氧化物半導體主動區域或第三 n 通道金屬氧化物半導體主動區域中的汲極區域的電連接的汲極側導電區域。

【0118】 在一些實施例中，方法進一步包含以下步驟：基於積體電路佈局圖來製造半導體遮罩或積體電路的層中的組件中的至少一者。

【0119】 在一些實施例中，一種積體電路 (integrated circuit; IC) 元件包含第一單元、第二單元及第一共用導電區域。第一單元包含：第一邊界；第一主動區域，第一主動區域在第一邊界內且沿著第一方向延伸；及第一閘極區域，第一閘極區域在第一邊界內且沿著第二方向跨越第一主動區域延伸，第二方向橫切第一方向。第二單元包含：第二邊界，第二邊界沿著第一共用邊緣鄰接第一邊界；第

二主動區域，第二主動區域在第二邊界內且沿著第一方向延伸；及第二閘極區域，第二閘極區域在第二邊界內且沿著第二方向跨越第二主動區域延伸。第一共用導電區域與第一共用邊緣重疊，且電耦接至第一主動區域及第二主動區域兩者。

**【0120】** 在一些實施例中，積體電路元件進一步包含：第三單元，第三單元包含：第三邊界，第三邊界沿著第二共用邊緣鄰接第二邊界，第三主動區域，第三主動區域在第三邊界內且沿著第一方向延伸，第三閘極區域，第三閘極區域在第三邊界內且沿著第二方向跨越第三主動區域延伸；以及第二共用導電區域，第二共用導電區域與第二共用邊緣重疊且電耦接至第三主動區域及第二主動區域兩者，其中第二單元係一填充物單元，且第二閘極區域係一虛設閘極區域。

**【0121】** 前述內容概述幾個實施例的特徵，使得熟習此項技術者可更好地理解本案的一實施例的態樣。熟習此項技術者應瞭解，該些技術者可容易將本案的一實施例用作為設計或修改用於實現與本文中介紹的實施例的相同目的及/或達成與本文中介紹的實施例的相同優點的其他製程及結構的基礎。熟習此項技術者亦應認識到，此等等效構造不背離本案的一實施例的精神及範疇，且該些技術者可在不離本案的一實施例的精神及範疇的情況下作出本文中的各種改變、取代及改動。

**【符號說明】****【0122】**

C P P : 間 距

D P , D N : 汲 極 區 域

G P , G N , 1 3 0 , 1 3 0 ' , 5 3 1 , 5 3 2 , 8 3 1 , 8 3 2 , 8 3 3 , 8 3 4 , 1 1 3

0 , 1 2 3 0 , 1 3 3 0 , 1 4 3 0 : 閘 極 區 域

S P , S N : 源 極 區 域

V D D : 第 一 電 源 電 壓

V S S : 第 二 電 源 電 壓

P M O S : p 通 道 金 屬 氧 化 物 半 導 體

N M O S : n 通 道 金 屬 氧 化 物 半 導 體

I N : 輸 入 節 點

O U T : 輸 出 節 點

1 0 0 , 1 0 0 ' , 5 0 0 , 5 0 0 ' , 8 0 0 , 8 0 0 ' : 單 元

1 1 0 , 1 1 0 ' : 第 一 主 動 區 域 / P M O S 主 動 區 域

1 2 0 , 1 2 0 ' : 第 二 主 動 區 域 / N M O S 主 動 區 域

1 4 1 , 1 4 1 ' , 1 4 2 , 1 4 2 ' , 1 4 3 , 1 4 3 ' , 1 4 4 , 1 4 4 ' : 導 電 區 域

/ M D 區 域

1 5 0 , 1 5 0 ' , 2 5 0 , 5 5 0 , 8 5 0 : 邊 界

1 5 1 , 1 5 2 , 1 5 2 ' , 1 5 3 , 1 5 4 , 2 5 1 , 2 5 2 , 5 5 1 , 5 5 1 ' , 5 5 2 , 5

5 2 ' , 8 5 1 , 8 5 2 , 8 5 2 ' : 邊 緣

2 0 0 A , 2 0 0 B , 2 0 0 C , 2 0 0 D , 2 0 0 E : 填 充 物 單 元

2 1 0 : P M O S 主 動 區 域

2 2 0 : N M O S 主 動 區 域



230: 閘極區域 / 虛設閘極區域

241, 242, 243, 244,

343, 344, 1562, 1564, 1566, 1568: MD 區域

300, 400, 600, 700, 900, 1500, 1760: IC 元件

310, 410: 組合式 PMOS 主動區域

320, 420: 組合式 NMOS 主動區域

352, 451, 452: 共用邊緣

441, 442: 第二共同 MD 區域

443, 444: 第一共同 MD 區域

510, 810: 第一主動區域

520, 820: 第二主動區域

541, 541', 542, 542', 543, 543', 544, 544': 導電區域

841, 842, 843, 843', 844, 844': 導電區域 / MD 區域

1000A, 1000B: 方法

1005, 1010, 1015, 1020, 1025, 1030, 1035, 1040, 10

45: 操作

X1 - X1, Y1 - Y1, X2 - X2, Y2 - Y2, X3 - X3, Y3 - Y3, X4 -

X4, Y4 - Y4: 線

1100: 平面電晶體

1110, 1120, 1210, 1220, 1310, 1320, 1410, 1420: 主動區域或源極 / 汲極區域

1140, 1240, 1340, 1440, 1510: 基板

1150, 1250: 通道區域

1200: FINFET

- 1 2 6 0 : 鰭 狀 物
- 1 3 5 0 , 1 4 5 0 : 通 道
- 1 3 0 0 : 奈 米 片 F E T
- 1 3 6 0 : 奈 米 片
- 1 4 0 0 : 奈 米 線 F E T
- 1 4 6 0 : 奈 米 線
- 1 5 1 5 : 源 極 / 汲 極 區 域
- 1 5 2 0 : 閘 極 介 電 層
- 1 5 2 5 : 閘 極 介 電 質
- 1 5 3 0 : 閘 極 電 極 層
- 1 5 3 5 : 閘 極 電 極
- 1 5 4 0 : 光 阻 劑 層
- 1 5 4 5 : 遮 罩
- 1 5 5 0 : 間 隔 物 層
- 1 5 5 5 : 間 隔 物
- 1 5 6 0 : 導 電 層
- 1 6 0 0 : 電 子 設 計 自 動 化 ( E D A ) 系 統
- 1 6 0 2 : ( 硬 體 ) 處 理 器
- 1 6 0 4 : ( 非 暫 時 性 電 腦 可 讀 ) 儲 存 媒 體 , 記 憶 體
- 1 6 0 6 : 電 腦 程 式 碼 , 指 令
- 1 6 0 7 : ( 包 括 標 準 單 元 的 標 準 單 元 ) 庫
- 1 6 0 8 : 匯 流 排
- 1 6 1 0 : I / O ( 介 面 )
- 1 6 1 2 : 網 路 介 面

1 6 1 4 : 網 路  
1 6 4 2 : 使 用 者 介 面 ( U I )  
1 7 0 0 : 積 體 電 路 ( I C ) 製 造 系 統  
1 7 2 0 : 設 計 室  
1 7 2 2 : I C 設 計 佈 局 圖  
1 7 3 0 : 遮 罩 室  
1 7 3 2 : 資 料 準 備  
1 7 4 4 : 遮 罩 製 造  
1 7 4 5 : 遮 罩  
1 7 5 0 : I C 製 造 商 / 製 造 者 , 晶 圓 廠  
1 7 5 2 : 製 造 工 具  
1 7 5 3 : ( 半 導 體 ) 晶 圓  
1 7 6 0 : I C 元 件

**【生物材料寄存】**

國內寄存資訊(請依寄存機構、日期、號碼順序註記)

無

國外寄存資訊(請依寄存國家、機構、日期、號碼順序註記)

無

## 【發明申請專利範圍】

【請求項 1】一種製造一積體電路的方法，該方法包含以下步驟：

產生該積體電路的一單元的一佈局圖，產生該單元的該佈局圖的該步驟包含：

在該單元的一邊界內配置一第一主動區域，該第一主動區域沿著一第一方向延伸，

在該邊界內配置至少一個閘極區域，該至少一個閘極區域沿著一第二方向跨越該第一主動區域延伸，該第二方向橫切該第一方向，及

配置與該第一主動區域及該邊界的一第一邊緣重疊的一第一導電區域，該第一導電區域用以形成至該第一主動區域的一電連接；及

將該產生的佈局圖儲存在一非暫時性電腦可讀媒體上。