



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년10월24일
 (11) 등록번호 10-0770132
 (24) 등록일자 2007년10월18일

(51) Int. Cl.

H01L 21/20(2006.01)

(21) 출원번호 10-2006-0105679
 (22) 출원일자 2006년10월30일
 심사청구일자 2006년10월30일
 (56) 선행기술조사문헌
 JP2001284576 A
 (뒷면에 계속)

(73) 특허권자

페어차일드코리아반도체 주식회사
 경기 부천시 원미구 도당동 82-3

(72) 발명자

하민우
 서울특별시 관악구 봉천6동 100-309
 최영환
 서울특별시 은평구 응암2동 419-86 6/6

한민구

서울특별시 강남구 압구정동 현대아파트 85동 201호

(74) 대리인

이전주

전체 청구항 수 : 총 7 항

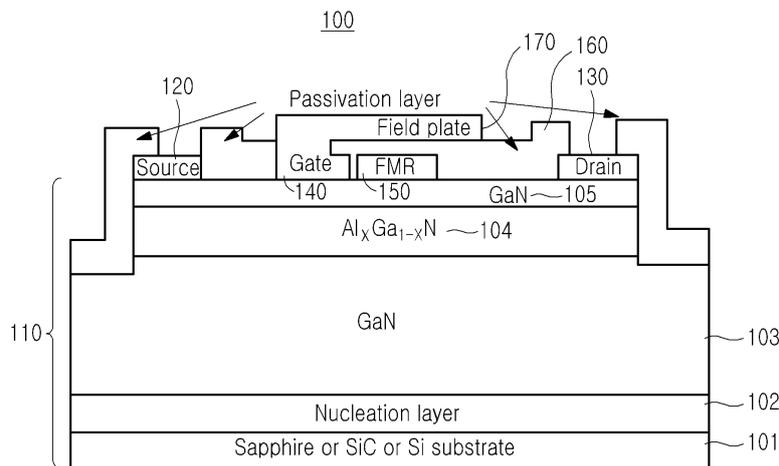
심사관 : 이시근

(54) 질화물계 반도체 소자

(57) 요약

본 발명은 질화물계 반도체 소자의 항복전압을 높이고 누설전류를 감소시키기 위한 것으로, 본 발명의 일 실시예에 따른 GaN계 반도체 소자는, 적어도 GaN계 반도체층을 구비하는 에피 웨이퍼와; 상기 에피 웨이퍼 위에 서로 이격 배치된 소스 전극 및 드레인 전극과; 상기 소스 전극과 드레인 전극 사이의 상기 에피 웨이퍼 위에 배치된 게이트 전극과; 상기 게이트 전극과 상기 드레인 전극 사이의 상기 에피 웨이퍼 위에 배치되며, 바이어스가 가해지지 않는 적어도 하나의 도전성의 플로팅 메탈 링과; 상기 게이트 전극, 소스 전극 및 드레인 전극의 적어도 일부가 노출되도록 형성된 절연성의 패시베이션층과; 상기 노출된 게이트 전극과 접속하도록 상기 패시베이션층 위에 배치되며, 역방향 바이어스에 상기 게이트 전극에 집중되는 전계를 분산시키는 도전성의 필드 플레이트를 포함하는 것을 특징으로 한다.

대표도 - 도1



(56) 선행기술조사문헌
KR1020060071415 A
US20050253168 A1
US20070187718 A1
US6933544 B2

이 발명을 지원한 국가연구개발사업

과제고유번호	R-2005-1-40001
부처명	산업자원부
연구사업명	전력산업연구개발
연구과제명	고전압 전력 IGBT 기술 및 소자 개발
주관기관	페어차일드코리아반도체 주식회사
연구기간	2005년 12월 01일 ~ 2006년 11월 30일

특허청구의 범위

청구항 1

적어도 GaN계 반도체층을 구비하는 에피 웨이퍼와;

상기 에피 웨이퍼 위에 서로 이격 배치된 소스 전극 및 드레인 전극과;

상기 소스 전극과 드레인 전극 사이의 상기 에피 웨이퍼 위에 배치된 게이트 전극과;

상기 게이트 전극과 상기 드레인 전극 사이의 상기 에피 웨이퍼 위에 배치되며, 바이어스가 가해지지 않는 적어도 하나의 도전성의 플로팅 메탈 링과;

상기 게이트 전극, 소스 전극 및 드레인 전극의 적어도 일부가 노출되도록 형성된 절연성의 패시베이션층과;

상기 노출된 게이트 전극과 접속하도록 상기 패시베이션층 위에 배치되며, 역방향 바이어스시에 상기 게이트 전극에 집중되는 전계를 분산시키는 도전성의 필드 플레이트를 포함하는 것을 특징으로 하는 질화물계 반도체 소자.

청구항 2

제 1 항에 있어서, 상기 질화물계 반도체 소자는 고전자이동도 트랜지스터로써 상기 에피 웨이퍼는 기판과;

상기 기판 위에 차례로 적층된 AlN층, GaN 버퍼층, AlGaIn 장벽층 및 GaN 캡층을 포함하는 것을 특징으로 하는 질화물계 반도체 소자.

청구항 3

제 1 항에 있어서, 상기 질화물계 반도체 소자는 금속 반도체 전계효과 트랜지스터로써 상기 에피 웨이퍼는 기판과;

상기 기판 위에 차례로 적층된 AlN층, GaN 버퍼층을 포함하는 것을 특징으로 하는 질화물계 반도체 소자.

청구항 4

적어도 GaN계 반도체층을 구비하는 에피 웨이퍼와;

상기 에피 웨이퍼 위에 서로 이격 배치된 애노드 전극 및 캐소드 전극과;

상기 애노드 전극과 상기 캐소드 전극 사이의 상기 에피 웨이퍼 위에 배치되며, 바이어스가 가해지지 않는 적어도 하나의 도전성의 플로팅 메탈 링과;

상기 애노드 전극 및 캐소드 전극의 적어도 일부가 노출되도록 형성된 절연성의 패시베이션층과;

상기 노출된 애노드 전극과 접속하도록 상기 패시베이션층 위에 배치되며, 역방향 바이어스시에 상기 애노드 전극에 집중되는 전계를 분산시키는 도전성의 필드 플레이트를 포함하는 것을 특징으로 하는 질화물계 반도체 소자.

청구항 5

제 4 항에 있어서, 상기 질화물계 반도체 소자는 수평형 GaN 쇼트키 장벽 다이오드로써, 상기 에피 웨이퍼는 기판과;

상기 기판 위에 차례로 적층된 AlN층, GaN 버퍼층을 포함하는 것을 특징으로 하는 질화물계 반도체 소자.

청구항 6

제 5 항에 있어서, 상기 에피 웨이퍼는

상기 GaN 버퍼층 위에 차례로 적층된 AlGaIn 장벽층 및 GaN 캡층을 더 포함하는 것을 특징으로 하는 질화물계 반도체 소자.

청구항 7

GaN 벌크 웨이퍼와;

상기 GaN 벌크 웨이퍼의 상부면 및 하부면에 각각 배치된 애노드 전극 및 캐소드 전극과;

상기 애노드 전극과 이격하여 배치되며, 바이어스가 가해지지 않는 적어도 하나의 도전성의 플로팅 메탈 링과;

상기 애노드 전극의 적어도 일부가 노출되도록 형성된 절연성의 패시베이션층; 및 상기 노출된 애노드 전극과 접속하도록 상기 패시베이션층 위에 배치되며, 역방향 바이어스시에 상기 애노드 전극에 집중되는 전계를 분산시키는 도전성의 필드 플레이트를 포함하는 것을 특징으로 하는 질화물계 반도체 소자.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <8> 본 발명은 질화물계 반도체 소자에 관한 것으로, 특히 GaN계 반도체 소자의 항복전압을 높이고 누설전류를 감소시키는 구조에 관한 것이다.
- <9> 최근 와이드 밴드-갭 물질인 질화갈륨(GaN), 탄화규소(SiC) 등이 전력용 전기시스템에서 각광받고 있으며, 특히, GaN은 여타의 반도체 물질에 비해 우수한 물질적 특성을 가지고 있어 고전력 전기 시스템의 차세대 반도체 소자로 선행 연구되고 있다.
- <10> 예를 들어, GaN 쇼트키 장벽 다이오드(Schottky barrier diode, SBD)는 와이드 밴드-갭 물질특성 및 높은 임계 전계(>3MV/cm)특성에 의해 높은 항복전압, 낮은 누설전류 및 빠른 스위칭 속도를 갖는 등 우수한 전기적 특성을 나타낸다. 이에 따라 기존 실리콘 소자에 비해 높은 항복전압 및 낮은 온(ON)-저항 특성을 갖는 수평형 및 수직형 GaN 쇼트키 장벽 다이오드에 대한 개발이 진행 중이다.
- <11> GaN 쇼트키 접합 다이오드의 순방향과 역방향 특성을 개선하기 위해 쇼트키 접합용 메탈로써 Pt, Ir, Pd 등의 메탈이 이용되며, 이는 쇼트키 장벽 다이오드의 특성이 주로 쇼트키 메탈과 표면상태에 영향을 받기 때문이다.
- <12> 그러나, 쇼트키 접합으로써 우수한 특성을 나타내는 메탈들은 고가이므로 Ni와 같은 일반적인 메탈을 이용하여 쇼트키 접합의 동작특성을 개선하는 방법이 요구되고 있다.
- <13> 한편, 반도체 소자의 항복전압을 증가시키기 위한 에지마감(edge termination)기술로써 수평형 플로팅 가드링(planar floating guard ring)이 주로 이용되고 있다.
- <14> 그러나, GaN 소자는 P-타입 도핑이 어렵기 때문에 수평형 플로팅 가드링을 설계하는 것이 현재 기술수준으로는 구현이 어려운 문제점이 있다.

발명이 이루고자 하는 기술적 과제

- <15> 따라서 본 발명은 상기와 같은 종래기술의 문제점을 해결하기 위하여 안출된 것으로, 본 발명의 목적은 질화물계 반도체 소자의 항복전압특성을 획기적으로 개선하고 누설전류를 감소시키는 GaN계 반도체 소자를 제공함에 있다.

발명의 구성 및 작용

- <16> 상기 목적을 달성하기 위하여 본 발명의 일 실시예에 따른 GaN계 반도체 소자는, 적어도 GaN계 반도체층을 구비하는 에피 웨이퍼와; 상기 에피 웨이퍼 위에 서로 이격 배치된 소스 전극 및 드레인 전극과; 상기 소스 전극과 드레인 전극 사이의 상기 에피 웨이퍼 위에 배치된 게이트 전극과; 상기 게이트 전극과 상기 드레인 전극 사이의 상기 에피 웨이퍼 위에 배치되며, 바이어스가 가해지지 않는 적어도 하나의 도전성의 플로팅 메탈 링과; 상기 게이트 전극, 소스 전극 및 드레인 전극의 적어도 일부가 노출되도록 형성된 절연성의 패시베이션층과; 상기 노출된 게이트 전극과 접속하도록 상기 패시베이션층 위에 배치되며, 역방향 바이어스시에 상기 게이트 전극에 집중되는 전계를 분산시키는 도전성의 필드 플레이트를 포함하는 것을 특징으로 한다.

- <17> 상기 질화물계 반도체 소자가 고전자이동도 트랜지스터인 경우 상기 에피 웨이퍼는 기판과; 상기 기판 위에 차례로 적층된 AlN층, GaN 버퍼층, AlGaIn 장벽층 및 GaN 캡층을 포함하며, 상기 질화물계 반도체 소자가 금속 반도체 전계효과 트랜지스터인 경우 상기 에피 웨이퍼는 기판과; 상기 기판 위에 차례로 적층된 AlN층, GaN 버퍼층을 포함하는 것을 특징으로 한다.
- <18> 본 발명의 다른 실시예에 따른 GaN계 반도체 소자는, 적어도 GaN계 반도체층을 구비하는 에피 웨이퍼와; 상기 에피 웨이퍼 위에 서로 이격 배치된 애노드 전극 및 캐소드 전극과; 상기 애노드 전극과 상기 캐소드 전극 사이의 상기 에피 웨이퍼 위에 배치되며, 바이어스가 가해지지 않는 적어도 하나의 도전성의 플로팅 메탈 링과; 상기 애노드 전극 및 캐소드 전극의 적어도 일부가 노출되도록 형성된 절연성의 패시베이션층과; 상기 노출된 애노드 전극과 접촉하도록 상기 패시베이션층 위에 배치되며, 역방향 바이어스시에 상기 애노드 전극에 집중되는 전계를 분산시키는 도전성의 필드 플레이트를 포함하는 것을 특징으로 한다.
- <19> 이하, 본 발명에 따른 바람직한 실시 예를 첨부한 도면을 참조하여 상세히 설명한다. 도면에서 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 동일한 참조번호 및 부호로 나타내고 있음에 유의해야 한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다.
- <20> 도 1은 본 발명에 따른 GaN계 반도체 소자의 일 실시예를 나타낸 것으로, AlGaIn/GaN 고전자이동도 트랜지스터(100)의 단면도이다.
- <21> 도 1을 참조하면, 본 발명에 따른 AlGaIn/GaN 고전자이동도 트랜지스터(100)는, AlGaIn/GaN 이중접합 에피 웨이퍼(110) 위에 서로 이격 배치된 소스 전극(120) 및 드레인 전극(130)과; 소스 전극(120)과 드레인 전극(130) 사이에 형성된 게이트 전극(140)과; 게이트 전극(140)과 드레인 전극(130) 사이에 형성된 플로팅 메탈 링(Floating Metal Ring; FMR)(150)과; 전극 부위를 제외한 전체 상부에 형성된 패시베이션막(160) 및 게이트 전극(130)과 접촉하도록 패시베이션막(160) 위에 형성된 필드플레이트(field plate)(170)를 포함한다.
- <22> AlGaIn/GaN 이중접합 에피 웨이퍼(110)는 사파이어, SiC 등의 기판(101) 위에 금속유기화학기상증착법(MOCVD)에 의해 성장된 AlN 결정핵 생성층(102), GaN 버퍼층(103), AlGaIn 장벽층(104) 및 GaN 캡층(105)을 포함한다.
- <23> AlN 결정핵 생성층(102)은 기판과 GaN계 반도체 사이의 결정격자의 부정합으로 인한 결함을 최소화하고, 기판 위에 GaN계 반도체 에피구조를 성장시키기 위한 것이다.
- <24> GaN 버퍼층(103)과 AlGaIn 장벽층(104)은 헤테로 구조(hetero-structure)로써, AlGaIn은 GaN보다 밴드갭이 더 넓으며, GaN 버퍼층(103)과 AlGaIn 장벽층(104) 사이에 이차원 전자가스(two-dimensional electron gas; 2DEG) 농도를 갖는 채널을 형성한다. 2DEG는 높은 전자 이동도를 가지며 고주파수에서 HEMT에 매우 높은 상호 컨덕턴스(trans-conductance)를 제공한다.
- <25> GaN 캡층(105)은 항복전압개선 및 표면누설전류감소를 위한 에피층으로, AlGaIn 장벽층(104)과 GaN 캡층(105)은 도핑하지 않는 것이 소자의 항복전압을 더 높일 수 있다. GaN 캡층(105)은 소자응용분야에 따라서 설계되지 않을 수도 있다.
- <26> 소스 전극(120) 및 드레인 전극(130)은 오믹 접합으로 Ti/Al/Ni/Au(각각 5/20/20/300nm 두께)의 적층구조이며 전자-빔 증착기(e-beam evaporator)에 의해 증착되며 리프트-오프(lift-off) 공정에 의해 패턴이 형성된다.
- <27> 게이트 전극(140)은 쇼트키 접합으로 Pt/Mo/Ti/Au(각각 5/20/20/300nm 두께)의 적층구조이며 오믹 접합과 마찬가지로 전자-빔 증착기(e-beam evaporator)에 의해 증착되며 리프트-오프(lift-off) 공정에 의해 패턴이 형성된다. 쇼트키 접합 중 Pt는 높은 메탈 일 함수로 인해 높은 항복 전압 및 낮은 게이트 누설전류를 갖도록 하며, Mo는 높은 용점으로 인해 고온에서 안정된 동작이 가능하도록 하는 장점이 있다.
- <28> 플로팅 메탈 링(150)은 쇼트키 접합으로 Pt/Mo/Ti/Au(각각 5/20/20/300nm 두께)의 적층구조이다. 플로팅 메탈 링(150)은 역방향 바이어스시에 GaN 소자의 공핍영역(depletion region)이 쇼트키 접합에 집중되어 쇼트키 접합 에지부분에 높은 전계가 걸림으로 인해 항복이 일어나는 것을 방지하기 위한 것이다. 즉, GaN 소자의 공핍영역을 플로팅 메탈 링을 따라 확산시켜 쇼트키 접합 에지부분에 걸리는 전계집중 현상을 완화시킴으로써 GaN 소자의 항복전압을 개선한다. 본 실시예의 도면에서는 플로팅 메탈 링이 1개인 경우를 예로써 도시하였으나, 플로팅 메탈 링의 개수가 증가할수록 주 쇼트키 접합 아래의 전계집중이 낮아지므로 누설전류가 감소한다. 따라서 소스 전극과 드레인 전극 사이의 거리와 플로팅 메탈 링의 폭, 항복저항 등을 고려하여 최적화된 간격으로 다수 설계한다.

- <29> 패시베이션막(160)은 실리콘산화막 또는 실리콘질화막 등의 유전체막으로 구현할 수 있다.
- <30> 필드플레이트(field plate)(170)는 게이트 전극(130)과 접촉하도록 패시베이션막(160) 위에 형성되며, 주 쇼트키 접합 아래에 전계가 집중되는 것을 분산하여 누설전류를 감소시킨다. 필드플레이트의 두께와 길이는 패시베이션막(160)의 두께, 플로팅 메탈 링(150)의 길이, 게이트 전극(140)과 드레인 전극(130) 사이의 간격 및 소자의 항복전압과 밀접한 관계가 있다. 따라서, 필드플레이트(170) 끝단과 패시베이션막(160) 끝단에 걸리는 전계의 최고값을 고려해서 최적화하며, 필드플레이트의 두께는 적어도 게이트 전극(130)과 패시베이션막(160) 사이의 단차를 연결할 수 있을 정도로 형성하는 것이 바람직하다.
- <31> 상기 구조를 갖는, AlGaIn/GaN 고전자이동도 트랜지스터의 제조공정은 다음과 같다.
- <32> 다시 도 1을 참조하면, C-평면 사파이어(sapphire) 기판(101) 위에 40um 두께의 AlN을 결정핵 생성층(102), 3um 두께의 비의도적 도핑된 GaN 버퍼층(103), 33nm 두께의 도핑되지 않은 AlGaIn 장벽층(104), 5nm 두께의 도핑되지 않은 GaN 캡층(105)을 차례로 증착한다. 소자의 높은 항복전압을 위해 AlGaIn 장벽층(104)과 GaN 캡층(105)은 도핑하지 않는다.
- <33> 유도결합 플라즈마식각으로 상기 AlGaIn/GaN 이중접합 에피 웨이퍼를 300nm정도 식각하여 메사구조(mesa)를 형성하며, 이는 소자 사이를 분리하는 역할을 한다.
- <34> 이어서, 소스 전극(120)과 드레인 전극(130) 패턴 형성시 마스크로 사용될 포토레지스터 패턴을 GaN 캡층(105) 위에 형성한 후 HCl과 순수(DI-water)가 1:1 비율로 혼합된 용액을 이용하여 표면의 자연산화막을 제거한다. 이때, 포토레지스터 패턴은 예정된 소스 전극(120)과 드레인 전극(130) 부위의 GaN 캡층(105) 상부가 노출되도록 형성한다.
- <35> 계속해서, 전자-빔 증착기(e-beam evaporator)를 이용한 증착공정을 통해 노출된 GaN 캡층(105) 상부에 Ti/Al/Ni/Au(각각 5/20/20/300nm 두께) 구조의 오믹접합을 형성한 후 리프트-오프(lift-off) 공정에 의해 상기 포토레지스터를 제거함으로써 소스 전극(120)과 드레인 전극(130)을 형성한다. 오믹접합 증착 후 N₂ 가스 분위기에서 30초 동안 RTA를 이용하여 850℃에서 열처리(annealing) 한다.
- <36> 다시, 상기 GaN 캡층(105) 위에 게이트 전극(140)과 플로팅 메탈 링(150) 패턴 형성시 마스크로 사용될 포토레지스터 패턴을 형성한다. 이때, 포토레지스터 패턴은 예정된 게이트 전극(140)과 플로팅 메탈 링(150) 부위의 GaN 캡층(105) 상부가 노출되도록 형성한다.
- <37> 전자-빔 증착기(e-beam evaporator)를 이용한 증착공정을 통해 노출된 GaN 캡층(105) 상부에 Pt/Mo/Ti/Au(각각 5/20/20/300nm 두께) 구조의 쇼트키 접합을 형성한 후 리프트-오프(lift-off) 공정에 의해 상기 포토레지스터를 제거함으로써 게이트 전극(140)과 플로팅 메탈 링(150)을 형성한다. 본 실시예에서는 플로팅 메탈 링(150)을 게이트 전극(140) 형성단계에서 쇼트키 접합으로써 형성하였으나, 이전 단계인 소스 전극(120)과 드레인 전극(130) 형성시에 오믹 접합으로써 형성할 수도 있다. 이때, 플로팅 메탈 링(150)은 게이트 전극(140)과 유사한 길이(예를 들어 3um)로 형성되며, 게이트 전극(140)과의 이격 거리는 3um정도이다. 게이트 전극(140)과 드레인 전극(130)의 이격 거리는 20um 정도이며, 게이트 전극(140)과 소스 전극(120)의 이격 거리는 3um 정도이다.
- <38> 게이트 전극(140) 형성 후 패시베이션막(160)으로, 유도결합 플라즈마-화학기상증착(ICP-CVD)을 이용하여 350nm 두께의 실리콘 산화막(160)을 증착한다.
- <39> 상기 패시베이션막(160)을 식각하여 소스 전극(120), 드레인 전극(130) 및 게이트 전극(140)을 노출시킨 다음, 상기 게이트 전극(140)과 접촉하도록 상기 패시베이션막(160) 위에 쇼트키 접합 물질을 증착하여 메탈 필드플레이트(170)를 형성한다. 이때, 메탈 필드플레이트(170)의 길이는 9um 정도이다.
- <40> 도 2는 본 발명의 일 실시예에 따른, 도 1의 AlGaIn/GaN 고전자이동도 트랜지스터의 누설전류 특성을 도시한 것으로, 역방향 전압 0V에서 200V까지 증가시키면서 측정한 결과를 나타낸다. 참고로, 실선 표시는 메탈 필드플레이트(170)를 구비하는 경우의 누설전류 특성을 나타낸 것이며, 점선 표시는 메탈 필드플레이트(170)를 구비하지 않는 경우의 누설전류 특성을 나타낸 것이다.
- <41> 도 2를 참조하면, 메탈 필드플레이트(170)를 구비하는 경우 역방향 전압 200V에서 8.5μA의 누설 전류를 가진다. 이에 비해 메탈 필드플레이트(170)를 구비하지 않는 경우 역방향 전압은 200 V에서 88 μA의 누설 전류를 가진다. 즉, 추가적인 메탈 필드플레이트 설계로 감소된 누설 전류 특성을 가진다.
- <42> 한편, 항복 전압은 메탈 필드플레이트(170)를 구비하는 경우와 구비하지 않는 경우가 각각 484V와 250V이다. 역

방향 바이어스시 소자 내에 존재하는 전계 최고점이 플로팅 메탈 링을 구비하는 소자의 경우 3개이나, 메탈 필드플레이트를 추가로 설계한 경우는 4개이며, 이에 따라 항복 전압을 더욱 증가시킨다. 측정된 온-저항은 각각 $4.2\text{m}\Omega\text{-cm}^2$ 및 $4.5\text{m}\Omega\text{-cm}^2$ 이며, 두 값의 차이는 무시가능한 수준이다.

- <43> 도 3은 본 발명의 일 실시예에 따른, AlGaIn/GaN 고전자 이동도 트랜지스터의 스위칭 특성을 도시한 것으로, 인덕터 로드 스위칭 동작을 나타낸다. 소자에 가해진 게이트-소스 전압은 0V(온-상태) 및 -6V(오프-상태)이며, 드레인 전압은 20V이며, 전류는 0.2A에서 소자의 스위칭 특성이 측정된 것이다.
- <44> 동작 주파수가 200 kHz일 때 본 발명에 따른 AlGaIn/GaN 고전자이동도 트랜지스터의 턴-온 시간 및 턴-오프 시간은 각각 40ns 및 36ns이다. 즉, GaN 트랩으로 인한 RF 분산 (dispersion) 효과 없이 빠른 스위칭 특성을 가짐을 알 수 있다. 제안된 소자는 고속 스위칭이 요구되는 전력용 반도체에 이용이 가능하다.
- <45> 한편, 본 발명은 항복전압 증가 및 누설전류 감소를 위한 설계로 AlGaIn/GaN 고전자 이동도 트랜지스터뿐만 아니라 GaN 메탈 반도체 전계 효과 트랜지스터 (MESFET), 수평형 GaN 다이오드, 수직형 GaN 다이오드에도 적용할 수 있다.
- <46> 도 4는 본 발명의 제2 실시예에 따른, GaN 금속 반도체 전계효과 트랜지스터(MESFET)의 단면도이다.
- <47> 도 4를 참조하면, 본 발명에 따른 금속 반도체 전계효과 트랜지스터(200)는 에피 웨이퍼(210) 위에 서로 이격 배치된 소스 전극(220) 및 드레인 전극(230)과; 소스 전극(220)과 드레인 전극(230) 사이에 형성된 게이트 전극(240)과; 게이트 전극(240)과 드레인 전극(230) 사이에 형성된 플로팅 메탈 링(Floating Metal Ring; FMR)(250)과; 전극 부위를 제외한 전체 상부에 형성된 패시베이션막(260) 및 게이트 전극(230)과 접촉하도록 패시베이션막(260) 위에 형성된 필드플레이트(field plate)(270)를 포함한다.
- <48> 에피 웨이퍼(210)는 사파이어, SiC 등의 기판(201) 위에 금속유기화학기상증착법(MOCVD)에 의해 성장된 AlN 결정층 생성층(202) 및 GaN 버퍼층(203)을 포함한다.
- <49> 본 실시예는 에피 웨이퍼(210)가 AlGaIn 장벽층 및 GaN 캡층을 구비하고 있지 않은 점을 제외하고는 제 1 실시예의 구성과 동일하므로 상세설명은 생략한다.
- <50> 도 5는 본 발명의 제3 실시예에 따른, 수평형 GaN 쇼트키 장벽 다이오드의 단면도이다.
- <51> 도 5를 참조하면, 본 발명에 따른 수평형 GaN 쇼트키 장벽 다이오드(300)는 에피 웨이퍼(310) 위에 서로 이격 배치된 애노드 전극(320) 및 캐소드 전극(330)과; 애노드 전극(320)과 캐소드 전극(330) 사이에 형성된 플로팅 메탈 링(Floating Metal Ring; FMR)(350)과; 패시베이션막(360) 및 필드플레이트(field plate)(370)를 포함한다.
- <52> 도 6은 본 발명의 제4 실시예에 따른, 높은 순방향 전류 특성을 갖는 AlGaIn/GaN 이종접합 에피 웨이퍼(410) 구조 위에 형성된 수평형 GaN 쇼트키 장벽 다이오드의 단면도이다.
- <53> 도 7은 본 발명의 제5 실시예에 따른, 수직형 GaN 쇼트키 장벽 다이오드의 단면도이다.
- <54> 도 7을 참조하면, 본 발명에 따른 수직형 GaN 쇼트키 장벽 다이오드(500)는 GaN 벌크 웨이퍼(510)의 상부와 하부에 각각 배치된 애노드 전극(520) 및 캐소드 전극(530)과; 상기 애노드 전극(520)과 이격하여 배치된 플로팅 메탈 링(Floating Metal Ring; FMR)(550)과; 패시베이션막(560) 및 필드플레이트(field plate)(570)를 포함한다.
- <55> 한편 본 발명의 상세한 설명에서는 구체적인 실시예에 관해 설명하였으나, 본 발명의 범위에서 벗어나지 않는 한도 내에서 여러 가지 변형이 가능함은 물론이다.

발명의 효과

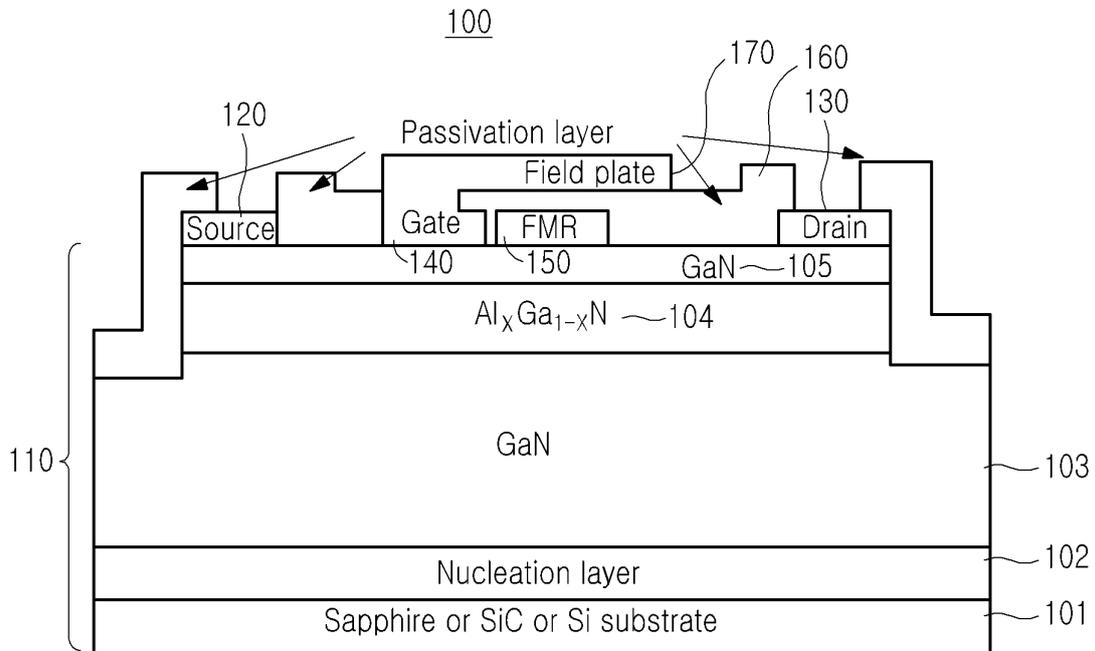
- <56> 상술한 바와 같이 본 발명은 GaN 반도체 소자 구조에 플로팅 메탈 링과 필드 플레이트를 동시에 설계하여 역방향 항복 전압을 증가 및 누설 전류를 감소시킨다.
- <57> 또한, 본 발명은 GaN 소자의 다른 전기적 특성을 열화 시키지 않는 장점이 있다.
- <58> 또한, 본 발명은 AlGaIn/GaN 고전자 이동도 트랜지스터뿐만 아니라 GaN 메탈 반도체 효과 트랜지스터 및 GaN 쇼트키 장벽 다이오드에 적용 가능하다. 따라서 본 발명은 정류 다이오드, 마이크로 증폭기나 전력용 스위치로 쓰이는 GaN 소자의 항복 전압 증가 및 누설 전류 감소에 유용하게 이용될 수 있다.

도면의 간단한 설명

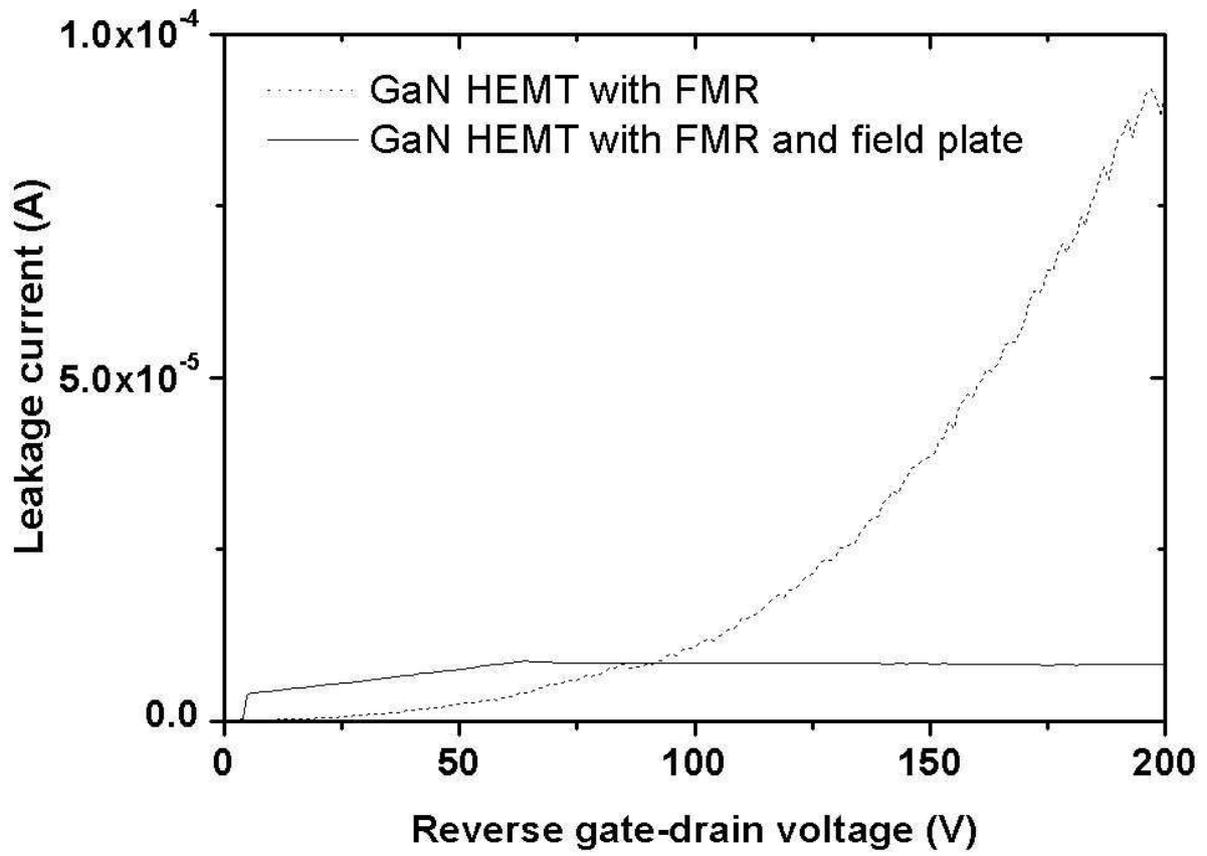
- <1> 도 1은 본 발명의 제1 실시예에 따른 AlGaN/GaN 고전자이동도 트랜지스터의 단면도,
- <2> 도 2는 도 1의 AlGaN/GaN 고전자이동도 트랜지스터의 누설전류 특성을 나타낸 도면,
- <3> 도 3은 본 발명의 일 실시예에 따른, AlGaN/GaN 고전자 이동도 트랜지스터의 스위칭 특성을 나타낸 도면,
- <4> 도 4는 본 발명의 제2 실시예에 따른, GaN 금속 반도체 전계효과 트랜지스터의 단면도,
- <5> 도 5는 본 발명의 제3 실시예에 따른, 수평형 GaN 쇼트키 장벽 다이오드의 단면도,
- <6> 도 6은 본 발명의 제4 실시예에 따른, 높은 순방향 전류 특성을 갖는 AlGaN/GaN 이중접합 에피 웨이퍼 구조 위에 형성된 수평형 GaN 쇼트키 장벽 다이오드의 단면도,
- <7> 도 7은 본 발명의 제5 실시예에 따른, 수직형 GaN 쇼트키 장벽 다이오드의 단면도.

도면

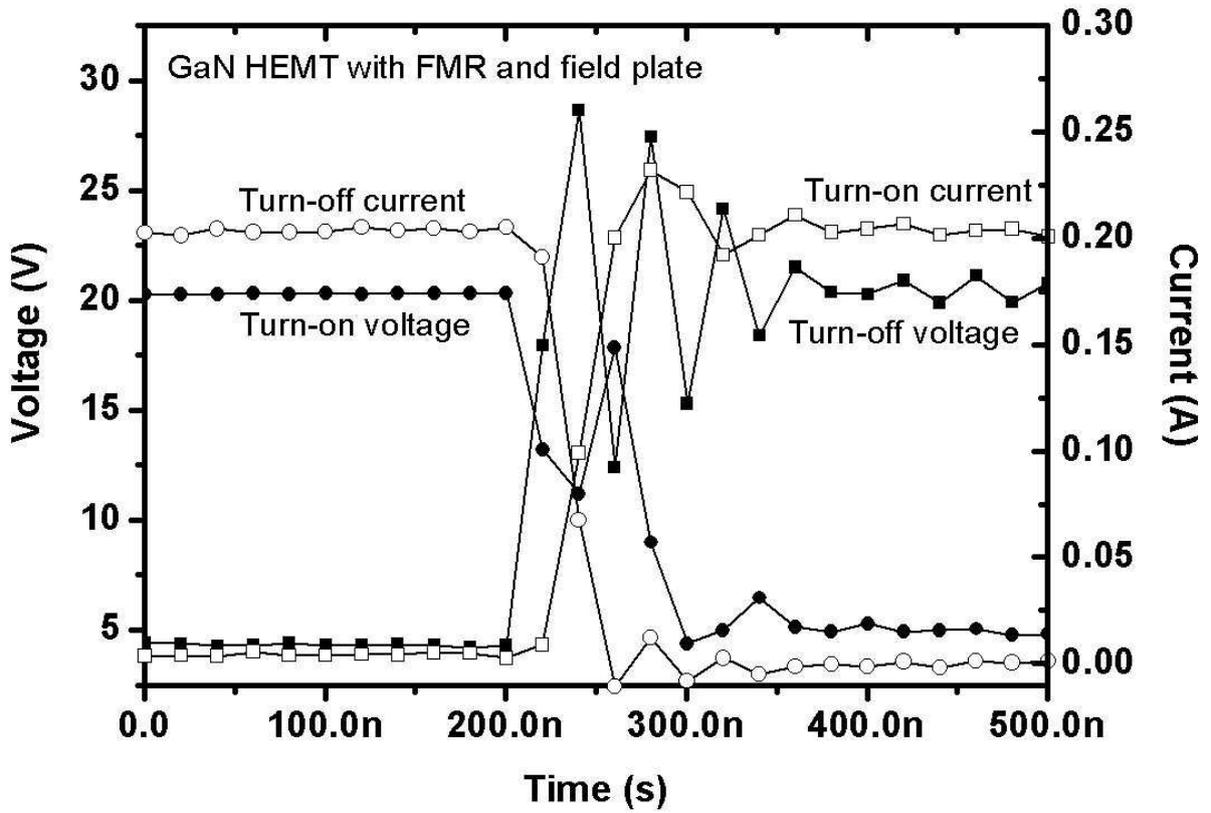
도면1



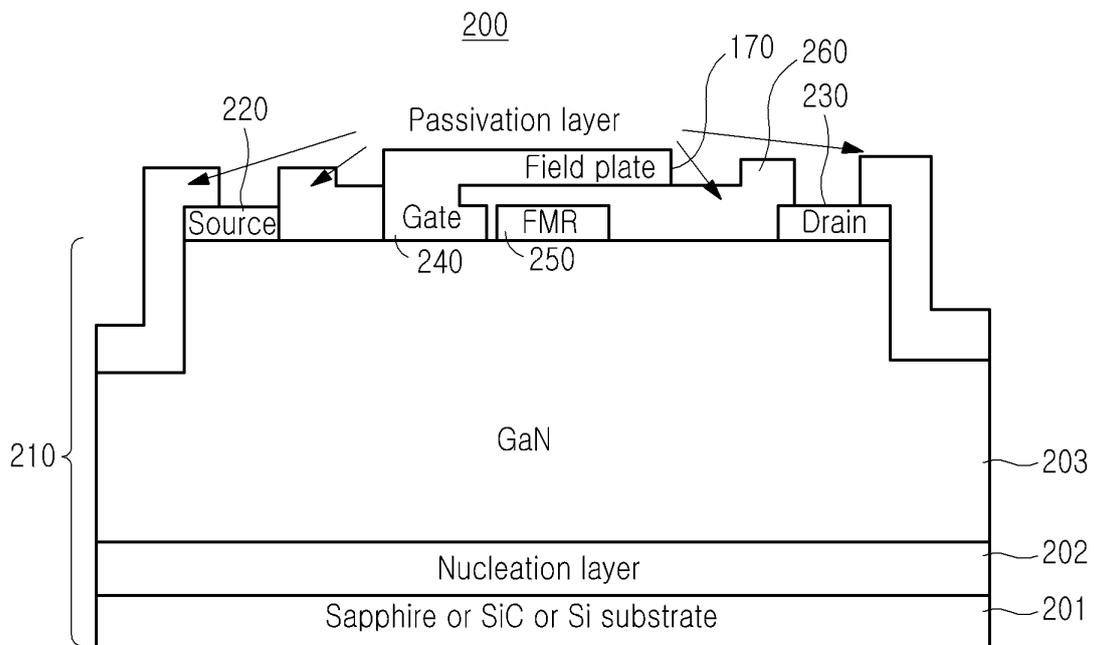
도면2



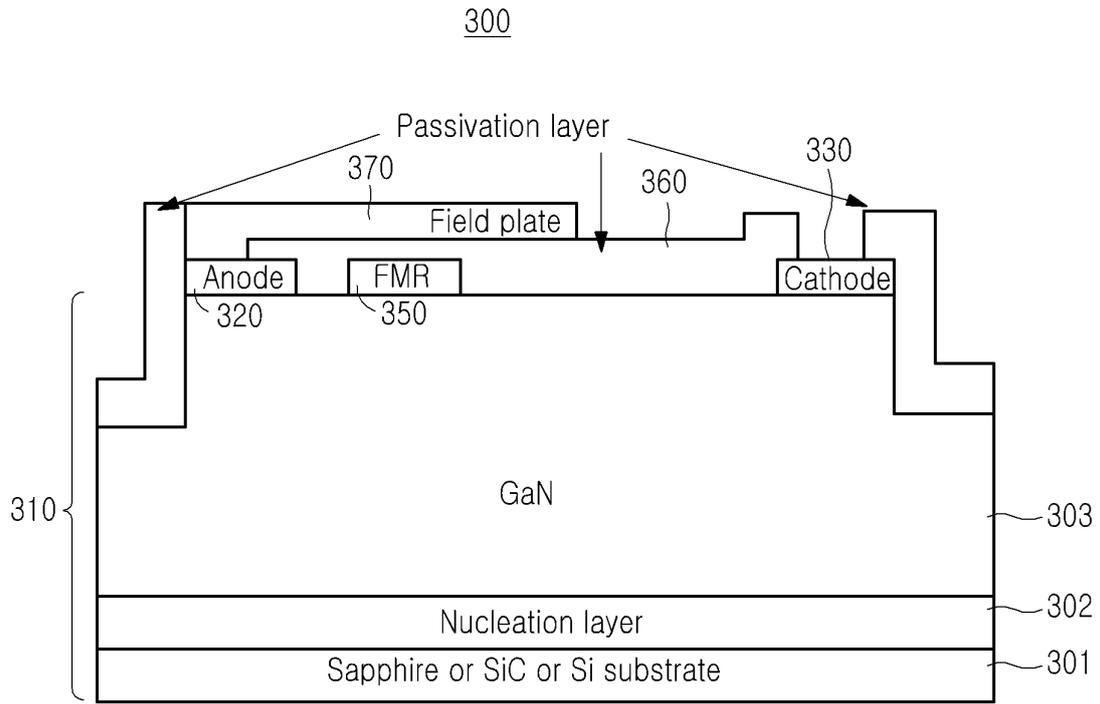
도면3



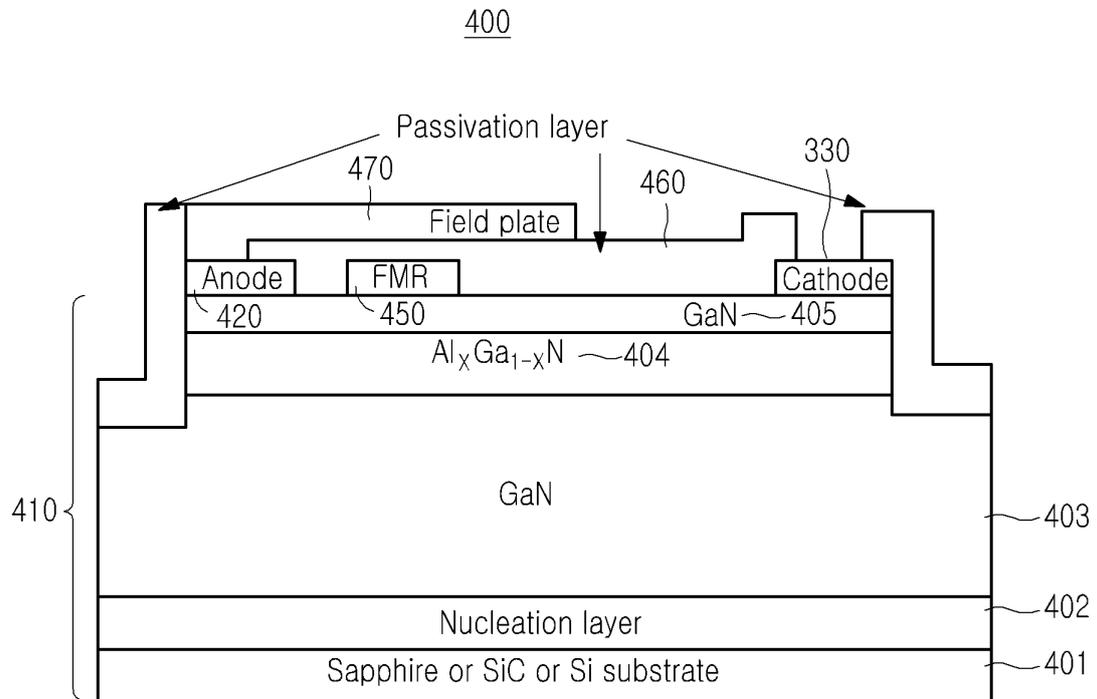
도면4



도면5



도면6



도면7

